(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년05월29일
(11) 등록번호 10-1149134
(24) 등록일자 2012년05월16일

(51) 국제특허분류(Int. Cl.)
H01L 29/72 (2006.01) *H01L 27/01* (2006.01)
(21) 출원번호 10-2006-7027473
(22) 출원일자(국제) 2005년04월26일
심사청구일자 2010년04월26일
(85) 번역문제출일자 2006년12월27일
(65) 공개번호 10-2007-0022809
(43) 공개일자 2007년02월27일
(86) 국제출원번호 PCT/US2005/014325
(87) 국제공개번호 WO 2005/119746
국제공개일자 2005년12월15일
(30) 우선권주장
10/856,581 2004년05월28일 미국(US)
(56) 선행기술조사문헌
US20030231967 A1
US5872393 A
US6500694 A

(73) 특허권자
프리스케일 세미컨덕터, 인크.
미합중국 텍사스 (우편번호 78735) 오스틴 윌리암 캐논 드라이브 웨스트 6501
(72) 발명자
포즈더, 스콧 케이.
미국 78703 텍사스주 오스틴 엡슨 스트리트 606
셀리크, 샐리 엠.
미국 78739 텍사스주 오스틴 인디안 포인트 드라이브 3708
(뒷면에 계속)
(74) 대리인
백만기, 이중희, 주성민

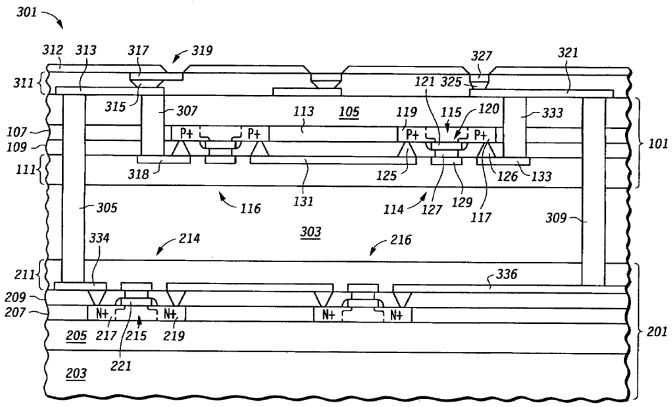
전체 청구항 수 : 총 31 항 심사관 : 조성철

(54) 발명의 명칭 **개별 변형된 N-채널 및 P-채널 트랜지스터**

(57) 요 약

제1 웨이퍼 상에 형성되는 제1 복수의 트랜지스터들 및 제2 웨이퍼 상에 형성되는 제2 복수의 트랜지스터들을 갖는 집적 회로. 제1 복수의 트랜지스터들 중 적어도 상당 다수는 제1 도전형이고, 제2 복수의 트랜지스터들 중 적어도 상당 다수는 제2 도전형이다. 웨이퍼들이 접합된 이후, 제2 웨이퍼의 일부는 제거되어, 제2 복수의 트랜지스터들의 채널들의 변형이 제1 복수의 트랜지스터들의 채널들의 변형에 비해 보다 압축성이 있게 된다.

대 표 도



(72) 발명자

민, 병 더블유.

미국 78717 텍사스주 오스틴 캘라버라스 드라이브 14929

아담스, 반스 에이치.

미국 78732 텍사스주 오스틴 메디나 리버 웨이 12903

특허청구의 범위

청구항 1

집적 회로로서,

기판;

상기 기판 위에 배치되는 제1 레이어;

상기 제1 레이어에 구현되는 제1 복수의 채널 영역들- 상기 제1 복수의 채널 영역들은 제1 도전형의 트랜지스터들을 위한 것임 -;

상기 제1 레이어 위의 접합 재료;

상기 접합 재료 위의 제2 레이어; 및

상기 제2 레이어에 구현되는 제2 복수의 채널 영역들- 상기 제2 복수의 채널 영역들은 제2 도전형의 트랜지스터들을 위한 것임 -

을 포함하고,

상기 제1 복수의 채널 영역들은 제1 변형(strain)을 갖고, 상기 제2 복수의 채널 영역들은 제2 변형을 가지며, 상기 제1 변형이 상기 제2 변형에 비해 보다 신장성(tensile)이 있는 집적 회로.

청구항 2

제1항에 있어서,

상기 접합 재료는 영률(Young Modulus)이 10 기가 파스칼 이하인 집적 회로.

청구항 3

제1항에 있어서,

상기 제2 복수의 채널 영역들은 상기 제1 복수의 채널 영역들에 대해 페이스 업(face up) 구성을 갖는 트랜지스터들을 위한 것인 집적 회로.

청구항 4

제3항에 있어서,

상기 제1 레이어 위이고 상기 제2 레이어의 아래인 제3 레이어에 배치되는 제1 복수의 게이트들- 상기 제1 복수의 게이트들은 제1 도전형의 트랜지스터들을 위한 것임 -; 및

상기 제2 레이어 위의 제4 레이어에 배치되는 제2 복수의 게이트들- 상기 제2 복수의 게이트들은 제2 도전형의 트랜지스터들을 위한 것임 -

을 더 포함하는 집적 회로.

청구항 5

제1항에 있어서,

상기 제2 복수의 채널 영역들은 상기 제1 복수의 채널 영역들에 대해 페이스 다운 구성을 갖는 트랜지스터들을 위한 것인 집적 회로.

청구항 6

제5항에 있어서,

상기 제1 레이어의 위이고 상기 제2 레이어의 아래인 제3 레이어에 배치되는 제1 복수의 게이트들- 상기 제1 복수의 게이트들은 제1 도전형의 트랜지스터들을 위한 것임 -; 및

상기 제2 레이어 아래이고 상기 제3 레이어의 위인 제4 레이어에 배치되는 제2 복수의 게이트들- 상기 제2 복수의 게이트들은 제2 도전형의 트랜지스터들을 위한 것임 -

을 더 포함하는 집적 회로.

청구항 7

제1항에 있어서,

상기 제2 레이어 위에 배치되며, 상기 제1 레이어의 소스/드레인 영역과 상기 제2 레이어의 소스/드레인 영역에 전기적으로 결합되는 도전성 구조를 포함하는 인터레벨 유전체(interlevel dielectric)를 더 포함하는 집적 회로.

청구항 8

제1항에 있어서,

상기 제2 레이어 위에 배치되며 도전성 패드를 포함하는 인터레벨 유전체를 더 포함하는 집적 회로.

청구항 9

삭제

청구항 10

제1항에 있어서,

상기 제1 레이어는 절연체 위에 배치되는 집적 회로.

청구항 11

제1항에 있어서,

상기 제1 도전형은 N-형이고 상기 제2 도전형은 P-형인 집적 회로.

청구항 12

집적 회로의 형성 방법으로서,

제1 레이어를 포함하는 제1 웨이퍼를 제공하는 단계- 상기 제1 레이어에서 채널 영역들을 갖는 복수의 트랜지스터들은 제1 도전형임 -;

상기 제1 웨이퍼에 제2 웨이퍼를 접합하는 단계- 상기 제2 웨이퍼는 제2 레이어를 포함하고, 상기 제2 레이어에서 채널 영역들을 갖는 복수의 트랜지스터들은 제2 도전형임 -; 및

상기 접합 단계에 후속하여 상기 제2 웨이퍼의 일부를 제거하는 단계

를 포함하고,

상기 제거 단계에 후속하여, 상기 제1 레이어의 채널 영역들은 제1 변형을 갖고 상기 제2 레이어의 채널 영역들은 제2 변형을 가지며, 상기 제1 변형은 상기 제2 변형에 비해 보다 신장성이 있는 집적 회로 형성 방법.

청구항 13

제12항에 있어서,

상기 제거 단계는 상기 제2 웨이퍼의 두께를 99 퍼센트 이상 제거하는 단계를 포함하는 집적 회로 형성 방법.

청구항 14

제12항에 있어서,

제2 웨이퍼를 접합하는 상기 단계 이전에 제1 기판 위에 상기 제2 레이어를 형성하는 단계;

제2 웨이퍼를 접합하는 상기 단계 이전에 상기 제2 레이어 위에 제2 기판을 접합하는 단계; 및

제2 웨이퍼를 접합하는 상기 단계 이전에 상기 제2 레이어로부터 상기 제1 기판을 제거하는 단계를 더 포함하고,

상기 제2 웨이퍼의 일부를 제거하는 상기 단계는 상기 제2 기판을 제거하는 단계를 포함하는 집적 회로 형성 방법.

청구항 15

제12항에 있어서,

상기 제거 단계에 후속하여 상기 제1 및 제2 웨이퍼들 위에 인터레벨 유전체를 형성하는 단계를 더 포함하는 집적 회로 형성 방법.

청구항 16

제12항에 있어서,

상기 접합 단계는 상기 제2 레이어에서 채널 영역들을 갖는 트랜지스터들이 상기 제1 웨이퍼에 대해 페이스 업 배치되도록 상기 제2 웨이퍼를 접합하는 단계를 포함하는 집적 회로 형성 방법.

청구항 17

제12항에 있어서,

상기 접합 단계는 상기 제2 레이어에서 채널 영역들을 갖는 트랜지스터들이 상기 제1 웨이퍼에 대해 페이스 다운 배치되도록 상기 제2 웨이퍼를 접합하는 단계를 포함하는 집적 회로 형성 방법.

청구항 18

제12항에 있어서,

상기 접합 단계는 영률이 10 기가 파스칼 이하인 접합 재료로 상기 제2 웨이퍼를 접합하는 단계를 포함하는 집적 회로 형성 방법.

청구항 19

제12항에 있어서,

상기 접합 단계는 영률이 3 기가 파스칼 이하인 접합 재료로 상기 제2 웨이퍼를 접합하는 단계를 포함하는 집적 회로 형성 방법.

청구항 20

제12항에 있어서,

상기 접합 단계 이전에 상기 제2 레이어에서 채널 영역들을 갖는 트랜지스터들 위에 인터레벨 유전체를 형성하는 단계를 더 포함하고,

상기 인터레벨 유전체는 상기 제거 단계 이후에도 잔존하는 집적 회로 형성 방법.

청구항 21

제12항에 있어서,

상기 제1 도전형은 N-형이고 상기 제2 도전형은 P-형인 집적 회로 형성 방법.

청구항 22

삭제

청구항 23

제12항에 있어서,

상기 제1 웨이퍼는 절연체를 포함하고, 상기 제1 레이어는 상기 절연체 위에 배치되며;

상기 제2 웨이퍼는 제2 절연체를 포함하고, 상기 제2 레이어는 상기 접합 단계 이전에 상기 제2 절연체 위에 배치되는 집적 회로 형성 방법.

청구항 24

제23항에 있어서,

상기 제거 단계는 상기 제2 절연체를 제거하는 단계를 포함하는 집적 회로 형성 방법.

청구항 25

제12항에 있어서,

상기 접합 단계 이전에 상기 제1 레이어 위에 제1 인터레벨 유전체를 형성하는 단계;

상기 접합 단계 이전에 상기 제2 레이어 위에 제2 인터레벨 유전체를 형성하는 단계;

상기 제거 단계에 후속하여 상기 제1 인터레벨 유전체의 적어도 일부와, 상기 제2 인터레벨 유전체의 적어도 일부를 통과하도록 홀을 형성하는 단계; 및

상기 홀을 도전성 재료로 채우는 단계

를 더 포함하는 집적 회로 형성 방법.

청구항 26

집적 회로를 형성하는 방법으로서,

제1 레이어, 제1 절연체 및 제1 기판을 포함하는 제1 웨이퍼를 제공하는 단계- 상기 제1 절연체는 상기 제1 레이어와 상기 제1 기판 사이에 배치됨 -;

상기 제1 레이어에 소스/드레인 영역들을 형성하는 단계- 상기 소스/드레인 영역들은 제1 도전형임 -;

제2 레이어, 제2 절연체 및 제2 기판을 포함하는 제2 웨이퍼를 제공하는 단계- 상기 제2 절연체는 상기 제2 레이어와 상기 제2 기판 사이에 배치됨 -;

상기 제2 레이어에 소스/드레인 영역들을 형성하는 단계- 상기 소스/드레인 영역들은 제2 도전형임 -;

상기 제1 레이어에 소스/드레인 영역들을 형성하는 상기 단계 및 상기 제2 레이어에 소스/드레인 영역들을 형성하는 상기 단계에 후속하여 상기 제1 웨이퍼를 상기 제2 웨이퍼에 접합하는 단계; 및

상기 제1 웨이퍼를 상기 제2 웨이퍼에 접합하는 단계에 후속하여 상기 제2 기판을 제거하는 단계

를 포함하고,

상기 제거 단계에 후속하여, 상기 제1 레이어는 제1 변형을 갖고 상기 제2 레이어는 제2 변형을 가지며, 상기 제1 변형은 상기 제2 변형에 비해 보다 신장성이 있는 집적 회로 형성 방법.

청구항 27

제26항에 있어서,

상기 제1 도전형은 N-형이고;

상기 제2 도전형은 P-형인 집적 회로 형성 방법.

청구항 28

제26항에 있어서,

상기 접합 단계는 상기 제2 웨이퍼를 상기 제1 웨이퍼에 대해 페이스 업 구성으로 접합하는 단계를 포함하는 집적 회로 형성 방법.

청구항 29

제26항에 있어서,

상기 접합 단계는 상기 제2 웨이퍼를 상기 제1 웨이퍼에 대해 페이스 다운 구성으로 접합하는 단계를 포함하는 집적 회로 형성 방법.

청구항 30

제26항에 있어서,

상기 제거 단계에 후속하여 상기 제2 레이어 위에 인터레벨 유전체를 형성하는 단계- 상기 인터레벨 유전체는 복수의 상호접속부들을 포함하고, 상기 복수의 상호접속부들 각각은 상기 제1 레이어의 소스/드레인 영역 및 상기 제2 레이어의 소스/드레인 영역에 전기적으로 결합됨 -를 더 포함하는 집적 회로 형성 방법.

청구항 31

삭제

청구항 32

제26항에 있어서,

상기 접합 단계는 영률이 10 기가 파스칼 이하인 접합 재료로 상기 제2 웨이퍼를 접합하는 단계를 포함하는 집적 회로 형성 방법.

청구항 33

제26항에 있어서,

상기 접합 단계는 영률이 3 기가 파스칼 이하인 접합 재료로 상기 제2 웨이퍼를 접합하는 단계를 포함하는 집적 회로 형성 방법.

청구항 34

제26항에 있어서,

상기 접합 단계는 접합 재료로 상기 제2 웨이퍼를 접합하는 단계를 포함하고, 상기 접합 재료는 BCB(benzocyclobutene)을 포함하는 집적 회로 형성 방법.

명 세 서

기 술 분 야

[0001] 본 발명은 일반적으로 집적 회로에 관한 것으로, 보다 구체적으로는, 서로 다른 도전형의 트랜지스터들에 대해 서로 다르게 변형된 채널들을 갖는 집적 회로에 관한 것이다.

배 경 기 술

[0002] 트랜지스터 채널의 변형은 트랜지스터의 캐리어 이동성에 영향을 준다. 변형은 제조 과정에서 의도적으로 도입되거나 또는 의도하지 않게 도입되거나 한다. 특정 변형은 N-채널 트랜지스터의 전하 이동성 및 P-채널 트랜지스터의 정공 이동성에 서로 다르게 영향을 준다. 특정 변형은 N-채널 트랜지스터의 동작 속도에 보다 바람직하고 P-채널 트랜지스터의 동작 속도에 보다 덜 바람직할 수 있다. 예를 들어, 채널 영역의 보다 신장성이 있는 변형(more tensile strain)은 전하 이동성의 증가 및 정공 이동성의 감소를 제공할 것이다.

[0003] N-채널 트랜지스터 및 P-채널 트랜지스터 양자 모두에 대해 개선된 동작 속도를 갖는 집적 회로가 요구된다.

실 시 예

[0012] 이하 본 발명을 수행하기 위한 모드의 상세한 설명을 개시한다. 이러한 설명은 본 발명의 예시적인 것일 뿐 제한적인 것으로 고려되는 것은 아니다.

[0013] 도 1-3은 본 발명에 따른 집적 회로의 일 실시예의 제조 중에 있는 3개의 서로 다른 단계들을 나타낸다. 도 1은 본 발명에 따른 웨이퍼의 부분 측면 절단도를 나타낸다. 웨이퍼(101) 상에는 절연체(105) 및 기판(103) 위에 2개의 P-채널 트랜지스터(114 및 116)가 도시되어 있다. 트랜지스터(114)는 레이어(107)에 형성되는 액티브 영역(115)을 포함한다. 액티브 영역(115)은 N 도전형 도펀트(예를 들어, 인 또는 비소 등)로 도핑되는

반도체 재료(예를 들어, 실리콘 등)로 이루어진다. 액티브 영역은 P+ 도전형을 갖도록 카운터 도핑되는 2개의 소스/드레인 영역(117 및 119) 및 바디(124)를 포함한다. 트랜지스터(114)는 액티브 영역(115)에 배치되는 트랜지스터(114)의 채널 영역(120) 위에 배치된 게이트(121)(예를 들어, 폴리 실리콘 또는 금속 등)를 포함한다.

[0014] 레이어(107)의 산화물 부분(113)은 트랜지스터(114)의 액티브 영역(115)과 트랜지스터(116)의 액티브 영역(136) 사이에 배치된다. 산화물 부분(113)은 액티브 영역들 사이의 아이솔레이션 영역으로서 기능한다. 일 실시예에서, 산화물 부분(113)은 레이어(107)의 실리콘 또는 기타 반도체 재료를 에칭하고 산화물을 채워서 형성된다. 일 실시예에서, 레이어(107)의 액티브 영역은 단일 재료(예를 들어, 실리콘 등)로 이루어진다. 다른 실시예에서, 레이어(107)는 예를 들어, 실리콘 게르마늄 레이어 상의 실리콘 레이어 등 서로 다른 재료들의 다층 레이어로 이루어질 수 있다.

[0015] 비아(127)는 게이트(121)를 ILD(Inter Level Dielectric; 111)에서의 상호접속부(129)에 전기적으로 결합시킨다. 상호접속부(129)는 다른 게이트(도시되지 않음) 또는 다른 소스/드레인 영역(도시되지 않음)에 결합된다. 소스/드레인 컨택트(125)(예를 들어, 텅스텐으로 이루어짐)는 소스/드레인 영역(119)을 ILD(111)의 상호접속부(131)에 결합시킨다. 소스/드레인 컨택트(126)는 소스/드레인 영역(117)을 ILD(111)의 상호접속부(133)에 결합시킨다. 상호접속부(131)는 소스/드레인 영역(119)을 P-채널 트랜지스터(116)의 소스/드레인 영역(132)에 결합시킨다. 도시된 실시예에서, ILD(111)는 단일 레이어의 상호접속부만을 포함하고 있지만, 다른 실시예에서는, 복수 레이어의 상호접속부를 포함할 수 있다.

[0016] 배리어 레이어(예를 들어, 티타늄, 티타늄 질화물 등)는 컨택트(125 및 126)와 소스/드레인 영역(119 및 117) 사이에, 상호접속부와 비아 사이에, 및/또는 비아, 상호접속부 및 컨택트의 측벽상에 배치될 수 있다. 또한, 게이트 및 소스/드레인 영역의 상부는 실리사이드를 포함할 수 있다(도시되지 않음).

[0017] 일 실시예에서, 기판(103)은 두께가 600 마이크론이고, 절연체(105)는 두께가 200㎚이고, 레이어(107)는 두께가 110㎚이고, 폴리실리콘/컨택트 레이어(109)는 두께가 400㎚이며, ILD(111)는 두께가 200㎚이다. 다른 실시예들에서 다른 웨이퍼들은 치수가 다를 것이다. 일 실시예에서, 기판(103)은 레이어(107) 보다 적어도 100배 두껍고, 다른 실시예에서는 적어도 1000배 두껍다.

[0018] 도 2는 본 발명에 따른 다른 웨이퍼의 부분 측면 절단도를 나타낸다. 웨이퍼(201) 상에는 절연체(205) 및 기판(203) 위에 배치된 2개의 N-채널 트랜지스터(214 및 216)가 도시된다. 웨이퍼(201)는 트랜지스터(214 및 216)가 N-형 트랜지스터라는 점을 제외하고는 웨이퍼(101)과 유사하다. 트랜지스터(214)는 액티브 레이어(207)에 형성된 액티브 영역(215)을 포함한다. 액티브 영역(215)은 P 도전형 도펀트(예를 들어, 붕소 등)로 도핑되고, N+ 도전형을 갖도록 카운터 도핑되는 2개의 소스/드레인 영역(217 및 219)과 바디(226)를 포함한다. ILD(211)는 게이트/컨택트 레이어(209) 위에 배치된다.

[0019] 후속 처리에서는, 웨이퍼(101)를 뒤집어서 웨이퍼(201)에 "페이스-투-페이스(face-to-face)" 구성으로 접합하여 궁극적인 웨이퍼를 형성한다. 이러한 구성에서, 트랜지스터(114 및 116)는 페이스 다운(face down) 구성으로 접합된다.

[0020] 그리고, 예를 들어, 기판(103)을 약 50 마이크론 두께 연마하여 기판(103)을 제거하고 TMAH(Tetramethylammonioum Hydroxide) 후속 에칭을 수행하여 기판(103)의 나머지 부분을 제거한다. 다른 실시예에서는 기판의 나머지 부분을 제거하기 위해 다른 타입의 에칭 공정이 사용될 수 있다. 다른 실시예에서는, 절연체(105)도 제거될 수 있다.

[0021] 도 3은 웨이퍼(101)가 웨이퍼(201)에 접합되고, 기판(103)이 제거되고, 후속 ILD(311)가 형성된 이후 궁극적인 웨이퍼(301)의 부분 측면 절단도이다. 일부 실시예에서는, 기판(103)이 제거된 이후, 예를 들어 200㎚의 후속 유전체 레이어(도시되지 않음)가 절연체(105)에 적층되어 ILD(311)를 형성하기 이전에 절연체(105)를 보호한다. 다른 실시예에서는, 이러한 후속 유전체 레이어가 활용되지 않는다.

[0022] 웨이퍼들은 ILD(211)에 인가되는 접합 재료(303)에 의해 접합된다. 일 실시예에서, 접합 재료(303)는 BCB(benzocyclobutene)이다. 일 실시예에서, 이러한 재료는 DOW CHEMICAL COMPANY사의 CYCLOTENE라는 상표로 판매되고 있는 것이다.

[0023] 일 실시예에서, 접합 재료(303)는 영률(Young's Modulus)이 낮다(예를 들어, 10 기가 파스칼 이하 등). 일 실시예에서, 접합 재료(303)는 영률이 2.9 기가 파스칼이다.

[0024] 접합 이전에, 레이어(107 및 207)는 그 형태가 그들 각각의 기판(예를 들어, 103 및 203 등)의 형태에 의해

지배되고, 궁극적인 변형은 그들 각각의 기판과 ILD 및 그들이 제조되는 프로세스에 의해 지배된다. 일부 실시예에서, 웨이퍼들은 위쪽으로 살짝 구부러진다(예를 들어, 곡률 반경이 80-100 미터 이상 등). 기판(103)이 제거되면, 기판(103)에 의해 레이어(107) 상에 제공되는 응력이 제거되고, 이에 의해, 레이어(107)의 액티브 영역 상의 변형이 보다 압축된다. 이러한 압축성 변형은 이들 액티브 영역에 내장된 트랜지스터들의 채널 영역들(예를 들어, 120 등)에 대한 정공 이동성을 증가시킨다. 기판(103)의 제거 이전에, 기판(103)(예를 들어, 벌크 실리콘에 대해 영률이 47 기가 파스칼임)은 ILD(111)의 압축성 응력에 대항력을 제공하였다. 기판(103)의 제거 이후, 접합 재료(303)(예를 들어, 일 실시예에서 영률이 2.9 기가 파스칼임)는 이러한 압축성 응력에 대해 대항력을 감소시킨다.

[0025] 레이어(107)의 액티브 영역상에 응력이 증가한다는 것은 이들 액티브 영역에 형성되는 채널 영역들이 보다 큰 압축성 변형을 갖게 하고, 이에 의해, 채널 영역들의 정공 이동성을 증가시키게 된다. 따라서, 채널 영역들이 레이어(107)의 액티브 영역에 배치되는 P-채널 디바이스들은 레이어(207)에 채널 영역이 있는 트랜지스터들(예를 들어, 214 및 216 등) 보다 정공 이동성이 크다.

[0026] 도시된 실시예에서, 접합 재료(303)는 웨이퍼(201)의 구조가 레이어(107)의 액티브 영역의 변형에 최소한의 영향을 주도록 하는 낮은 영률을 갖는다. 따라서, 레이어(107)의 액티브 영역들은 레이어(207)의 액티브 영역들보다 압축성 변형이 심하다.

[0027] ILD(311)을 형성하기 전에, ILD(111)의 상호접속부(334 및 336)까지 관통하는 비아(305 및 309)용 홀이 각각 형성된다. 또한, ILD(111)의 상호접속부(318 및 133)까지 관통하는 홀들이 형성된다. 비아 재료의 레이어가 적층되어 이러한 홀들을 채운 후, 궁극적인 웨이퍼(301)는 평탄화 및 홀들 외부의 잔여 재료 제거를 위해 폴리싱 처리된다(예를 들어, 화학 기계적 폴리싱 등). 이후, 상호접속부 레이어(ILD)(311)가 형성된다. ILD(311)는 ILD(111)의 상호접속부들을 ILD(211)의 상호접속부들과 결합시키는 상호접속부들(313 및 321)을 포함한다. 또한, ILD(311)는 궁극적인 웨이퍼의 트랜지스터들을 외부 결합시키기 위한 패드들(317 및 327)을 포함한다. 이러한 패드들(예를 들어, 317)을 외부로 드러내기 위한 개구부(예를 들어, 319 등)를 갖는 패시베이션 레이어(312)가 ILD(311) 상에 배치된다. 일부 실시예에서는, 레이어(107)의 소스/드레인 영역들(예를 들어, 119 등)의 이면과 접촉하도록 비아들이 형성될 수 있다.

[0028] 예를 들어, 도전성 캡을 형성하는 단계 및 단일화 단계 등의 후속 처리 단계들이 개별 집적 회로 이후에 웨이퍼(301) 상에 수행될 수 있다.

[0029] 집적 회로에 있어서 일 레이어의 채널 영역들을 다른 레이어의 채널 영역들 보다 압축성 변형이 크게 하는 것은, P-채널 트랜지스터로 하여금 채널 영역들이 상대적으로 보다 많은 압축성 변형을 갖게 하여 정공 이동성을 향상시키게 하며, N-채널 트랜지스터로 하여금 채널 영역들이 상대적으로 보다 신장성이 있는 변형을 갖게 하여 전하 이동성을 향상시키게 한다. 따라서, 전부는 아니지만, P-채널 트랜지스터의 대부분이 웨이퍼(101)의 나머지 레이어들에 배치되고, 전부는 아니지만, N-채널 트랜지스터의 대부분이 웨이퍼(201)의 레이어들에 배치되는 웨이퍼(301)가 만들어질 수 있다. 이러한 구성에 의하면, 일부 실시예에서, P-채널 트랜지스터들은 정공 이동성이 증가하도록 제조될 수 있고, N-채널 트랜지스터들은 전하 이동성이 증가하도록 제조될 수 있다.

[0030] 일 실시예에서, 레이어(107)의 채널 영역들의 변형은 레이어(207)의 채널 영역들의 변형에 비해 보다 압축성이 있다. 도 3에 도시된 바와 같이, 압축성 변형은 도 3을 기준으로 볼 때 수평 방향이지만, 도 3을 기준으로 볼 때 수직 방향으로 보다 압축성이 있을 수도 있다.

[0031] 도 3은 제2 레이어의 채널 영역들의 변형에 비하여 제1 레이어의 채널 영역들의 변형이 보다 압축성이 있는 궁극적인 웨이퍼를 달성하기 위해 하나의 웨이퍼가 다른 웨이퍼에 페이스 다운 구성으로 접합되는 방식의 일 예를 도시한다. 또한, 일부 실시예에서는, 하나의 웨이퍼를 다른 웨이퍼에 페이스 업 구성으로 접합시키는 것이 또한 제2 레이어의 채널 영역들의 변형에 비하여 제1 레이어의 채널 영역들의 변형이 보다 압축성이 있는 궁극적인 웨이퍼를 달성할 수도 있다. 일부 실시예에서, 변형은 페이스 다운 구성에 대해서 보다 페이스 업 구성에 대해서 근소하게 보다 압축성이 있다.

[0032] 도 4-6은 서로 다른 레이어들에 채널 영역들을 갖는 집적 회로의 일 실시예를 페이스 업 구성으로 제조하는 동안의 3개의 서로 다른 단계들을 나타낸다. 도 4는 P-채널 트랜지스터를 갖는 웨이퍼를 도시하는 것으로, 이 웨이퍼느 페이스 업 구성으로 다른 웨이퍼에 부착될 것이다. 도 4에는 절연체(405) 및 기판(403) 위에 배치된 2개의 P-채널 트랜지스터(414 및 416)가 도시된다. 트랜지스터(414)는 레이어(407)에 형성되는 액티브 영역(415)을 포함한다. 액티브 영역(415)은 N 도전형 도펀트(예를 들어, 인 또는 비소 등)로 도핑되며, P+

도전형을 갖도록 카운터 도핑되는 2개의 소스/드레인 영역(417 및 419)와 바디(426)를 포함한다. 트랜지스터(414)는 액티브 영역(415)의 채널 영역(420) 위에 배치되는 게이트(421)(예를 들어, 폴리실리콘 또는 금속 등)를 포함한다. 웨이퍼(401)는 또한 상호접속부(433, 429, 431 및 435)를 갖는 ILD(411)를 포함한다.

[0033] 일 실시예에서, 기판(403), 절연체(405), 레이어(407), 레이어(409) 및 ILD(411)는 웨이퍼(101)의 기판(103), 절연체(105), 레이어(107), 레이어(109) 및 ILD(111)과 유사하다.

[0034] ILD(411)가 형성된 이후, ILD(411) 상에는 산화물 레이어(452)가 형성된다. 일 실시예에서, 산화물 레이어(452)는 두께가 20㎚이고, 이는 후속 처리에서 ILD(411)를 보호하는데 활용된다.

[0035] 기판(453)(예를 들어, 실리콘 등)은 접합 재료(451)에 의해 레이어(452)에 접합된다. 일 실시예에서, 접합 재료(451)는 BCB이지만, 다른 실시예들에서는 다른 타입의 접합 재료를 포함하여도 좋다.

[0036] 기판(453)이 레이어(452)에 접합되고 나서, 기판(403)은, 예를 들어 연마 및 후속 에칭에 의해 제거된다. 그리고, 웨이퍼(401)는 페이스 업 구성으로 다른 웨이퍼에 접합된다.

[0037] 도 5는 웨이퍼(401)가 웨이퍼(502)에 접합되어 페이스 업 구성으로 궁극적인 웨이퍼(501)를 형성한 이후의 부분 측면 절단도이다. 웨이퍼(502)는 기판(503), 절연체(505), 레이어(507), 레이어(509) 및 ILD(511)를 포함한다. ILD(511)는 상호접속부(533, 531 및 532)를 포함한다. 웨이퍼(502)는 2개의 N 채널 트랜지스터(514 및 516)를 포함한다. 일 실시예에서, 웨이퍼(502)는 웨이퍼(201)과 유사하다.

[0038] 웨이퍼(401)는 접합 재료(551)에 의해 웨이퍼(502)에 접합된다. 일 실시예에서, 접합 재료(551)는 BCB이지만, 다른 실시예들에서는 영률이 낮은 접합 재료를 포함하는 다른 타입의 접합 재료일 수 있다.

[0039] 웨이퍼(401)가 웨이퍼(502)에 접합된 이후, 기판(453), 접합 재료(451) 및 레이어(452)가 제거된다.

[0040] 도 6은 기판(453), 접합 재료(451) 및 레이어(452)가 제거된 이후의 궁극적인 웨이퍼(501)의 부분 측면 절단도이다. 레이어(452)의 제거 이후 ILD(605)의 형성 이전에, 비아(607 및 619)에 대한 홀들이 ILD(511)의 상호접속부들(533 및 532)까지 각각 형성된다. 홀들은 또한 비아들(611, 651, 653 및 614) 각각에 대해 ILD(411)의 상호접속부들(433, 429, 431 및 435)까지 각각 형성된다. 비아 재료의 레이어가 홀들을 채우도록 적층된 이후, 궁극적인 웨이퍼(501)는 평탄화 및 홀들 외부의 잔여 재료의 제거를 위해 폴리싱된다(예를 들어, 화학적 기계적 폴리싱 등). 이후 ILD(605)가 형성된다. ILD(605)는 상호접속부들(533 및 433)을 결합시키는 상호접속부(609) 및 상호접속부들(435 및 532)를 결합시키는 상호접속부(621)를 포함한다. 또한, ILD(605)는 궁극적인 웨이퍼(501)에 도시된 트랜지스터들의 외부 결합을 위한 패드(631 및 673) 및 비아들(641 및 635)를 포함한다. ILD(605) 상에는 패시베이션 레이어(661)이 형성되고, 패드들(631 및 673)을 노출하기 위한 개구부들이 만들어진다. 다른 실시예들에서는, 웨이퍼(501)가 다른 타입의 외부 도전성 구조물들을 포함하여도 좋다.

[0041] 웨이퍼(301)에서와 같이, 웨이퍼(501)는 변형이 서로 다른 채널 영역들을 갖는 2개의 레이어들(407 및 507)을 포함한다. 따라서, 레이어(407)의 채널 영역들은 상대적으로 압축성이 더한 변형을 갖고 이에 따라 정공 이동성 증가에 보다 유리하며, 레이어(507)의 채널 영역들은 상대적으로 신장성이 더한 변형을 갖고 이에 따라 전하 이동성에 보다 유리하다.

[0042] 일 실시예에서, 도 3 및 6에 도시된 트랜지스터들은 보상형 MOS(CMOS) 구성으로 트랜지스터들을 구현하는 집적 회로 등의 집적 회로에 활용된다. 일 실시예에서, 레이어들(107, 207, 407 및 507)은 각각의 웨이퍼의 전체 표면을 가로지른다. 다른 실시예에서, 이들 레이어는 웨이퍼의 특정 영역들에 배치되어 집적 회로의 특정 회로들(예를 들어, 프로세서 코어, 메모리 또는 타이머 등)을 구현한다.

[0043] 일 실시예에서, 집적 회로는 기판, 기판 위에 배치된 제1 레이어, 및 제1 레이어에 구현된 제1 복수의 채널 영역들을 포함한다. 제1 레이어에 구현된 채널 영역들 중 적어도 상당 다수는 제1 도전형의 트랜지스터를 위한 것이다. 집적 회로는 또한 제1 레이어 위의 접합 재료, 접합 재료 위의 제2 레이어 및 제2 레이어에 구현된 제2 복수의 채널 영역들을 포함한다. 제2 레이어에 구현된 채널 영역들 중 적어도 상당 다수는 제2 도전형의 트랜지스터를 위한 것이다.

[0044] 다른 실시예는 집적 회로를 형성하는 방법을 포함한다. 이러한 방법은 제1 레이어를 포함하는 제1 웨이퍼를 제공하는 단계를 포함한다. 제1 레이어에서 채널 영역들을 갖는 트랜지스터들의 적어도 상당 다수는 제1 도전형이다. 본 방법은 또한 제2 웨이퍼를 제1 웨이퍼에 접합하는 단계를 포함한다. 제2 웨이퍼는 제2 레이어를 포함한다. 제2 레이어에서 채널 영역들을 갖는 트랜지스터들의 적어도 상당 다수는 제2 도전형이다. 본

방법은 접합 이후 제2 웨이퍼의 일부를 제거하는 단계를 더 포함한다.

[0045] 다른 실시예는 또한 집적 회로를 형성하는 방법을 포함한다. 본 방법은 제1 레이어, 제1 절연체 및 제1 기판을 포함하는 제1 웨이퍼를 제공하는 단계를 포함한다. 제1 절연체는 제1 레이어와 제1 기판 사이에 배치된다. 본 방법은 또한 제1 레이어에 소스/드레인 영역을 형성하는 단계를 포함한다. 소스/드레인 영역의 적어도 상당 다수는 제1 도전형이다. 본 방법은 제2 레이어, 제2 절연체 제2 기판을 포함하는 제2 웨이퍼를 제공하는 단계를 더 포함한다. 제2 절연체는 제2 레이어와 제2 기판 사이에 배치된다. 본 방법은 또한 제2 레이어에 소스/드레인 영역을 형성하는 단계를 더 포함한다. 소스/드레인 영역의 적어도 상당 다수는 제2 도전형이다. 본 방법은 또한 제1 레이어에 소스/드레인 영역을 형성하는 단계 및 제2 레이어에 소스/드레인 영역을 형성하는 단계에 후속하여 제1 웨이퍼를 제2 웨이퍼에 결합시키는 단계를 포함한다. 이러한 결합은 영률이 낮은 재료에 의한 결합을 포함한다. 본 방법은 제1 웨이퍼를 제2 웨이퍼에 결합시키는 단계에 후속하여 제2 기판을 제거하는 단계를 포함한다.

[0046] 본 발명의 특정 실시예들이 도시되고 설명되었지만, 당업자들에게는, 본 명세서에서의 시사점에 기초하여, 본 발명을 벗어나지 않고도 더 이상의 변경사항들 및 변형들이 이루어질 수 있다는 것을 이해할 수 있을 것이므로, 첨부된 특허청구범위는 이러한 변경사항들 및 변형들이 본 발명의 진정한 사상 및 범위 내에 있다는 것을 모두 포괄하기 위한 것이다.

도면의 간단한 설명

[0004] 당업자들에게는 첨부 도면을 참조하면 본 발명이 보다 잘 이해될 것이며, 본 발명의 다양한 대상들, 특징들 및 이점들이 명백하게 될 것이다.

[0005] 도 1은 본 발명에 따른 집적 회로의 일 실시예의 제조의 일 단계 중에 있는 웨이퍼의 부분 절단 측면도이다.

[0006] 도 2는 본 발명에 따른 집적 회로의 일 실시예의 제조의 다른 단계 중에 있는 웨이퍼의 부분 절단 측면도이다.

[0007] 도 3은 본 발명에 따른 집적 회로의 일 실시예의 제조의 다른 단계 중에 있는 웨이퍼의 부분 절단 측면도이다.

[0008] 도 4는 본 발명에 따른 집적 회로의 다른 실시예의 제조의 일 단계 중에 있는 웨이퍼의 부분 절단 측면도이다.

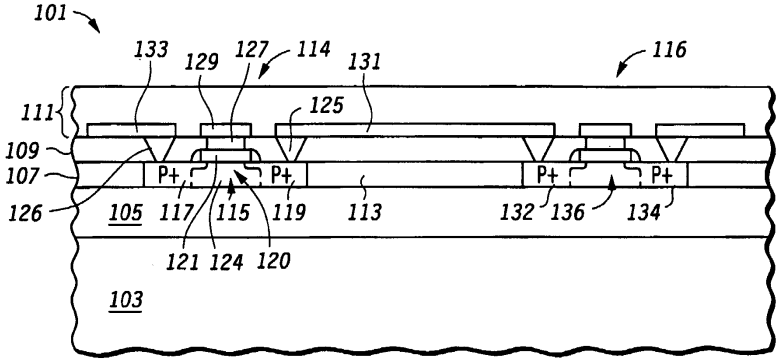
[0009] 도 5는 본 발명에 따른 집적 회로의 다른 실시예의 제조의 다른 단계 중에 있는 웨이퍼의 부분 절단 측면도이다.

[0010] 도 6은 본 발명에 따른 집적 회로의 다른 실시예의 제조의 다른 단계 중에 있는 웨이퍼의 부분 절단 측면도이다.

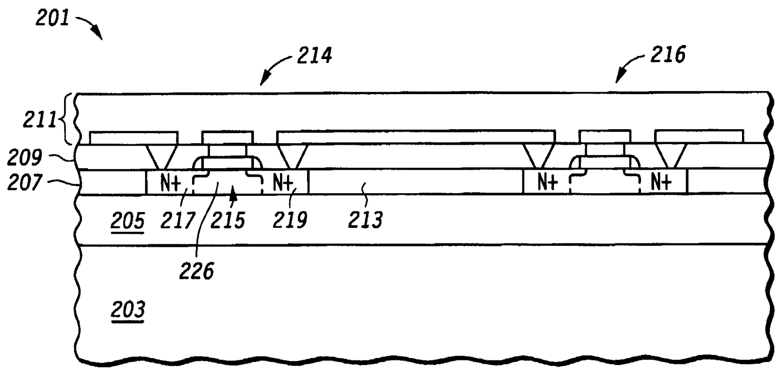
[0011] 서로 다른 도면들에 있는 동일한 참조 부호들은 달리 표시되지 않는 한 동일한 항목들을 지시하는 것이다. 도면들이 반드시 비율에 맞는 것은 아니다.

도면

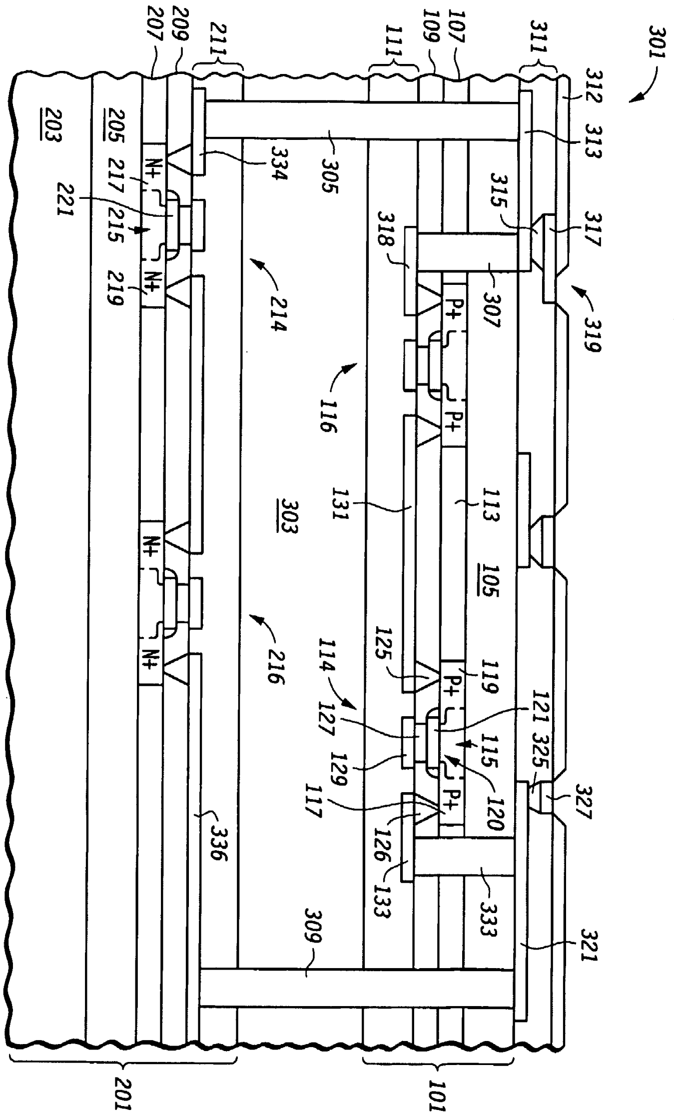
도면1



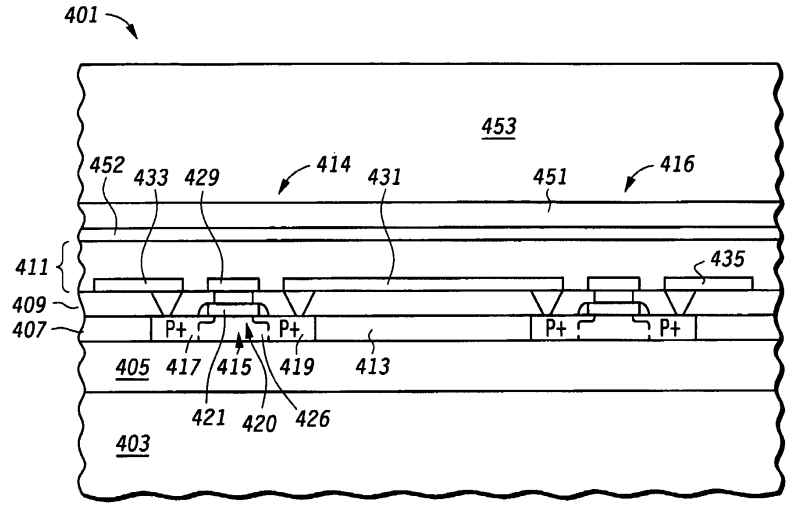
도면2


201
214
216
211
209
207
N+
N+
N+
N+
205
217
215
219
213
226
203

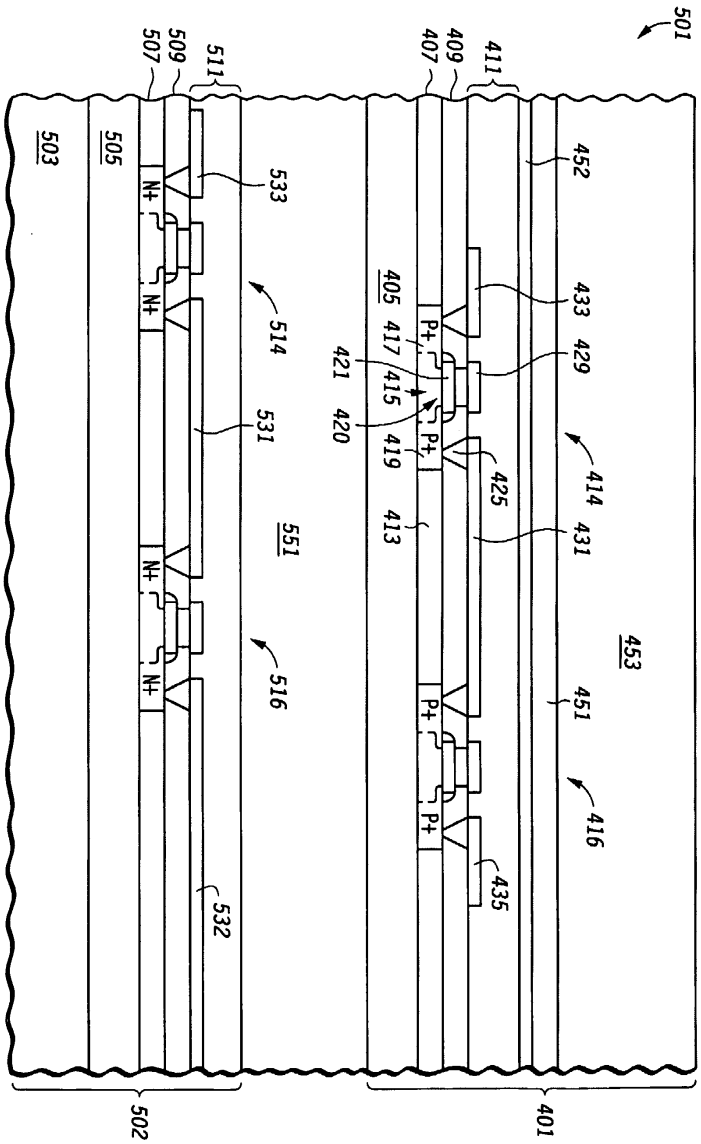
도면3


301
311
312
313
315
317
319
307
318
305
334
111
109
107
211
209
207
203
205
217
221
215
219
N+
N+
N+
N+
P+
P+
P+
P+
214
116
131
113
105
303
125
119
121
325
114
127
115
129
120
117
327
126
133
333
336
309
321
216
201
101

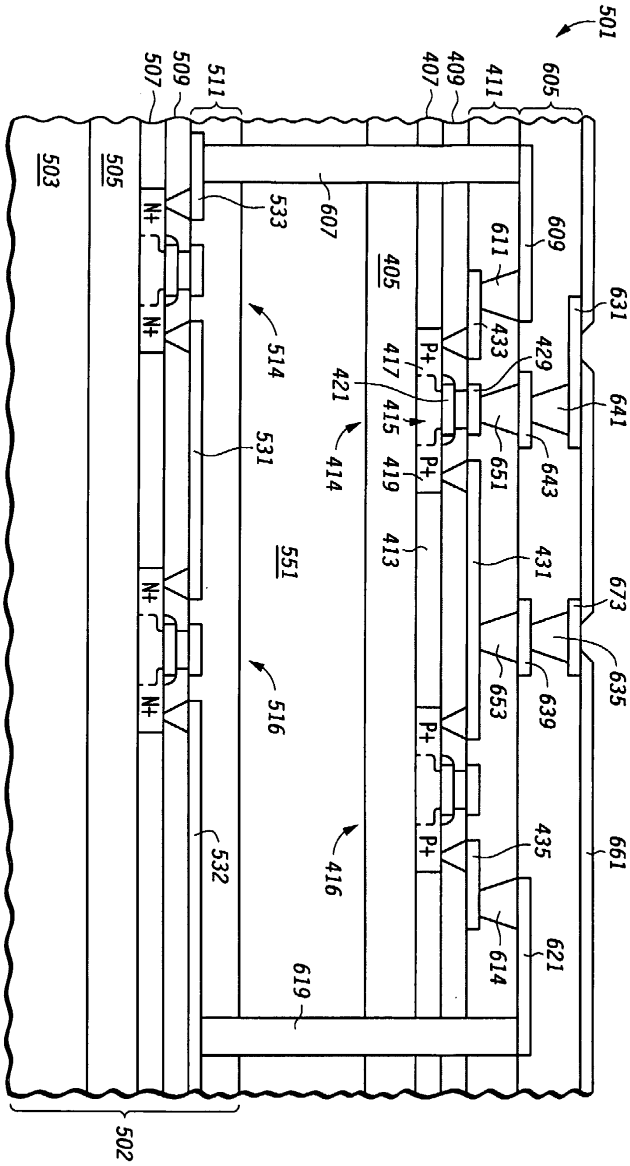
도면4


401
453
452
433
429
414
431
451
416
411
435
409
407
P+
405
417
415
419
413
421
420
426
403

도면5


501
507
509
511
407
409
411
503
505
N+
533
514
531
551
516
532
452
433
429
405
417
415
421
420
419
425
414
431
413
453
451
416
435
P+
502
401

도면6


501
605
411
409
407
511
509
507
503
505
502
N+
P+
533
607
609
611
631
433
429
641
514
405
417
421
415
414
419
651
643
531
551
413
431
673
635
639
653
516
416
435
661
532
621
614
619