

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成22年2月25日(2010.2.25)

【公開番号】特開2007-328900(P2007-328900A)

【公開日】平成19年12月20日(2007.12.20)

【年通号数】公開・登録公報2007-049

【出願番号】特願2007-28839(P2007-28839)

【国際特許分類】

G 11 C 11/413 (2006.01)

【F I】

G 11 C 11/34 335 A

【手続補正書】

【提出日】平成22年1月12日(2010.1.12)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

1対のPチャネルMOS負荷トランジスタと、1対のNチャネルMOS転送トランジスタと、1対のNチャネルMOS駆動トランジスタとを有するメモリセルと、

1対のPチャネルMOS負荷トランジスタと、1対のNチャネルMOS転送トランジスタと、1対のNチャネルMOS駆動トランジスタとを有するダミーメモリセルと、

前記メモリセル及び前記ダミーメモリセルの双方の前記PチャネルMOS負荷トランジスタ用のソース電源を降圧する電圧制御回路と、前記メモリセル及び前記ダミーメモリセルの双方の前記NチャネルMOS駆動トランジスタ用のソース電源を昇圧する電圧制御回路と、前記メモリセル及び前記ダミーメモリセルの双方の前記PチャネルMOS負荷トランジスタの基板電位を昇圧する電圧制御回路と、前記メモリセル及び前記ダミーメモリセルの双方の前記NチャネルMOS転送トランジスタの基板電位を昇圧する電圧制御回路と、前記メモリセル及び前記ダミーメモリセルの双方の前記NチャネルMOS駆動トランジスタの基板電位を降圧する電圧制御回路とのうち少なくとも1つの電圧制御回路とを備え、

前記メモリセルへのデータ書き込み動作時に、前記ダミーメモリセルの前記1対のNチャネルMOS転送トランジスタのゲートにダミー選択信号が与えられた後、書き込み補助動作として前記電圧制御回路の昇圧又は降圧動作を開始し、その後、前記ダミーメモリセルの記憶ノードの値に基づいて前記電圧制御回路の昇圧又は降圧動作を終了し、かつ、

前記電圧制御回路の昇圧又は降圧動作を開始した後に、前記メモリセルの前記1対のNチャネルMOS転送トランジスタのゲートに選択信号が与えられることを特徴とするスタティック型半導体記憶装置。

【請求項2】

請求項1記載のスタティック型半導体記憶装置において、

前記電圧制御回路の昇圧又は降圧動作を終了した後に、前記メモリセルの前記1対のNチャネルMOS転送トランジスタのゲートに選択信号が与えられることを特徴とするスタティック型半導体記憶装置。

【請求項3】

請求項1又は2に記載のスタティック型半導体記憶装置において、

1対のPチャネルMOS負荷トランジスタと、1対のNチャネルMOS転送トランジス

タと、1対のNチャネルMOS駆動トランジスタとを有する他のダミーメモリセルを更に備え、

前記電圧制御回路は、前記複数のダミーメモリセルの各々の記憶ノードの値の論理演算結果に基づいて前記電圧制御回路の昇圧又は降圧動作を終了することを特徴とするスタティック型半導体記憶装置。

【請求項4】

請求項1又は2に記載のスタティック型半導体記憶装置において、

1対のPチャネルMOS負荷トランジスタと、1対のNチャネルMOS転送トランジスタと、1対のNチャネルMOS駆動トランジスタとを有し、かつ1本のワード線を前記メモリセルと共有する他のメモリセルを更に備え、

前記電圧制御回路は、前記ダミーメモリセルを利用して前記複数のメモリセルの各々に同じ昇圧又は降圧動作を行うことを特徴とするスタティック型半導体記憶装置。

【請求項5】

請求項1又は2に記載のスタティック型半導体記憶装置において、

1対のPチャネルMOS負荷トランジスタと、1対のNチャネルMOS転送トランジスタと、1対のNチャネルMOS駆動トランジスタとを有し、かつ1対のビット線を前記メモリセルと共有する他のメモリセルを更に備え、

前記電圧制御回路は、前記ダミーメモリセルを利用して前記複数のメモリセルの各々に同じ昇圧又は降圧動作を行うことを特徴とするスタティック型半導体記憶装置。

【請求項6】

請求項1又は2に記載のスタティック型半導体記憶装置において、

前記電圧制御回路は、

ゲートには第1の制御信号が接続され、ソースには第1の電源が接続され、ドレンには前記メモリセル及び前記ダミーメモリセルの双方の前記NチャネルMOS駆動トランジスタ用のソースが接続された昇圧トランジスタと、

ゲートには第2の制御信号が接続され、ソースには第2の電源が接続され、ドレンには前記メモリセル及び前記ダミーメモリセルの双方の前記PチャネルMOS負荷トランジスタ用のソースが接続された降圧トランジスタとのいずれか一方を含み、

前記第1の制御信号及び前記第2の制御信号は、前記ダミーメモリセルの記憶ノードの値によって制御されることを特徴とするスタティック型半導体記憶装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正の内容】

【0007】

具体的に説明すると、本発明によれば、メモリセル及びダミーメモリセルの双方のPチャネルMOS負荷トランジスタ用のソース電源を降圧する電圧制御回路と、メモリセル及びダミーメモリセルの双方のNチャネルMOS駆動トランジスタ用のソース電源を昇圧する電圧制御回路と、メモリセル及びダミーメモリセルの双方のPチャネルMOS負荷トランジスタの基板電位を昇圧する電圧制御回路と、メモリセル及びダミーメモリセルの双方のNチャネルMOS転送トランジスタの基板電位を昇圧する電圧制御回路と、メモリセル及びダミーメモリセルの双方のNチャネルMOS駆動トランジスタの基板電位を降圧する電圧制御回路とのうち少なくとも1つの電圧制御回路を備え、メモリセルへのデータ書き込み動作時に、ダミーメモリセルの1対のNチャネルMOS転送トランジスタのゲートにダミー選択信号が与えられた後、書き込み補助動作として前記電圧制御回路の昇圧又は降圧動作を開始し、その後、ダミーメモリセルの記憶ノードの値に基づいて前記電圧制御回路の昇圧又は降圧動作を終了する。しかも、前記電圧制御回路の昇圧又は降圧動作を開始した後に、又は前記電圧制御回路の昇圧又は降圧動作を終了した後に、メモリセルの1対のNチャネルMOS転送トランジスタのゲートに選択信号が与えられる。