

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成17年12月22日(2005.12.22)

【公表番号】特表2004-523830(P2004-523830A)

【公表日】平成16年8月5日(2004.8.5)

【年通号数】公開・登録公報2004-030

【出願番号】特願2002-562029(P2002-562029)

【国際特許分類第7版】

G 05 F 3/26

H 03 F 3/45

【F I】

G 05 F 3/26

H 03 F 3/45 A

【手続補正書】

【提出日】平成16年12月16日(2004.12.16)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

差動対をバイアスするのに使用するバイアス回路であって、

相互接続されたゲートを有する対のトランジスタ・デバイスを含むソース電流を発生させる手段、

前記一対のトランジスタ・デバイスのゲート間に等価抵抗を発生させる手段であり、容量を提供する手段と、等価抵抗を確定するために固定された所定の標本化周波数で前記一対のトランジスタ・デバイスの前記ゲートに容量を提供する手段を選択的に接続する手段とを含む等価抵抗を発生させる前記手段、

ソース電流を生成する前記手段が抵抗を発生させる前記手段によって発生された抵抗に比例してバイアス電流を生成するように等価抵抗を発生させる前記手段に電圧を印加する手段、及び

差動対にバイアス電流を印加する手段を含むバイアス回路。

【請求項2】

トランジスタ・デバイスがN M O S デバイスである請求項1のバイアス回路。

【請求項3】

ソース電流を発生させる前記手段が、

第一及び第二の連結点それぞれと接地端子の間に並列に接続された第一及び第二のN M O S デバイス、及び

第一及び第二の連結点それぞれと正電圧源の間に並列に接続された第一及び第二のP M O S デバイスを含み、

前記第一及び第二のN M O S デバイスのゲートは一緒に接続され、さらに第一の連結点に接続され、且つ

前記第一及び第二のP M O S デバイスのゲートは一緒に接続され、さらに第二の連結点に接続される、請求項2のバイアス回路。

【請求項4】

等価抵抗を発生させる前記手段が、

前記第一及び第二のN M O S デバイスのゲートを接続する標本化連結点と接地端子との

間に接続されたキャパシタ、及び

標本化連結点と前記第一のN M O S デバイスのゲートとの間に接続された第一のクロック入力及び標本化連結点と前記第一のN M O S デバイスのゲートとの間に接続された第二のクロック入力を含み、

第一及び第二のクロック入力が所定の標本化周波数で重なり合わないクロック信号を提供する、請求項3のバイアス回路。

【請求項5】

抵抗を発生させる前記手段が、

前記第一及び第二のN M O S デバイスのゲートを接続する第一の標本化連結点と接地端子との間に接続された第一のキャパシタ、及び

第一の標本化連結点と前記第一のN M O S デバイスのゲートとの間に接続された第一のクロック入力及び第一の標本化連結点と前記第一のN M O S デバイスのゲートとの間に接続された第二のクロック入力、

前記第一及び第二のN M O S デバイスのゲートを接続する第二の標本化連結点と接地端子との間に接続された第二のキャパシタ、及び

第二の標本化連結点と前記第一のN M O S デバイスの前記ゲートとの間に接続された第三のクロック入力、及び第二の標本化連結点と前記第一のN M O S デバイスの前記ゲートとの間に接続された第四のクロック入力を含み、

前記第一及び第二のクロック入力は所定の標本化周波数で重なり合わないクロック信号を提供し、且つ前記第三及び第四のクロック入力は所定の標本化周波数で重なり合わないクロック信号を提供する、請求項3のバイアス回路。

【請求項6】

抵抗を発生させる前記手段が、

前記第一及び第二のN M O S デバイスのゲートの間に接続されたキャパシタ、及び

前記キャパシタの第一の端子と前記第一のN M O S デバイスの前記ゲートとの間に接続され、そしてまた前記キャパシタの第二の端子と前記第二のN M O S デバイスの前記ゲートとの間に接続された第一のクロック入力、

前記キャパシタの第一の端子と接地端子との間に接続され、そしてまた前記キャパシタの第二の端子と接地端子との間に接続された第二のクロック入力を含み、

前記第一及び第二のクロック入力は所定の標本化周波数で重なり合わないクロック信号を提供する、請求項3のバイアス回路。

【請求項7】

抵抗を発生させる前記手段が、

前記第一及び第二のN M O S デバイスのゲートの間に接続された第一のキャパシタ、及び

前記第一のキャパシタの第一の端子と前記第一のN M O S デバイスの前記ゲートとの間に接続され、そしてまた前記第一のキャパシタの第二の端子と前記第二のN M O S デバイスの前記ゲートとの間に接続された第一のクロック入力、

前記第一のキャパシタの第一の端子と接地端子との間に接続され、そしてまた前記第一のキャパシタの第二の端子と接地端子との間に接続された第二のクロック入力、

前記第一及び第二のN M O S デバイスのゲートの間に接続された第二のキャパシタ、

前記第二のキャパシタの第一の端子と前記第一のN M O S デバイスの前記ゲートとの間に接続され、そしてまた前記第二のキャパシタの第二の端子と前記第二のN M O S デバイスの前記ゲートとの間に接続された第三のクロック入力、

前記第二のキャパシタの第一の端子と接地端子との間に接続され、そしてまた前記第二のキャパシタの第二の端子と接地端子との間に接続された第四のクロック入力を含み、

前記第一及び第二のクロック入力は所定の標本化周波数で重なり合わないクロック信号を提供し、且つ前記第三及び第四のクロック入力は所定の標本化周波数で重なり合わないクロック信号を提供する、請求項3のバイアス回路。

【請求項8】

抵抗を発生させる前記手段を交差して電圧を印加する前記手段が、
前記第一のN M O Sデバイスのゲートと接地端子との間に接続された第三のN M O Sデ
バイス、

第三の連結点と接地端子との間に接続された第四のN M O Sデバイス、
第一の連結点と正電圧源との間に接続された第三のP M O Sデバイス、及び
第三の連結点と正電圧源との間に接続された第四のP M O Sデバイスを含み、
第三及び第四のN M O Sデバイスのゲートは一緒に接続され、さらに第二の連結点に接
続される、請求項3のバイアス回路。

【請求項9】

差動対にバイアス電圧を印加する前記手段が、
一対の電流源デバイスのソースを差動対に接続するバイアス線を含む、請求項1のバイ
アス回路。

【請求項10】

差動対をバイアスするのに使用するバイアス回路であって、
相互接続されたゲートを有する一対の電流源デバイス、
前記一対の電流源デバイスのゲートの間に等価抵抗を発生させる抵抗等価回路であり、
標本化キャパシタと、等価抵抗を確定するために固定された所定の標本化周波数で一対の
電流源デバイスのゲートに標本化キャパシタを接続するスイッチング回路を含む抵抗等価
回路、

前記抵抗等価回路に電圧を印加するため前記抵抗等価回路に接続された電圧設定回路、
及び

一対の電流源デバイスから差動対に電圧出力を接続するバイアス線を含むバイアス回路
。

【請求項11】

抵抗等価回路が、
前記対の電流源デバイスを接続する標本化連結点と接地端子との間に接続されたキャパ
シタ、及び
標本化連結点と前記第一の電流源デバイスとの間に接続された第一のクロック入力及び
標本化連結点と前記第二の電流源デバイスとの間に接続された第二のクロック入力を含み
、
前記第一及び第二のクロック入力は所定の標本化周波数で重なり合わないクロック信号
を提供する、請求項10のバイアス回路。

【請求項12】

前記抵抗等価回路が、
前記第一及び第二の電流源デバイスのゲートの間に接続されたキャパシタ、
前記キャパシタの第一の端子と第一の電流源デバイスの前記ゲートとの間に接続され、
そしてまた前記キャパシタの第二の端子と第二の電流源デバイスの前記ゲートとの間に接
続された第一のクロック、
前記キャパシタの第一の端子と接地端子との間に接続され、そしてまた前記キャパシタ
の第二の端子と前記接地端子との間に接続された第二のクロックを含み、

前記第一及び第二のクロック入力は所定の標本化周波数で重なり合わないクロック信号
を提供する、請求項10のバイアス回路。

【請求項13】

前記対の電流源デバイスが第一及び第二N M O Sデバイスを含む請求項10のバイアス
回路。

【請求項14】

抵抗等価回路が、
第一及び第二のN M O Sデバイスのゲート間に接続された第一のキャパシタ、及び
前記第一のキャパシタの第一の端子と前記第一のN M O Sデバイスのゲートとの間に接
続され、そしてまた前記第一のキャパシタの第二の端子と前記第二のN M O Sデバイスの

前記ゲートとの間に接続された第一のクロック入力、

前記第一のキャパシタの第一の端子と接地端子との間に接続され、そしてまた前記第一のキャパシタの第二の端子と接地端子との間に接続された第二のクロック入力、

前記第一及び第二のN M O S デバイスのゲート間に接続された第二のキャパシタ、

前記第二のキャパシタの第一の端子と前記第一のN M O S デバイスの前記ゲートとの間に接続され、そしてまた前記第二のキャパシタの第二の端子と前記第二のN M O S デバイスの前記ゲートとの間に接続された第三のクロック入力、

前記第二のキャパシタの第一の端子と接地端子との間に接続され、そしてまた前記第二のキャパシタの第二の端子と接地端子との間に接続された第四のクロック入力を含み、

前記第一及び第二のクロック入力は所定の標本化周波数で重なり合わないクロック信号を提供し、且つ前記第三及び第四のクロック入力は所定の標本化周波数で重なり合わないクロック信号を提供する、請求項1_3のバイアス回路。

【請求項 1 5】

前記対の電流源デバイスが第一及び第二の連結点それぞれと接地端子の間で並列に接続された第一及び第二のN M O S デバイスを含み、そして

前記バイアス回路は第一及び第二の連結点それぞれと正電圧源の間で並列に接続された第一及び第二のP M O S デバイスを含み、

前記第一及び第二のN M O S デバイスのゲートは一緒に接続され、さらに第一の連結点に接続され、且つ

前記第一及び第二のP M O S デバイスのゲートは一緒に接続され、さらに第二の連結点に接続された、請求項1_3のバイアス回路。

【請求項 1 6】

前記電圧設定回路が、

第一のN M O S デバイスのゲートと接地端子との間に接続された第三のN M O S デバイス、

第三の連結点と接地端子との間に接続された第四のN M O S デバイス、

第一の連結点と正電圧源との間に接続された第三のP M O S デバイス、及び

第三の連結点と正電圧源との間に接続された第四のP M O S デバイスを含み、

第三及び第四のN M O S デバイスのゲートは一緒に接続され、さらに第三の連結点に接続され、且つ

第三及び第四のP M O S デバイスのゲートは一緒に接続され、さらに第二の連結点に接続された、請求項1_5のバイアス回路。

【請求項 1 7】

前記差動対が、

第一及び第二の入力線それぞれに接続された第五及び第六のN M O S デバイスのゲートを有し、第四の連結点と正電圧源との間に並列に接続された第五及び第六のN M O S デバイス、及び

バイアス線を介してバイアス回路に接続された第七のN M O S デバイスのゲートを有し、第四の連結点と接地端子との間に接続された第七のN M O S デバイスを含む、請求項1_6のバイアス回路。

【請求項 1 8】

バイアス線が第一及び第二のN M O S デバイスと接地端子との間に接続された第五の連結点に接続される請求項1_5のバイアス回路。

【請求項 1 9】

第一及び第二のN M O S デバイスのソースに接続されたソースフォロア回路を含み、ソースフォロア回路が差動対の共通モード電圧を入力に設定されたゲート電圧を有する請求項1_3のバイアス回路。

【請求項 2 0】

ソースフォロア回路が、

正電圧源と第一及び第二のN M O S デバイスのソースとの間に接続され、且つ共通モ-

ド電圧入力線に接続されたゲートを有する第八のN M O S デバイス、

第一及び第二のN M O S デバイスのソースと接地端子との間に接続された第九のN M O S デバイス、及び

正電圧源と接地端子との間に直列に接続された第十のN M O S デバイスおよび第五のプル-アップ(pull-up)デバイスを含み、

第九及び第十のN M O S デバイスのゲートは一緒に接続され、また第五のP M O S デバイスと第十のN M O S デバイスとの間で第六の連結点に接続され、且つ

第九のN M O S デバイスのドレインは第三及び第四のN M O S デバイスのソースに接続する、請求項19のバイアス回路。