RÉPUBLIQUE FRANÇAISE

INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE

PARIS

(11) N° de publication : **2 471 000**
(A n'utiliser que pour les commandes de reproduction).

A1

DEMANDE DE BREVET D'INVENTION

(21) **N° 79 29587**

(54) **Procédé et dispositif de contrôle du nombre de tentatives d'accès à une mémoire électronique, notamment celle d'un circuit intégré d'un objet comme une carte de crédit ou une carte d'achat.**

(51) Classification internationale (Int. Cl.³). **G 06 K 9/00; G 11 C 7/00.**

(22) Date de dépôt..... 30 novembre 1979.

(33) (32) (31) Priorité revendiquée :

(41) Date de la mise à la disposition du public de la demande..... B.O.P.I. — « Listes » n° 24 du 12-6-1981.

(71) Déposant : Société dite : ELECTRONIQUE MARCEL DASSAULT, résidant en France.

(72) Invention de : Jean-Claude Basset et Guy Belenfant.

(73) Titulaire : *Idem* (71)

(74) Mandataire : André Netter, conseil en brevets d'invention,
40, rue Vignon, 75009 Paris.

2471000

L'invention concerne un procédé et un dispositif de contrôle du nombre de tentatives d'accès à une mémoire électronique, notamment celle d'un circuit intégré d'un objet portatif comme une carte de crédit ou d'une carte d'achat.

Une carte de ce type peut être introduite dans un appareil ou terminal destiné à effectuer et enregistrer une opération ou transaction, comme un distributeur de billets de banque ou un appareil débiteur-créditeur placé chez un commerçant, la transaction n'étant effective qu'après vérification, grâce à la mémoire électronique incluse dans le circuit intégré de la carte, qu'un certain nombre de conditions sont remplies, comme le fait de communiquer à l'appareil le code qui est propre au titulaire de la carte, par exemple une succession déterminée de chiffres.

On connaît une telle carte avec laquelle toute tentative de transaction est, lorsque le résultat de la vérification est négatif, enregistrée de manière permanente dans la mémoire du circuit intégré, par exemple par destruction d'un point fusible de celle-ci grâce à un courant de mise en mémoire de valeur relativement importante fourni par le terminal.

Quand le nombre de tentatives infructueuses ainsi enregistré dépasse une valeur prédéterminée, la carte est rendue inutilisable. On évite ainsi la fraude qui consisterait, pour un non titulaire en possession de la carte, à communiquer successivement à l'appareil toutes les combinaisons possibles de chiffres formant un code, ce qui implique un nombre considérable de tentatives.

Pour éviter qu'un fraudeur ne puisse, en interposant un limiteur de courant dans les liaisons terminal-carte, éviter l'enregistrement dans cette dernière d'une tentative infructueuse, ou simplement retirer la carte dès que le courant augmente dans la liaison, on a proposé de fournir à la carte connue un courant également lorsque le résultat de la vérification est positif de manière à simuler le courant de mise en mémoire, ce courant passant alors dans une résistance de dissipation incluse dans la carte grâce à des moyens d'aiguillage propres à cette dernière.

La présence dans le circuit intégré de la carte d'un élément résistif de dissipation est cependant un inconvénient car, d'une part cet élément est nécessairement d'un volume important, et d'autre part la simulation du courant de mise en mémoire n'est pas parfaite.

De plus, la carte connue ne fait pas de distinction entre les essais refusés ou tentatives infructueuses successifs et ceux qui ne le sont pas, rendant ainsi difficile son utilisation pour les vérifications préalables indispensables à l'exécution des transactions bancaires.

L'invention a pour but d'éliminer ces inconvénients tout en procurant une carte qui puisse, après que son utilisation ait été bloquée dans un premier terminal, être utilisée dans un second terminal différent du premier, par exemple pour une dernière tentative.

Le procédé de contrôle selon l'invention est caractérisé en ce qu'on met en mémoire toutes les tentatives d'accès, qu'elles soient acceptées ou refusées, ainsi que le résultat de chaque tentative : acceptation ou refus.

L'utilisation d'une résistance de dissipation est alors rendue inutile, et l'identité des courants de mise en mémoire circulant dans les liaisons terminal-carte en cas d'acceptation et en cas de refus est assurée, rendant ainsi stérile l'observation par un fraudeur du courant de mise en mémoire.

L'ensemble des tentatives d'accès étant mémorisé, il est alors facile de bloquer le fonctionnement de la carte lorsqu'un nombre prédéterminé de tentatives d'accès refusées et consécutives est atteint, en évitant ainsi le blocage qui résulterait de fausses manoeuvres sporadiques du titulaire de la carte.

En variante, le terminal comporte des moyens qui empêchent l'utilisation de la carte après trois tentatives refusées successives enregistrées dans la carte, celle-ci restant toutefois utilisable sur un autre terminal pour au moins une tentative supplémentaire.

Chaque tentative est enregistrée de manière permanente dans des éléments de mémoire dont l'adresse est caractéristique du résultat de l'essai de transaction.

De manière avantageuse, ces éléments de mémoire sont constitués par deux registres, ou mots de mémoire, réservés respectivement aux tentatives acceptées et aux tentatives refusées, les adresses des éléments des registres étant choisies de manière qu'un seul compteur peut, sans calcul, déterminer, en fonction du résultat de la procédure de vérification, l'adresse de l'élément suivant de registre qui doit être utilisée.

On peut ainsi mettre en oeuvre un circuit intégré particulier pour chaque type de carte, au lieu d'un circuit de microprocesseur, ce qui permet d'accroître la difficulté des fraudes.

Dans la description qui suit, faite à titre d'exemple, on se réfère au dessin annexé, dans lequel :

- la figure 1 est un schéma d'éléments de mémoire et de leurs adresses ;
- la figure 2 est un tableau ;
- la figure 3 est un schéma-bloc du dispositif selon l'invention.

Après introduction, par un usager, d'une carte à circuit intégré dans un terminal, le numéro de code confidentiel mis en mémoire dans le circuit intégré de la carte est comparé au numéro de code introduit par l'usager dans le terminal, par exemple à l'aide d'un clavier à touches, l'opération à laquelle est apte le terminal n'étant effectuée, et l'accès à la mémoire du circuit intégré n'étant effectif, que si le résultat de la comparaison ou vérification est positif, c'est-à-dire si les deux numéros de code sont identiques.

Selon l'invention, chaque essai ou tentative d'accès, c'est-à-dire chaque communication par l'usager d'un numéro de code, est enregistré par la mémoire de la carte, en même temps que le résultat de la comparaison.

Pour cela, la mémoire dispose d'un certain nombre d'éléments, formant un mot ou un registre, et qui sont réservés aux tentatives d'accès refusées par la carte, ainsi que d'un nombre identique d'éléments, formant un mot ou registre supplémentaire, et qui sont réservés aux essais acceptés par

la carte.

Par exemple, et sans que les chiffres suivants aient une quelconque valeur limitative, chacune des mémoires des tentatives refusées ou acceptées comporte 250 éléments (figure 1), qui sont initialement tous dans un état prédéterminé, à savoir l'état logique 0, ce nombre étant supérieur au nombre de transactions, par exemple 150, possible avec une même carte.

Lorsque, ainsi qu'il est représenté à la figure 1, la première tentative du titulaire de la carte a été acceptée, le premier élément de mémoire du mot correspondant aux tentatives acceptées est porté à l'état logique 1, et conserve cet état, même lorsque la carte n'est pas sous tension, c'est-à-dire est retirée du terminal.

A cet effet, la mémoire des tentatives refusées et acceptées est constituée par une mémoire non volatile, par exemple du type programmable ou reprogrammable, à point fusible ou point court-circuit, etc.

On a représenté à la figure 1 l'état des mémoires d'acceptation et de refus après les quatorze premières tentatives de l'utilisateur de la carte, les tentatives 1, 3 à 7, 9 et 11 ayant été acceptées, et les tentatives 2, 8, 10, et 12 à 14 ayant été refusées.

Dans l'exemple représenté, on a supposé que les trois premières tentatives refusées consécutives, à savoir les tentatives 12 à 14, entraînaient le blocage de la carte, par des moyens connus en eux-mêmes.

Il est avantageux d'adopter, pour les adresses des éléments-mémoires de refus, des nombres pairs, et pour les adresses des éléments de mémoires correspondant aux essais acceptés, des nombres impairs, ces nombres étant séparés par un nombre pair donné, à savoir deux dans l'exemple considéré ; les adresses des éléments de la mémoire des refus varient dans ce cas par exemple entre 0 et 498, et celles des éléments de la mémoire des essais acceptés entre 1 et 499.

En effet, si le signal de sortie A du moyen de comparaison ou vérification de code de la carte passe à l'état

logique 1 lorsque la tentative est acceptée (figure 2), et à l'état logique nul lorsque la tentative est refusée, il suffit, pour connaître la nouvelle adresse de l'élément mémoire, d'ajouter le chiffre 2 à l'adresse précédente, représentée en binaire, dont on modifie le bit de plus faible poids pour le rendre identique à la sortie du moyen de vérification. Un simple compteur permet donc de déterminer, sans calculs, la nouvelle adresse.

La sortie de lecture 11 des registres-mémoires refus et acceptation 12 (figure 3) est reliée par une liaison 13 aux portes d'entrée 14, 15 de circuits logiques ET 16, 17 respectivement, dont une seconde entrée 18, 19 est reliée à la sortie 20 d'un dispositif d'horloge 21, par exemple inclus dans le terminal, et dont les troisièmes entrées 22, 23 sont reliées à la sortie du dispositif de vérification de code 9 de la carte, avec interposition entre l'entrée 22 du circuit logique ET 16 et la sortie 8 du moyen de vérification de code 9, d'un inverseur 24. La mémoire 12 est précédée par un décodeur d'adresse 25 dont une première entrée 26 est reliée à la sortie d'un élément logique OU 26' dont une entrée est reliée à la sortie 8 du moyen de vérification 9 et dont l'autre entrée est sous la commande d'un séquenceur (non représenté). La première entrée 26 du décodeur 25 reçoit ainsi le signal A issu de la sortie 8 du moyen de vérification de code 9, qui constitue le bit de plus faible poids de l'adresse de l'élément de mémoire qui doit être enregistré, et la seconde entrée 27 du décodeur 25 est reliée, pour recevoir les autres bits constitutifs de l'adresse, à savoir $a_n \ldots a_1$, à la sortie d'un élément logique OU 27' dont une entrée est reliée à la sortie 71 d'un compteur d'adresse des essais 69 et dont l'autre entrée est sous la commande du séquenceur.

La sortie 28 de l'élément logique ET 16 est reliée à l'entrée 29 d'un circuit logique OU 31, dont la seconde entrée 32 est reliée à la sortie 33 d'un circuit logique ET 34 dont une première entrée 35 est reliée à la sortie du moyen de vérification de code 9, avec interposition d'un inverseur et dont la seconde entrée 36 est reliée à la sortie 37 d'un

générateur d'impulsions d'avance compteur 38 avec interposition d'un diviseur par deux 66 du nombre d'impulsions transmises.

La sortie 39 du circuit logique OU 31 est reliée à l'entrée de comptage 41 ou entrée d'horloge d'un compteur des essais refusés 42 dont la sortie 43 est reliée à l'entrée 44 d'un décodeur 45 dont la sortie 46 est reliée à une bascule 47.

La sortie 48 de l'élément logique ET 17 est reliée à l'entrée 49 d'un élément logique OU 51 dont la seconde entrée 52 est reliée à la sortie 53 d'un élément logique ET 54, dont la première entrée 55 est reliée à la sortie 8 du moyen de vérification de code 9, et dont la seconde entrée 56 est reliée à la sortie 37 du générateur d'impulsions 38 par le diviseur 66.

La sortie 57 de l'élément logique OU 51 est reliée, d'une part à l'entrée 58 de remise à zéro du compteur des essais refusés 42, et d'autre part à l'entrée de comptage 59 ou entrée d'horloge d'un compteur des essais acceptés 61.

L'entrée 29 de l'élément logique OU 31 est reliée à l'entrée 62 d'un élément logique OU 63 dont la seconde entrée 64 est reliée à la première entrée 49 de l'élément logique OU 51, et dont la troisième entrée 65 est reliée à la sortie 37 du générateur d'impulsions 38. La sortie 67 de l'élément logique OU 63 est reliée à l'entrée de comptage 68 ou entrée d'horloge d'un compteur 69 des adresses des tentatives, dont la sortie 71 est reliée à l'entrée 27 du décodeur d'adresse 25.

Un dispositif de remise à zéro général 72 a sa sortie 73 reliée aux entrées de remise à zéro 74, 75, 58, et 77 respectivement des compteurs 69, 61, 42, et de la bascule 47.

Le fonctionnement de ce dispositif est le suivant :

Dès qu'un utilisateur introduit une carte dans le terminal, le séquenceur de la carte effectue un certain nombre d'opérations d'initialisation et ceci suffisamment rapidement pour que ces opérations soient terminées avant que l'utilisateur ait eu le temps d'introduire dans le terminal son code confidentiel. Au cours de cette phase d'initialisation, si la mémoire 12 reste dans l'état qu'elle a acquis à la fin de la

tentative d'accès précédente, par contre les compteurs 42, 61, 69 et la bascule 47, qui sont dans un état arbitraire lorsque la carte n'est pas dans un terminal, sont remis à zéro par le moyen de remise à zéro général 72 agissant sur les entrées 58, 75, 74 et 77 respectivement de ces éléments.

Le séquenceur porte ensuite les entrées 26 et 27 du décodeur d'adresse 25 aux états logiques nécessaires pour qu'une lecture de tous les éléments de la mémoire 12 soit effectuée successivement, à savoir une lecture de l'état de l'élément de la mémoire refus d'adresse nulle, puis une lecture de l'état de l'élément de la mémoire d'acceptation d'adresse un, à laquelle succède la lecture de l'état de l'élément de la mémoire refus d'adresse 2, et ainsi de suite jusqu'à la lecture de l'état de l'élément de la mémoire d'acceptation d'adresse 499.

Au cours de cette lecture, le compteur des essais acceptés 61 enregistre le nombre total des essais figurant dans la mémoire d'acceptation, à savoir huit dans l'exemple représenté à la figure 1, et ceci par l'intermédiaire des éléments logiques ET 17 et OU 51.

Au cours de cette séquence également, le compteur d'essais refusés 42 enregistre le nombre des essais refusés consécutifs figurant dans la mémoire refus, par l'intermédiaire des éléments logiques ET 16 et OU 31, le compteur 42 étant remis à zéro par le signal apparaissant à son entrée 58 chaque fois qu'un essai accepté est lu dans la mémoire 12.

Dans l'exemple représenté à la figure 1, le compteur 42 passera ainsi à l'état 1 à la troisième étape de la lecture, reviendra ensuite à l'état nul, et ainsi de suite jusqu'à ce qu'il acquiert successivement l'état 1, l'état 2 et l'état 3 au cours des séquences de lecture successives vingt-trois, vingt-cinq et vingt-sept. A cet instant, le décodeur 45 est activé, ce qui fait basculer la bascule 47 et bloque par des moyens connus, non représentés, le fonctionnement de la carte.

Si, au contraire, la mémoire refus n'a pas déjà enregistré trois essais non acceptés consécutifs, le fonctionnement de la carte n'est pas interrompu, et le compteur 42

indique à la fin de la phase d'initialisation la veleur 0 ou 1 selon que le dernier essai enregistré a été accepté ou refusé et la valeur 2 si les deux derniers essais ont été refusés, dans le même terminal ou un terminal différent.

Egalement, au cours de la même séquence de lecture, le compteur d'adresses d'essais, dont l'état augmente d'une unité chaque fois qu'un refus ou qu'une acceptation est lue dans la mémoire 12, se met, à la fin du cycle de lecture, dans l'état qui correspond à l'adresse du dernier élément de mémoire enregistré, c'est-à-dire celui qui correspond à la dernière tentative.

La phase d'initialisation est alors terminée, et le dispositif peut maintenant prendre en compte les nouveaux essais effectués par le possesseur de la carte.

Au cours de ceux-ci, les différents compteurs changent d'état, non pas sous l'action de la sortie 11 de la mémoire 12, qui reste à son état logique nul, mais sous l'action des sorties 33, 53 des éléments logiques ET 34 et 54, recevant sur leurs entrées respectives, d'une part des impulsions émises par le générateur d'impulsions 38 ou dispositif d'avance de compteur, et d'autre part le signal de sortie A ou son inverse $\overline{A}$ du moyen de vérification de code 9.

De la même manière que précédemment, dès que trois essais refusés consécutifs sont enregistrés dans le compteur 42, un ou deux de ces essais pouvant d'ailleurs avoir été effectués par le titulaire de la carte précédemment aux essais actuellement pris en compte, le décodeur 45 bloque le fonctionnement de la carte.

A chaque essai effectué, le compteur d'adresses tentatives 69 avance, sous l'effet des signaux reçus à son entrée 65, de deux unités, de manière à ce que sa sortie 71 corresponde aux bits $a_n \ldots a_1$ de la nouvelle adresse de l'élément mémoire dans lequel le nouvel essai doit être enregistré, le bit a_0 étant lui fourni par la sortie 8 du moyen de vérification 9.

Dans une variante de réalisation du dispositif selon l'invention, le décodeur 45 n'entraîne le changement d'état

de la bascule 47, et donc le blocage de la carte, que lorsque la valeur enregistrée par le compteur d'essais infructueux atteint le chiffre 4.

Le terminal dans lequel est introduite la carte comporte alors un dispositif semblable au dispositif décrit précédemment, qui bloque l'utilisation de la carte dans le terminal au bout du troisième essai. Cependant, la carte peut encore être utilisée une dernière fois sans blocage sur un autre terminal, l'utilisateur ayant ainsi la possibilité de vérifier entre-temps son code confidentiel. Ce mode de fonctionnement permet de ne pas pénaliser le titulaire de la carte pour des erreurs de fonctionnement d'un terminal.

Dans l'une ou l'autre des variantes décrites précédemment, on peut prévoir que, si la carte dispose d'un moyen de discrimination entre les refus de tentatives d'accès dus à la frappe d'un mauvais code par l'usager et les refus dus à des transmissions défectueuses du code frappé par l'usager, la tentative n'est pas prise en compte dans ce dernier cas par les compteurs du dispositif.

De même, le terminal peut être ou ne pas être relié à un ordinateur central.

REVENDICATIONS

1. Procédé de contrôle du nombre de tentatives d'accès à un dispositif de mémoire électronique, notamment celle d'un circuit intégré d'un objet portatif comme une carte de crédit ou d'achat introduite dans un terminal, caractérisé en ce qu'on met en mémoire dans la carte toute tentative d'accès, ainsi que le résultat de la vérification de la validité de la tentative.

2. Procédé selon la revendication 1, caractérisé en ce que la possibilité d'utilisation de la carte est interrompue lorsqu'un nombre prédéterminé de tentatives d'accès refusées et consécutives est atteint.

3. Procédé selon la revendication 1, caractérisé en ce que le terminal interrompt l'utilisation de la carte après un nombre prédéterminé de tentatives d'accès refusées et consécutives, la carte pouvant être utilisée au moins une autre fois dans un terminal différent.

4. Procédé selon l'une quelconque des revendications précédentes, caractérisé en ce que les adresses des éléments-mémoires dans lesquels sont enregistrées les tentatives d'accès caractérisent le résultat de la vérification.

5. Procédé selon l'une quelconque des revendications précédentes, caractérisé en ce qu'on calcule, dès que la carte est introduite dans un terminal, et avant que l'utilisateur n'introduise dans le terminal son code confidentiel, le nombre total d'essais acceptés et le nombre des derniers essais refusés consécutifs lorsque le dernier essai a été refusé.

6. Procédé selon l'une quelconque des revendications précédentes, caractérisé en ce que, à partir du résultat de la vérification par la carte de l'identité du code mis en mémoire par la carte et du code introduit par l'utilisateur dans le terminal, et à partir de l'adresse de l'élément-moire dans lequel est enregistrée la tentative précédente, on détermine par addition d'un chiffre fixe la nouvelle adresse de l'élément-mémoire dans lequel doit être enregistrée la nouvelle tentative.

7. Procédé selon la revendication 6, caractérisé en

ce qu'on remplace le bit de plus faible poids de l'adresse précédente écrite en chiffres binaires par la valeur binaire nulle si le résultat de la comparaison est négatif, et par la valeur binaire 1 si le résultat de la comparaison est positif.

8. Dispositif pour la mise en oeuvre d'un procédé selon l'une quelconque des revendications précédentes.

9. Dispositif selon la revendication 8, caractérisé en ce que des éléments-mémoires permanents (12) sont utilisés pour la mise en mémoire de chacun des essais effectués par le possesseur de la carte.

10. Dispositif selon la revendication 9, caractérisé en ce que les éléments-mémoires (12) sont assemblés en deux mots ou registres, dont l'un est affecté à la mise en mémoire des essais acceptés et dont l'autre est affecté à la mise en mémoire des essais refusés.

11. Dispositif selon l'une des revendications 9 ou 10, caractérisé en ce que les adresses des éléments du premier registre sont paires et sont séparées chacune par un nombre pair donné, les adresses des éléments de l'autre registre étant impaires et étant séparées par le même nombre.

12. Dispositif selon la revendication 11, caractérisé en ce que les adresses des éléments du premier registre varient entre zéro et 2k, les adresses des éléments du second registre variant entre un et 2k + 1.

13. Dispositif selon l'une quelconque des revendications 9 à 12, caractérisé en ce qu'il comporte un compteur d'essais refusés (42) relié par un inverseur (7) à la sortie (8) du moyen de vérification de code (9) et relié à un générateur d'impulsions d'avance compteur (38).

14. Dispositif selon l'une quelconque des revendications 9 à 13, caractérisé en ce qu'il comporte un compteur d'essais acceptés (61) relié d'une part à la sortie (8) des moyens de vérification de code (9), et d'autre part à un dispositif générateur d'impulsions d'avance compteur (38).

15. Dispositif selon les revendications 13 et 14, caractérisé en ce que le compteur d'essais refusés (42) est remis à zéro à partir de l'entrée du compteur d'essais

acceptés (61).

16. Dispositif selon la revendication 15, caractérisé en ce que la sortie (43) du compteur d'essais refusés (42) est reliée à un dispositif de blocage du fonctionnement de la carte, opératoire lorsque l'état du compteur d'essais refusés atteint une valeur prédéterminée.

17. Dispositif selon l'une quelconque des revendications 9 à 16, caractérisé en ce qu'il comporte un compteur d'adresses d'essais (69) dont l'état augmente de deux unités à chaque essai, et dont la sortie (71) est reliée à une entrée (27) de la mémoire (12).

18. Dispositif selon la revendication 17, caractérisé en ce qu'une autre entrée (26) de la mémoire est reliée à la sortie (8) du dispositif du moyen de vérification de code (9).

19. Dispositif selon l'une quelconque des revendications 9 à 18, caractérisé en ce que le compteur d'essais refusés (42), le compteur d'essais acceptés (61) et le compteur d'adresses d'essais (69) sont reliés à la sortie (11) de la mémoire (12), et à un dispositif de remise à zéro (72).

20. Objet portatif, notamment carte, comportant un dispositif selon l'une quelconque des revendications 8 à 19.

21. Appareil, notamment terminal, comportant un dispositif selon l'une quelconque des revendications 8 à 19.

Fig. 1

ELEMENTS DE MEMOIRE OU TENTATIVE	1	2	3	4	5	6	7	8	9	10	11	12	13	14	---	k+1	---	250
ETAT MEMOIRE DES ESSAIS REFUSES	0	1	0	0	0	0	0	1	0	1	0	1	1	1		0		0
ADRESSE REFUS	0	2	4	6	8	10	12	14	16	18	20	22	24	26		2k		498
ETAT MEMOIRE DES ESSAIS ACCEPTES	1	0	1	1	1	1	1	0	1	0	1	0	0	0		0		0
ADRESSE ACCEPTATION	1	3	5	7	9	11	13	15	17	19	21	23	25	27		2k+1		499

Fig. 2

	ADRESSE PRECEDENTE	REPRESENTATION BINAIRE DE L'ADRESSE PRECEDENTE	NOUVELLE ADRESSE
ACCEPTATION	2k	$a_n\ a_{n-1}$ ----- a_1 0	
A = 1	2k+1	$a_n\ a_{n-1}$ ----- a_1 1	2k+3
REFUS	2k	$a_n\ a_{n-1}$ ----- a_1 0	2k+2
A = 0	2k+1	$a_n\ a_{n-1}$ ----- a_1 1	

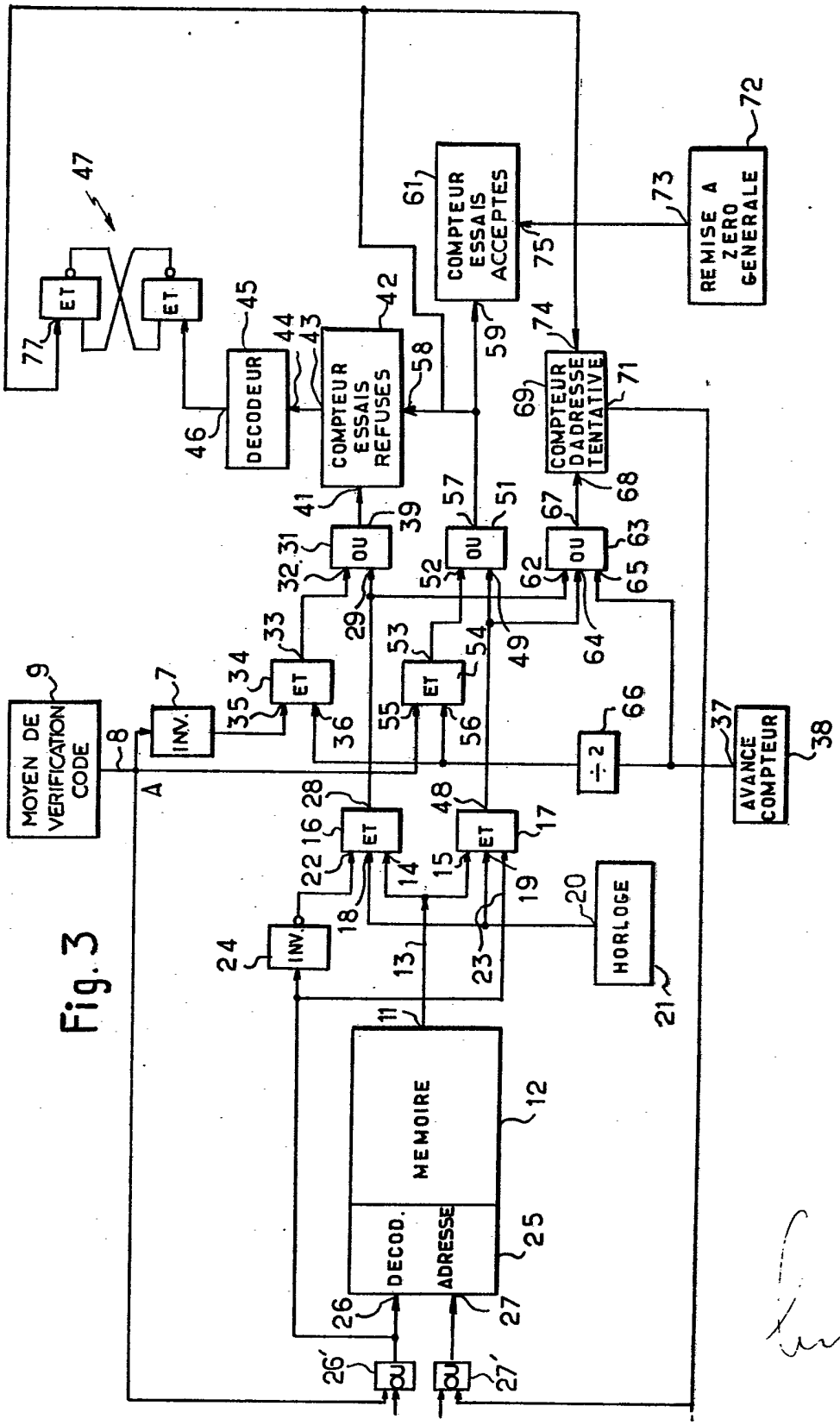
MOYEN DE VERIFICATION CODE
INV.
ET
OU
DECODEUR
COMPTEUR ESSAIS REFUSES
COMPTEUR ESSAIS ACCEPTES
COMPTEUR DADRESSE TENTATIVE
REMISE A ZERO GENERALE
÷ 2
AVANCE COMPTEUR
HORLOGE
MEMOIRE
DECOD. ADRESSE

Fig. 3