

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4068781号
(P4068781)

(45) 発行日 平成20年3月26日 (2008. 3. 26)

(24) 登録日 平成20年1月18日 (2008. 1. 18)

(51) Int. Cl.

F I

H O 1 L 27/10 (2006. 01)

H O 1 L 27/10 4 8 1

H O 1 L 21/8247 (2006. 01)

H O 1 L 27/10 4 3 4

H O 1 L 27/115 (2006. 01)

H O 1 L 27/08 1 0 2 A

H O 1 L 21/8234 (2006. 01)

H O 1 L 27/088 (2006. 01)

請求項の数 22 (全 55 頁)

(21) 出願番号 特願2000-52436 (P2000-52436)
(22) 出願日 平成12年2月28日 (2000. 2. 28)
(65) 公開番号 特開2001-244424 (P2001-244424A)
(43) 公開日 平成13年9月7日 (2001. 9. 7)
審査請求日 平成16年2月26日 (2004. 2. 26)

(73) 特許権者 503121103
株式会社ルネサステクノロジ
東京都千代田区大手町二丁目6番2号
(74) 代理人 100080001
弁理士 筒井 大和
(72) 発明者 高橋 正人
東京都小平市上水本町五丁目20番1号
株式会社日立製作所 半導体グループ内
(72) 発明者 赤松 史郎
東京都小平市上水本町五丁目20番1号
株式会社日立製作所 半導体グループ内
(72) 発明者 佐藤 聡彦
東京都小平市上水本町五丁目20番1号
株式会社日立製作所 半導体グループ内

最終頁に続く

(54) 【発明の名称】 半導体集積回路装置および半導体集積回路装置の製造方法

(57) 【特許請求の範囲】

【請求項 1】

分離領域および前記分離領域によって規定された活性領域を有する半導体基板と、
前記半導体基板に形成された複数の不揮発性メモリセルと、前記不揮発性メモリセルの
周辺回路用の第1および第2の電界効果トランジスタとを有する半導体集積回路装置であ
って、

前記複数の不揮発性メモリセルの各々は、
前記半導体基板に設けられたメモリセル用の一対の半導体領域と、
前記メモリセル用の一対の半導体領域の間における前記半導体基板上に第1の絶縁膜を
介して設けられた第1のゲート電極と、
その第1のゲート電極上に第2の絶縁膜を介して設けられた第2のゲート電極とを有し

10

、
前記周辺回路用の第1および第2の電界効果トランジスタはそれぞれ、
前記半導体基板に設けられた周辺回路用の一対の半導体領域と、
前記周辺回路用の一対の半導体領域の間における前記半導体基板上にゲート絶縁膜を介
して設けられた前記第1のゲート電極と、
その第1のゲート電極上に前記第2の絶縁膜を介して設けられた前記第2のゲート電極
と、

前記第1のゲート電極および前記第2のゲート電極を電氣的に接続するように、前記第
2の絶縁膜に設けられた孔と、

20

を有し、

前記第1の電界効果トランジスタのゲート絶縁膜の厚さは、前記第2の電界効果トランジスタのゲート絶縁膜の厚さよりも長く、

前記第1の電界効果トランジスタのゲート電極のゲート長方向の長さは、前記第2の電界効果トランジスタのゲート電極のゲート長方向の長さよりも長く、

前記分離領域における前記第2の電界効果トランジスタのゲート電極のゲート長方向の長さは、前記活性領域における前記第2の電界効果トランジスタのゲート電極のゲート長方向の長さよりも長く、

前記第1の電界効果トランジスタにおいては、前記孔が、前記第1および第2のゲート電極の平面内において、前記活性領域および前記分離領域と平面的に重なる位置にそれぞれ設けられ、

10

前記第2の電界効果トランジスタにおいては、前記孔が、前記第1および第2のゲート電極の平面内において、前記分離領域と平面的に重なる位置に設けられ、且つ、前記活性領域と平面的に重なる位置には設けられていないことを特徴とする半導体集積回路装置。

【請求項2】

請求項1記載の半導体集積回路装置において、

前記第1の電界効果トランジスタのゲート幅は、前記第2の電界効果トランジスタのゲート幅よりも長いことを特徴とする半導体集積回路装置。

【請求項3】

請求項1または2のいずれか1項に記載の半導体集積回路装置において、

20

前記第1の電界効果トランジスタの駆動電圧は、前記第2の電界効果トランジスタの駆動電圧よりも高いことを特徴とする半導体集積回路装置。

【請求項4】

請求項1～3のいずれか1項に記載の半導体集積回路装置において、

前記第1の電界効果トランジスタは、入力回路、出力回路、入出力双方向回路、電源回路または昇圧回路を構成する電界効果トランジスタであることを特徴とする半導体集積回路装置。

【請求項5】

請求項1～4のいずれか1項に記載の半導体集積回路装置において、

前記第1の電界効果トランジスタにおいて、前記活性領域に設けられた前記孔は、前記第1および第2のゲート電極の平面内において、複数個設けられていることを特徴とする半導体集積回路装置。

30

【請求項6】

請求項1～5のいずれか1項に記載の半導体集積回路装置は、更に、

前記第1および第2の電界効果トランジスタ上に形成された第3の絶縁膜と、前記第3の絶縁膜中に形成されたコンタクトホールと、

前記第3の絶縁膜上に形成され、且つ、前記コンタクトホールを介して前記第2ゲート電極に接続された配線層とを有することを特徴とする半導体集積回路装置。

【請求項7】

請求項6記載の半導体集積回路装置において、

40

前記第1および第2の電界効果トランジスタにおいては、前記コンタクトホールが、前記第1および第2のゲート電極の平面内において、前記分離領域と平面的に重なる位置に設けられ、且つ、前記活性領域と平面的に重なる位置には設けられていないことを特徴とする半導体集積回路装置。

【請求項8】

請求項6または7のいずれか1項に記載の半導体集積回路装置において、

前記孔の直径は、前記コンタクトホールの直径よりも大きいことを特徴とする半導体集積回路装置。

【請求項9】

請求項1～8のいずれか1項に記載の半導体集積回路装置において、

50

前記第 1 ゲート電極は、第 1 導体膜および第 2 導体膜から形成されていることを特徴とする半導体集積回路装置。

【請求項 1 0】

請求項 1 ～ 9 のいずれか 1 項に記載の半導体集積回路装置において、

前記第 2 ゲート電極は、第 3 導体膜および第 4 導体膜から形成されていることを特徴とする半導体集積回路装置。

【請求項 1 1】

請求項 1 ～ 1 0 のいずれか 1 項に記載の半導体集積回路装置において、

前記分離領域は、前記半導体基板に形成された溝と、前記溝内に残された第 4 絶縁膜によって形成されていることを特徴とする半導体集積回路装置。

10

【請求項 1 2】

請求項 1 ～ 1 1 のいずれか 1 項に記載の半導体集積回路装置において、

前記不揮発性メモリセルにおける前記第 1 ゲート電極は、前記不揮発性メモリセルの浮遊ゲートを構成することを特徴とする半導体集積回路装置。

【請求項 1 3】

請求項 1 ～ 1 2 のいずれか 1 項に記載の半導体集積回路装置において、

前記不揮発性メモリセルにおける前記第 2 ゲート電極は、前記不揮発性メモリセルの制御ゲートを構成することを特徴とする半導体集積回路装置。

【請求項 1 4】

分離領域および前記分離領域によって規定された活性領域を有する半導体基板と、

20

前記半導体基板に形成された複数の不揮発性メモリセルと、前記不揮発性メモリセルの周辺回路用の第 1 および第 2 の電界効果トランジスタとを有する半導体集積回路装置の製造方法であって、

(a) 前記半導体基板に前記分離領域を形成することによって、前記分離領域によって規定された活性領域を形成する工程と、

(b) 前記半導体基板上に第 1 の絶縁膜を形成する工程と、

(c) 前記第 1 の絶縁膜上に第 1 導体膜を形成する工程と、

(d) 前記第 1 導体膜上に第 2 導体膜を形成する工程と、

(e) 前記第 2 導体膜上に第 2 の絶縁膜を形成する工程と、

(f) 前記第 1 および第 2 電界効果トランジスタの前記第 2 の絶縁膜に前記第 2 導体膜に達する孔を穿孔する工程と、

30

(g) 前記第 2 の絶縁膜上に第 3 導体膜を形成する工程と、

(h) 前記第 3 導体膜上に第 4 導体膜を形成する工程と、

(i) 前記第 2 の絶縁膜をエッチングストップとして第 4 導体膜および第 3 導体膜をパターンニングした後に、前記第 2 の絶縁膜、前記第 2 導体膜および前記第 1 導体膜を順次パターンニングすることにより、前記不揮発性メモリセルの浮遊ゲート電極および制御ゲート電極を形成し、且つ、前記第 1 および第 2 電界効果トランジスタのゲート電極を形成する工程と、

(j) 前記半導体基板に前記不揮発性メモリセルの一对の半導体領域を形成する工程と、

40

(k) 前記半導体基板に前記第 1 の電界効果トランジスタの一对の半導体領域を形成する工程と、

(l) 前記半導体基板に前記第 2 の電界効果トランジスタの一对の半導体領域を形成する工程と、
を有し、

前記 (b) 工程で、前記第 1 の電界効果トランジスタの第 1 絶縁膜を、前記第 2 の電界効果トランジスタの第 1 絶縁膜の厚さよりも厚くなるように形成し、

前記 (i) 工程で、前記第 1 の電界効果トランジスタのゲート電極のゲート長方向の長さを、前記第 2 の電界効果トランジスタのゲート電極のゲート長方向の長さよりも長くなるように形成し、

50

前記（i）工程で、前記分離領域における前記第２の電界効果トランジスタのゲート電極のゲート長方向の長さを、前記活性領域における前記第２の電界効果トランジスタのゲート電極のゲート長方向の長さよりも長くなるように形成し、

前記（f）工程で、前記第１の電界効果トランジスタにおいては、前記孔を、前記（i）工程における前記第１の電界効果トランジスタのゲート電極形成領域の平面内において、前記活性領域および前記分離領域と平面的に重なる位置に形成し、

前記（f）工程で、前記第２の電界効果トランジスタにおいては、前記孔を、前記（i）工程における前記第２の電界効果トランジスタのゲート電極形成領域の平面内において、前記分離領域と平面的に重なる位置に形成し、且つ、前記活性領域と平面的に重なる位置には形成しないことを特徴とする半導体集積回路装置の製造方法。

10

【請求項１５】

請求項１４記載の半導体集積回路装置の製造方法において、

前記第１の電界効果トランジスタのゲート幅は、前記第２の電界効果トランジスタのゲート幅よりも長いことを特徴とする半導体集積回路装置の製造方法。

【請求項１６】

請求項１４または１５のいずれか１項に記載の半導体集積回路装置の製造方法において、

前記第１の電界効果トランジスタの駆動電圧は、前記第２の電界効果トランジスタの駆動電圧よりも高いことを特徴とする半導体集積回路装置の製造方法。

【請求項１７】

請求項１４～１６のいずれか１項に記載の半導体集積回路装置の製造方法において、

前記第１の電界効果トランジスタは、入力回路、出力回路、入出力双方向回路、電源回路または昇圧回路を構成する電界効果トランジスタであることを特徴とする半導体集積回路装置の製造方法。

20

【請求項１８】

請求項１４～１７のいずれか１項に記載の半導体集積回路装置の製造方法において、

前記（f）工程で、前記第１の電界効果トランジスタにおいては、前記孔を、複数個形成することを特徴とする半導体集積回路装置の製造方法。

【請求項１９】

請求項１４～１８のいずれか１項に記載の半導体集積回路装置の製造方法は、更に、

（m）前記第１および第２の電界効果トランジスタ上に第３の絶縁膜を形成する工程と

30

（n）前記第３の絶縁膜中に複数のコンタクトホールを形成する工程と、

（o）前記第３の絶縁膜上に、前記コンタクトホールを介して、前記第１の電界効果トランジスタのゲート電極および前記第２の電界効果トランジスタのゲート電極にそれぞれ接続する複数の配線を形成する工程と、

を有することを特徴とする半導体集積回路装置の製造方法。

【請求項２０】

請求項１９記載の半導体集積回路装置の製造方法において、

前記（n）工程で、前記第１および第２の電界効果トランジスタにおいては、前記コンタクトホールが、前記第１および第２の電界効果トランジスタのゲート電極の平面内において、前記分離領域と平面的に重なる位置に形成され、且つ、前記活性領域と平面的に重なる位置には形成しないことを特徴とする半導体集積回路装置の製造方法。

40

【請求項２１】

請求項１９または２０のいずれか１項に記載の半導体集積回路装置の製造方法において、

前記孔の直径は、前記コンタクトホールの直径よりも大きいことを特徴とする半導体集積回路装置の製造方法。

【請求項２２】

請求項１４～２１のいずれか１項に記載の半導体集積回路装置の製造方法において、

50

前記 (a) 工程は、

(a 1) 前記半導体基板に溝を形成する工程と、

(a 2) 前記半導体基板上および前記溝内に、第 4 絶縁膜を堆積する工程と、

(a 3) 前記溝内の前記第 4 絶縁膜を残すように、前記半導体基板上の前記第 4 絶縁膜を除去する工程と、

を含むことを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路装置およびその製造技術に関し、特に、不揮発性メモリを有する半導体集積回路装置およびその製造方法に適用して有効な技術に関するものである。

10

【0002】

【従来の技術】

データの書き込みおよび消去を電氣的に行うことが可能な不揮発性メモリは、例えば配線基板上に組み込んだままの状態でのデータの書き換えが可能であり使い易いことからメモリを必要とする様々な製品に幅広く使用されている。特に、電氣的一括消去型 E E P R O M (Electric Erasable Programmable Read Only Memory; 以下、フラッシュメモリ (E E P R O M) ともいう) は、メモリセルのサイズを D R A M (Dynamic Random Access Memory) のメモリセルよりも小さくできることから磁気ディスクの代替用途の期待も大きい。

【0003】

20

フラッシュメモリ (E E P R O M) は、メモリセルアレイの一定の範囲 (メモリセルアレイの全てのメモリセルまたは所定のメモリセル群) のデータを一括して電氣的に消去する機能を持っている。フラッシュメモリ (E E P R O M) の中でも 1 ビット / 1 M I S ・ F E T (Metal Insulator Semiconductor Field Effect Transistor) 構造は、集積度を高くできることから需要が急増している。1 ビット / 1 M I S ・ F E T 構造は、1 個のメモリセルが、基本的に 1 個の 2 層ゲート M I S ・ F E T で構成されている。その 2 層ゲート M I S ・ F E T は、半導体基板上にトンネル絶縁膜を介して浮遊ゲート電極を設け、さらにその上に層間膜を介して制御ゲート電極を積み重ねることで形成されている。データの記憶は、上記浮遊ゲート電極に電子を注入したり、浮遊ゲート電極から電子を抜き出した

30

【0004】

フラッシュメモリ (E E P R O M) については、例えば特開平 8 - 3 0 6 8 8 9 号公報には、フラッシュメモリのメモリセル以外のトランジスタに浮遊ゲートを持たせ、メモリセル以外のトランジスタの浮遊ゲートと制御ゲートとを金属配線によって接続する構造が開示されている。

【0005】

また、例えば特開平 2 - 2 5 0 6 9 号公報には、二重ゲート構造を有する不揮発性記憶素子と、M O S 型トランジスタ素子とに共通して、それぞれに第 1 ゲート酸化膜、第 1 ゲート電極、第 2 ゲート酸化膜、第 2 ゲート電極および高融点シリサイド層を重ねて設け、M O S 型トランジスタ素子においては、第 1 ゲート電極と第 2 ゲート電極とを第 2 ゲート酸化膜に形成されたコンタクトホールを通して接続する構造およびその製造方法が開示されている。

40

【0006】

また、例えば特開昭 6 3 - 3 4 9 7 7 号公報には、E E P R O M 不揮発性メモリセルと関連トランジスタとのゲート構造を同じ構成とし、関連トランジスタについては第 1 のケイ素層とその上の第 2 のケイ素層とをそれらの間の薄い酸化層の一部をエッチング除去して接続する構造の製造方法が開示されている。

【0007】

また、例えば特開平 8 - 2 9 8 3 1 4 号公報には、メモリセル領域および周辺回路領域に第 1 ポリシリコン膜および第 2 ゲート酸化膜を下層から順に形成した後、周辺回路領域に

50

おける第2ゲート絶縁膜を選択的に除去し、その後、第2ポリシリコン膜を堆積する不揮発性半導体記憶装置およびその製造方法が開示されている。

【0008】

【発明が解決しようとする課題】

ところが、上記不揮発性メモリを有する半導体集積回路装置技術においては、以下の課題があることを本発明者は見出した。

【0009】

すなわち、周辺回路の電界効果トランジスタを不揮発性メモリセルと同じ2層ゲート電極構造とした場合に、その2層のゲート電極間を接続するコンタクトホールをただ単純に配置しただけでは、電界効果トランジスタの種類に応じてゲート電極の抵抗を下げることはできず、フラッシュメモリ（EEPROM）全体として貫通電流が増大する結果、消費電力が増大する課題がある。

10

【0010】

また、上記課題を解決するために、その周辺回路の電界効果トランジスタの各部（ソース・ドレインと第1層配線とを接続するコンタクトホール等）のレイアウトを変えようとすると、そのレイアウトが難しいという課題がある。すなわち、回路設計上の不具合を生じることなく、デバイス構造を表現をすることが難しいという課題がある。

【0011】

本発明の目的は、不揮発性メモリを有する半導体集積回路装置の周辺回路のゲート電極の抵抗を低下させることのできる技術を提供することにある。

20

【0012】

また、本発明の目的は、不揮発性メモリを有する半導体集積回路装置の消費電力を低下させることのできる技術を提供することにある。

【0013】

また、本発明の目的は、不揮発性メモリを有する半導体集積回路装置の周辺回路の素子レイアウトを容易にすることのできる技術を提供することにある。

【0014】

また、本発明の目的は、不揮発性メモリを有する半導体集積回路装置の周辺回路の回路設計からデバイス設計への移行を容易にすることのできる技術を提供することにある。

【0015】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

30

【0016】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0017】

すなわち、本発明は、2層ゲート電極構造の不揮発性メモリセルと同じゲート電極構造によって周辺回路用の電界効果トランジスタのゲート電極を構成し、前記周辺回路用の電界効果トランジスタの2層ゲート電極間を接続する孔を、そのゲート電極の平面内において活性領域と平面的に重なる位置に形成するものである。

40

【0018】

また、本発明は、2層ゲート電極構造の不揮発性メモリセルと同じゲート電極構造によって周辺回路用の電界効果トランジスタのゲート電極を構成し、前記周辺回路用の電界効果トランジスタの2層ゲート電極間を接続する孔を、そのゲート電極の平面内において活性領域および分離領域と平面的に重なる各々の位置に形成するものである。

【0019】

また、本発明は、2層ゲート電極構造の不揮発性メモリセルと同じゲート電極構造によって周辺回路用の電界効果トランジスタのゲート電極を構成し、前記周辺回路用の電界効果トランジスタの2層ゲート電極間を接続する孔を、そのゲート電極の平面内において分離

50

領域と平面的に重なる位置に形成するものである。

【0020】

また、本発明は、2層ゲート電極構造の不揮発性メモリセルと同じゲート電極構造によって周辺回路用の第1、第2の電界効果トランジスタのゲート電極を構成し、前記第1の電界効果トランジスタの2層ゲート電極間を接続する孔を、そのゲート電極の平面内において活性領域と平面的に重なる位置に設け、前記第2の電界効果トランジスタの2層ゲート電極間を接続する孔を、そのゲート電極の平面内において分離領域と平面的に重なる位置に形成するものである。

【0021】

また、本発明は、前記2層ゲート電極の第1のゲート電極が多結晶シリコンからなり、前記第2のゲート電極が高融点金属シリサイド膜または高融点金属膜を含むものである。

10

【0022】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0023】

なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0024】

また、本実施の形態においては、MOS・FET (Metal Oxide Semiconductor Field Effect Transistor) をして電界効果トランジスタの総称とし、これをMOSと略し、pチャンネル型のMOS・FETをpMOSと略し、nチャンネル型のMOS・FETをnMOSと略す。

20

【0025】

(実施の形態1)

本実施の形態1においては、例えば512メガビットの記憶容量を有するフラッシュメモリ (EEPROM) に本発明を適用した場合について説明する。ただし、本発明は512Mのものに限定されるものではなく種々適用可能であり、例えば512メガビットよりも小さい256メガビットのもの、あるいは、512メガビット以上のものにも適用可能である。

【0026】

30

図1には、そのフラッシュメモリ (EEPROM) の一実施の形態のブロック図が示されている。まず、同図をもとに、本実施の形態1のフラッシュメモリ (EEPROM) の構成および動作の概要について説明する。

【0027】

図1に示すように、本実施の形態1のフラッシュメモリ (EEPROM) は、メモリセルアレイMARYをその基本構成要素として備え、さらに、その直接周辺回路となるXアドレスデコーダXD、センスアンプデータラッチSADL、Yゲート回路YG並びにYアドレスデコーダYDを備える。

【0028】

メモリアレイMARYは、半導体基板 (ここでは半導体チップと称する平面四角形状の半導体の小薄板) の主面の大半を占めて配置されており、後述するように、図の水平方向に平行して配置される所定数のワード線と、これに対して垂直な方向に平行して配置される所定数のビット線と、これらのワード線およびビット線の実質的な交点に格子配列される多数の2層ゲート構造型メモリセルとを有している。このメモリセルは、同一列に配置される $m+1$ 個を単位としてセルユニットにグループ分割され、そのセルユニットは、 $n+1$ 個を単位としてメモリセルブロックを構成する。さらに、この実施の形態1のフラッシュメモリ (EEPROM) は、いわゆる階層ビット線方式を採り、メモリアレイMARYのビット線は、各セルユニットを構成する $m+1$ 個のメモリセルのドレインが共通結合されてなるサブビット線と、同一列に配置された $p+1$ 本のサブビット線がドレイン側の選択MOSを介して選択的に接続されるメインビット線とからなる。

40

50

【0029】

メモリアレイMARYの各セルユニットを構成する $m+1$ のメモリのソースは、対応するローカルソース線にそれぞれ共通結合され、これらのローカルソース線は、対応するソース型の選択MOSを介して共通ソース線に結合される。また、メモリアレイMARYの同一行に配置される $n+1$ 個のメモリのコントロールゲートは、対応するワード線にそれぞれ共通結合され、ドレイン側の選択MOSおよびソース側の選択MOSのゲートは、ワード線と平行して配置される $p+1$ 本のドレイン側ブロック選択信号線またはソース側ブロック選択信号線の対応するビットにそれぞれ共通結合される。

【0030】

本実施の形態1において、メモリアレイMARYの各セルユニットは、さらにサブビット線およびローカルソース線間、すなわち、 $m+1$ 個のメモリの共通結合されたドレインおよびソース間にそれぞれ設けられる n チャンネル型の短絡（ショート）MOSを含む。これらの短絡MOSのゲートは、同一行の $n+1$ 個を単位として対応する短絡MOS用ブロック選択信号線に共通結合される。なお、メモリアレイMARYの具体的構成および動作ならびに各セルユニットに設けられる短絡MOSの作用およびデバイス構造等については、後ほど詳細に説明する。

10

【0031】

メモリアレイMARYのドレイン側ブロック選択信号線、ソース側ブロック選択信号線ならびに短絡MOS用ブロック選択信号線を含むワード線は、その左方においてXアドレスデコーダXDに結合され、選択的に所定の選択または非選択レベルとされる。XアドレスデコーダXDには、XアドレスバッファXBから所定ビットの内部Xアドレス信号が供給される。また、メモリ制御回路MCから内部制御信号XDGが供給され、内部電圧発生回路VGから各種内部電圧が供給される。XアドレスバッファXBには、データ入出力端子IO0～IO7からデータ入出力回路IOおよびマルチプレクサMXを介してXアドレス信号が供給され、メモリ制御回路MCから内部制御信号XL1、XL2が供給される。

20

【0032】

本実施の形態1において、Xアドレス信号は、特に限定されないが、8を超えるビット数とされ、データ入出力端子IO0～IO7から2回のサイクルに分けて時分割供給される。このうち、1回目のサイクルで入力されるXアドレス信号の下位ビットは、内部制御信号XL1に従ってXアドレスバッファXBの下位ビットに取り込まれ、2回目のサイクルで入力される上位ビットは、内部制御信号XL2に従ってXアドレス信号XBの上位ビットに取り込まれる。XアドレスバッファXBは、これらのXアドレス信号を基に非反転および反転信号からなる内部Xアドレス信号を形成し、XアドレスデコーダXDに供給する。

30

【0033】

XアドレスデコーダXDは、XアドレスバッファXBから供給される内部Xアドレス信号をデコードして、メモリアレイMARYの対応するワード線を選択的に所定の選択レベルとするとともに、指定メモリセルブロックを選択的に活性化するための上記ドレイン側ブロック選択信号線、ソース側ブロック選択信号線ならびに短絡MOS用ブロック選択信号線を所定の有効レベルとする。

40

【0034】

次に、メモリアレイMARYを構成するメインビット線は、その下方においてセンスアンプデータラッチSADLの対応する単位回路に結合される。センスアンプデータラッチSADLは、メモリアレイMARYの各メインビット線に対応して設けられる $n+1$ 個の単位回路を備え、各単位回路は、読み出し回路となる単位センスアンプと、読み出しまたは書き込みデータを保持し、書き込み回路ともなる単位データラッチとをそれぞれ含む。センスアンプデータラッチSADLの各単位回路の一方の入出力端子は、メモリアレイMARYの対応するメインビット線に結合され、その他方の入出力端子は、Yゲート回路YGを介して8個、すなわち、1バイト分ずつ選択的にマルチプレクサMXに結合される。

【0035】

50

ここで、マルチプレクサMXは、その左側に設けられる第1の入出力端子と、その右側に設けられる第2および第3の出力端子ならびに第4の入出力端子とを備える。このうち、右側に設けられる第4の入出力端子は、Yゲート回路YGを介して上記センスアンプデータラッチSADLの指定された8個の単位回路の他方の入出力端子に選択的に接続され、左側に設けられる第1の入出力端子は、データ入出力回路IOの右側の入出力端子に結合される。また、その第2の出力端子は、コマンドレジスタCRの入力端子に結合され、その第3の出力端子は、前記XアドレスバッファXBの入力端子に結合される。データ入出力回路IOの左側の入出力端子は、データ入出力端子IO0～IO7に結合される。

【0036】

センスアンプデータラッチSADLの各単位回路の単位センスアンプには、メモリ制御回路MCから図示されない内部制御信号SAが共通に供給され、単位データラッチには、メモリ制御回路MCから図示されない内部制御信号TRが供給される。また、コマンドレジスタCRには、メモリ制御回路MCから内部制御信号CLが供給され、Yゲート回路YGには、YアドレスデコーダYDから図示されない所定ビットのビット線選択信号が供給される。YアドレスデコーダYDには、YアドレスカウンタYCから所定ビットの内部Yアドレス信号が供給され、メモリ制御回路MCから内部制御信号YDGが供給される。

【0037】

センスアンプデータラッチSADLの各単位センスアンプは、フラッシュメモリが読み出しモードとされるとき、内部制御信号SAに従って選択的に動作状態となり、メモリアレイMARYの選択ワード線に結合される $n+1$ 個のメモリセルから対応するメインビット線を介して出力される読み出し信号をそれぞれ増幅し、その論理レベルを判定して、対応する単位データラッチに伝達する。これらの読み出しデータは、Yゲート回路YGを介して1バイト、すなわち、8ビットずつ順次選択され、マルチプレクサMXからデータ入出力回路IOならびにデータ入出力端子IO0～IO7を介して外部のアクセス装置に出力される。

【0038】

一方、センスアンプデータラッチSADLの各単位データラッチは、フラッシュメモリ（EEPROM）が書き込みモードとされるとき、外部のアクセス装置からデータ入出力端子IO0～IO7、データ入出力回路IO、マルチプレクサMXならびにYゲート回路YGを介して1バイト、すなわち、8ビットずつシリアルに入力される書き込みデータを順次取り込み、保持するとともに、 $n+1$ ビット分の書き込みデータの取り込みが終了した時点で、これらの書き込みデータを所定の書き込み信号に変換した後、各メインビット線を介してメモリアレイMARYの選択ワード線に結合される $n+1$ 個の選択メモリセルに一斉に書き込む。

【0039】

なお、本実施の形態1のフラッシュメモリ（EEPROM）においては、例えばFNTトンネル現象を利用することでデータの書き込み動作が行われるが、この書き込み動作時、メモリアレイMARYの各メインビット線に供給される書き込み電圧は、書き込みデータの対応するビットが論理“1”とされるとき、言い換えるならば選択メモリセルに対する実質的な書き込みを行うべきとき、例えば接地電位VSS、すなわち、0Vのような第1の書き込み電圧とされる。また、書き込みデータの対応するビットが論理“0”とされるとき、すなわち、選択メモリセルに対する実質的な書き込みを行ってはいけなるときには、例えば+6Vのような第2の書き込み電圧とされる。なお、フラッシュメモリ（EEPROM）の書き込み動作については、後ほど具体的に説明する。

【0040】

YアドレスカウンタYCは、図示されない内部クロック信号に従って歩進動作を行い、所定ビットの内部Yアドレス信号を形成して、YアドレスカウンタYCから供給される内部Yアドレス信号をデコードすることにより、Yゲート回路YGに対するビット線選択信号の対応するビット線を順次択一的にハイレベルとする。さらに、Yゲート回路YGは、ビット線選択信号の択一的なハイレベルを受けてセンスアンプデータラッチSADLの対応

10

20

30

40

50

する 8 個の単位回路を順次選択し、マルチプレクサMXおよびデータ入出力回路IOとの間を選択的に接続状態とする。

【0041】

データ入出力回路IOは、外部のアクセス装置からデータ入出力端子IO0～IO7を介して入力されるXアドレス信号、書き込みデータならびにコマンドデータをマルチプレクサMXに伝達するとともに、Yゲート回路YGからマルチプレクサMXを介して伝達される読み出しデータを、データ入出力端子IO0～IO7を介して外部のアクセス装置に出力する。また、マルチプレクサMXは、データ入出力回路IOから伝達されるXアドレス信号、書き込みデータならびにコマンドデータを、対応するXアドレスバッファXB、Yゲート回路YGあるいはコマンドレジスタCRに伝達するとともに、センスアンプデータラッチSADLの指定された8個の単位回路からYゲート回路YGを介して出力される8ビットの読み出しデータをデータ入出力回路IOに伝達する。

10

【0042】

コマンドレジスタCRは、データ入出力端子IO0～IO7からデータ入出力回路IOならびにマルチプレクサMXを介して入力される8ビットのコマンドデータを内部制御信号CLに従って取り込み、保持するとともに、メモリ制御回路MCに伝達する。また、メモリ制御回路MCは、例えばマイクロプログラム方式のステイトマシンからなり、外部のアクセス装置から起動制御信号として供給されるシリアルクロック信号SC、チップイネーブル信号CEB（ここで、それが有効とされるとき選択的にロウレベルとされる、いわゆる反転信号等については、その名称の末尾にBを付して表す。以下、同様）、ライトイネーブル信号WEB、出力イネーブル信号OEB、リセット制御信号RESBならびにコマンドデータイネーブル信号CDEBと、コマンドレジスタCRから供給されるコマンドデータとをもとに上記各種の内部制御信号を選択的に形成し、フラッシュメモリ（EEPROM）の各部に供給する。また、レディービジー信号R/BBを選択的に形成して、フラッシュメモリ（EEPROM）の使用状況を外部のアクセス装置に知らせる。

20

【0043】

内部電圧発生回路HVDは、外部端子（ボンディングパッドBPVCC）を介して供給される高電位側の電源電圧VCCと、外部端子（ボンディングパッドBPVSS）を介して供給される低電位側の接地電位VSSとをもとに、ワード線や前記ドレイン側のブロック選択信号、ソース側のブロック選択信号ならびに短絡MOS用ブロック選択新合織等の選択または非選択レベルとなる各種の内部電圧を選択的に生成し、XアドレスデコーダXD等に供給する。

30

【0044】

次に、図1のフラッシュメモリ（EEPROM）に含まれるメモリアレイMARYの一実施の形態の部分的な回路図を図2に示す。同図をもとに、本実施の形態1のメモリアレイMARYの具体的構成について説明する。なお、図2において、MOSのチャンネル（バックゲート）部に矢印が付されるMOSはpMOSであって、矢印の付されていないものはnMOSと区別して示される。

【0045】

図2に示すように、本実施の形態1のフラッシュメモリ（EEPROM）のメモリアレイMARYは、 $p+1$ 個のメモリセルブロックMCB0～MCB p （図2には、メモリセルブロックMCB0、MCB1と、メモリセルブロックMCB2ならびにこれらのメモリセルブロックに関連する部分のみが例示される。以下、同様）を含み、これらのメモリセルブロックのそれぞれは、図の水平方向に平行して配置される $m+1$ 本のワード線W00～W0 m ないしW p 0～W p m と、図の垂直方向に平行して配置される $n+1$ 本のメインビット線MB0～MB n （MB）とを含む。これらのワード線およびメインビット線の実質的な交点には、 $(m+1) \times (n+1)$ 個の2層ゲート構造型のメモリセルMCがそれぞれ格子配置される。

40

【0046】

メモリアレイMARYは、特に限定されないが、例えばAND型アレイ構成とされ、メモ

50

リセルブロックMCB0～MCBpを構成するメモリセルMCは、同一列に配置されるm+1個を単位としてn+1個のセルユニットCU00～CU0nないしCU p0～CU p nにそれぞれグループ分割される。これらのセルユニットを構成するm+1個のメモリセルMCのドレインは、対応するサブビット線SB00～SB0nないしSB p0～SB p nにそれぞれ共通結合され、そのソースは、対応するローカルソース線SS00～SS0 nないしSS p0～SS p nにそれぞれ共通結合される。また、各セルユニットのサブビット線SB00～SB0nないしSB p0～SB p nは、そのゲートが対応するドレイン側のブロック選択信号線MD0～MD pに結合されたnチャネル型のドレイン側選択MOSN1を介して対応するメインビット線MB0～MBnに結合され、ローカルソース線SS00～SS0 nないしSS p0～SS p nは、そのゲートが対応するソース側のブロック選択信号線MS0～MS pに結合されたnチャネル型のソース側選択MOSN3を介して共通ソース線SLに結合される。

10

【0047】

本実施の形態において、メモリセルブロックMCB0～MCBpの各セルユニットは、さらに、対応するm+1個のメモリセルMCの共通結合されたドレイン、すなわち、サブビット線SB00～SB0nないしSS p0～SS p nと、対応するm+1個のメモリセルMCの共通結合されたソース、すなわち、ローカルソース線SS00～SS0 nないしSS p0～SS p nとの間にそれぞれ設けられるnチャネル型の短絡MOSN2をそれぞれ含む。各メモリセルブロックに含まれるn+1個の短絡MOSN2のゲートは、対応する短絡MOS用のブロック選択信号SC0～SC pにそれぞれ共通結合される。

20

【0048】

次に、図1のフラッシュメモリ（EEPROM）の書き込みモード時における一実施の形態の信号波形図を図3に示す。同図をもとに、本実施の形態のフラッシュメモリ（EEPROM）の書き込みモード時における具体的動作およびその特徴について説明する。

【0049】

なお、ここでは、主として書き込み動作を中心に説明する。また、図3においては、メモリセルブロックMCB0のセルユニットCU00を構成し、ワード線W00に結合されるメモリセルMCが、書き込み対象となる選択メモリセルの代表例とされる。したがって、この選択メモリセルが結合されるメインビット線MB0およびサブビット線SB00が、選択メインビット線および選択サブビット線の代表例として示され、隣接するメインビット線MB1およびサブビット線SB01が、書き込み対象とされない選択メモリセルが結合される非選択メインビット線および非選択サブビット線の代表例として示される。さらに、ワード線W00が、選択ワード線の代表例として示され、同じメモリセルブロックMCB0を構成するワード線W01が非選択ワード線の代表例として示される。加えて、メモリセルブロックMCB0を構成する短絡MOSN2のゲートが結合される短絡MOS用のブロック選択信号線MS0が、短絡MOS用のブロック選択信号線MS0～MS pの代表例として示され、そのソース側の選択MOSN3のゲートが結合されるソース側のブロック選択信号線MS0が、ソース側のブロック選択信号線MS0～MS pの代表例として示される。以下、これを例に具体的に説明する。

30

【0050】

図3において、フラッシュメモリ（EEPROM）が非選択状態とされるとき、メモリアレイMARYのドレイン側のブロック選択信号線MD0～MD p、短絡MOS用のブロック選択信号線SC0～SC p、ワード線W00～W0 mないしW p0～W p mならびにソース側のブロック選択信号線MS0～MS pは、ともに接地電位VSS、すなわち、0Vのような非選択レベルとされる。したがって、メモリアレイMARYの全てのセルユニットのドレイン側の選択MOSN1、短絡MOSN2ならびにソース側の選択MOSN3は、ともにオフ状態となり、メモリセルMCもオフ状態となってそれまでの保持データを保持し続ける。

40

【0051】

なお、メモリアレイMARYの各セルユニットを構成するメモリセルMCのしきい値電圧

50

は、それが消去状態にあり論理“0”のデータを保持するとき、例えば+3Vより低い値とされ、それが書き込み状態にあり論理“1”のデータを保持するときには、例えば+3Vを超える比較的高い値とされる。

【0052】

フラッシュメモリが書き込みモードで選択状態とされると、フラッシュメモリでは、まずタイミングT1において、センスアンプデータラッチSADLから選択メインビット線MB0に対して、例えば0Vのような比較的絶対値の小さな第1の書き込み電圧が供給され、非選択メインビット線MB1には、例えば+6Vのような比較的絶対値の大きな第2の書き込み電圧が供給される。これらの書き込み電圧は、各セルユニットのドレイン側選択MOSN1がオフ状態にあるため、まだサブビット線SB00及びSB01には伝達されない。

10

【0053】

次に、タイミングT2において、メモリセルブロックMCB0に対応する短絡MOS用のブロック選択信号線SC0が択一的に+6Vのような選択レベルとされるとともに、選択ワード線W00が+4Vのような中間的な選択レベルとされ、非選択ワード線W01は+2Vのような非選択レベルとされる。

【0054】

これにより、メモリアレイMARYのメモリセルブロックMCB0では、短絡MOS用のブロック選択信号線SC0の選択レベルを受けて、各セルユニットの短絡MOSN2が一斉にオン状態となり、各セルユニットを構成するm+1個のメモリセルMCの共通結合されたドレイン、すなわち、サブビット線SB00～SB0nと、その共通結合されたソース、すなわち、ローカルソース線SS00～SS0nとの間が短絡状態とされる。なお、選択ワード線W00が+16Vのような完全な選択レベルとされるのに先立って+4Vのような中間的な選択レベルとされるのは、ワード線の急峻な電位変化を抑え、ホットキャリアの発生を抑制することを目的としている。また、非選択ワード線W01に対する+2Vの印加は、非選択メモリセルのチャネル・フローティングゲート間電圧を小さくして、誤書き込み及び誤消去の発生を抑制することを目的としている。

20

【0055】

一方、タイミングT3では、メモリセルブロックMCB0に対応するドレイン側のブロック選択信号線MD0が択一的に+10Vのような選択レベルとされ、これを受けてメモリセルブロックMCB0のセルユニットCU00～CU0nを構成するドレイン側の選択MOSN1が一斉にオン状態となる。このため、セルユニットCU00の選択サブビット線SB00には、対応するメインビット線MB0の0Vが伝達され、セルユニットCU01の非選択サブビット線SB01には、対応するメインビット線MB1の+6Vがドレイン側の選択MOSN1のしきい値電圧の影響を受けることなくそのまま伝達される。

30

【0056】

非選択サブビット線SB01に+6Vの書き込み電圧が伝達されるとき、短絡MOSN2の無いフラッシュメモリでは、ソース側のブロック選択信号線MS0のロウレベルを受けてソース側の選択MOSN3がオフ状態となり、ローカルソース線SS01はフローティング状態とされる。このため、当初0Vの非選択レベルにあったローカルソース線SS01の電位は、サブビット線SB01の+6Vへの電位変化を受けて、対応するメモリセルMCを介して充電され、これらのメモリセルMCには一時的なチャージ電流が流される。この結果、メモリセルMCのドレイン近傍でホットエレクトロンが発生し、誤書き込みが生じる。

40

【0057】

しかし、本実施の形態1のフラッシュメモリ（EEPROM）では、上記のように、メモリセルブロックMCB0のセルユニットCU00～CU0nを構成するm+1個のメモリセルMCの共通結合されたドレイン、すなわち、サブビット線SB00～SB0nと、共通結合されたソース、すなわち、ローカルソース線SS00～SS0nとの間に短絡MOSN2がそれぞれ設けられ、これらの短絡MOSN2がタイミングT2で、すなわち、ド

50

レイン側の選択MOSN1がオン状態とされる直前にオン状態とされる。したがって、非選択サブビット線SB01に+6Vの書き込み電圧が印加された時点では、書き込み対象とされない選択メモリセルのドレイン及びソース間は短絡状態にあるため、これらの選択メモリセルを介するチャージ電流は流されず、ホットキャリアによる誤書き込みは発生しない。

【0058】

次に、タイミングT4において、選択ワード線W00が+16Vのような比較的絶対値の大きな、すなわち、完全な選択レベルとされる。メモリセルブロックMCB0では、セルユニットCU00～CU0nのワード線W00に結合されるm+1個のメモリセルMCが選択され、そのドレインつまりサブビット線SB00～SB0nに印加された書き込み電圧電位、つまりは書き込みデータの対応するビットの論理値に応じて選択的に実質的な書き込みが行われる。

10

【0059】

すなわち、例えばワード線W00とメインビット線MB0、すなわち、サブビット線SB00との交点に配置され書き込み対象となる選択メモリセルMCでは、そのコントロールゲート及びドレイン間にワード線W00の選択レベルの絶対値に相当する16Vが印加され、そのソースがフローティング状態とされることで、FNトンネル現象が発生し、そのチャネルからフローティングゲートに対してトンネル電流による電子の注入が行われる。このため、選択メモリセルMCのしきい値電圧が上昇し、例えば+3Vを超える比較的高い値に変化する。

20

【0060】

一方、例えばワード線W00と非選択メインビット線MB1、すなわち、非選択サブビット線SB01との交点に配置され書き込み対象とされない選択メモリセルMCでは、そのコントロールゲート及びメモリチャネル間に、ワード線W00の選択レベル+16Vと書き込み電圧+6Vとの差分に相当する10Vが印加されるが、その絶対値が小さいことからFNトンネル現象は発生しない。このため、選択メモリセルMCのフローティングゲートには電子の注入が行われず、そのしきい値電圧は変化せずに、例えば+3Vより低い値のままとされる。

【0061】

選択メモリセルMCに対する書き込みが終了すると、フラッシュメモリでは、タイミングT5において、ドレイン側のブロック選択信号線MD0が0Vの非選択レベルに戻されるとともに、ワード線W00が+4Vのような中間的な選択レベルに戻される。メモリセルブロックMCB0では、ドレイン側ブロック選択信号線MD0が非選択レベルに戻されたのを受けてドレイン側の選択MOSN1がオフ状態となり、サブビット線SB00～SB0nは、0V又は+6Vの書き込み電圧を残したままフローティング状態とされる。また、ワード線W00の中間レベルへの電位変化を受けて、選択メモリセルMCに対する実質的な書き込み動作は終了するが、選択ワード線W00が0Vの完全非選択レベルとされる前に+4Vのような中間的な選択レベルに戻されるのは、ワード線の急峻な電位変化を抑え、ホットキャリアの発生を抑制することを目的としている。

30

【0062】

次に、タイミングT6において、選択ワード線W00が+4Vから0Vのような完全な非選択レベルに戻されるとともに、メモリセルブロックMCB0に対応するソース側のブロック選択信号線MS0が択一的に+6Vのような選択レベルとされる。また、やや遅れたタイミングT7では、短絡MOS用のブロック選択信号線SC0が0Vのような非選択レベルに戻されるとともに、ソース側のブロック選択信号線MS0が0Vのような非選択レベルに戻される。

40

【0063】

メモリセルブロックMCB0では、ワード線W00の非選択レベルを受けて対応するn+1個のメモリセルMCがオフ状態となる。また、ソース側のブロック選択信号MS0の択一的な選択レベルを受けて、メモリセルブロックMCB0を構成するn+1個のソース側

50

の選択MOSN3が一斉にオン状態となり、+6Vとされたサブビット線SB00～SB0nならびにローカルソース線SS00～SS0nの電位は、共通ソース線SLを介して0Vにディスチャージされる。

【0064】

さらに、やや遅れてメインビット線MB0～MBnが一斉に0Vとされ、これをもって1回目の書き込みが終了する。以下、確認のためのペリファイ動作を実施しながら、書き込み対象となる選択メモリセルMCのしきい値電圧が例えば+3Vより十分に低い値となるまで、同様な書き込み動作が繰り返される。

【0065】

なお、短絡MOSN2の無いフラッシュメモリ（EEPROM）では、ドレイン側の選択MOSN1がオフ状態とされ、ソース側の選択MOSN3がオン状態とされることで、+6Vのままフローティング状態に変化したサブビット線SB00～SB0nから0Vに変化したソース線SS00～SS0nに対してディスチャージ電流が流れ、ホットキャリアが発生して、書き込み直前と同様な誤書き込みが生じるおそれがある。しかし、本実施の形態1の場合、ディスチャージ電流が流される間を含めて短絡MOSN2がオン状態とされるため、ホットキャリアは発生せず、誤書き込みを防止することができるものとされる。

【0066】

以上のように、本実施の形態1のフラッシュメモリ（EEPROM）では、メモリアレイMARYのメモリセルブロックMCB0～MCBpの各セルユニットを構成するm+1個のメモリセルMCと並列形態に、nチャネル型の短絡MOSN2がそれぞれ設けられ、これらの短絡MOSN2は、書き込み動作が行われる間、すなわち、メインビット線MB0～MBnに書き込みデータに対応した0V又は+6Vの書き込み電圧が供給された直後から、ソース側の選択MOSを介するサブビット線SB00～SB0nならびにローカルソース線SS00～SS0nのディスチャージが終了するまでの間、オン状態とされる。

【0067】

これにより、書き込み動作時の当初、ローカルソース線SS00～SS0nがフローティング状態とされる間に、サブビット線SB00～SB0nが選択的に+6Vとされることに伴うホットキャリアの発生を抑制することができるとともに、書き込み終了後、サブビット線SB00～SB0nがフローティング状態とされる間に、ローカルソース線SS00～SS0nが0Vとされることに伴うホットキャリアの発生をも抑制することができる。この結果、書き込み所要時間に影響を与えることなく、書き込み対象とされない選択メモリセルへの誤書き込みを防止することができ、これによってその製品としての性能劣化を招くことなくフラッシュメモリ（EEPROM）の信頼性を高めることができるものである。

【0068】

また、図4、図5および図6は、本実施の形態1のフラッシュメモリ（EEPROM）における入出力回路の一例を示している。各図においてボンディングパッドBPは、上記半導体チップ上において、半導体チップの外部の回路と、内部回路（すなわち、フラッシュメモリ（EEPROM））とを電気的に接続するための外部端子である。

【0069】

図4および図5には、入力回路が例示されており、その主要部が、例えばCMOS（Complementary MOS）型のインバータ回路INVで構成されている場合が示されている。図4においては、そのインバータ回路INVが、電源電圧VCC用の配線と接地電位VSS用の配線との間に電気的に接続されたpMOSQINVpおよびnMOSQINVnによって構成されている。そのインバータ回路INVの入力には、保護用の抵抗Ripおよび保護用のnMOSQipnを介してボンディングパッドBPが電気的に接続されている。保護用の抵抗RipおよびnMOSQipnは、インバータ回路INVや上記内部回路に、静電気放電等に起因する高電圧が印加されないようにするための保護素子である。保護用のnMOSQipnは、インバータ回路INVの入力と接地電位VSS用の配線との間にダイオード接続されて

10

20

30

40

50

いる。また、そのインバータ回路 I N V の出力には、上記内部回路の所定の回路が電氣的に接続されている。

【0070】

また、図5においては、インバータ回路 I N V の入力に、上記保護用の n M O S Q i p n の他に、保護用の p M O S Q i p p が電氣的に接続されている。この保護用の p M O S Q i p p は、上記保護素子であり、インバータ回路 I N V の入力と電源電圧 V C C 用の配線との間にダイオード接続されている。また、p M O S Q I N V p と n M O S Q I N V n との間にスイッチ用の n M O S Q I N V s が組み込まれている。このスイッチ用の n M O S Q I N V s は、インバータ回路 I N V のオン・オフ動作の切替時に電源電圧 V C C 用の配線と接地電位 V S S 用の配線との間にリーク電流が流れるのを抑え、消費電力の低下を図る機能を有している。これ

10

【0071】

なお、半導体チップの外部から伝送された信号等は、ボンディングパッド B P を通じて図4および図5等で示した入力回路に伝送され、そこで、内部回路に合った信号状態に加工された後、内部回路に伝送されるようになっている。

【0072】

また、図6は、入出力双方向回路を例示している。図6のボンディングパッド B P の右側は、入力回路の一部を示している。図6には、その入力回路の全体を図示していないが、例えば図5と同じ入力回路が組まれている。一方、図6のボンディングパッド B P の左側は、出力回路を示している。この出力回路は、出力用の p M O S Q o u t 、保護用の n M O S Q o p n 1 、入力電位安定用の n M O S Q o n 1 、 Q o n 2 、保護用の n M O S Q o p n 2 および抵抗 R o 1 、 R o 2 を有している。保護用の n M O S Q o p n 1 は、ホットキャリア等によるチャージを吸収することにより、内部回路を保護する機能を有している。本実施の形態1においては、後述するように、この保護用の n M O S Q o p n 1 がフラッシュメモリ (E E P R O M) のメモリセルとほぼ同じ構造となっている。すなわち、本来、耐圧 (ドレインエッジの耐圧) が低いために高い静電破壊耐性が得られるメモリセルと同じ構造で保護素子を形成することにより、保護性能の高い保護用の n M O S Q o p n 1 を得ることが可能となっている。

20

【0073】

次に、本実施の形態1のフラッシュメモリ (E E P R O M) の素子配置および素子構造を図7～図12によって説明する。図7は、上記メモリアレイ M A R Y の要部平面図、図8は図7と同じ平面領域であって図7よりも上層のレイアウト層の要部平面図、図9は図7の A - A 線 (ワード線 W 上をその延在方向に沿って切断した線) の断面図、図10は図7の B - B 線 (メモリセルのチャンネル部分をワード線に対して交差する方向 (Y 方向) に沿って切断した線) の断面図、図11は図7の C - C 線 (メモリセルのソース部分を Y 方向に沿って (すなわち、ローカルソース線の延在方向に沿うように) 切断した線) の断面図、図12は図7の D - D 線 (メモリセルのドレイン部分を Y 方向に沿って (すなわち、ビット線の延在方向に沿うように) 切断した線) の断面図である。なお、ここでは、図9～図12の断面図を中心に説明するが、平面的な構成の説明箇所については図7および図8を随時参照されたい。

30

【0074】

上記半導体チップを構成する半導体基板1は、例えばp型のシリコン単結晶からなり、この半導体基板1にはpウエル P W m が形成されている。このpウエル P W m は、例えばホウ素 (B) が導入されてなり、ここには上記メモリセル M C の他、上記短絡 M O S N 2 や選択 M O S N 1 、 N 3 等の周辺回路用の素子も形成されている。このpウエル P W m は、その下層に形成された埋め込みnウエル N W m と、pウエル P W m の側部側に形成されたnウエルとに取り囲まれており、半導体基板1から電氣的に分離されている。その埋め込みnウエル N W m およびnウエルは、例えばリン (P) またはヒ素 (A s) が半導体基板1に導入されて形成されてなり、半導体基板1上の他の素子からのノイズが半導体基板1を通じてpウエル P W m (すなわち、メモリセル M C) に侵入するのを抑制または防止したり、pウエル P W m の電位を半導体基板1とは独立して所定の値に設定したりする機能

40

50

を備えている。

【0075】

また、半導体基板1の主面には、例えば溝型の分離部（トレンチアイソレーション）SGIが形成されている。この分離部SGIは、ワード線Wの延在方向（X方向）に沿って配置された複数のメモリセルMC間を電氣的に分離するように、Y方向に沿って掘られた平面帯状の溝内に絶縁膜が埋め込まれて形成されている。分離部SGIの絶縁膜は、例えばシリコン酸化膜等からなり、その上面は半導体基板1の主面とほぼ一致するように平坦にされている。なお、Y方向に沿って配置された複数のメモリセルMC間を電氣的に分離するために、そのメモリセルMCの隣接間における半導体基板1にも溝型の分離部を形成しても良いし、また、そのメモリセルMCの隣接間における半導体基板1に、例えばホウ素を導入することでp型の半導体領域を形成しても良い。

10

【0076】

各メモリセルMCは、半導体基板1に形成された一对のn型半導体領域2S、2Dと、半導体基板1の主面（活性領域）上に形成された絶縁膜（第1の絶縁膜）3aと、その上に形成された浮遊ゲート電極（第1のゲート電極）形成用の導体膜4と、その上に形成された層間膜（第2の絶縁膜）5と、その上に形成された制御ゲート電極（第2のゲート電極）形成用の導体膜6とを有している。

【0077】

メモリセルMCのn型半導体領域2Sは、ソース領域を形成する領域であり、上記ローカルソース線SSの一部で形成されている。また、n型半導体領域2Dは、ドレイン領域を形成する領域であり、上記サブビット線SBの一部で形成されている。ローカルソース線SSおよびサブビット線SBは、上記Y方向に沿って配置された複数個のメモリセルMCを平面的に挟むようにY方向に沿って互いに平行に平面帯状に延びて形成され、その挟まれた複数個のメモリセルMCの共有の領域となっている。本実施の形態1においては、このn型半導体領域2S（ローカルソース線SS）およびn型半導体領域2D（サブビット線SB）は、例えばヒ素（As）が半導体基板1に、例えば $10^{14}/\text{cm}^3$ 程度以上導入されることで形成されている。これにより、半導体領域2S、2Dの浅い接合を実現でき、かつ、短チャネル効果等の発生を抑制または防止しつつ不純物濃度を増やすことができるので、微細化、信頼性の確保および抵抗（シート抵抗）の低下を実現することが可能となっている。なお、ローカルソース線SSは選択MOSN3を介して金属膜等で形成された共通ソース線SL（図2参照）と電氣的に接続され、サブビット線SBは選択MOSN1を介して金属膜等で形成されたメインビット線MBと電氣的に接続されている。

20

30

【0078】

メモリセルMCを構成する絶縁膜3aは、例えば厚さ9～10nm程度の酸化シリコン等からなり、情報の形成に寄与する電子を半導体基板1から浮遊ゲート電極用の導体膜4に注入したり、その導体膜4に保持された電子を半導体基板1に放出させたりする際の電子の通過領域（トンネル絶縁膜）となっている。

【0079】

浮遊ゲート電極用の導体膜4は、二層の導体膜4a、4bが下層から順に積み重ねられて構成されている。導体膜4a、4bは、例えばいずれも不純物が導入された低抵抗の多結晶シリコンからなり、その厚さは、導体膜4aが、例えば70nm程度、導体膜4bが、例えば40nm程度である。ただし、導体膜4は、上記X方向に沿った断面（図9）に示すように、断面T字状に形成されており、上層側の導体膜4bの幅が、その下層の導体膜4aの幅よりも広がっている。これにより、メモリセルMCのチャネル長を小さくしたまま、制御ゲート電極用の導体膜6に対する浮遊ゲート電極用の導体膜4の対向面積を増大させることができ、それらゲート電極間に形成される容量を増大させることができる。したがって、微細なメモリセルMCのまま、メモリセルMCの動作効率を向上させることが可能となっている。なお、本発明自体は浮遊ゲート電極の断面形状がI字状のものにも適用可能である。また、浮遊ゲート電極用の導体膜4の導体膜4bと半導体基板1との間には、例えば酸化シリコン等からなる絶縁膜7が介在されており、一对のn型半導体領域2

40

50

S, 2Dと導体膜4bとの間の絶縁が図られている。

【0080】

メモリセルMCの導体膜4bの表面は、上記層間膜5によって覆われており、これにより、浮遊ゲート電極用の導体膜4は、制御ゲート電極用の導体膜6と絶縁されている。上記層間膜5は、例えば酸化シリコン膜上に窒化シリコン膜を介して酸化シリコン膜を積み重ねてなり、その厚さは、例えば15nm程度である。制御ゲート電極用の導体膜6は、情報の読み出し、書き込みおよび消去を行うための電極であり、ワード線Wの一部で構成されている。ワード線Wは、上記X方向に延在する平面帯状のパターンで形成され、上記Y方向に沿って最小加工ピッチ（例えば0.30μm程度）となるように平行に複数本並んで配置されている。この制御ゲート電極用の導体膜6（ワード線W）は、例えば二層の導体膜6a, 6bが下層から順に積み重ねられて形成されている。下層の導体膜6aは、例えば厚さ100nm程度の低抵抗な多結晶シリコンからなる。その上層の導体膜6bは、例えば厚さ80nm程度のタングステンシリサイド（WSi_x）からなり、下層の導体膜6aに電氣的に接続された状態で積み重ねられている。この導体膜6bを設けたことによりワード線Wの電気抵抗を下げるができるので、フラッシュメモリ（EEPROM）の動作速度を向上させることが可能となっている。ただし、導体膜6の構造は、これに限定されるものではなく種々変更可能であり、例えば低抵抗多結晶シリコン上に窒化タングステン等のようなバリア導体膜を介してタングステン等のような金属膜を積み重ねてなる構造としても良い。この場合、ワード線Wの電氣的を大幅に下げることができるので、フラッシュメモリ（EEPROM）の動作速度をさらに向上させることが可能となる。なお、ワード線W上には、例えば酸化シリコンからなるキャップ絶縁膜8が形成されている。

【0081】

ところで、本実施の形態1においては、短絡MOSN2や選択MOSN1, N3（図2等も参照）等のような周辺回路用の素子の構造が、上記メモリセルMCの構造とほぼ同じような構造となっている。特に、短絡MOSN2のゲート電極9および選択MOSN1, N3のゲート電極10が、浮遊ゲート電極用の導体膜4上に層間膜5を介して制御ゲート電極用の導体膜6を積み重ねる構造を有している。すなわち、次の通りである。

【0082】

短絡MOSN2は、例えばnMOSからなり、半導体基板1に形成された一对の半導体領域2S, 2Dと、半導体基板1の主面上に形成された絶縁膜3aと、その上に形成されたゲート電極9とを有している。短絡MOSN2の一对のn型半導体領域2S, 2Dは、上記メモリセルMCの一对のn型半導体領域2S, 2Dのそれぞれと一体的になっている。短絡MOSN2の絶縁膜3aは、ゲート絶縁膜を形成する部分であり、上記メモリセルMCの絶縁膜3aと同じ構造（厚さおよび材料）となっている。さらに、短絡MOSN2のゲート電極9は、上記メモリセルMCの2層の導体膜4, 6が層間膜5を介して積み重ねられて構成されている。ただし、短絡MOSN2のゲート電極9を構成する導体膜4, 6は、それらの間の層間膜5に穿孔されたコンタクトホールSCを通じて電氣的に接続されている。これにより、ゲート電極9の抵抗を大幅に下げることが可能となっている。このコンタクトホールSCのレイアウトについては後ほど詳細に説明する。なお、短絡MOSN2のゲート電極9を構成する導体膜6は、メモリセルMCの導体膜6よりも幅広に形成されている。

【0083】

また、選択MOSN1は、例えばnMOSからなり、半導体基板1に形成されたソース・ドレイン用の一对のn型半導体領域11（2D）, 11と、半導体基板1の主面上に形成された絶縁膜3bと、その上に形成されたゲート電極10とを有している。選択MOSN1の一对のn型半導体領域11は、例えばリングが導入されてなり、上記メモリセルMCの一对のn型半導体領域2S, 2Dとは別の不純物の導入工程によって形成されている。ただし、一方のn型半導体領域11は、n型半導体領域2Dと重なっている。この一对の半導体領域11（2D）, 11の形成工程および構造については後ほど詳細に説明する。また、選択MOSN1の絶縁膜3bは、ゲート絶縁膜を形成する部分である。この絶縁膜3

bは、上記絶縁膜3aと同じ材料からなるが、その厚さが絶縁膜3aよりも厚く、例えば25nm程度である。この絶縁膜3bの形成方法についても後ほど詳細に説明する。さらに、選択MOSN1においても、そのゲート電極10は、上記メモリセルMCの2層の導体膜4、6が積み重ねられてなるが、短絡MOSN2と同様に、その導体膜4、6は、それらの間の層間膜5に穿孔されたコンタクトホールSCを通じて電氣的に接続されている。また、選択MOSN1のゲート電極10を構成する導体膜6は、メモリセルMCの導体膜6よりも幅広に形成されている。なお、選択MOSN3の構造は選択MOSN1と同じなので説明を省略する。

【0084】

このように、メモリアレイMARY内に形成された短絡MOSN2および選択MOSN1、N2のゲート電極9、10の構造を、導体膜4上に層間膜5を介して導体膜6を積み重ねる構造としたことにより、メモリアレイMARY内の平坦性を向上させることが可能となる。もちろん、メモリアレイMARY以外の周辺回路のMOSの構造をメモリセルMCと同様とすることで半導体チップ面内の平坦性を向上させることも可能である。ここで、図13は、ワード線Wをパターニングする際のメモリアレイMARYの要部断面図を示している。導体膜6上には反射防止膜BAを介してワード線Wおよびゲート電極9、10形成用のフォトレジストパターンPRが形成されている。この場合、平坦性を保つことができるので、メモリアレイ（図13の半導体領域2Dの左側）および周辺回路領域（図13のn型半導体領域2Dの右側）の両方において反射防止膜BAをほぼ等しい厚さで塗布することが可能となる。これにより、ワード線Wの隣接ピッチをさらに狭くすることが可能となる。一方、図14は、半導体基板50上において、メモリアレイ内に形成された短絡MOSや選択MOSのゲート電極が一層構造の場合を比較のために示している。この場合、メモリセルの形成領域と短絡MOSおよび選択MOSの形成領域との境界に段差51が生じている。このため、ワード線およびゲート電極を形成するための導体膜52にも段差が生じている。したがって短絡MOSおよび選択MOSの形成領域の方の導体膜52上の反射防止膜53の厚さが、メモリセルの形成領域の反射防止膜53よりも厚くなっている。この状態で、フォトレジストパターン54をマスクとして導体膜52をエッチング法によってパターニングすると、短絡MOSおよび選択MOSの形成領域側の反射防止膜53が厚いのでゲート電極をパターニングする間に、ワード線側のフォトレジストパターン54が細くなり、ワード線Wが大幅に細くなってしまう。このため、ワード線の幅をその細くなる分を予測して予め広くしておかなければならないので、ワード線の隣接ピッチも広くなる結果、メモリアレイの面積が増大する課題が生じる。

【0085】

このような浮遊ゲート電極用の導体膜4、制御ゲート電極用の導体膜6、ゲート電極9、10およびキャップ絶縁膜8の側面には、例えば酸化シリコンからなる絶縁膜12aが被着されている。特に、上記Y方向に互いに隣接するワード線Wの間は、その絶縁膜12aによって埋め込まれた状態となっている。このような絶縁膜12a上および導体膜6上には、例えば酸化シリコンからなる絶縁膜12bが堆積されている。この絶縁膜12b上には、例えばタングステン等からなる第1層配線L1が形成されている。所定の第1層配線L1は、絶縁膜12bに穿孔されたコンタクトホールCON1を通じて選択MOSN1のn型半導体領域11と電氣的に接続されている。さらに、絶縁膜12b上には、例えば酸化シリコンからなる絶縁膜12cが堆積されており、これにより第1層配線L1の表面が被覆されている。その絶縁膜12c上には、第2層配線L2が形成されている。第2層配線L2は、例えば窒化チタン、アルミニウムおよび窒化チタンを下層から順に積層してなり、絶縁膜12cに穿孔されたスルーホールTH1を通じて第1層配線L1と電氣的に接続されている。この第2層配線L2の表面は、例えば酸化シリコンからなる絶縁膜12dによって被覆されている。

【0086】

次に、周辺回路を構成するMOSにおける上記コンタクトホールSCのレイアウトの一例を図15～図19によって説明する。なお、図15～図19において（b）は各々の図の

10

20

30

40

50

(a) の A-A 線の断面図である。

【0087】

本実施の形態 1 においては、周辺回路を構成する MOS に対するコンタクトホール SC のレイアウトが、その MOS のゲート長に従って基本的に 2 種類ある。図 15 および図 16 は、その周辺回路を構成する 2 種類の MOS QA, QB の一例を模式的に示している。なお、本発明は、pMOS および nMOS のいずれにも適用できるので、ここでは説明を簡単にするために MOS QA, QB のチャネルの導電型を特に指定していない。また、MOS QA のソース・ドレイン用の一対の半導体領域を符号 SA, DA で代表して示し、MOS QA のゲート電極を符号 GA で代表して示す。また、MOS QB のソース・ドレイン用の一対の半導体領域を符号 SB, DB で代表して示し、MOS QB のゲート電極を符号 GB で代表して示す。また、各 MOS QA, QB において符号 LA, LB は活性領域（アクティブエリア）を示し、その外側は分離領域を示している。

10

【0088】

まず、図 15 に示す MOS QA は、ゲート長（図 15 (a) の左右横方向寸法）およびゲート幅（図 15 (a) の上下縦方向寸法）が相対的に長い MOS を代表して示している。この MOS QA は、例えば電源回路、昇圧回路、ワード線ドライバ回路およびデコーダ回路等を構成する素子として使用される。例えば上記入力回路の nMOS Qipn, QINVn, QINVS および pMOS Qipp、出力回路の pMOS Q0out、短絡 MOS N2、選択 MOS N1, N3 は、この MOS QA の構造とすることが好ましい。

20

【0089】

なお、図 15 (b) には、高電圧系回路を構成する MOS QA の場合、ゲート電極 GA に高電圧（例えば 1.8 V 程度）が印加されることからゲート絶縁膜に高い耐圧が必要とされるので、上記相対的に厚い絶縁膜 3b が MOS QA のゲート絶縁膜として使用されている場合が例示されている。

【0090】

この種の MOS QA においては、大きな駆動能力を必要としないものの、ゲート幅を長くする必要がある。このため、ゲート電極 GA の端部から端部までの距離が長くなる結果、その抵抗も高くなる。この抵抗が高くなると、貫通電流が増大することと等価となり、フラッシュメモリ（EEPROM）の消費電力が増大する課題がある。本実施の形態 1 では、周辺回路用の MOS のゲート電極を、メモリセル MC の浮遊ゲート電極用の導体膜 4 と制御ゲート電極用の導体膜 6 とを積み重ね、これらをコンタクトホール SC を通じて電氣的に接続することで構成しているが、ただ単純に、あるいは、全ての周辺回路用の MOS に対して同じ規則でコンタクトホール SC を配置してしまうと、このような課題が生じる。一方、コンタクトホール SC を配置せずにこの課題を解決しようとする、ゲート電極 GA の抵抗低減のために、ゲート電極 GA やコンタクトホール CON1 の配置が困難となる課題が生じる。

30

【0091】

そこで、本実施の形態 1 においては、この種の MOS QA に対して、図 15 に例示するように、上記コンタクトホール SC を、ゲート電極 GA の上面において活性領域 LA と平面的に重なる領域にその延在方向に沿って所定の間隔毎に複数個配置した。すなわち、活性領域 LA 上のゲート電極 GA の複数箇所において導体膜 6 と導体膜 4 とをコンタクトホール SC を通じて電氣的に接続した。また、ここでは、コンタクトホール SC が、ゲート電極 GA の両端の上面において分離領域と平面的に重なる幅広部分にも複数個配置した。すなわち、その幅広部分においても複数箇所導体膜 6 と導体膜 4 とをコンタクトホール SC を通じて電氣的に接続した。このようにコンタクトホール SC を配置する（主としてゲート電極 GA の活性領域 LA と平面的に重なる領域にコンタクトホール SC を配置することにより、ゲート電極 GA の抵抗を大幅に下げることが可能となる。このため、ゲート電極 GA の抵抗増大に起因する貫通電流の発生を抑制または防止することができるので、フラッシュメモリ（EEPROM）の消費電力の増大を抑制または防止することが可能となる。また、コンタクトホール CON1, SC の配置を容易にすることができ、コンタク

40

50

トホールCON1, SCを含めたMOSQAのレイアウトを容易にすることが可能となる。すなわち、回路設計からデバイス設計への移行を容易にすることが可能となる。

【0092】

このコンタクトホールSCの直径は、コンタクトホールCON1の直径と等しくても良いが、メモリセルのサイズに律則されないので、抵抗の低減や作り易さの観点からコンタクトホールCON1の直径よりも大径にすることができる。特に限定されないが、コンタクトホールSCの直径は、例えば0.3 μm 程度である。また、コンタクトホールCON1の直径は、例えば0.24 μm ~0.26 μm 程度である。また、特に限定されないが、上記以外の各部の寸法を例示すると次の通りである。すなわち、ゲート電極GAのゲート長は、例えば0.9 μm ~1 μm 程度である。また、ゲート幅は、例えば5 μm ~20 μm 程度である。

10

【0093】

なお、図15(a)には、ゲート電極GAの両端において分離領域と平面的に重なる幅広部分に、2個のコンタクトホールSCが、電流の流れる方向に対して交差する方向に沿って並んで配置されている場合が例示されている。また、第1層配線とゲート電極GAとを接続すべく、そのゲート電極GAの幅広部分に開口されるコンタクトホールCON1は、ゲート電極GAの占有面積の縮小や抵抗の低下のために、その幅広部分に配置されたコンタクトホールSCに近接してまたは平面的に重なって配置されている。また、MOSQAの半導体領域SA, DAには、活性領域LA上のゲート電極GAに配置されたコンタクトホールSCに平面的に対応するようにコンタクトホールCON1が配置されている。また、図15(b)には、ソース・ドレイン用の半導体領域SA, DAが、チャネルに近接する側に相対的に不純物濃度の低い領域を設け、それ以外に相対的に不純物濃度の高い領域を設けて構成される、いわゆるLDD (Lightly Doped Drain) 構造の場合が例示されている。

20

【0094】

次に、図16に示すMOSQBは、ゲート長(図16(a)の左右横方向寸法)およびゲート幅(図16(a)の上下縦方向寸法)が相対的に短いMOSを代表して示している。このMOSQBは、例えば論理回路、制御回路または出力回路等のような比較的動作速度の速い回路を構成する素子として使用される。図16(b)には、駆動能力を上げて動作速度を向上させる観点から、上記相対的に薄い絶縁膜3aがMOSQBのゲート絶縁膜として使用されている場合が例示されている。

30

【0095】

この種のMOSQBにおいては、大きな駆動能力を必要とするが、ゲート幅も短くて済む。ゲート幅自体は、狭チャネル効果(逆短チャネル効果)が生じない程度まで短くできるものがほとんどである。したがって、ゲート電極GBの抵抗の増大について、上記MOSQAのゲート電極GAほど考慮する必要性がない。一方、ゲート電極GBは、一般的にゲート長が短いので、上記のゲート電極GA上のコンタクトホールSCの配置のルールでそのまま適用することはできない。

【0096】

そこで、本実施の形態1においては、この種のMOSQBに対して、図16に例示するように、上記コンタクトホールSCを、ゲート電極GBの上面において、活性領域LBと平面的に重なる領域には配置せず、分離領域と平面的に重なる幅広部分に配置した。すなわち、分離領域上のゲート電極GBの複数箇所において導体膜6と導体膜4とをコンタクトホールSCを通じて電氣的に接続した。このようにコンタクトホールSCを配置することにより、ゲート電極GBの抵抗を十分に下げることが可能となる。このため、ゲート電極GBの抵抗増大に起因する貫通電流の発生を抑制または防止することができるので、フラッシュメモリ(EEPROM)の消費電力の増大を抑制または防止することが可能となる。また、コンタクトホールCON1, SCを含めたMOSQBのレイアウトも容易にすることができ、回路設計からデバイス設計への移行を容易にすることが可能となる。

40

【0097】

50

このMOSQBでのコンタクトホールSCは、ゲート電極GBの両端において分離領域と平面的に重なる幅広部分に、電流の流れる方向に対して交差する方向に沿って2個並んで配置されている場合が例示されている。また、このMOSQBでのコンタクトホールSC、CON1の直径については、上記MOSQAでのそれと同じである。また、特に限定されないが、それ以外の各部の寸法を例示すると次の通りである。すなわち、ゲート電極GBのゲート長は、例えば0.4 μm ~0.5 μm 程度である。また、ゲート幅は、例えば2 μm ~10 μm 程度である。

【0098】

なお、図16(a)においてもは、ゲート電極GBの幅広部分に開口されるコンタクトホールCON1は、抵抗を下げるために、その幅広部分に配置されたコンタクトホールSCに近接してまたは平面的に重なって配置されている。また、図16(b)には、ソース・ドレイン用の半導体領域SSB、DBは、上記半導体領域SA、DAと同様に、LDD構造の場合が例示されている。

【0099】

図17は、上記MOSQAの変形例を示している。ここでは、コンタクトホールSCがゲート電極GAのほぼ全体に渡りその延在方向に沿って連続的に延びて形成されている。これにより、導体膜4と導体膜6との接触面積を増やすことができるので、ゲート電極GAの抵抗をさらに低下させることが可能となる。また、コンタクトホールSCの面積が大きいので、孔の形成を容易にすることが可能となる。なお、ここでは、コンタクトホールCON1が、分離領域上のゲート電極GAの幅広部分においてコンタクトホールSCの一部に平面的に重なるように2個並んで配置されている場合が例示されている。また、コンタクトホールSCが活性領域LAのみに重なるように平面的に延在させても良い。

【0100】

図18は、上記MOSQAの他の変形例を示している。ここでは、ゲート電極GAの平面形状および寸法と、コンタクトホールSCの平面形状および寸法が全く同じであり、コンタクトホールSCは、ゲート電極GAのレイアウトに一致するように平面的に重なって配置されている。この結果、図18(b)に示すように、ゲート電極GAの導体膜4と導体膜6とは、各々の平面全体において直接接触した状態で重なっている。これにより、導体膜4と導体膜6との接触面積をさらに増やすことができるので、ゲート電極GAの抵抗を大幅に低下させることが可能となる。この構造は、MOSQAのみで実現することもできるし、MOSQA、QBの両方で実現することもできる。このような構造の形成方法については、実施の形態2で説明する。

【0101】

図19は、上記MOSQAのさらに他の変形例を示している。ここでは、平面レイアウトは、図15(a)と同じであるが、断面的には、図19(b)に示すように、コンタクトホールSCが、導体膜6の導体膜6aと層間膜5とを貫通するように穿孔されており、導体膜6aの上層の導体膜6bがコンタクトホールSCを通じて導体膜4と電氣的に接続される構造となっている。すなわち、ここでは、層間膜5上に導体膜6aを堆積した後に、フォトリソパターンをエッチングマスクとしたドライエッチング法によってコンタクトホールSCが形成される。これにより、コンタクトホールSCの形成に際して、コンタクトホールSC形成用のフォトリソパターンが、層間膜5に直接接触されないで、メモリセルMCの記憶に寄与する層間膜5の汚染を大幅に低減することができる。このため、その汚染に起因する不良の発生や信頼性の劣化を低減できるので、フラッシュメモリ(EEPROM)の歩留まりおよび信頼性を向上させることが可能となる。

【0102】

次に、本実施の形態1における上記出力回路の保護用のnMOSQopn1の構造例を図20に示す。上記したように本実施の形態1においては、保護用のNMOSQopn1の構造が、フラッシュメモリ(EEPROM)のメモリセルMCとほぼ同じ構造となっている。すなわち、本来、耐圧(ドレインエッジの耐圧)が低いために高い静電破壊耐性が得られるメモリセルと同じ構造で保護素子を形成することにより、保護性能の高い保護用のnMOS

10

20

30

40

50

Qopn1を得ることが可能となっている。すなわち、例えば次の通りである。

【0103】

半導体基板1には、pウエルPW_oが形成され、その領域内に、上記保護用のnMOSQopn1が形成されている。保護用のnMOSQopn1は、ソース・ドレイン用の一对のn型半導体領域13と、絶縁膜3aと、ゲート電極14とを有している。なお、ここでは、1つの活性領域LOに2個のゲート電極14が平面的に重なり、中央の半導体領域13が左右のnMOSQopn1にとって共有の領域となっている構造が例示されている。

【0104】

保護用のnMOSQopn1の一对のn型半導体領域13は、例えばヒ素が導入されてなり、上記メモリセルMCの一对のn型半導体領域2S、2Dと同じ不純物導入工程時に形成されている。したがって、n型半導体領域13の不純物プロファイルは、メモリセルMCのn型半導体領域2S、2Dと同じである。

【0105】

また、pウエルPW_oは、メモリセルMCのpウエルPW_mと同じ不純物導入工程時に形成されており、pウエルPW_mの不純物プロファイルと同じになっている。このpウエルPW_oの上部にはp⁺型の半導体領域15が形成されている。このp⁺型半導体領域15は、ゲート電極14の延在方向に沿って平行に平面带状に延在して形成されている。第1層配線L1とp⁺型半導体領域15を接続するコンタクトホールCON1も、その延在方向に沿って複数個並んで配置されている。pウエルPW_oへの電位は、そのp⁺型半導体領域15を通じて行われる。

【0106】

ゲート電極14は、基本的にメモリセルMCと同様に、浮遊ゲート電極形成用の導体膜4上に層間膜5を介して制御ゲート電極形成用の導体膜6を積み重ねてなり、導体膜4はメモリセルMCと同様に断面T字状に形成されている。ただし、保護用のnMOSQopn1においては、ゲート電極14の導体膜4と導体膜6とがコンタクトホールSCを通じて電氣的に接続されている。図20(a)には、そのコンタクトホールSCがゲート電極14の両端において分離領域と平面的に重なる幅広部分に配置されている場合が例示されているが、上記図15、図17～図19に示したようにしても良い。また、上層の第1層配線L1とゲート電極14とを電氣的に接続するコンタクトホールCON1は、コンタクトホールSCと平面的に一致して重なるように配置されている。これにより、ゲート電極14の占有面積の縮小と抵抗の低下とを図ることが可能となる。なお、ゲート電極14の導体膜4の一部と半導体基板1との間には、メモリセルMCと同様に絶縁膜7が介在されている。また、ゲート電極14の上面には、キャップ絶縁膜8が形成され、側面には絶縁膜12aが形成されている。なお、第1層配線L1とn型半導体領域13とを電氣的に接続するコンタクトホールCON1は、ゲート電極14の延在方向に沿って複数個並んで配置されている。

【0107】

次に、本実施の形態1のフラッシュメモリ(EEPROM)の一部に組み込まれた容量素子の構造例を図21および図22に示す。なお、図22は、図21のA-A線の断面図である。

【0108】

容量素子Cは、半導体基板1のpウエルPW_c上に、絶縁膜3a(または絶縁膜3b)を介して上部電極17を設けることで構成されている。半導体基板1には、2つの活性領域LC、LCがその間に溝型の分離部SGIを介して配置されている。この活性領域LC内のpウエルPW_cは、上記容量素子Cの下部電極を構成する。活性領域LCを2つに分割しているのは、例えば下部電極(pウエルPW_c)の抵抗の低下と、後述の上部電極17に対するコンタクトホールCON1bの配置を考慮したためである。このpウエルPW_cの上部において上部電極17の下端部近傍には、p⁻型半導体領域18aおよびp⁺型半導体領域18bが形成されている。p⁻型半導体領域18aおよびp⁺型半導体領域18bには、例えばホウ素が導入されている。p⁺型半導体領域18bは、p⁻型半導体領域18a

10

20

30

40

50

よりも絶縁膜12aの幅分だけ上部電極17の下端部から離間した位置に形成されている。このp⁺型半導体領域18bは、絶縁膜12bに穿孔されたコンタクトホールCON1aを通じて第1層配線L1と電氣的に接続されている。なお、コンタクトホールCON1aは、上部電極17の長辺に沿って複数個並んで配置されている。

【0109】

容量素子Cの絶縁膜3a（または絶縁膜3b）は、容量素子Cの容量絶縁膜を形成している。本実施の形態1においては、この容量素子CもメモリセルMCと似た構造となっている。すなわち、その上部電極17が、メモリセルMCの浮遊ゲート電極用の導体膜4と、その上に層間膜5を介して積み重ねられたメモリセルMCの制御ゲート電極用の導体膜6とが層間膜5に穿孔されたコンタクトホールSCを通じて電氣的に接続されることで構成されている。このコンタクトホールSCは、上部電極17の長手方向に所定の間隔毎に配置される列線上に、上部電極17の幅方向に沿って複数個並んで配置されている。そして、コンタクトホールSCは、下部電極を構成する半導体基板1の活性領域LC上および互いに隣接する活性領域LCの間の溝型の分離部（分離領域）SGI上の両方に配置されている。

10

【0110】

この上部電極17は、絶縁膜12bに穿孔されたコンタクトホールCON1bを通じて第1層配線L1と電氣的に接続されている。このコンタクトホールCON1bは、活性領域LC上には配置されず、互いに隣接する活性領域LCの間の溝型の分離部（分離領域）SGI上だけに配置されている。これは、例えば次の理由からである。すなわち、このコンタクトホールCON1bは、上記コンタクトホールCON1aと同工程時に穿孔されるが、そのコンタクトホールCON1aがコンタクトホールCON1bよりも深いので、そのコンタクトホールCON1aを穿孔している間にコンタクトホールCON1bの掘り過ぎが生じることも考えられるので、その掘り過ぎが生じて容量素子Cが不良とならないようにするために、コンタクトホールCON1bを溝型の分離部（分離領域）SGI上に配置している。なお、ここでは説明を分かりやすくするために、上記コンタクトホールCON1を、コンタクトホールCON1a、CON1bに分けて説明しているが、これらコンタクトホールCON1a、1bは実質的にコンタクトホールCON1と同じものである。

20

【0111】

このような容量素子Cは、例えば昇圧回路（チャージポンプ回路）や遅延回路等に使われる。容量素子Cを昇圧回路に用いた場合は、例えば3.3Vから18Vの高電圧を形成するので、容量絶縁膜として相対的に厚い絶縁膜3bを用いる方が好ましい。一方、容量素子Cをロジック回路等で使用される遅延回路に用いた場合は、低電圧で良いので、容量絶縁膜として相対的に薄い絶縁膜3aを用いることができる。

30

【0112】

なお、コンタクトホールSCは、活性領域LCと平面的に重なる位置のみに設けても良いし、分離部SGIと平面的に重なる位置のみに設けても良い。

【0113】

次に、本実施の形態1におけるフラッシュメモリ（EEPROM）の製造方法の一例を説明する。

40

【0114】

図23～図25は、本実施の形態1のフラッシュメモリ（EEPROM）の製造工程中の図を示している。図23は、上記図7に相当する箇所の要部平面図である。図24は、フラッシュメモリ（EEPROM）のメモリアレイおよび周辺回路領域を含む要部断面図であり、ここでのメモリアレイは図7のA-A線断面に相当する。図25は、図7のB-B線断面に相当する。なお、V_{pp}系NMOSおよびPMOSは、駆動電圧が、例えば8V程度の相対的に高電圧系の周辺回路用のMOSである。また、V_{cc}系NMOSおよびPMOSは、駆動電圧が、例えば1.8V～3.3V程度の相対的に低電圧系の周辺回路用のMOSである（以下に続く図において同じ）。

【0115】

50

まず、図 2 3～図 2 5 に示すように、半導体基板（この段階では半導体ウエハと称する平面略円形状の半導体の薄板）1 の主面に、例えば溝型の分離部 S G I およびこれに取り囲まれるように配置された活性領域 L m 等を形成する。すなわち、半導体基板 1 の所定箇所に分離溝を形成した後、半導体基板 1 の主面上に、例えば酸化シリコンからなる絶縁膜を堆積し、さらにその絶縁膜が分離溝内にのみ残されるように絶縁膜を C M P（Chemical Mechanical Polish）法等によって研磨することで、分離部 S G I を形成する。

【0 1 1 6】

続いて、半導体基板 1 の所定部分に所定の不純物を所定のエネルギーで選択的にイオン注入法等によって導入することにより、埋め込み n ウエル N W m、p ウエル P W m、p ウエル P W p 1、P W p 2 および n ウエル N W p 1、N W p 2 を形成する。

10

【0 1 1 7】

次いで、図 2 6 は、続く製造工程における図 2 4 と同じ箇所の要部断面図であり、図 2 7 は、続く製造工程における図 2 5 と同じ箇所の要部断面図である。ここでは、図 2 6 および図 2 7 に示すように、厚さの異なる 2 種類の絶縁膜 3 a、3 b を形成する。例えば次のようにする。

【0 1 1 8】

まず、半導体基板 1 の主面上に、例えば厚さ 2 0 n m 程度の厚い絶縁膜を熱酸化法等によって形成する。続いて、その厚い絶縁膜上にメモリアレイおよび低電圧系 M O S 領域（Vcc 系 P M O S および Vcc 系 N M O S で例示）が露出され、それ以外が覆われるようなフォトリソグラフィパターンを形成した後、それをエッチングマスクとしてそこから露出する厚い絶縁膜をウェットエッチング法等によってエッチング除去する。その後、そのフォトリソグラフィパターンを除去した後、メモリアレイにトンネル酸化膜を形成すべく半導体基板 1 に対して再び熱酸化処理等を施す。これにより、メモリアレイ（短絡 M O S 領域を含む）および低電圧系 M O S 領域に、例えば厚さが 9 n m 程度の相対的に薄いゲート絶縁膜 3 a を形成し、高電圧系 M O S 領域（Vpp 系 P M O S および Vpp 系 N M O S で例示）および選択 M O S 領域には、例えば厚さが 2 5 n m 程度の相対的に厚い絶縁膜 3 b を形成する。

20

【0 1 1 9】

次いで、図 2 8 は、続く製造工程の図 2 3 と同じ箇所の要部平面図であり、図 2 9 は、続く製造工程における図 2 4 と同じ箇所の要部断面図であり、図 3 0 は、続く製造工程における図 2 5 と同じ箇所の要部断面図である。

30

【0 1 2 0】

まず、半導体基板 1 の主面上に、例えば厚さ 7 0 n m 程度の低抵抗な多結晶シリコンからなる導体膜 4 a および窒化シリコン等からなる絶縁膜 1 9 を下層から順に C V D 法等によって堆積した後、その絶縁膜 1 9 および導体膜 4 a をフォトリソグラフィ技術およびドライエッチング技術によって加工することにより、メモリアレイに浮遊ゲート電極（第 1 のゲート電極）を形成する導体膜 4 a をパターニングする。この際、周辺回路領域（高電圧系 M O S 領域、低電圧系 M O S 領域および選択 M O S 領域等）は、全体的に導体膜 4 a および絶縁膜 1 9 によって覆われている。続いて、半導体基板 1 に、メモリセルのソース、ドレイン用の不純物（例えばヒ素）をイオン注入法等によって導入することにより、一対の n 型半導体領域 2 S、2 D（ローカルソース線 S S およびサブビット線 S B）を形成する。この際、高電圧系 M O S 領域、低電圧系 M O S 領域および選択 M O S 領域等は、導体膜 4 a で覆われている。これにより、短絡 M O S のゲート長を導体膜 4 a のみで決めることが可能となっている。

40

【0 1 2 1】

次いで、図 3 1 は、続く製造工程における図 2 4 と同じ箇所の要部断面図であり、図 3 2 は、続く製造工程における図 2 5 と同じ箇所の要部断面図である。ここでは、まず、半導体基板 1 の主面上に、例えば酸化シリコンからなる絶縁膜 7 を C V D 法等によって堆積した後、その絶縁膜 7 が半導体基板 1 の主面上の窪み内に残されるように、その絶縁膜 7 を C M P 法により研磨し、さらに、ドライエッチング法等によってエッチングする。これにより、半導体基板 1 の主面上を平坦にする。また、この上に堆積する後述の浮遊ゲート電

50

極用の導体膜がメモリセルのソース・ドレイン用のn型半導体領域2S, 2Dに接触しないようにする。この際、絶縁膜19も除去されるが、下層を保護するように機能する。

【0122】

次いで、図33は、続く製造工程における図23と同じ箇所の要部平面図であり、図34は、続く製造工程における図24と同じ箇所の要部断面図であり、図35は、続く製造工程における図25と同じ箇所の要部断面図である。

【0123】

まず、半導体基板1の主面上に、例えば厚さ40nm程度の低抵抗な多結晶シリコンからなる導体膜4bを堆積した後、その上に、フォトリソグラフィ技術によってフォトレジストパターンPR1を形成し、そのフォトレジストパターンをエッチングマスクとして、そこから露出する導体膜4bをドライエッチング法等によって除去することにより、導体膜4a, 4bからなる浮遊ゲート電極を形成する。上記フォトレジストパターンPR1を形成するためのフォトリソグラフィ（露光処理）においては、互いに隣接する導体膜4bのスペースを縮小すべく、例えば位相シフトマスク（ハーフトーンマスク）を使用している。これは、メモリアレイにおいて、互いに隣接する導体膜4bのスペースSを可能な限り狭くすることで導体膜4bの面積を増大させて浮遊ゲート電極と制御ゲート電極（第2のゲート電極）とのカップリング比の向上を図り、メモリセルの微細が進められても所望の書き換え特性を満足させるためである。なお、この際、高電圧系MOS領域、低電圧系MOS領域、短絡MOS領域および選択MOS領域等は全体的に導体膜4bによって覆われている。

【0124】

次いで、図36は、続く製造工程の図23と同じ箇所の要部平面図であり、図37は、続く製造工程における図24と同じ箇所の要部断面図であり、図38は、続く製造工程における図25と同じ箇所の要部断面図である。

【0125】

ここでは、まず、半導体基板1上に、例えば酸化シリコン膜、窒化シリコン膜および酸化シリコン膜を下層から順にCVD法等によって堆積することにより、例えば厚さが15nm程度の層間膜（第2の絶縁膜）5を形成した後、その上に、上記コンタクトホールSCを形成するためのフォトレジストパターンPR2をフォトリソグラフィ技術によって形成する。続いて、そのフォトレジストパターンPR2をエッチングマスクとして、そこから露出する層間膜5をドライエッチング法等によって除去することにより、層間膜5にコンタクトホールSCを形成する。なお、図36においては、上の行のコンタクトホールSCは選択MOSのゲート電極形成領域上に配置され、下の行のコンタクトホールSCは、短絡MOSのゲート電極形成領域上に配置されている。また、図37においては、高電圧系MOS領域および低電圧系MOS領域にコンタクトホールSCが示されていないが、図37の断面に示されない他の位置において、それらのMOSのゲート電極形成領域上に導体膜4bの一部が露出するコンタクトホールSCが形成されている。

【0126】

次いで、図39は、続く製造工程の図23と同じ箇所の要部平面図であり、図40は、続く製造工程における図24と同じ箇所の要部断面図であり、図41は、続く製造工程における図25と同じ箇所の要部断面図である。

【0127】

ここでは、まず、半導体基板1上に、例えば低抵抗な多結晶シリコンからなる導体膜6a、タングステンシリサイド等からなる導体膜6bおよび酸化シリコン等からなるキャップ絶縁膜8を下層から順にCVD法等によって堆積した後、これをフォトリソグラフィ技術およびドライエッチング技術によってパターンニングする。これにより、メモリアレイにおいては制御ゲート電極（ワード線W）を形成し、それ以外の領域、高電圧系MOS領域、低電圧系MOS領域、短絡MOS領域および選択MOS領域等においては各MOSのゲート電極の一部を形成する。このエッチング処理に際しては、層間膜6をエッチングストップとして機能させている。本実施の形態1においては、メモリアレイと周辺回路領域との

間に段差がないので、ワード線Wを狭ピッチで加工できる。

【0128】

次いで、図42は、続く製造工程における図24と同じ箇所の要部断面図であり、図43は、続く製造工程における図25と同じ箇所の要部断面図である。ここでは、まず、キャップ絶縁膜8、導体膜6をエッチングマスクとして、その下層の層間膜5、導体膜4b、4aをドライエッチング法等によってエッチング除去する。

【0129】

これにより、メモリアレイにおいては、メモリセルMCの制御ゲート電極および浮遊ゲート電極を完成させる。すなわち、浮遊ゲート電極形成用の導体膜4上に層間膜5を介して制御ゲート電極形成用の導体膜6を積み重ねる2層ゲート電極構造を完成させる。メモリセルMCの浮遊ゲート電極と制御ゲート電極とは完全に絶縁されている。

10

【0130】

また、周辺回路領域（低電圧系MOS領域、高電圧系MOS領域、短絡MOS領域および選択MOS領域）においては、各MOSのゲート電極20n, 20p, 21n, 21p, 9, 10を完成させる。各ゲート電極20n, 20p, 21n, 21p, 9, 10においては、導体膜4と導体膜6とがコンタクトホールSCを通じて電氣的に接続されている。

【0131】

次いで、図44は、続く製造工程における図24と同じ箇所の要部断面図であり、図45は、続く製造工程における図25と同じ箇所の要部断面図である。ここでは、それぞれのMOSの相対的に不純物濃度の低い半導体領域22na, 22pa, 23na, 23pa, 11naをそれぞれ別々に形成する。半導体領域11na, 22na, 23naには、例えばヒ素が導入され、半導体領域22pa, 23paには、例えばホウ素が導入されている。続いて、半導体基板1の主面上に、例えば酸化シリコンからなる絶縁膜をCVD法等によって堆積した後、これを異方性のドライエッチング法等によってエッチバックすることにより、ゲート電極20n, 20p, 21n, 21p, 9, 10の側面に絶縁膜12aを形成する。なお、互いに隣接するワード線W間は、この絶縁膜12aによって埋め込まれる。

20

【0132】

次いで、図46は、続く製造工程における図24と同じ箇所の要部断面図であり、図47は、続く製造工程における図25と同じ箇所の要部断面図である。ここでは、それぞれのMOSの相対的に不純物濃度の高い半導体領域22nb, 22pb, 23nb, 23pb, 11nbをそれぞれ別々に形成する。半導体領域11nb, 22nb, 23nbには、例えばヒ素が導入され、半導体領域22pb, 23pbには、例えばホウ素が導入されている。これにより、低電圧系のnMOSQLnおよびpMOSQLp、高電圧系のnMOSQHnおよびpMOSQHp、選択MOSN1, N3のソース・ドレイン用の一对のn型半導体領域11, 22n, 23nおよび一对のp型半導体領域22p, 23pを形成する。

30

【0133】

次いで、図48は、続く製造工程の図23と同じ箇所の要部平面図であり、図49は、続く製造工程における図24と同じ箇所の要部断面図であり、図50は、続く製造工程における図25と同じ箇所の要部断面図である。ここでは、半導体基板1上に、例えば酸化シリコンからなる絶縁膜12bをCVD法等によって堆積した後、その絶縁膜12bに、半導体基板1の一部（各MOSのソース・ドレイン領域）、ワード線Wの一部および所定のMOSのゲート電極の一部が露出するようなコンタクトホールCON1をフォトリソグラフィ技術およびドライエッチング技術によって穿孔する。続いて、その半導体基板1上に、例えばタングステン等のような金属膜をスパッタリング法等によって堆積した後、これをフォトリソグラフィ技術およびドライエッチング技術によってパターニングすることにより、第1層配線L1（共通ソース線を含む）を形成する。第1層配線L1は、コンタクトホールCON1を通じて各MOSのソース・ドレイン用の一对の半導体領域、ゲート電極およびワード線Wと適宜電氣的に接続されている。

40

50

【0134】

次いで、図51は、続く製造工程の図23と同じ箇所の要部平面図であり、図52は、続く製造工程における図24と同じ箇所の要部断面図であり、図53は、続く製造工程における図25と同じ箇所の要部断面図である。ここでは、半導体基板1上に、例えば酸化シリコンからなる絶縁膜12cをCVD法等によって堆積した後、その絶縁膜12cに第1層配線L1の一部が露出するようなスルーホールTH1をフォトリソグラフィ技術およびドライエッチング技術によって穿孔する。続いて、その半導体基板1上に、例えばタングステン等のような金属膜をスパッタリング法やCVD法等によって堆積した後、これをスルーホールTH1内のみに残るようにCMP法等によって研磨することにより、スルーホールTH1内にプラグ24を形成する。その後、半導体基板1上に、例えば窒化チタン、アルミニウムおよび窒化チタンを下層から順にスパッタリング法等によって堆積した後、これをフォトリソグラフィ技術およびドライエッチング技術によってパターニングすることにより、第2層配線L2（メインビット線を含む）を形成する。第2層配線L2はプラグ24を通じて第1層配線L1と電氣的に接続されている。

10

【0135】

次いで、図54は、続く製造工程における図24と同じ箇所の要部断面図であり、図55は、続く製造工程における図25と同じ箇所の要部断面図である。ここでは、半導体基板1上に、例えば酸化シリコンからなる絶縁膜12dをCVD法等によって堆積した後、その絶縁膜12dに第2層配線L2の一部が露出するようなスルーホールTH2を上記スルーホールTH1と同様に穿孔する。続いて、上記プラグ24と同様にして、そのスルーホールTH2内にタングステン等からなるプラグ25を形成した後、半導体基板1上に、第2層配線L2と同様に、例えば窒化チタン、アルミニウムおよび窒化チタンの積層膜からなる第3層配線L3を形成する。第3層配線L3はプラグ25を通じて第2層配線L2と電氣的に接続されている。その後、半導体基板1上に、表面保護膜を形成した後、その一部に第3層配線L3の一部が露出するような開口部を形成してボンディングパッドを形成することにより、フラッシュメモリ（EEPROM）を製造する。

20

【0136】

本実施の形態1の代表的な効果を記載すると、例えば次の通りである。

(1).フラッシュメモリ（EEPROM）の周辺回路のMOSのゲート電極構造をメモリセルMCのゲート電極構造と同じにしたことにより、メモリセルMCのワード線形成時に周辺回路の領域とメモリセルMCの領域との境界部に段差が形成されないようにすることが可能となる。

30

(2).上記(1)により、ワード線Wの隣接スペースを縮小することができるので、メモリアレイの面積を縮小することができ、半導体チップのサイズの縮小を推進することが可能となる。

(3).周辺回路のMOSのゲート電極構造をメモリセルMCのゲート電極構造と同じにし、そのうちのゲート長の長いMOS（例えば高電圧系のMOS）に対しては、導体膜4, 6を接続するコンタクトホールSCをゲート電極平面内において活性領域上に当たる位置にも配置することにより、そのMOSのゲート電極の抵抗を下げる事が可能となる。

(4).上記(3)により、フラッシュメモリ（EEPROM）の消費電力を下げる事が可能となる。

40

(5).半導体基板1上に配置されるMOSの種類に応じて導体膜4, 6を接続するコンタクトホールSCの配置を変えることにより、MOSの各パターン（例えばコンタクトホールCON1）のレイアウトを容易にすることが可能となる。

(6).半導体基板1上に配置されるMOSの種類に応じて導体膜4, 6を接続するコンタクトホールSCの配置を変えることにより、回路上の不具合を生じることなくデバイス設計が可能となり、回路設計からデバイス設計への移行を容易にすることが可能となる。

(7).半導体基板1に形成される容量素子をメモリセルMCのゲート電極構造で構成した場合に、第1層配線L1とp⁺型半導体領域18bとを接続するコンタクトホールCON1を分離領域上に配置することにより、容量素子の不良の発生率を低減することが可能と

50

なる。

(8). 上記(7)により、フラッシュメモリ（E E O R O M）の歩留まりおよび信頼性を向上させることが可能となる。

【0137】

（実施の形態2）

本実施の形態2は、前記実施の形態1で説明した図18の構造を形成する場合の製造方法を説明するものである。

【0138】

本実施の形態2を説明する図56および図57は、前記実施の形態1において図23～図35で説明した製造工程を経た後の半導体基板1の要部断面図を示している。なお、図35に続く工程における図24と同じ箇所の要部断面図であり、図55は、図35に続く工程における図25と同じ箇所の要部断面図である。

【0139】

ここでは、まず、上記したように半導体基板1上に層間膜5を形成した後、その上に、フォトレジストパターンPR3を形成する。このフォトレジストパターンPR3は、メモリセルの形成領域については全て被覆するが、短絡MOSのゲート電極形成領域については一部（コンタクトホールSCの形成領域）を除いて被覆するように形成されている。そして、フォトレジストパターンPR3は、それ以外の周辺回路領域が露出されるように形成されている。続いて、そのフォトレジストパターンPR3をエッチングマスクとして、そこから露出する層間膜5をエッチング除去する。これにより、短絡MOSの領域においては、コンタクトホールSCを形成し、それ以外の周辺回路領域においては導体膜4bの表面を全体的に露出させる。その後、フォトレジストパターンPR3を除去する。

【0140】

次いで、図58は、続く製造工程における図24と同じ箇所の要部断面図であり、図59は、続く製造工程における図25と同じ箇所の要部断面図である。ここでは、まず、半導体基板1上に上記導体膜6およびキャップ絶縁膜8を下層から順にCVD法等によって堆積した後、キャップ絶縁膜8上に、ゲート電極およびワード線形成用のフォトレジストパターンを形成する。続いて、そのフォトレジストパターンを用いてキャップ絶縁膜8をパターニングした後、そのフォトレジストパターンを除去する。その後、残されたキャップ絶縁膜8をエッチングマスクとして、導体膜6、4をパターニングすることにより、メモリセルMCの2層ゲート電極および各周辺回路用のMOSのゲート電極9、10、20n、20p、21n、21pを形成する。本実施の形態2においては、ゲート電極10、20n、20p、21n、21pにおいて導体膜4と導体膜6がゲート電極パターンの全面において直接接触した状態で電氣的に接続されている。このため、ゲート電極10、20n、20p、21n、21pの抵抗をさらに低下させることが可能となる。なお、このエッチング処理においては、例えば酸化シリコンからなるキャップ絶縁膜8および絶縁膜3a、3bをエッチングストップとして機能させている。

【0141】

次いで、図60は、続く製造工程における図24と同じ箇所の要部断面図であり、図61は、続く製造工程における図25と同じ箇所の要部断面図である。ここでは、半導体基板1上に、ワード線Wの隣接間が露出し、それ以外が覆われるようなフォトレジストパターンPR4をフォトリソグラフィ技術によって形成した後、これをマスクとして、例えばホウ素を半導体基板1にイオン注入することにより、半導体基板1において互いに隣接するワード線Wにパンチスルーストップを形成する。これ以降は、前記実施の形態1の図44以降の図を用いて説明したのと同じなので説明を省略する。

【0142】

（実施の形態3）

本実施の形態3は、前記実施の形態1で説明した図20の保護用のMOSを形成する場合の製造方法を説明するものである。

【0143】

まず、図 6 2 に示すように、前記実施の形態 1 と同様に、半導体基板 1 の主面に、溝型の分離部 S G I および活性領域 L m (図 2 3 等参照) 等を形成した後、半導体基板 1 の所定部分に所定の不純物を所定のエネルギーで選択的にイオン注入法等によって導入することにより、埋め込み n ウエル N W m, p ウエル P W m, p ウエル P W p 2, P W o および n ウエル N W p 2 を形成する。なお、図 6 2 は、図 2 4 と同一製造工程時の半導体基板 1 の要部断面を示し、保護用の M O S 形成領域 (V c c 系 M S D M O S) を除いて、前記図 2 4 と同一箇所を示している。また、本実施の形態 3 で用いる図 6 2 以降の図は図 6 2 と同じ箇所における各製造工程中の断面図である。また、図 6 2 の製造工程時の図 7 の B - B 線に相当する断面図は前記図 2 5 と同じである。

【0144】

続いて、図 6 3 に示すように、前記実施の形態 1 と同様に、半導体基板 1 の主面上に相対的に薄い絶縁膜 3 a と相対的に厚い絶縁膜 3 b を形成する。保護用の M O S 形成領域には、薄い絶縁膜 3 a を形成する。なお、図 6 3 の製造工程時の図 7 の B - B 線に相当する断面図は前記図 2 7 と同じである。

【0145】

その後、図 6 4 に示すように、前記実施の形態 1 と同様に、半導体基板 1 の主面上に、導体膜 4 a および絶縁膜 1 9 のパターンを形成する。ここでは、保護用の M O S 形成領域においては導体膜 4 a をゲート電極形状にパターンニングし、その保護用の M O S のソース・ドレイン領域が露出されるようにする。それ以外は、前記実施の形態 1 と同じように導体膜 4 a をパターンニングする。その後、半導体基板 1 のメモリセルのソース・ドレイン領域および保護用の M O S のソース・ドレイン領域に、メモリセルのソース、ドレイン用の不純物 (例えばヒ素) をイオン注入法等によって導入することにより、メモリセルのソース・ドレイン用の一対の n 型半導体領域 2 S, 2 D (ローカルソース線 S S およびサブビット線 S B) および保護用の M O S のソース・ドレイン用の一対の n 型半導体領域 1 3, 1 3 を形成する。すなわち、本実施の形態 3 においては、保護用の M O S のソース・ドレイン用の n 型半導体領域 1 3, 1 3 を、メモリセルのソース・ドレイン用の一対の n 型半導体領域 2 S, 2 D の形成工程時に同じ不純物で形成する。すなわち、保護用の M O S のソース・ドレイン用の n 型半導体領域 1 3 のヒ素の不純物濃度プロファイルは、メモリセルのソース・ドレイン用の n 型半導体領域 2 S, 2 D のそれと同じである。それ以外は前記実施の形態 1 と同じである。なお、図 6 4 の製造工程時の図 7 の B - B 線に相当する断面図は前記図 3 0 と同じである。

【0146】

次いで、図 6 5 に示すように、前記実施の形態 1 と同様に、半導体基板 1 の主面上の窪みに絶縁膜 7 を形成する。なお、図 6 5 の製造工程時の図 7 の B - B 線に相当する断面図は前記図 3 2 と同じである。

【0147】

続いて、図 6 6 に示すように、前記実施の形態 1 と同様に、半導体基板 1 上に、導体膜 4 b を堆積した後、その導体膜 4 b をフォトリソパターン P R 1 パターンニングすることにより、導体膜 4 a, 4 b からなる浮遊ゲート電極を形成する。この際、高電圧系 M O S 領域、保護用の M O S 領域、短絡 M O S 領域および選択 M O S 領域等は全体的に導体膜 4 b によって覆われている。なお、図 6 6 の製造工程時の図 7 の B - B 線に相当する断面図は前記図 3 5 と同じである。

【0148】

その後、図 6 7 に示すように、前記実施の形態 1 と同様に、半導体基板 1 上に層間膜 5 を形成した後、その上に形成された前記フォトリソパターン P R 2 をエッチングマスクとして、そこから露出する層間膜 5 をドライエッチング法等によって除去することにより、層間膜 5 にコンタクトホール S C を形成する。図 6 7 においては、高電圧系 M O S 領域および保護用の M O S 領域にコンタクトホール S C が示されていないが、図 6 7 の断面に示されない他の位置において、それらの M O S のゲート電極形成領域上に導体膜 4 b の一部が露出するコンタクトホール S C が形成されている。なお、図 6 7 の製造工程時の図 7

10

20

30

40

50

のB-B線に相当する断面図は前記図38と同じである。

【0149】

次いで、図68に示すように、前記実施の形態1と同様に、半導体基板1上に、導体膜6a、6bおよびキャップ絶縁膜8を下層から順にCVD法等によって堆積した後、これをフォトリソグラフィ技術およびドライエッチング技術によってパターンニングする。これにより、メモリアレイにおいては制御ゲート電極（ワード線W）を形成し、それ以外の領域、高電圧系MOS領域、保護用のMOS領域、短絡MOS領域および選択MOS領域等においては各MOSのゲート電極の一部を形成する。本実施の形態3においても、メモリアレイと周辺回路領域との間に段差がないので、ワード線Wを狭ピッチで加工できる。なお、図68の製造工程時の図7のB-B線に相当する断面図は前記図41と同じである。

10

【0150】

続いて、図69に示すように、前記実施の形態1と同様に、キャップ絶縁膜8、導体膜6をエッチングマスクとして、その下層の層間膜5、導体膜4b、4aをドライエッチング法等によってエッチング除去する。これにより、メモリアレイにおいては、メモリセルMCの制御ゲート電極および浮遊ゲート電極を完成させる。また、周辺回路領域（高電圧系MOS領域、保護用のMOS領域、短絡MOS領域および選択MOS領域）においては、各MOSのゲート電極21n、21p、14、9、10を完成させる。各ゲート電極21n、21p、14、9、10においては、導体膜4と導体膜6とがコンタクトホールSCを通じて電氣的に接続されている。このようにして、保護用のnMOSQopn1を形成する。なお、図69の製造工程時の図7のB-B線に相当する断面図は前記図43と同じである。

20

【0151】

その後、図70に示すように、前記実施の形態1と同様に、それぞれのMOSの相対的に不純物濃度の低い半導体領域23na、23pa、11na（図45参照）をそれぞれ別々のフォトリソグロパターンをマスクとした不純物導入工程で形成した後、ゲート電極14、21n、21p、9、10の側面に絶縁膜12aを形成する。互いに隣接するワード線W間は、この絶縁膜12aによって埋め込まれる。なお、図70の製造工程時の図7のB-B線に相当する断面図は前記図45と同じである。

【0152】

次いで、図71に示すように、前記実施の形態1と同様に、それぞれのMOSの相対的に不純物濃度の高い半導体領域23nb、23pb、11nbをそれぞれ別々のフォトリソグロパターンをマスクとした不純物導入工程で形成する。これにより、高電圧系のnMOSQHnおよびpMOSQHn、選択MOSN1、N3のソース・ドレイン用の一対のn型半導体領域11、23nおよび一対のp型半導体領域23pを形成する。なお、図71の製造工程時の図7のB-B線に相当する断面図は前記図47と同じである。

30

【0153】

続いて、図72に示すように、前記実施の形態1と同様に、半導体基板1上に堆積した絶縁膜12b（保護用のMOS領域においては絶縁膜12bおよび絶縁膜7）に、半導体基板1の一部（各MOSのソース・ドレイン領域）、ワード線Wの一部および所定のMOSのゲート電極の一部が露出するようなコンタクトホールCON1をフォトリソグラフィ技術およびドライエッチング技術によって穿孔した後、絶縁膜12b上に第1層配線L1（共通ソース線を含む）を形成する。第1層配線L1は、コンタクトホールCON1を通じて各MOSのソース・ドレイン用の一対の半導体領域、ゲート電極およびワード線Wと適宜電氣的に接続されている。なお、図72の製造工程時の図7のB-B線に相当する断面図は前記図50と同じである。

40

【0154】

その後、図73に示すように、前記実施の形態1と同様に、プラグ24、第2層配線L2、プラグ25および第3層配線L3等を形成する。図73の製造工程時の図7のB-B線に相当する断面図は前記図55と同じである。このようにして、フラッシュメモリ（EEPROM）を製造する。

50

【0155】

本実施の形態3においては、前記実施の形態1で説明したように、保護用のMOSQop1の静電破壊耐性を向上させることが可能となる。

【0156】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態1～3に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0157】

例えば前記実施の形態1～3のメモリセルのソース・ドレイン領域の上面部にシリサイド層を形成しても良い。これにより、配線とソース・ドレイン領域との接触抵抗を低減できるので、メモリの動作速度を向上させることが可能となる。

10

【0158】

また、メモリセルのチャンネルに不純物を導入する際に、そのための不純物をソース側から斜めにイオン注入することにより、ドレイン側をオフセットにする。これにより、ドレインディスタブマージンを拡大させることが可能となる。

【0159】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるフラッシュメモリ（EEPROM）単体に適用した場合について説明したが、それに限定されるものではなく、例えばフラッシュメモリ（EEPROM）と論理回路とを同一半導体基板に設けている混載型の半導体集積回路装置にも適用できる。

20

【0160】

【発明の効果】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

(1). 本発明によれば、不揮発性メモリセルの2層ゲート電極と同じ構造を持つ、周辺回路用の電界効果トランジスタの2層ゲート電極間を接続する孔を、そのゲート電極の平面内において活性領域と平面的に重なる位置に形成することにより、その電界効果トランジスタのゲート電極の抵抗を下げる事が可能となる。

(2). 上記(1)により、不揮発性メモリを有する半導体集積回路装置の消費電力を低下させることが可能となる。

30

(3). 本発明によれば、不揮発性メモリセルの2層ゲート電極と同じ構造を持つ、周辺回路用の電界効果トランジスタの2層ゲート電極間を接続する孔を、そのゲート電極の平面内において活性領域と平面的に重なる位置に形成することにより、不揮発性メモリを有する半導体集積回路装置の周辺回路の素子レイアウトを容易にすることが可能となる。

(4). 上記(3)により、不揮発性メモリを有する半導体集積回路装置の周辺回路の回路設計からデバイス設計への移行を容易にすることが可能となる。

【図面の簡単な説明】

【図1】 本発明の一実施の形態であるフラッシュメモリ（EEPROM）のブロック構成の説明図である。

【図2】 図1のフラッシュメモリ（EEPROM）に含まれるメモリアレイの一例の部分的な回路図である。

40

【図3】 図1のフラッシュメモリ（EEPROM）における書き込みモード時の信号の波形図である。

【図4】 図1のフラッシュメモリ（EEPROM）の入力回路の一例を示す回路図である。

【図5】 図1のフラッシュメモリ（EEPROM）の入力回路の他の例を示す回路図である。

【図6】 図1のフラッシュメモリ（EEPROM）の入出力双方向回路の一例を示す回路図である。

【図7】 図1のメモリアレイの要部平面図である。

50

【図 8】図 7 と同じ平面領域であって図 7 よりも上層のレイアウト層の要部平面図である。

【図 9】図 7 の A－A 線の断面図である。

【図 10】図 7 の B－B 線の断面図である。

【図 11】図 7 の C－C 線の断面図である。

【図 12】図 7 の D－D 線の断面図である。

【図 13】図 1 のフラッシュメモリ（EEPROM）の製造工程中の断面図である。

【図 14】本発明者が検討したフラッシュメモリ（EEPROM）の製造工程中の不具合を説明するための断面図である。

【図 15】（a）は図 1 のフラッシュメモリ（EEPROM）の周辺回路を構成する素子のレイアウトを示す平面図、（b）は（a）の A－A 線の断面図である。 10

【図 16】（a）は図 1 のフラッシュメモリ（EEPROM）の周辺回路を構成する他の素子のレイアウトを示す平面図、（b）は（a）の A－A 線の断面図である。

【図 17】（a）は図 15 のフラッシュメモリ（EEPROM）の周辺回路を構成する素子のレイアウトの変形例を示す平面図、（b）は（a）の A－A 線の断面図である。

【図 18】（a）は図 15 のフラッシュメモリ（EEPROM）の周辺回路を構成する素子のレイアウトの変形例を示す平面図、（b）は（a）の A－A 線の断面図である。

【図 19】（a）は図 15 のフラッシュメモリ（EEPROM）の周辺回路を構成する素子のレイアウトの変形例を示す平面図、（b）は（a）の A－A 線の断面図である。

【図 20】（a）は図 1 のフラッシュメモリ（EEPROM）の保護用の素子のレイアウトを示す平面図、（b）は（a）の A－A 線の断面図である。 20

【図 21】図 1 のフラッシュメモリ（EEPROM）を構成する容量素子のレイアウトの一例を示す平面図である。

【図 22】図 21 の A－A 線の断面図である。

【図 23】図 1 のフラッシュメモリ（EEPROM）の製造工程中の要部平面図である。

【図 24】図 23 と同じ工程時のフラッシュメモリ（EEPROM）の要部断面図である。

【図 25】図 23 と同じ工程時のフラッシュメモリ（EEPROM）の図 24 とは異なる箇所の要部断面図である。

【図 26】図 23 ～図 25 に続くフラッシュメモリ（EEPROM）の製造工程中の図 24 と同じ箇所の要部断面図である。 30

【図 27】図 26 と同じ工程時のフラッシュメモリ（EEPROM）の図 25 と同じ箇所の要部断面図である。

【図 28】図 26、図 27 に続くフラッシュメモリ（EEPROM）の製造工程中の図 23 と同じ箇所の要部平面図である。

【図 29】図 28 と同じ工程時のフラッシュメモリ（EEPROM）の図 24 と同じ箇所の要部断面図である。

【図 30】図 28 と同じ工程時のフラッシュメモリ（EEPROM）の図 25 と同じ箇所の要部断面図である。

【図 31】図 28 ～図 30 に続くフラッシュメモリ（EEPROM）の製造工程中の図 24 と同じ箇所の要部断面図である。 40

【図 32】図 31 と同じ工程時のフラッシュメモリ（EEPROM）の図 25 と同じ箇所の要部断面図である。

【図 33】図 31、図 32 に続くフラッシュメモリ（EEPROM）の製造工程中の図 23 と同じ箇所の要部平面図である。

【図 34】図 33 と同じ工程時のフラッシュメモリ（EEPROM）の図 24 と同じ箇所の要部断面図である。

【図 35】図 33 と同じ工程時のフラッシュメモリ（EEPROM）の図 25 と同じ箇所の要部断面図である。

【図 36】図 33 ～図 35 に続くフラッシュメモリ（EEPROM）の製造工程中の図 2 50

3と同じ箇所の要部平面図である。

【図37】図36同じ工程時のフラッシュメモリ（EEPROM）の図24と同じ箇所の要部断面図である。

【図38】図36と同じ工程時のフラッシュメモリ（EEPROM）の図25と同じ箇所の要部断面図である。

【図39】図36～図38に続くフラッシュメモリ（EEPROM）の製造工程中の図23と同じ箇所の要部平面図である。

【図40】図39と同じ工程時のフラッシュメモリ（EEPROM）の図24と同じ箇所の要部断面図である。

【図41】図39と同じ工程時のフラッシュメモリ（EEPROM）の図25と同じ箇所の要部断面図である。 10

【図42】図39～図41に続くフラッシュメモリ（EEPROM）の製造工程中の図24と同じ箇所の要部断面図である。

【図43】図42と同じ工程時のフラッシュメモリ（EEPROM）の図25と同じ箇所の要部断面図である。

【図44】図42，図43に続くフラッシュメモリ（EEPROM）の製造工程中の図24と同じ箇所の要部断面図である。

【図45】図44と同じ工程時のフラッシュメモリ（EEPROM）の図25と同じ箇所の要部断面図である。

【図46】図44，図45に続くフラッシュメモリ（EEPROM）の製造工程中の図24と同じ箇所の要部断面図である。 20

【図47】図46と同じ工程時のフラッシュメモリ（EEPROM）の図25と同じ箇所の要部断面図である。

【図48】図46，図47に続くフラッシュメモリ（EEPROM）の製造工程中の図23と同じ箇所の要部平面図である。

【図49】図48と同じ工程時のフラッシュメモリ（EEPROM）の図24と同じ箇所の要部断面図である。

【図50】図48と同じ工程時のフラッシュメモリ（EEPROM）の図25と同じ箇所の要部断面図である。

【図51】図48～図50に続くフラッシュメモリ（EEPROM）の製造工程中の図23と同じ箇所の要部平面図である。 30

【図52】図51と同じ工程時のフラッシュメモリ（EEPROM）の図24と同じ箇所の要部断面図である。

【図53】図51と同じ工程時のフラッシュメモリ（EEPROM）の図25と同じ箇所の要部断面図である。

【図54】図51～図53に続くフラッシュメモリ（EEPROM）の製造工程中の図24と同じ箇所の要部断面図である。

【図55】図54と同じ工程時のフラッシュメモリ（EEPROM）の図25と同じ箇所の要部断面図である。

【図56】本発明の他の実施の形態であるフラッシュメモリ（EEPROM）の製造工程中の要部断面図である。 40

【図57】図56の製造工程中のフラッシュメモリ（EEPROM）の他の切断線の要部断面図である。

【図58】図56に続くフラッシュメモリ（EEPROM）の製造工程中の要部断面図である。

【図59】図58の製造工程中のフラッシュメモリ（EEPROM）の他の切断線の要部断面図である。

【図60】図58に続くフラッシュメモリ（EEPROM）の製造工程中の要部断面図である。

【図61】図60の製造工程中のフラッシュメモリ（EEPROM）の他の切断線の要部 50

断面図である。

【図 6 2】本発明のさらに他の実施の形態であるフラッシュメモリ（EEPROM）の製造工程中の要部断面図である。

【図 6 3】図 6 2 に続くフラッシュメモリ（EEPROM）の製造工程中の要部断面図である。

【図 6 4】図 6 3 に続くフラッシュメモリ（EEPROM）の製造工程中の要部断面図である。

【図 6 5】図 6 4 に続くフラッシュメモリ（EEPROM）の製造工程中の要部断面図である。

【図 6 6】図 6 5 に続くフラッシュメモリ（EEPROM）の製造工程中の要部断面図である。 10

【図 6 7】図 6 6 に続くフラッシュメモリ（EEPROM）の製造工程中の要部断面図である。

【図 6 8】図 6 7 に続くフラッシュメモリ（EEPROM）の製造工程中の要部断面図である。

【図 6 9】図 6 8 に続くフラッシュメモリ（EEPROM）の製造工程中の要部断面図である。

【図 7 0】図 6 9 に続くフラッシュメモリ（EEPROM）の製造工程中の要部断面図である。

【図 7 1】図 7 0 に続くフラッシュメモリ（EEPROM）の製造工程中の要部断面図である。 20

【図 7 2】図 7 1 に続くフラッシュメモリ（EEPROM）の製造工程中の要部断面図である。

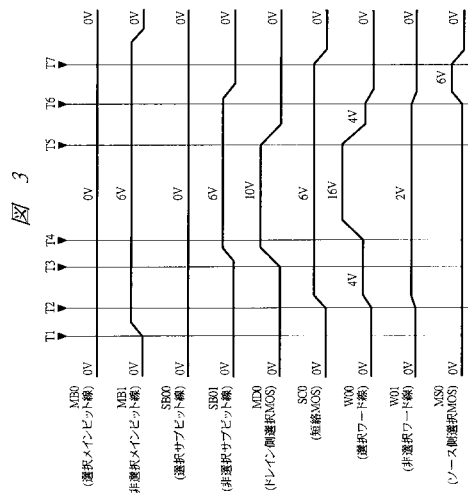
【図 7 3】図 7 2 に続くフラッシュメモリ（EEPROM）の製造工程中の要部断面図である。

【符号の説明】

- 1 半導体基板
- 2 S, 2 D n型半導体領域
- 3 a, 3 b 絶縁膜（第 1 の絶縁膜）
- 4 導体膜（第 1 のゲート電極） 30
- 4 a 導体膜
- 4 b 導体膜
- 5 層間膜（第 2 の絶縁膜）
- 6 導体膜（第 2 のゲート電極）
- 6 a 導体膜
- 6 b 導体膜
- 7 絶縁膜
- 8 キャップ絶縁膜
- 9 ゲート電極
- 10 ゲート電極 40
- 11 n型半導体領域
- 11 n a 半導体領域
- 11 n b 半導体領域
- 12 a～12 d 絶縁膜
- 13 n型半導体領域
- 14 ゲート電極
- 15 p⁺型半導体領域
- 17 上部電極
- 18 a p⁻型半導体領域
- 18 b p⁺型半導体領域 50

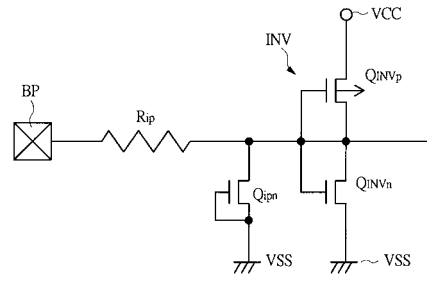
19	絶縁膜	
20n, 20p, 21n, 21p	ゲート電極	
22na, 22pa, 23na, 23pa	半導体領域	
24、25	プラグ	
MARY	メモリアレイ	
BP	ボンディングパッド	
INV	インバータ回路	
SB	サブビット線	
SS	ローカルソース線	
QINvp	p MOS	10
QINvn	n MOS	
Rip	抵抗	
Qipn	n MOS	
Qipp	p MOS	
QINVS	n MOS	
Qout	p MOS	
Qopn1	n MOS	
Qon1, Qon2	n MOS	
Qopn2	n MOS	
QLn	n MOS	20
QLp	p MOS	
QHn	n MOS	
QH p	p MOS	
Ro1, Ro2	抵抗	
PWm	p ウエル	
PWo	p ウエル	
PWc	p ウエル	
PWp1, PWp2	p ウエル	
NWm	埋め込み n ウエル	
NWp1, NWp2	n ウエル	30
SGI	分離部	
MC	メモリセル	
W	ワード線	
N1, N3	選択 MOS	
N2	短絡 MOS	
PR	フォトレジストパターン	
BA	反射防止膜	
SC	コンタクトホール	
CON1	コンタクトホール	
CON1a, CON1b	コンタクトホール	40
TH1	スルーホール	
TH2	スルーホール	
L1	第1層配線	
L2	第2層配線	
QA	MOS	
LA	活性領域	
SA, DA	半導体領域	
GA	ゲート電極	
QB	MOS	
LB	活性領域	50

【図 3】



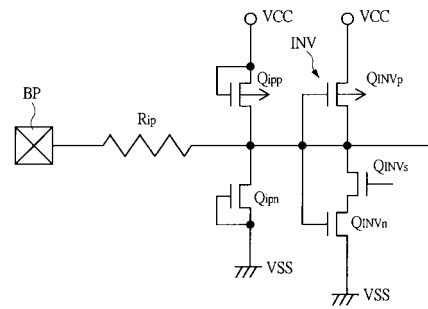
【図 4】

図 4



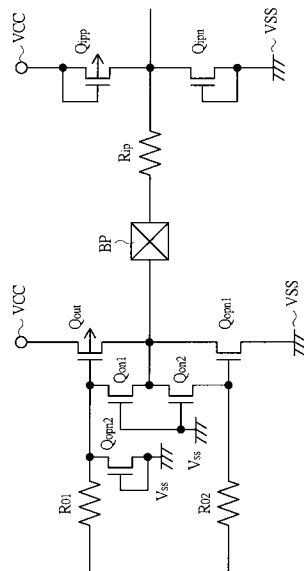
【図 5】

図 5



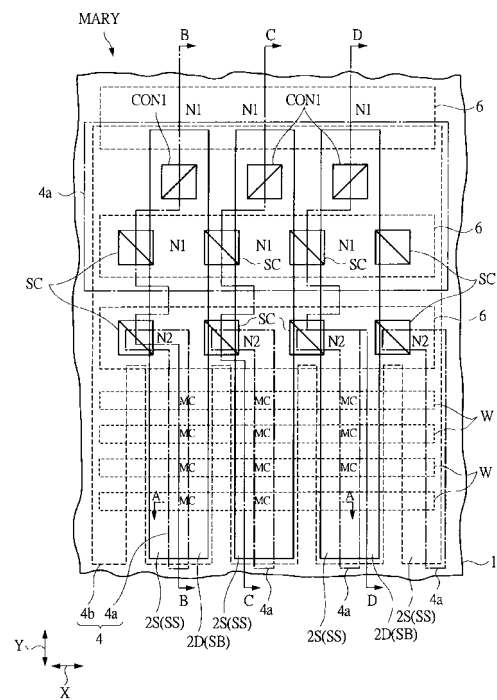
【図 6】

図 6

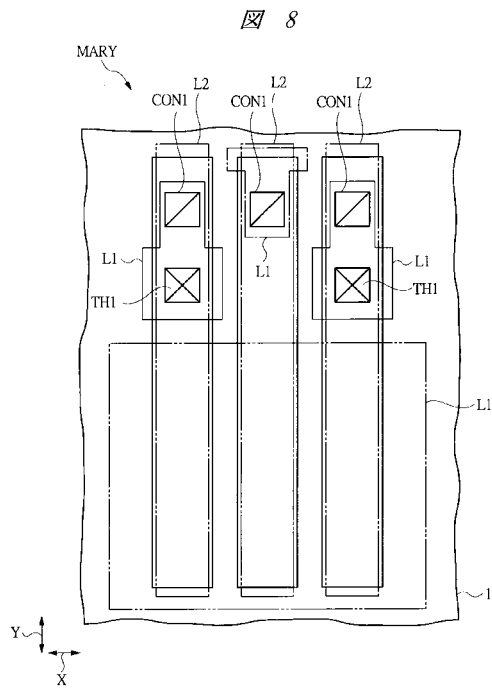


【図 7】

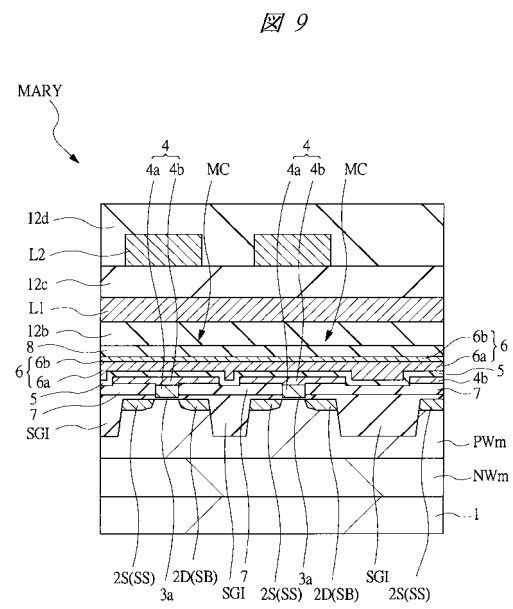
図 7



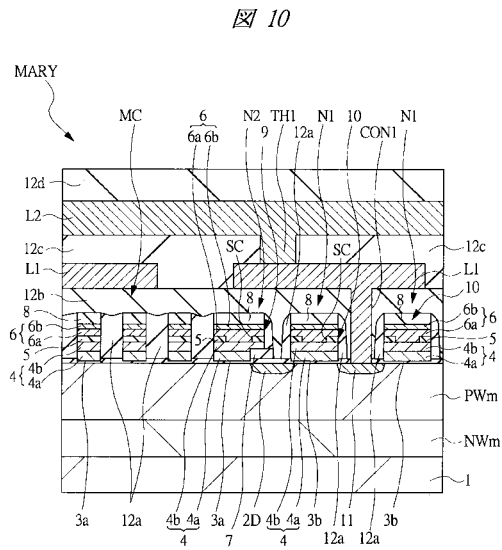
【図 8】



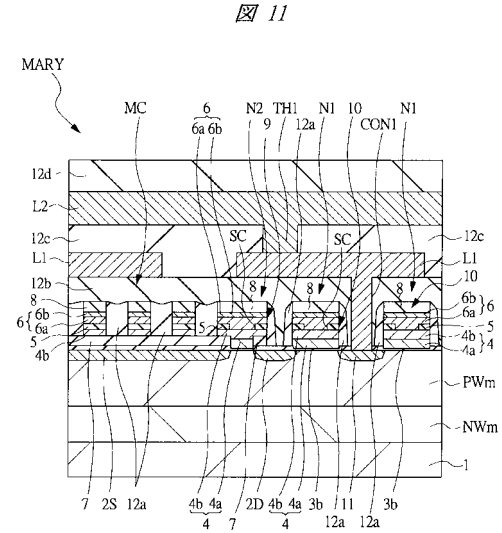
【図 9】



【図 10】

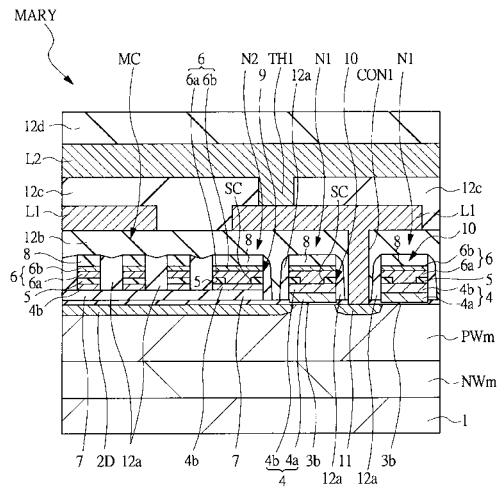


【図 11】



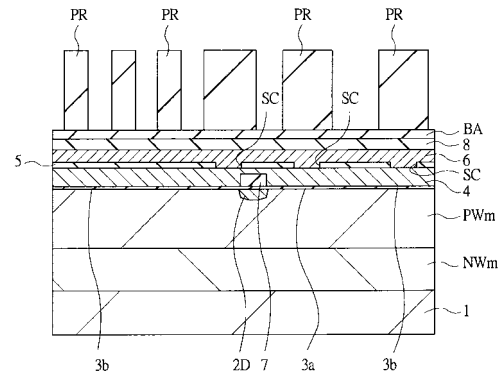
【図 12】

図 12



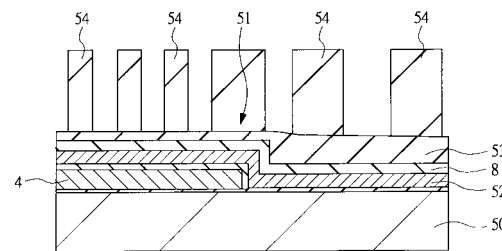
【図 13】

図 13



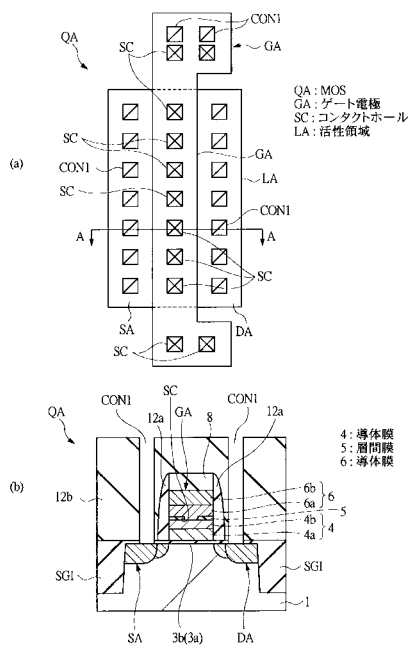
【図 14】

図 14



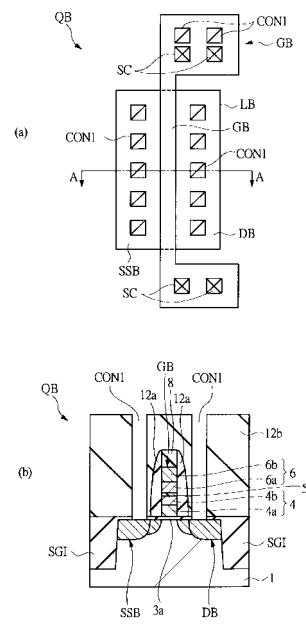
【図 15】

図 15

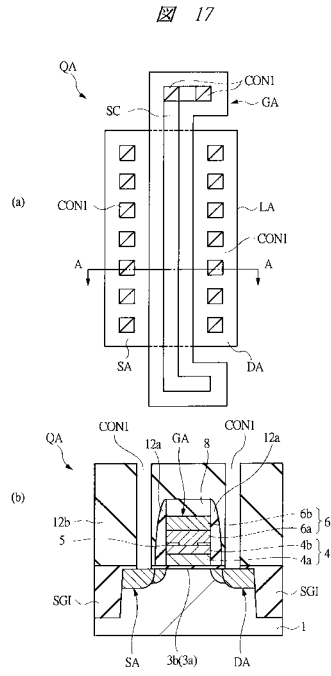


【図 16】

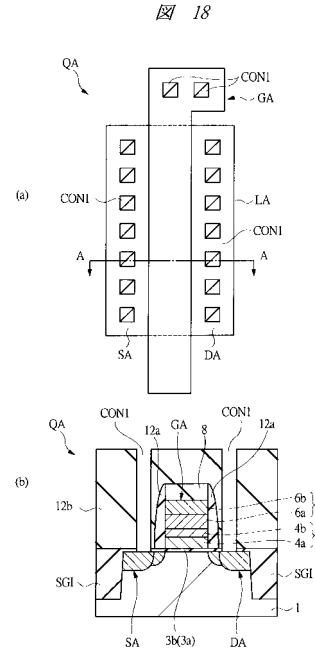
図 16



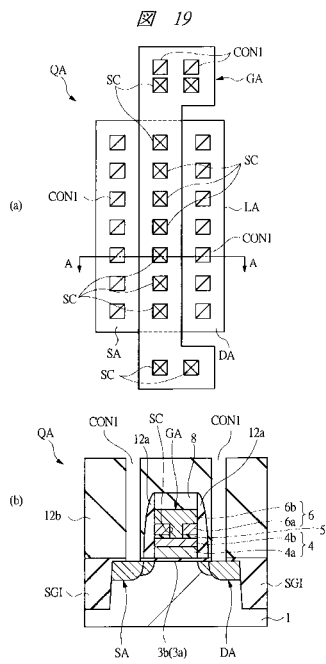
【図 17】



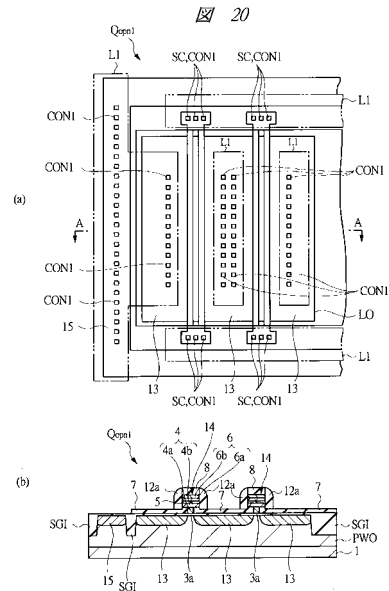
【図 18】



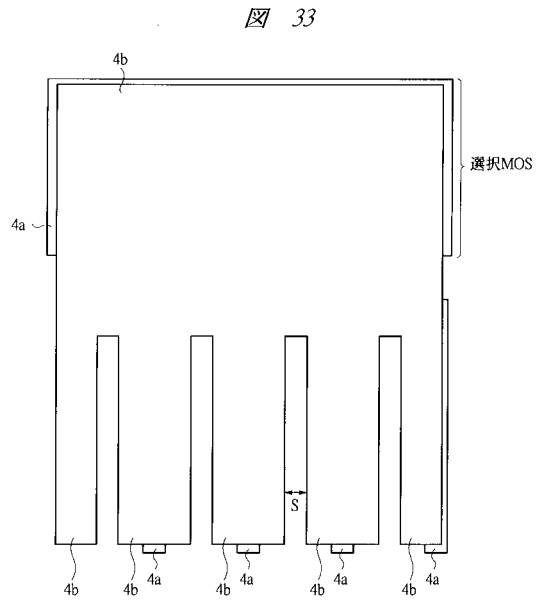
【図 19】



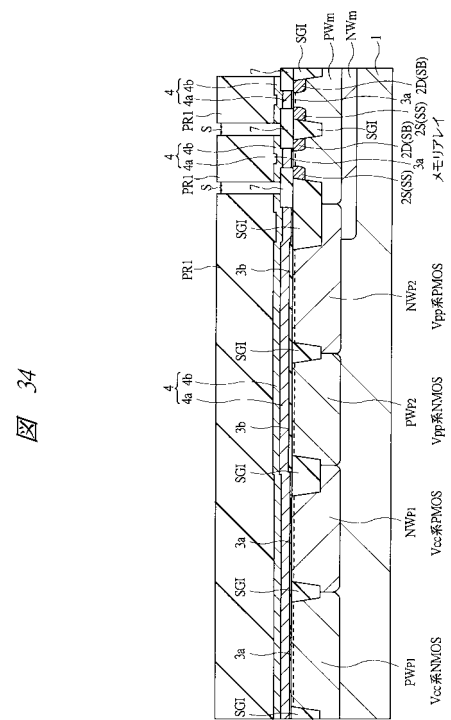
【図 20】



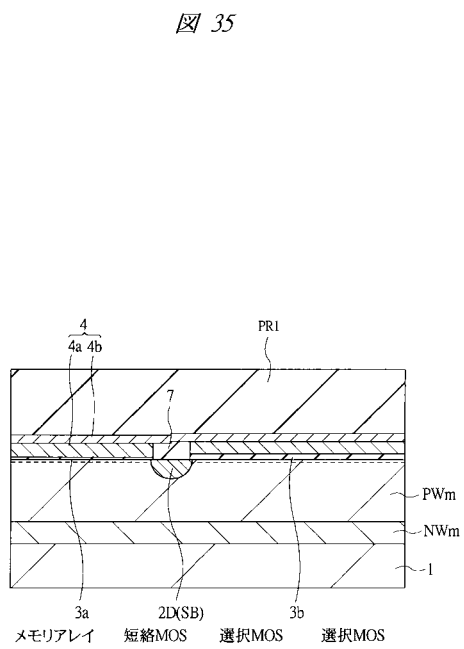
【図 3 3】



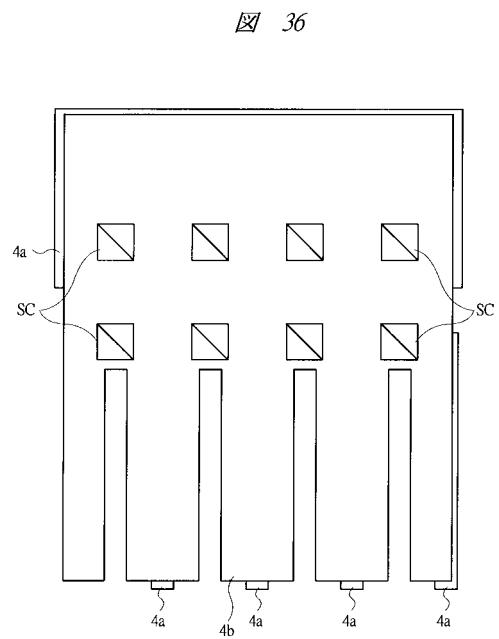
【図 3 4】



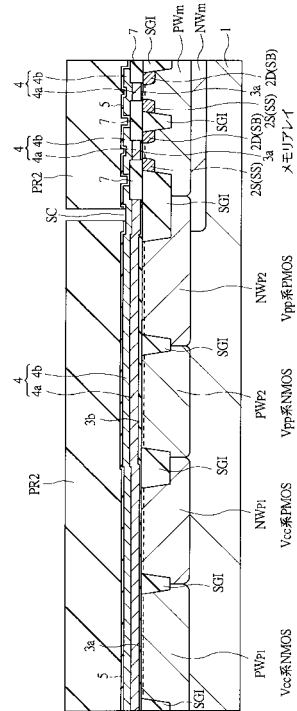
【図 3 5】



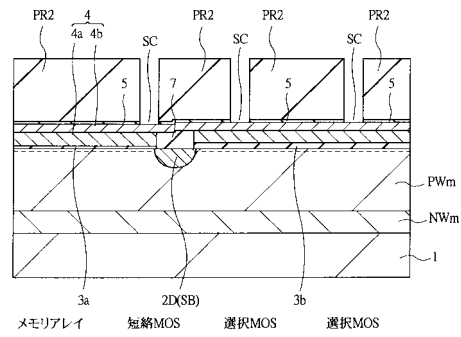
【図 3 6】



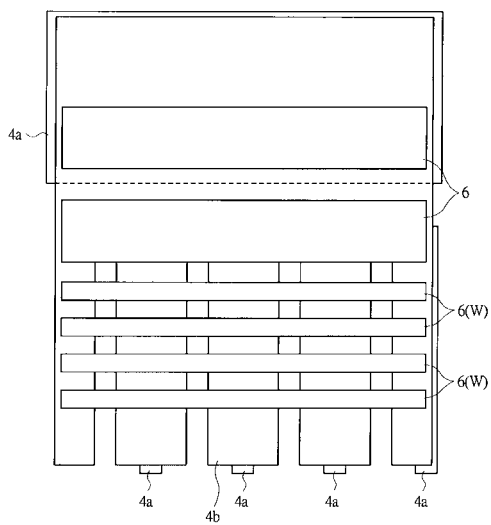
【図 3 7】



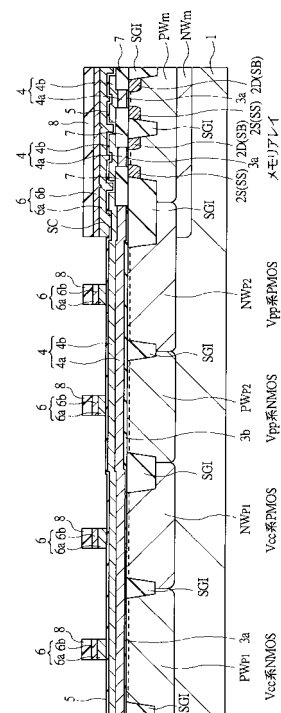
【図 3 8】



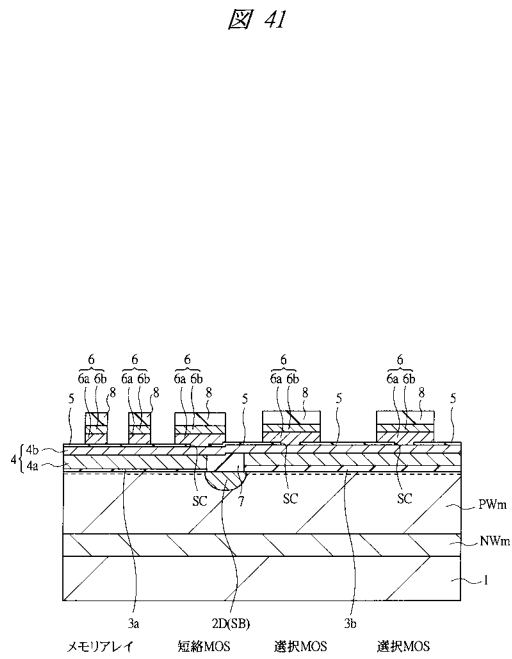
【図 3 9】



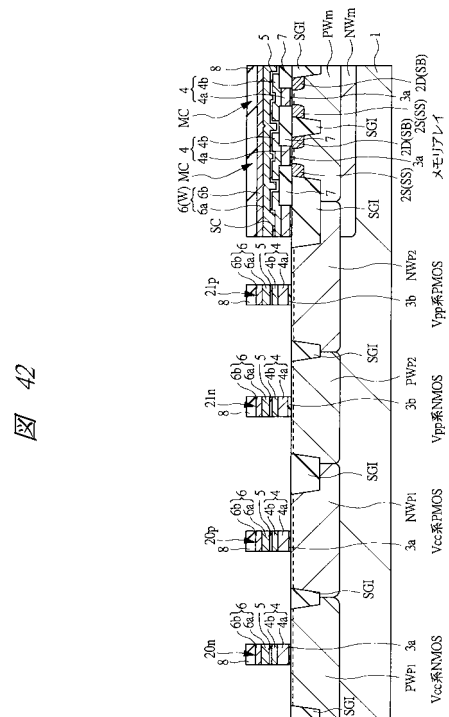
【図 40】



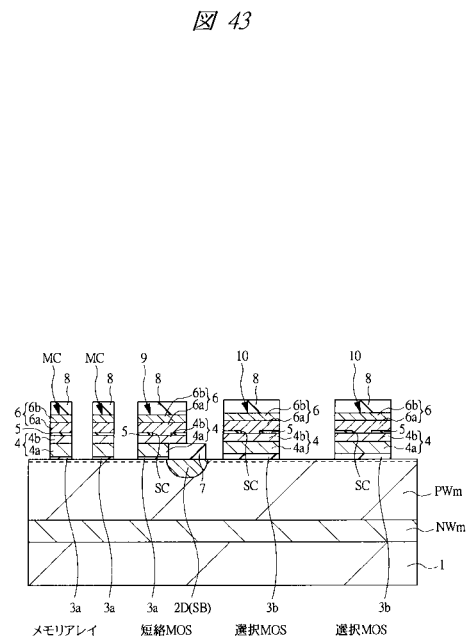
【図 4 1】



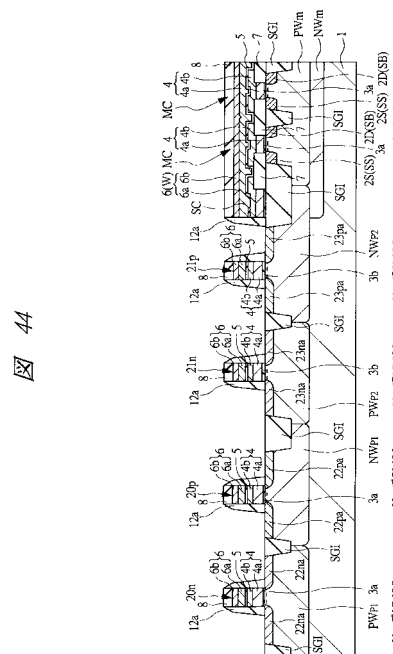
【図 4 2】



【図 4 3】

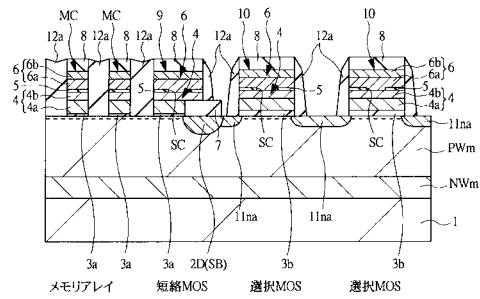


【図 4 4】

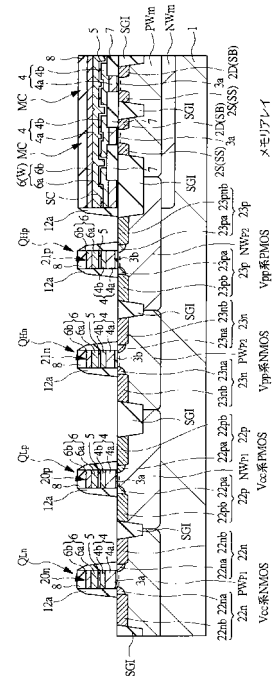


【図 4 5】

図 45

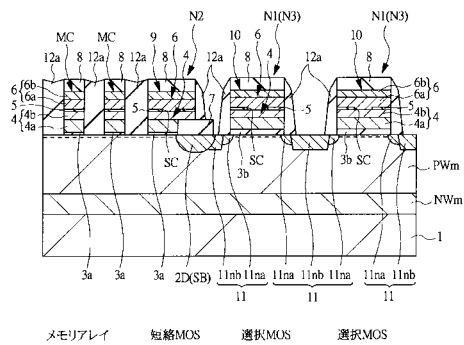


【図 4 6】

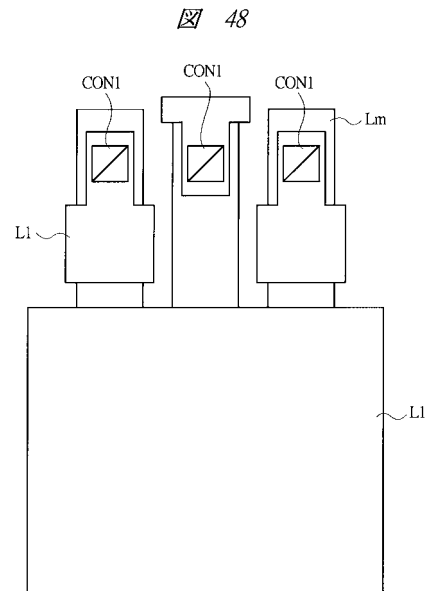


【図 47】

图 47

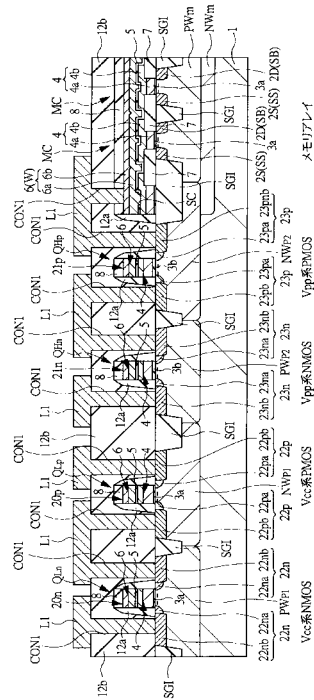


【图 48】



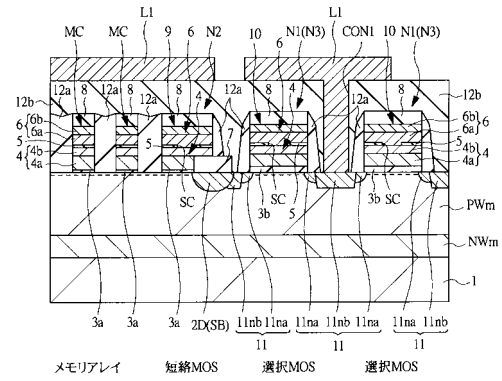
【図 49】

図 49



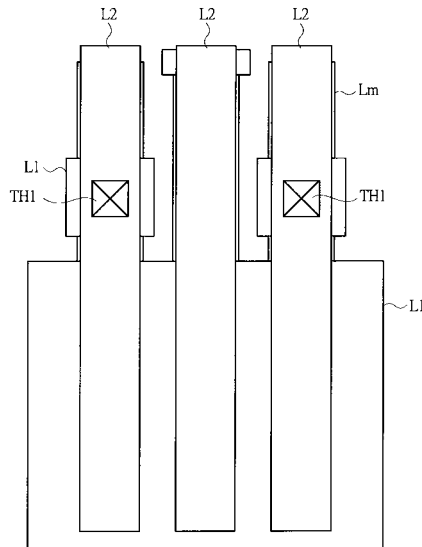
【図 50】

図 50



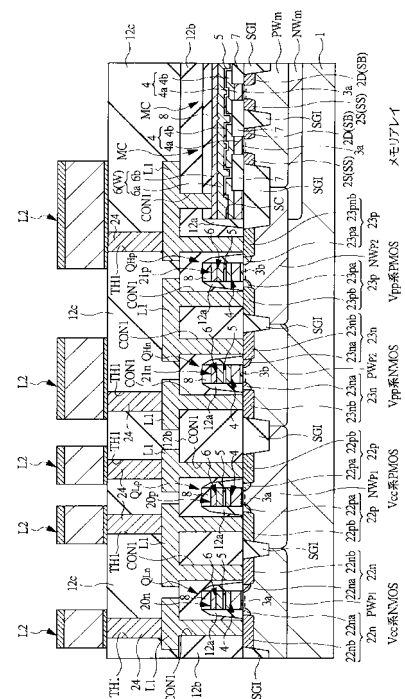
【図 51】

図 51

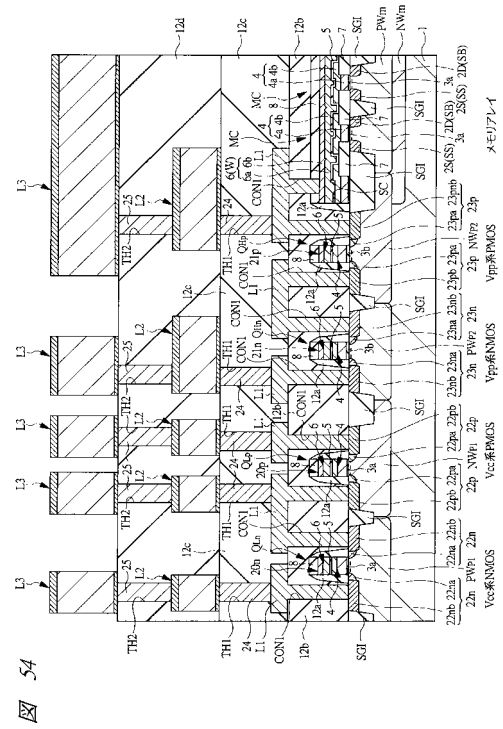


【図 52】

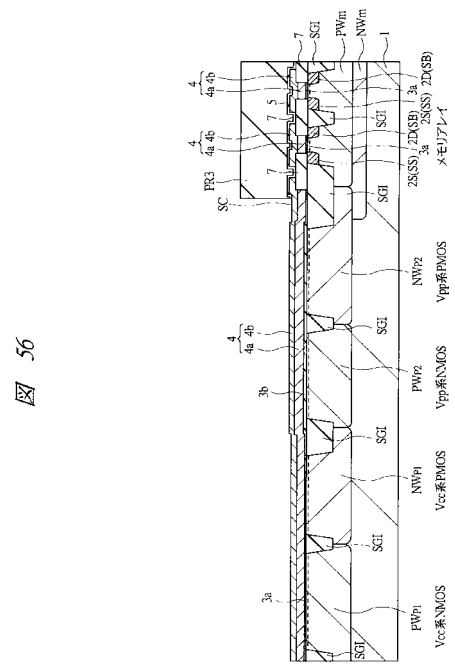
図 52



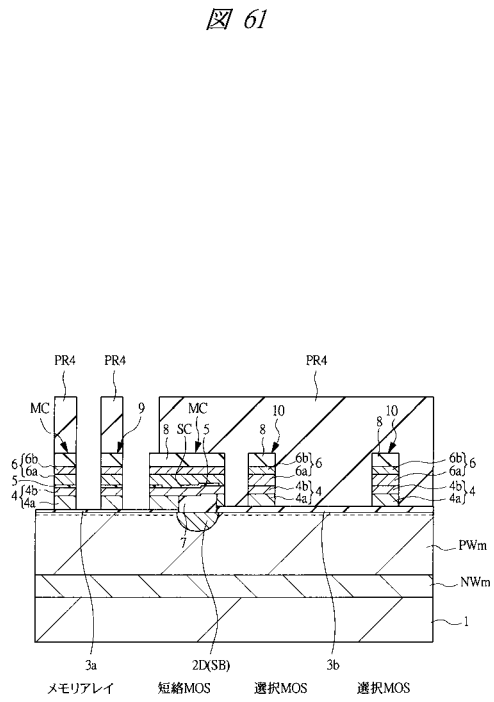
【図 5 4】



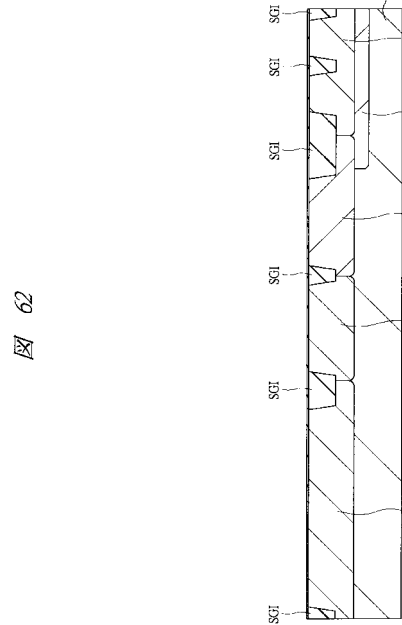
【图 5 6】



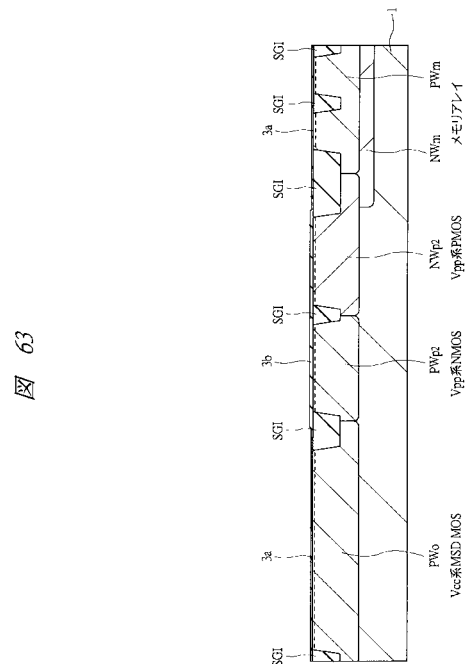
【図 6 1】



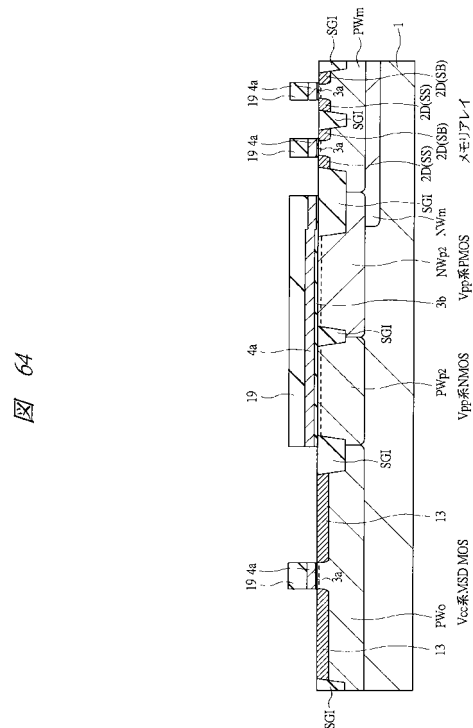
【図 6 2】



【图 6 3】

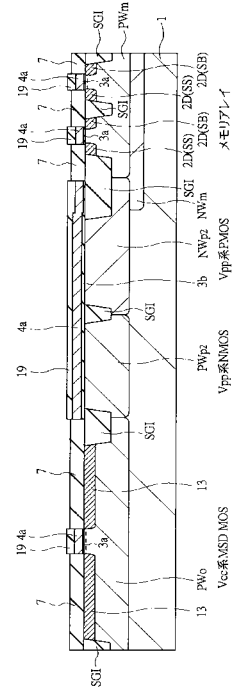


【図 6 4】



【図 65】

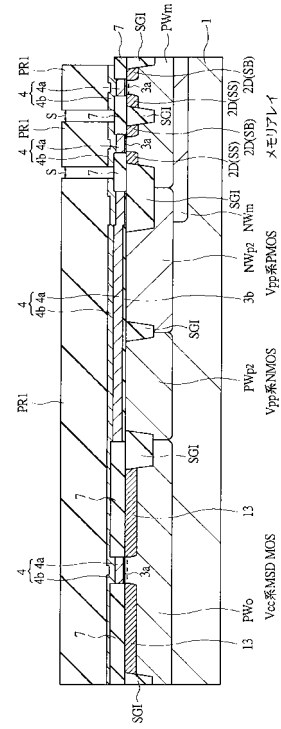
図 65



(52)

【図 66】

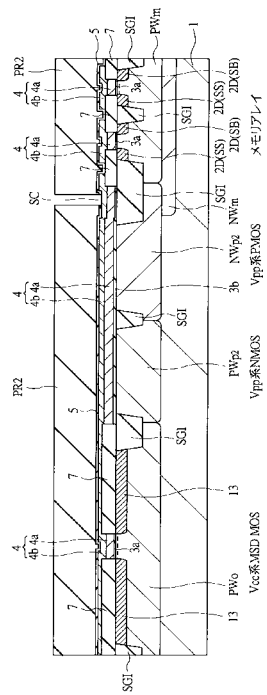
図 66



JP 4068781 B2 2008.3.26

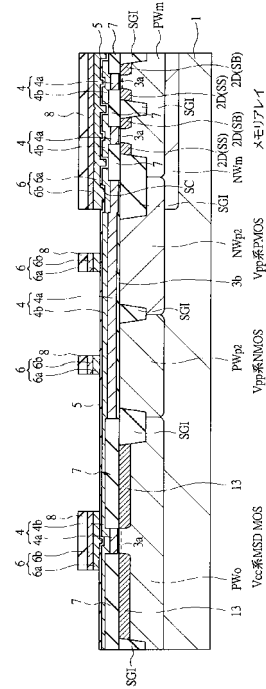
【図 67】

図 67



【図 68】

図 68



フロントページの続き

- (72)発明者 大和田 福夫
東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体グループ内
- (72)発明者 加藤 正高
東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体グループ内

審査官 柴山 将隆

- (56)参考文献 特開平11-204762 (JP, A)
特開平07-106447 (JP, A)
特開平06-125090 (JP, A)
特開平08-250610 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/10
H01L 21/8234
H01L 21/8247
H01L 27/088
H01L 27/115