

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-4636

(P2013-4636A)

(43) 公開日 平成25年1月7日(2013.1.7)

(51) Int.Cl.	F 1	テーマコード (参考)
HO1L 29/78 (2006.01)	HO1L 29/78	652K 4M1O4
HO1L 29/12 (2006.01)	HO1L 29/78	652T
HO1L 21/336 (2006.01)	HO1L 29/78	652Q
HO1L 29/423 (2006.01)	HO1L 29/78	653A
HO1L 29/49 (2006.01)	HO1L 29/78	658F

審査請求 未請求 請求項の数 10 O L (全 16 頁) 最終頁に続く

(21) 出願番号	特願2011-132784 (P2011-132784)	(71) 出願人	000002130 住友電気工業株式会社 大阪府大阪市中央区北浜四丁目5番33号
(22) 出願日	平成23年6月15日 (2011.6.15)	(74) 代理人	110001195 特許業務法人深見特許事務所
		(72) 発明者	穂永 美紗子 大阪市此花区島屋一丁目1番3号 住友電 気工業株式会社大阪製作所内
		(72) 発明者	増田 健良 大阪市此花区島屋一丁目1番3号 住友電 気工業株式会社大阪製作所内
		F ターム (参考)	4M1O4 AA03 BB01 BB02 BB21 CC05 FF16 GG09 HH16

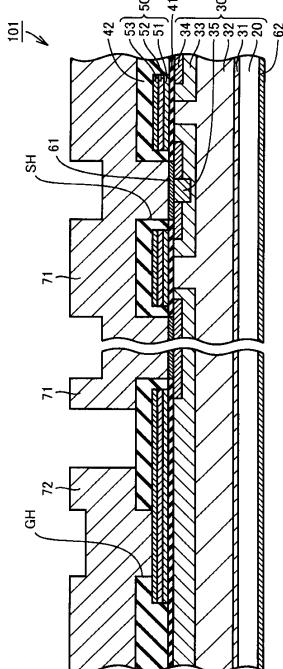
(54) 【発明の名称】炭化珪素半導体装置およびその製造方法

(57) 【要約】

【課題】ゲート電極の電気抵抗を抑制することができる炭化珪素半導体装置およびその製造方法を提供する。

【解決手段】ゲート電極50は、ゲート絶縁膜41に接するポリシリコン膜51と、ポリシリコン膜51上に設けられたバリア膜52と、バリア膜52上に設けられ高融点金属から作られた金属膜53とを含む。層間絶縁膜42は、ゲート絶縁膜41およびゲート絶縁膜41上に設けられたゲート電極50を覆うように配置されている。また層間絶縁膜42は、ゲート絶縁膜41に接する領域で炭化珪素基板30を部分的に露出する基板コンタクトホールSHを有する。配線71は、基板コンタクトホールSHを介して炭化珪素基板30に電気的に接続され、層間絶縁膜42によってゲート電極50から電気的に絶縁されている。

【選択図】図2



【特許請求の範囲】**【請求項 1】**

炭化珪素基板と、

前記炭化珪素基板上に設けられたゲート絶縁膜と、

前記ゲート絶縁膜上に設けられたゲート電極とを備え、

前記ゲート電極は、前記ゲート絶縁膜に接するポリシリコン膜と、前記ポリシリコン膜上に設けられたバリア膜と、前記バリア膜上に設けられ高融点金属から作られた金属膜とを含み、さらに

前記ゲート絶縁膜および前記ゲート絶縁膜上に設けられた前記ゲート電極を覆うように配置され、前記ゲート絶縁膜に接する領域で前記炭化珪素基板を部分的に露出する基板コンタクトホールを有する層間絶縁膜と、

前記基板コンタクトホールを介して前記炭化珪素基板に電気的に接続され、前記層間絶縁膜によって前記ゲート電極から電気的に絶縁された配線とを備える、炭化珪素半導体装置。

【請求項 2】

前記層間絶縁膜は前記ゲート電極を部分的に露出するゲートコンタクトホールを有し、

前記ゲートコンタクトホールを介して前記ゲート電極に電気的に接続されたゲートパッドをさらに備える、請求項 1 に記載の炭化珪素半導体装置。

【請求項 3】

前記配線および前記ゲートパッドは同じ材料から作られている、請求項 2 に記載の炭化珪素半導体装置。

【請求項 4】

前記高融点金属は 1000 を超える融点を有する、請求項 1 ~ 3 のいずれか 1 項に記載の炭化珪素半導体装置。

【請求項 5】

前記炭化珪素基板にトレーニチが設けられており、前記トレーニチ内に前記ゲート電極の少なくとも一部が配置されている、請求項 1 ~ 4 のいずれか 1 項に記載の炭化珪素半導体装置。

【請求項 6】

炭化珪素基板上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上にゲート電極を形成する工程と備え、

前記ゲート電極を形成する工程は、前記ゲート絶縁膜に接するポリシリコン膜を形成する工程と、前記ポリシリコン膜上にバリア膜を形成する工程と、前記バリア膜上に高融点金属から作られた金属膜を形成する工程とを含み、さらに

前記ゲート絶縁膜および前記ゲート絶縁膜上に設けられた前記ゲート電極を覆うように配置され、前記ゲート絶縁膜に接する領域で前記炭化珪素基板を部分的に露出する基板コンタクトホールを有する層間絶縁膜を形成する工程と、

前記基板コンタクトホールを介して前記炭化珪素基板に電気的に接続され、前記層間絶縁膜によって前記ゲート電極から電気的に絶縁された配線を形成する工程とを備える、炭化珪素半導体装置の製造方法。

【請求項 7】

前記配線と前記炭化珪素基板との電気的接続をよりオーミックにするために前記炭化珪素基板を熱処理する工程をさらに備える、請求項 6 に記載の炭化珪素半導体装置の製造方法。

【請求項 8】

前記炭化珪素基板を熱処理する工程は、前記炭化珪素基板を 1000 を超える温度まで加熱する工程を含む、請求項 7 に記載の炭化珪素半導体装置の製造方法。

【請求項 9】

前記配線を形成する工程は、前記ゲート電極および前記炭化珪素基板の各々に接する導体膜を形成する工程と、前記導体膜をパターニングする工程とを含み、前記パターニング

10

20

30

40

50

する工程によって、前記配線と、前記ゲート電極の一部の上に設けられたゲートパッドとが形成される、請求項 6 ~ 8 のいずれか 1 項に記載の炭化珪素半導体装置の製造方法。

【請求項 10】

前記炭化珪素基板にトレンチを形成する工程をさらに備え、前記トレンチ内に前記ゲート電極の少なくとも一部が配置される、請求項 6 ~ 9 のいずれか 1 項に記載の炭化珪素半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は炭化珪素半導体装置およびその製造方法に関し、より特定的には、ゲート電極を有する炭化珪素半導体装置およびその製造方法に関するものである。 10

【背景技術】

【0002】

特開 2010-171417 号公報（特許文献 1）によれば、炭化珪素基板と、ゲートパッドと、ゲート電極とを有する MOSFET (Metal Oxide Semiconductor Field Effect Transistor) が開示されている。ゲート電極はポリシリコンから作られている。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2010-171417 号公報

20

【発明の概要】

【発明が解決しようとする課題】

【0004】

上記公報に記載の技術によれば、炭化珪素基板上においてゲートパッドから延びるゲート電極の電気抵抗を十分に小さくすることが困難であった。この結果、特に炭化珪素半導体装置が、半導体素子構造を各々有する複数のセルと、ゲートパッドとを有する場合、ゲートパッドから近いセルが含むゲート構造とゲートパッドとの間の抵抗値と、ゲートパッドから遠いセルが含むゲート構造とゲートパッドとの間の抵抗値とのばらつきが大きくなってしまうことがあった。

【0005】

本発明はこのような問題に対応するためになされたものであって、その目的は、ゲート電極の電気抵抗を抑制することができる炭化珪素半導体装置およびその製造方法を提供することである。 30

【課題を解決するための手段】

【0006】

本発明の炭化珪素半導体装置は、炭化珪素基板と、ゲート絶縁膜と、ゲート電極と、層間絶縁膜と、配線とを有する。ゲート絶縁膜は炭化珪素基板上に設けられている。ゲート電極はゲート絶縁膜上に設けられている。ゲート電極は、ゲート絶縁膜に接するポリシリコン膜と、ポリシリコン膜上に設けられたバリア膜と、バリア膜上に設けられ高融点金属から作られた金属膜とを含む。層間絶縁膜は、ゲート絶縁膜およびゲート絶縁膜上に設けられたゲート電極を覆うように配置されている。層間絶縁膜は、ゲート絶縁膜に接する領域で炭化珪素基板を部分的に露出する基板コンタクトホールを有する。配線は、基板コンタクトホールを介して炭化珪素基板に電気的に接続され、層間絶縁膜によってゲート電極から電気的に絶縁されている。 40

【0007】

本発明の炭化珪素半導体装置によれば、ゲート電極がポリシリコン膜に比して抵抗率の低い高融点金属膜を含むので、ゲート電極がポリシリコン膜のみから形成される場合に比して、ゲート電極の電気抵抗を抑制することができる。

【0008】

好ましくは、層間絶縁膜はゲート電極を部分的に露出するゲートコンタクトホールを有

50

する。炭化珪素半導体装置は、ゲートコンタクトホールを介してゲート電極に電気的に接続されたゲートパッドを有する。これにより、電気抵抗の小さいゲート電極によって、ゲートパッドからの電流経路を形成することができる。より好ましくは配線およびゲートパッドは同じ材料から作られている。これにより、配線の材料とゲートパッドの材料とが異なる場合に比して、炭化珪素半導体装置をより容易に製造することができる。

【0009】

好ましくは、高融点金属は1000を超える融点を有する。これにより、高融点金属から作られた金属膜が形成された後に、1000を超える熱処理を行うことができる。

【0010】

上記炭化珪素基板にはトレンチが設けられていてもよく、トレンチ内にゲート電極の少なくとも一部が配置されていてもよい。これにより、ゲート電極の電気抵抗をさらに抑制することができる。

10

【0011】

本発明の炭化珪素半導体装置の製造方法は、以下の工程を有する。

炭化珪素基板上にゲート絶縁膜が形成される。ゲート絶縁膜上にゲート電極が形成される。ゲート電極を形成する工程は、ゲート絶縁膜に接するポリシリコン膜を形成する工程と、ポリシリコン膜上にバリア膜を形成する工程と、バリア膜上に高融点金属から作られた金属膜を形成する工程とを含む。ゲート絶縁膜およびゲート絶縁膜上に設けられたゲート電極を覆うように配置され、ゲート絶縁膜に接する領域で炭化珪素基板を部分的に露出する基板コンタクトホールを有する層間絶縁膜が形成される。基板コンタクトホールを介して炭化珪素基板に電気的に接続され、層間絶縁膜によってゲート電極から電気的に絶縁された配線が形成される。

20

【0012】

本発明の炭化珪素半導体装置の製造方法によれば、ゲート電極がポリシリコン膜に比して抵抗率の低い高融点金属膜を含むので、ゲート電極がポリシリコン膜のみから形成される場合に比して、ゲート電極の電気抵抗を抑制することができる。

【0013】

好ましくは炭化珪素半導体装置の製造方法において、配線と炭化珪素基板との電気的接続をよりオーミックにするために、炭化珪素基板が熱処理される。これにより配線と炭化珪素基板との電気的接続をよりオーミックにすることができる。より好ましくは炭化珪素基板を熱処理する工程は、炭化珪素基板を1000を超える温度まで加熱する工程を含む。これにより配線と炭化珪素基板との電気的接続をよりオーミックにすることができる。

30

【0014】

好ましくは配線を形成する工程は、ゲート電極および炭化珪素基板の各々に接する導体膜を形成する工程と、導体膜をパターニングする工程とを含む。パターニングする工程によって、配線と、ゲート電極の一部の上に設けられたゲートパッドとが形成される。これにより、配線およびゲートパッドが別個に形成される場合に比して、炭化珪素半導体装置をより容易に製造することができる。

40

【0015】

上記炭化珪素基板にはトレンチが形成されてもよく、トレンチ内にゲート電極の少なくとも一部が配置されてもよい。これにより、ゲート電極の電気抵抗をさらに抑制することができる。

【発明の効果】

【0016】

以上の説明から明らかなように、本発明の炭化珪素半導体装置によれば、電気抵抗を抑制することができる。

【図面の簡単な説明】

【0017】

【図1】実施の形態1における炭化珪素半導体装置の構造を概略的に示す平面図である。

50

【図2】図1の線ⅠⅠ-ⅠⅠに沿う概略断面図である。

【図3】図1の炭化珪素半導体装置の製造方法の第1工程を、図2の視野に対応する視野において概略的に示す断面図である。

【図4】図1の炭化珪素半導体装置の製造方法の第2工程を、図2の視野に対応する視野において概略的に示す断面図である。

【図5】図1の炭化珪素半導体装置の製造方法の第3工程を、図2の視野に対応する視野において概略的に示す断面図である。

【図6】図1の炭化珪素半導体装置の製造方法の第4工程を、図2の視野に対応する視野において概略的に示す断面図である。

【図7】図1の炭化珪素半導体装置の製造方法の第5工程を、図2の視野に対応する視野において概略的に示す断面図である。

【図8】図1の炭化珪素半導体装置の製造方法の第6工程を、図2の視野に対応する視野において概略的に示す断面図である。

【図9】図1の炭化珪素半導体装置の製造方法の第7工程を、図2の視野に対応する視野において概略的に示す断面図である。

【図10】図1の炭化珪素半導体装置の製造方法の第8工程を、図2の視野に対応する視野において概略的に示す断面図である。

【図11】図1の炭化珪素半導体装置の製造方法の第9工程を、図2の視野に対応する視野において概略的に示す断面図である。

【図12】実施の形態2における炭化珪素半導体装置の構造を、図2の視野に対応する視野において概略的に示す断面図である。

【図13】図12の炭化珪素半導体装置の製造方法の第1工程を、図12の視野に対応する視野において概略的に示す断面図である。

【図14】図12の炭化珪素半導体装置の製造方法の第2工程を、図12の視野に対応する視野において概略的に示す断面図である。

【図15】図12の構造の変形例を概略的に示す断面図である。

【発明を実施するための形態】

【0018】

以下、本発明の実施の形態について図に基づいて説明する。なお、以下の図面において、同一または相当する部分には同一の参照番号を付し、その説明は繰り返さない。また本明細書中の結晶学的な記載において、等価な個別方位を含む集合方位を<>、個別面を()、等価な個別面を含む集合面を{}で示している。また指數が負であることを示すためには、数字の上に「-」(バー)を付ける代わりに、数字の前に負の符号を付けている。

【0019】

(実施の形態1)

図1および図2に示すように、本実施の形態の炭化珪素半導体装置はMOSFET101であり、より具体的にはDiMOSFET(Double implanted MOSFET)である。MOSFET101は、炭化珪素基板30と、ゲート絶縁膜41と、ゲート電極50と、層間絶縁膜42と、ソース配線71(配線)と、オーミック電極61と、ドレイン電極62とを有する。

【0020】

炭化珪素基板30は、導電型がn型(第1導電型)である単結晶ウエハ20と、炭化珪素からなり導電型がn型であるバッファ層31と、炭化珪素からなり導電型がn型のドリフト層32と、導電型がp型(第2導電型)の一対のp型ボディ領域33と、導電型がn型のn⁺領域34と、導電型がp型のp⁺領域35とを有する。

【0021】

単結晶ウエハ20はn型を有するものである。バッファ層31は、単結晶ウエハ20の主面上にエピタキシャルに形成されており、導電型不純物がドープされることによりn型を有する。ドリフト層32は、バッファ層31上にエピタキシャルに形成されており、導電型不純物がドープされることによりn型を有する。ドリフト層32の体積当たりの不純

10

20

30

40

50

物濃度はバッファ層 3 1 の体積当たりの不純物濃度よりも低い。この導電型不純物は、たとえば窒素 (N) である。一対の p 型ボディ領域 3 3 は、炭化珪素基板 3 0 の主面 (図 2 の上面) において互いに分離されている。p 型ボディ領域 3 3 は、導電型不純物がドープされることにより p 型を有する。この導電型不純物は、たとえばアルミニウム (Al) またはホウ素 (B) である。各 n⁺領域 3 4 は、炭化珪素基板 3 0 の主面上に設けられており、p 型ボディ領域 3 3 によってドリフト層 3 2 と分離されている。n⁺領域 3 4 の不純物濃度はドリフト層 3 2 の不純物濃度よりも高い。p⁺領域 3 5 は、炭化珪素基板 3 0 の主面上から p 型ボディ領域 3 3 へと達しており、炭化珪素基板 3 0 の主面上において n⁺領域 3 4 と隣接している。p⁺領域 3 5 の不純物濃度は p 型ボディ領域 3 3 の不純物濃度よりも高い。

10

【0022】

ゲート絶縁膜 4 1 は、炭化珪素基板 3 0 の主面上に直接設けられており、一方の n⁺領域 3 4 の上部表面から他方の n⁺領域 3 4 の上部表面まで延在している。ゲート絶縁膜は、好ましくは酸化膜であり、たとえば二酸化珪素 (SiO₂) から作られている。

【0023】

ゲート電極 5 0 は、ゲート絶縁膜 4 1 上に直接設けられており、一方の n⁺領域 3 4 上から他方の n⁺領域 3 4 上にまで延在している。ゲート電極 5 0 は、ゲート絶縁膜 4 1 に接するポリシリコン膜 5 1 と、ポリシリコン膜 5 1 上に設けられたバリア膜 5 2 と、バリア膜 5 2 上に設けられた金属膜 5 3 とを含む。

20

【0024】

ポリシリコン膜 5 1 は、導電型不純物が添加されたポリシリコンから作られている。ポリシリコン膜 5 1 の厚さは、たとえば 400 nm 程度である。

【0025】

バリア膜 5 2 は、金属膜 5 3 に比してシリサイド化されにくい材料から作られており、たとえばチタン (Ti)、窒化チタン (TiN)、チタンタングステン (TiW)、窒化タングステン (WN)、または窒化タンタル (TaW) から作られている。バリア膜 5 2 の厚さは、たとえば 50 nm 程度である。

30

【0026】

金属膜 5 3 は高融点金属から作られている。高融点金属は、好ましくは 1000 を超える融点を有する。金属膜 5 3 の抵抗率はポリシリコン膜 5 1 の抵抗率よりも低い。具体的には高融点金属は、Au、Cu、Si、Ni、Mo、Ta、およびW のうちのいずれかの金属、または、これらのうちの少なくとも 2 つを含む合金から作られている。金属膜 5 3 の厚さは、たとえば 50 ~ 400 nm 程度である。

30

【0027】

層間絶縁膜 4 2 は、ゲート絶縁膜 4 1 およびゲート電極 5 0 が設けられた炭化珪素基板 3 0 上に設けられている。また層間絶縁膜 4 2 には、各 n⁺領域 3 4 の一部と p⁺領域 3 5 とを露出するソースコンタクトホール SH (基板コンタクトホール) と、ゲート電極 5 0 を局所的に露出するゲートコンタクトホール GH とが設けられている。層間絶縁膜 4 2 は、たとえば二酸化珪素 (SiO₂) から作られている。

40

【0028】

ソース配線 7 1 は、ソースコンタクトホール SH を介して炭化珪素基板 3 0 に電気的に接続されている。またソース配線 7 1 は層間絶縁膜 4 2 によってゲート電極 5 0 から電気的に絶縁されている。ソース配線 7 1 は、たとえばアルミニウム (Al) から作られている。本実施の形態においてはソース配線 7 1 はパッドとしての機能を有する。すなわちソース配線 7 1 はその上へのワイヤボンディングが可能なように構成されている。

【0029】

オーミック電極 6 1 はソース配線 7 1 と炭化珪素基板 3 0 との間に介在している。オーミック電極 6 1 は、n⁺領域 3 4 とオーミックコンタクト可能な材料から作られており、具体的にはシリサイドから作られており、たとえば Ni_xSi_y (ニッケルシリサイド) から作られている。

50

【0030】

ゲートパッド72は、ゲート電極50の一部の上に設けられている。ゲートパッド72は、ゲートコンタクトホールGHを介してゲート電極50に電気的に接続されている。ゲートパッド72は、たとえばアルミニウム(A1)から作られている。

【0031】

ドレイン電極62は、炭化珪素基板30が有する単結晶ウエハ20上に接触している。ドレイン電極62は、炭化珪素基板30とオーミックコンタクト可能な材料から作られており、具体的にはシリサイドから作られており、たとえば Ni_xSi_y (ニッケルシリサイド)から作られている。

【0032】

10

次にMOSFET101の製造方法について説明する。

図3に示すように、炭化珪素基板30が準備される。具体的には、以下の工程が行われる。

【0033】

まず炭化珪素の単結晶ウエハ20が準備される。次に、単結晶ウエハ20の主面上に、炭化珪素からなるバッファ層31およびドリフト層32が順次エピタキシャル成長される。このエピタキシャル成長のためには、たとえばCVD(Chemical Vapor Deposition)法を用いることができる。

【0034】

20

次にイオン注入が行われる。具体的にはまずp型ボディ領域33を形成するためのイオン注入が実施される。具体的には、たとえばA1(アルミニウム)イオンがドリフト層32に注入されることにより、p型ボディ領域33が形成される。次に、n⁺領域34を形成するためのイオン注入が実施される。具体的には、たとえばP(リン)イオンがp型ボディ領域33に注入されることにより、p型ボディ領域33内にn⁺領域34が形成される。さらに、p⁺領域35を形成するためのイオン注入が実施される。具体的には、たとえばA1イオンがp型ボディ領域33に注入されることにより、p型ボディ領域33内にp⁺領域35が形成される。上記イオン注入は、たとえばドリフト層32の主面上に二酸化珪素(SiO₂)からなり、イオン注入を実施すべき所望の領域に開口を有するマスク層を形成して実施することができる。

【0035】

30

次に活性化熱処理が実施される。たとえば、アルゴンなどの不活性ガス雰囲気中において1700に加熱し、30分間保持する熱処理が実施される。これにより、注入されていた不純物が活性化される。

【0036】

40

以上により、炭化珪素基板30が準備される。

図4に示すように、炭化珪素基板30上にゲート絶縁膜41が形成される。具体的には、酸素雰囲気中において1300に加熱して60分間保持する熱処理により、ゲート絶縁膜41としての酸化膜が形成される。この後、雰囲気ガスとして一酸化窒素(NO)ガスを用いた熱処理が行われてもよい。この熱処理の条件としては、たとえば1100以上1300以下の温度で1時間程度保持する条件を採用することができる。このような熱処理により、ゲート絶縁膜41とドリフト層32との界面領域に窒素原子が導入される。これにより、ゲート絶縁膜41とドリフト層32との界面領域における界面準位の形成が抑制され、最終的に得られるMOSFET101のチャネル移動度を向上させることができる。なおNOガスの代わりに、ゲート絶縁膜41とドリフト層32との界面領域に窒素原子を導入することが可能な他のガスが用いられてもよい。また窒素原子導入のための熱処理後、界面準位の形成をさらに抑制するために、この熱処理の温度よりも高い温度での熱処理をアルゴン(Ar)雰囲気を用いて行ってもよい。

【0037】

50

次にゲート絶縁膜41上にゲート電極50が形成される。具体的には、まずゲート絶縁膜41に接するポリシリコン膜51が形成される。ポリシリコン膜51は、たとえばCVD

D法により成膜され得る。次にポリシリコン膜51上にバリア膜52が形成される。次にバリア膜52上に金属膜53が形成される。バリア膜52および金属膜53は、たとえば蒸着法により成膜され得る。

【0038】

図5に示すように、ゲート電極50がパターニングされる。パターニングは、たとえば、フォトリソグラフィおよびエッティングにより行うことができる。

【0039】

図6に示すように、ゲート絶縁膜41およびゲート電極50が形成された炭化珪素基板30上に、層間絶縁膜42が形成される。層間絶縁膜42は、たとえばCVD法により形成され得る。

10

【0040】

図7に示すように、層間絶縁膜42およびゲート絶縁膜41に、炭化珪素基板30を部分的に露出するソースコンタクトホールSHが形成される。この工程は、たとえば、フォトリソグラフィおよびエッティングにより行うことができる。

【0041】

図8に示すように、ソースコンタクトホールSH内において、炭化珪素基板30上に膜61pが形成される。膜61pは、加熱されることによって炭化珪素基板30とのオーミック接触が可能となるような材料から作られており、具体的にはシリサイド化可能な材料から作られており、たとえばニッケル(Ni)から作られている。また本実施の形態においては、炭化珪素基板30が有する単結晶ウエハ20の裏面上に、膜61pの材料と同様の材料から作られた膜62pが形成される。この工程は、たとえば蒸着法により行い得る。

20

【0042】

図9に示すように、炭化珪素基板30が熱処理される。熱処理の温度は、炭化珪素基板30と膜61p(図8)とのオーミック接触が促進されるのに十分なものとされ、好ましくは1000超である。この熱処理により、炭化珪素基板上に形成された膜61pが加熱されることで、膜61pからオーミック電極61が形成される。また炭化珪素基板が有する単結晶ウエハ20の裏面上に形成された膜62p(図8)が加熱されることで、ドレン電極62が形成される。

30

【0043】

図10に示すように、層間絶縁膜42にゲートコンタクトホールGHが形成される。これにより、ゲート電極50の一部が露出される。この工程は、たとえば、フォトリソグラフィおよびエッティングにより行うことができる。

【0044】

図11に示すように、金属から作られた膜70が形成される。この金属は、たとえばアルミニウムである。なお本明細書において「金属」とは、単体の金属だけでなく、合金も含む概念である。また膜70は単層膜に限られず、多層膜であってもよい。この多層膜は、たとえば、バリア膜の形成と、このバリア膜上へのアルミニウム膜の形成とによって形成され得る。また膜70の材料は、ソース配線71およびゲートパッド72の各々の材料と同じである。

40

【0045】

次に膜70がパターニングされることによって、図2に示すように、互いに分離されたソース配線71およびゲートパッド72が形成される。これによりMOSFET101が得られる。

【0046】

本実施の形態によれば、ゲート電極50がポリシリコン膜51に比して抵抗率の低い金属膜53を含むので、ゲート電極50がポリシリコン膜51のみから形成される場合に比して、電気抵抗を抑制することができる。これにより、電気抵抗の小さいゲート電極50によって、ゲートパッド72からの電流経路を形成することができる。

【0047】

50

なお仮に金属膜 5 3 を用いずにポリシリコンのみでゲート電極が形成される場合、ポリシリコンの抵抗率が金属膜の抵抗率に比して大きいことから、本実施の形態と同程度に低い抵抗を有するゲート電極を得ようとすると、ゲート電極の厚さが過度に大きくなってしまう。ゲート電極はパターンを有するので、その厚さが極端に大きい場合、このパターンに対応した大きな凹凸が炭化珪素基板 3 0 上に生じてしまう。これに対して本実施の形態によれば、抵抗率の低い金属膜 5 3 を用いることでゲート電極の厚さを小さくすることができるので、炭化珪素基板 3 0 上に生じる凹凸を抑制することができる。

【 0 0 4 8 】

また炭化珪素基板 3 0 が熱処理されることで、ソース配線 7 1 と炭化珪素基板 3 0 との間にオーミック電極 6 1 が形成される。これによりソース配線 7 1 と炭化珪素基板 3 0 の電気的接続をよりオーミックにすることができる。好ましくは熱処理の温度は 1 0 0 0

10

を超える。これによりソース配線 7 1 と炭化珪素基板 3 0 との接続をよりオーミックにすることができる。

【 0 0 4 9 】

好ましくは、金属膜 5 3 の材料である高融点金属は、1 0 0 0 を超える融点を有する。これにより、金属膜 5 3 が形成された後に、1 0 0 0 を超える熱処理を行うことができる。

【 0 0 5 0 】

また本実施の形態においては、ソース配線 7 1 およびゲートパッド 7 2 は同じ材料から作られている。これにより、ソース配線 7 1 の材料とゲートパッド 7 2 の材料とが異なる場合に比して、M O S F E T 1 0 1 をより容易に製造することができる。具体的には、膜 7 0 をパターニングすることによって、ソース配線 7 1 と、ゲートパッド 7 2 とを同時に形成することができる。

20

【 0 0 5 1 】

なお単結晶ウエハ 2 0 の、バッファ層 3 1 に面する主面は、{ 0 0 0 1 } 面に対して 50° 以上 65° 以下のオフ角を有することが好ましい。これによりチャネル移動度を高めることができる。またこのオフ角のオフ方位と < 0 1 - 1 0 > 方向とのなす角は 5° 以下となっていることが好ましい。これにより、単結晶ウエハ 2 0 上へのエピタキシャル成長を容易にすることができます。

30

【 0 0 5 2 】

さらに、上記主面の、< 0 1 - 1 0 > 方向における { 0 3 - 3 8 } 面に対するオフ角は - 3° 以上 5° 以下であることが好ましく、この主面は実質的に { 0 3 - 3 8 } 面であることがより好ましい。これにより、チャネル移動度を一層向上させることができます。

【 0 0 5 3 】

上記主面のオフ方位と < - 2 1 1 0 > 方向とのなす角は 5° 以下となっていてもよい。これにより、単結晶ウエハ 2 0 上へのエピタキシャル成長を容易にすることができます。

【 0 0 5 4 】

さらに、上記主面は、単結晶ウエハ 2 0 を構成する炭化珪素のカーボン面側の面であることが好ましい。カーボン面側の面とは、面方位 (h k l m) で表された場合に m が負である面である。より好ましくはこの面は (0 - 3 3 - 8) 面である。これにより、チャネル移動度をさらに向上させることができます。

40

【 0 0 5 5 】

(実施の形態 2)

図 1 2 に示すように、本実施の形態の炭化珪素半導体装置は M O S F E T 1 0 2 であり、より具体的には V M O S F E T (V-groove MOSFET) である。M O S F E T 1 0 2 は炭化珪素基板 3 0 V を有する。炭化珪素基板 3 0 V は、トレンチ T V を有し、また p 型ボディ領域 3 3 V と、n 型の n⁺ 領域 3 4 V と、緩和領域 3 6 とを有する。トレンチ T V は、V 字状の形状を有し、n⁺ 領域 3 4 V および p 型ボディ領域 3 3 V を貫通してドリフト層 3 2 内に達している。トレンチ T V の側壁の好適な面方位は、単結晶ウエハ 2 0 (図 2) の主面の好適な面方位と同様である。緩和領域 3 6 は、ゲート絶縁膜 4 1 を介して、トレ

50

ンチTVの底部に面している。緩和領域36は、ドリフト層32の不純物濃度よりも高い不純物濃度を有し、トレンチTV底部における電界を緩和する機能を有する。

【0056】

次にMOSFET102の製造方法について、以下に説明する。

図13に示すように、実施の形態1と同様に、単結晶ウエハ20の主面上にバッファ層31およびドリフト層32が順次エピタキシャル成長される。次にp型ボディ領域33Vおよびn⁺領域34Vが形成される。p型ボディ領域33Vは、イオン注入またはエピタキシャル成長によって形成し得る。n⁺領域34Vはイオン注入によって形成し得る。

【0057】

図14に示すように、トレンチTVが形成される。トレンチの形成は、たとえば、フォトリソグラフィおよびエッティングにより行うことができる。次にトレンチTVの底部にイオン注入により緩和領域36が形成される。次に不純物の活性化熱処理が実施される。次に、実施の形態1の図4～図11とほぼ同様の工程が行われることで、MOSFET102(図12)が得られる。

【0058】

なお、上記以外の構成については、上述した実施の形態1の構成とほぼ同じであるため、同一または対応する要素について同一の符号を付し、その説明を繰り返さない。

【0059】

本実施の形態によれば、ゲート電極50は、トレンチTV内に配置された部分を有する。この部分の存在によって、炭化珪素基板30上に凹凸を過度に大きくすることなく、ゲート電極50の断面積(図12における面積)を大きくすることでゲート電極50の電気抵抗をさらに抑制することができる。

【0060】

(実施の形態3)

図15に示すように、本実施の形態の炭化珪素半導体装置はMOSFET103であり、MOSFET102(図12)のトレンチTVの代わりにトレンチTUを有する。トレンチTUはトレンチTVと異なり、ほぼ平坦な底部を有する。

【0061】

なお、上記以外の構成については、上述した実施の形態2の構成とほぼ同じであるため、同一または対応する要素について同一の符号を付し、その説明を繰り返さない。

【0062】

上記MOSFET101～103の各々において、n型とp型とが入れ替えられてもよい。また炭化珪素半導体装置は、MOSFET以外のMISFET(Metal Insulator Semiconductor Field Effect Transistor)であってもよい。すなわちゲート絶縁膜41は酸化物に限定されるものではない。また炭化珪素半導体装置はMISFETに限定されるものではなく、ゲート電極を有する他の種類の装置であってもよく、たとえばIGBT(Insulated Gate Bipolar Transistor)であってもよい。また配線とゲートパッドとは、必ずしも同じ材料から作られている必要はない。

【0063】

今回開示された実施の形態はすべての点で例示であって、制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味、および範囲内でのすべての変更が含まれることが意図される。

【符号の説明】

【0064】

20 単結晶ウエハ、30, 30V 炭化珪素基板、31 バッファ層、32 ドリフト層、33, 33V p型ボディ領域、34, 34V n⁺領域、35 p⁺領域、36 緩和領域、41 ゲート絶縁膜、42 層間絶縁膜、50 ゲート電極、51 ポリシリコン膜、52 バリア膜、53 金属膜、61 オーミック電極、62 ドレイン電極、71 ソース配線、72 ゲートパッド、101～103 MOSFET(半導体装置)

10

20

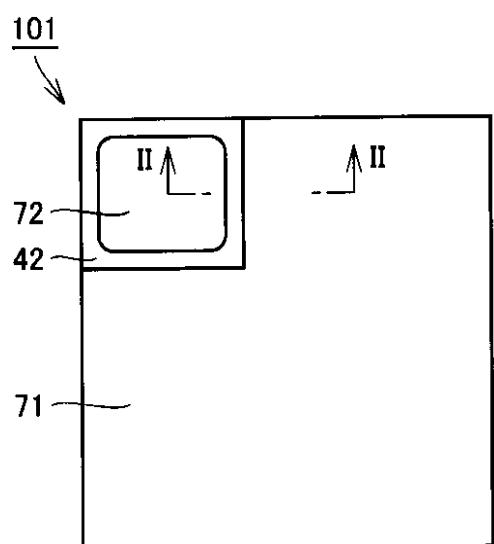
30

40

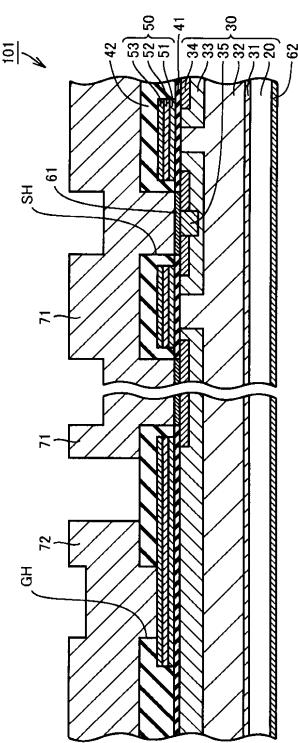
50

、 G H ゲートコンタクトホール、 S H ソースコンタクトホール（基板コンタクトホール）、 T U , T V トレンチ。

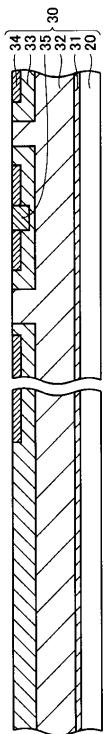
【図 1】



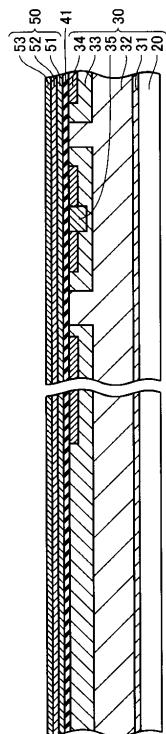
【図 2】



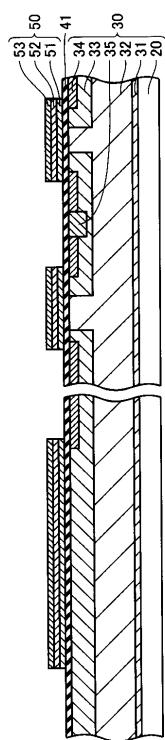
【 図 3 】



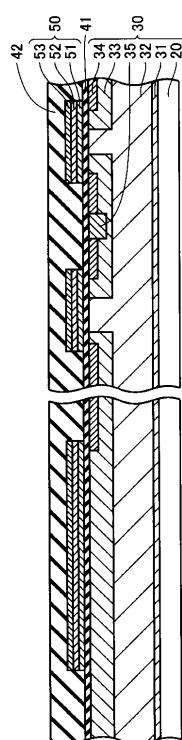
【 図 4 】



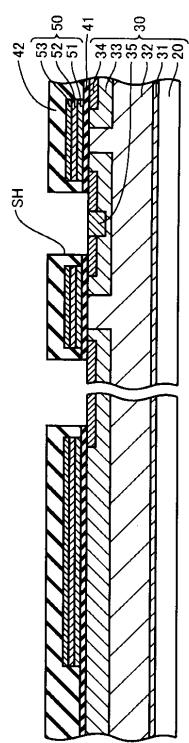
【図5】



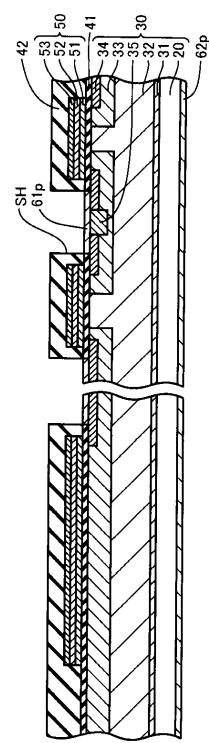
【 図 6 】



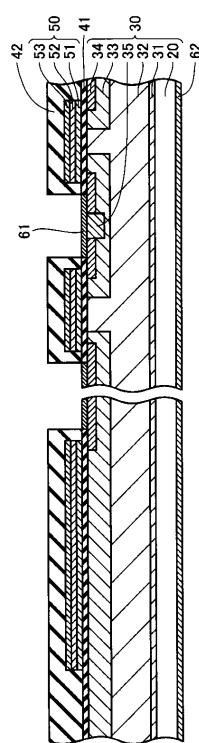
【図7】



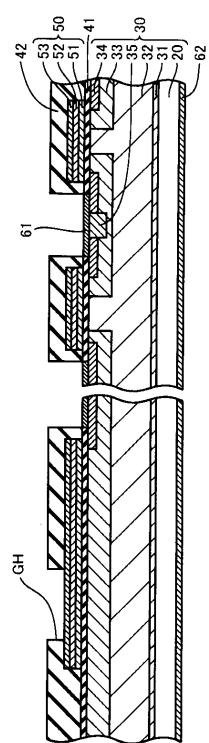
【図8】



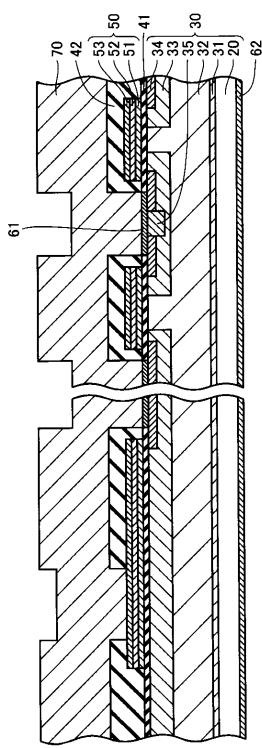
【図9】



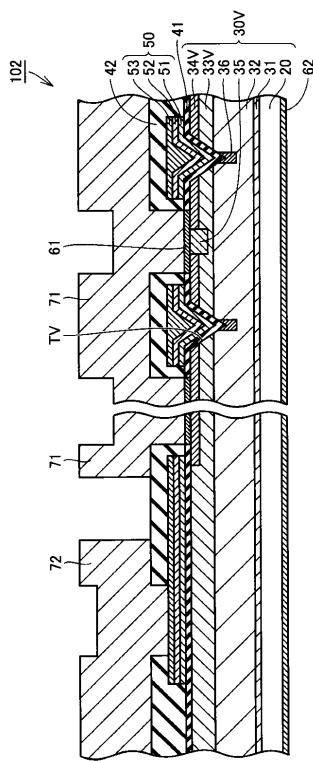
【図10】



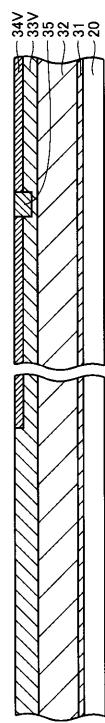
【図 1 1】



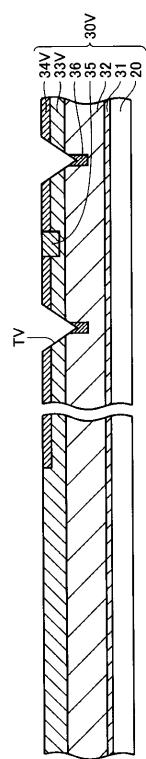
【図 1 2】



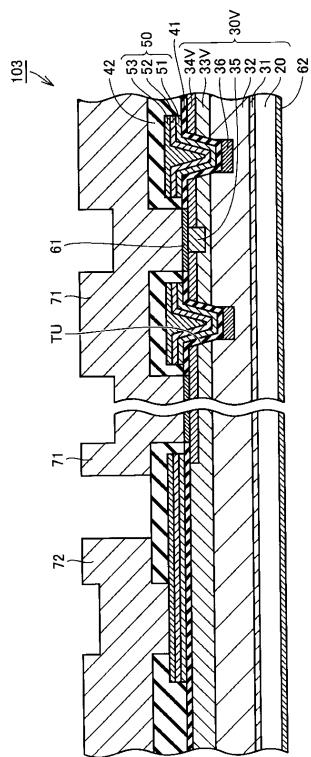
【図 1 3】



【図 1 4】



【図15】



フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
<i>H 01L 21/28 (2006.01)</i>	H 01L 29/78	652J
	H 01L 29/58	G
	H 01L 21/28	301B