



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0129544
(43) 공개일자 2014년11월07일

(51) 국제특허분류(Int. Cl.)
H03L 7/097 (2006.01) H03F 3/45 (2006.01)
(21) 출원번호 10-2013-0047959
(22) 출원일자 2013년04월30일
심사청구일자 2013년04월30일

(71) 출원인
인하대학교 산학협력단
인천광역시 남구 인하로 100, 인하대학교 (용현동)
(72) 발명자
강진구
서울 서초구 잠원로 150, 2동 505호 (잠원동, 잠원한신아파트)
안택준
인천 남구 소성로 72, 11동 301호 (학익동, 장미아파트)
(74) 대리인
양성보

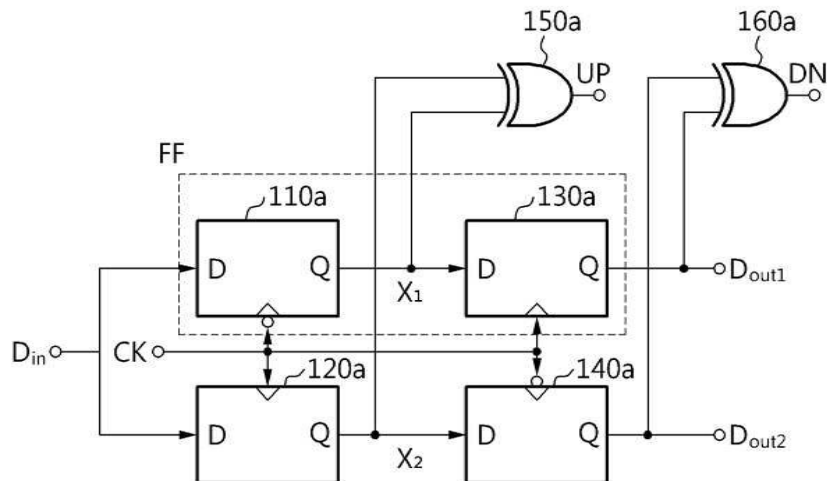
전체 청구항 수 : 총 5 항

(54) 발명의 명칭 클럭 및 데이터 복원회로용 고속 저전력 전압-전류 변환기

(57) 요약

본 발명은 고속 및 저전력 동작을 위한 클럭 및 데이터 복원 회로용 전압 전류 변환기가 제시된다. XOR 로직을 필요로 하지 않는 위상 검출기를 통해 데이터의 클럭 정보와 기준 클럭 정보를 비교하여 클럭 신호들을 생성하고, 클럭 신호들을 입력으로 직접 이용하는 전압-전류 변환기를 통해 컨트롤 전압을 생성한다. 이때, 위상 검출기는 4개의 래치를 이용하여 클럭 정보를 비교한다. 래치는 클럭의 반주기 동안에만 전류가 흐름으로써 전류 소비를 줄이고, 데이터를 저장하기 위한 교차 연결된 인버터를 제거함으로써 큰 이득을 갖고, 캐스캐이드 연결이 가능하며, 입력 패턴과 동일한 패턴의 출력 데이터를 출력하는 래치를 이용한다.

대표도 - 도1a



특허청구의 범위

청구항 1

XOR 로직을 필요로 하지 않는 위상 검출기를 통해 데이터의 클럭 정보와 기준 클럭 정보를 비교하는 단계;
상기 비교를 통해 클럭 신호들을 생성하는 단계; 및
상기 클럭 신호들을 입력으로 직접 이용하는 전압-전류 변환기를 통해 컨트롤 전압을 생성하는 단계
를 포함하는 전압-전류 변환 방법.

청구항 2

제1항에 있어서,
상기 위상 검출기는 4개의 래치를 이용하여 클럭 정보를 비교하고,
상기 래치는 클럭의 반주기 동안에만 전류가 흐름으로써 전류 소비를 줄이고, 데이터를 저장하기 위한 교차 연결된 인버터를 제거함으로써 큰 이득을 갖고, 캐스캐이드 연결이 가능하며, 입력 패턴과 동일한 패턴의 출력 데이터를 출력하는
전압-전류 변환 방법.

청구항 3

제1항에 있어서,
상기 전압-전류 변환기는 레일 두 레일 전압 스윙을 필요로 하지 않는
전압-전류 변환 방법.

청구항 4

XOR 로직을 필요로 하지 않고, 수신된 데이터의 클럭 정보와 기준 클럭 정보를 비교하여 클럭 신호들을 생성하는 위상 검출기와 연결되고,
상기 클럭 신호들을 입력으로 직접 이용하여 컨트롤 전압을 생성하는
전압-전류 변환기.

청구항 5

제4항에 있어서,
상기 위상 검출기는 4개의 래치로 구성되고,
상기 래치는 클럭의 반주기 동안에만 전류가 흐름으로써 전류 소비를 줄이고, 데이터를 저장하기 위한 교차 연결된 인버터를 제거함으로써 큰 이득을 갖고, 캐스캐이드 연결이 가능하며, 입력 패턴과 동일한 패턴의 출력 데이터를 출력하는
전압-전류 변환기.

명세서

기술 분야

본 발명은 고속 및 저전력 동작을 위한 클럭 및 데이터 복원 회로용 전압 전류 변환기에 관한 것이다. 더욱 상세하게는 클럭 및 데이터 복원회로에 적용할 경우 기존의 XOR 로직을 제거할 수 있고 그에 따른 전력 소모 감소를 기대할 수 있는 클럭 및 데이터 복원 회로용 전압 전류 변환기에 관한 것이다.

[0001]

배경 기술

- [0002] 반도체 메모리 장치는 고집적화, 저전력화 및 고속화를 추구하고 있다. 이러한 반도체 메모리 장치의 고집적화를 달성하기 위해 반도체 메모리 장치를 구성하는 내부 소자들의 크기는 점점 작아지고 있으며, 저전력화 및 고속화를 위해 내부 소자들이 저전압(low VDD)의 동작 전압에서 고주파수(high frequency)의 동작 주파수로 동작하도록 활발히 연구되고 있다. 또한, 이러한 반도체 메모리 장치는, 소정의 클럭에 동기 되어 메모리 셀에 저장된 데이터를 리드/라이트하며, 리드/라이트된 데이터는 클럭에 동기 되어 입출력 된다.
- [0003] 클럭 및 데이터 복원 회로(Clock and Data Recovery, CDR)는 이더넷 수신기, 고속 인터페이스 등에서 수신된 데이터로부터 클럭 정보를 추출하여 동기화된 데이터를 만들어낸다. 디지털통신 시스템에서 요구되는 데이터 전송 속도가 날이 갈수록 증가하고 있으며 이에 따라 시스템의 소비전력 또한 증가하기 때문에, 저전력 고속 동작의 클럭 및 데이터 복원 회로를 구현할 필요가 있다.
- [0004] 한국공개특허 10-2008-0114166호는 회로 면적을 줄인 클럭 데이터 복원회로에 관한 것으로, 본 발명에 따른 클럭 데이터 복원회로는, 지연 정보에 응답하여 입력되는 데이터의 지연 값을 조절하는 지연조절부와, 지연조절부에서 출력되는 데이터와 다중 위상 클럭들 간의 위상을 비교하여, 데이터의 지연량을 조절하기 위한 지연정보를 출력하는 위상비교부 및 지연조절부에서 출력되는 지연 값이 조절된 데이터를 다중 위상 클럭들을 이용하여 복원해 출력하는 데이터복원부를 포함한다.
- [0005] 일반적인 클럭 및 데이터 복원 회로(Clock and Data Recovery, CDR)는 위상검출기(PD), 전압-전류 변환기(V/I converter), 루프 필터(LPF), 전압 제어 발진기(VCO)로 이루어져 있다. 예를 들어, 이 중 많이 사용되는 위상 검출기로는 하프 레이트 선형 위상 검출기(Half-rate Linear Phase Detector)가 있다. 이러한 종래 기술의 위상 검출기는 래치를 이용해 A, B, C, D의 네 개 펄스를 생성하고 XOR 로직을 이용해 클럭과 데이터 간의 위상 정보와 기준 펄스로 변환 후 전압-전류 변환기에 전달해 준다. 이러한 과정에서 펄스를 변환하기 위한 추가적인 로직이 필요하고 전력 소모가 증가되며, 속도에도 영향을 주는 문제점이 발생할 수 있다.

발명의 내용

해결하려는 과제

- [0006] 디지털통신 시스템에서 요구되는 데이터 전송 속도가 날이 갈수록 증가하고 있으며 이에 따라 시스템의 소비전력 또한 증가하고 있다. 본 발명이 이루고자 하는 기술적 과제는, 이에 따른 저전력 고속 동작의 클럭 및 데이터 복원 회로 및 동작 방법을 제공하는데 있다.

과제의 해결 수단

- [0007] 일 측면에 있어서, 본 발명에서 제안하는 클럭 및 데이터 복원회로용 고속 저전력 전압-전류 변환 방법은 XOR 로직을 필요로 하지 않는 위상 검출기를 통해 데이터의 클럭 정보와 기준 클럭 정보를 비교하는 단계와, 비교를 통해 클럭 신호들을 생성하는 단계 및 클럭 신호들을 입력으로 직접 이용하는 전압-전류 변환기를 통해 컨트롤 전압을 생성하는 단계를 포함한다.
- [0008] 고속 저전력 전압-전류 변환을 위한 XOR 로직을 필요로 하지 않는 위상 검출기는 4개의 래치를 이용하여 클럭 정보를 비교하고, 래치는 클럭의 반주기 동안에만 전류가 흐름으로써 전류 소비를 줄일 수 있다. 또한, 데이터를 저장하기 위한 교차 연결된 인버터를 제거함으로써 큰 이득을 갖고, 캐스캐이드 연결이 가능하며, 입력 패턴과 동일한 패턴의 출력 데이터를 출력할 수 있다.
- [0009] 고속 저전력 전압-전류 변환기는 레일 투 레일 전압 스윙을 필요로 하지 않는다.
- [0010] 일 측면에 있어서, 본 발명에서 제안하는 클럭 및 데이터 복원회로용 고속 저전력 전압-전류 변환기는 XOR 로직을 필요로 하지 않고, 수신된 데이터의 클럭 정보와 기준 클럭 정보를 비교하여 클럭 신호들을 생성하는 위상 검출기와 연결된다. 또한, 고속 저전력 전압-전류 변환기는 데이터의 클럭 정보와 기준 클럭 정보를 비교하여 생성된 클럭 신호들을 입력으로 직접 이용하여 컨트롤 전압을 생성한다.

발명의 효과

- [0011] 본 발명의 실시예들에 따르면 제안하는 고속 저전력 전압-전류 변환기를 클럭 및 데이터 복원회로에 적용할 경우 기존의 XOR 로직을 제거할 수 있고 그에 따른 전력 소모 감소를 기대할 수 있다.

도면의 간단한 설명

- [0012] 도 1은 종래 기술에 따른 위상 검출기와 고속 저전력 전압-전류 변환기를 위한 위상 검출기 및 신호들의 파형을 나타내는 도면이다.
- 도 2는 본 발명의 일 실시예에 따른 위상 검출기에 사용되는 래치 회로의 회로도이다.
- 도 3은 제안하는 고속 저전력 전압-전류 변환기의 회로도이다.
- 도 4는 본 발명의 일 실시예에 따른 고속 저전력 전압-전류 변환기를 적용한 클럭 및 데이터 복원회로의 블록도이다.
- 도 5는 제안하는 고속 저전력 전압-전류 변환 방법의 순서도이다.

발명을 실시하기 위한 구체적인 내용

- [0013] 이하, 본 발명의 실시 예를 첨부된 도면을 참조하여 상세하게 설명한다.
- [0014] 도 1은 도 1은 종래 기술에 따른 위상 검출기와 고속 저전력 전압-전류 변환기를 위한 위상 검출기 및 신호들의 파형을 나타내는 도면이다.
- [0015] 도 1a는 종래 기술에 따른 위상 검출기의 블록도이다.
- [0016] 일반적인 클럭 및 데이터 복원 회로(Clock and Data Recovery, CDR)는 위상검출기(PD), 전압-전류 변환기(V/I converter), 루프 필터(LPF), 전압 제어 발진기(VCO)로 이루어져 있다. 예를 들어, 이 중 많이 사용되는 위상 검출기로는 하프 레이트 선형 위상 검출기(Half-rate Linear Phase Detector)가 있다.
- [0017] 도 1a를 참조하면, 이러한 종래 기술의 위상 검출기는 네 개의 래치(110a, 120a, 130a, 140a)를 이용하여 네 개 펄스를 생성하고, XOR 로직(150a, 160a)을 이용해 업(UP) 신호와 다운(DN) 신호로 변환 후 전압-전류 변환기에 전달해 준다. 이러한 과정에서 펄스를 변환하기 위한 추가적인 로직이 필요하고 전력 소모가 증가되며, 속도에도 영향을 주는 문제점이 발생할 수 있다. 따라서, 각각의 래치에서 출력된 펄스를 입력으로 직접 이용함으로써 XOR 로직을 제거하고, 이로 인해 저전력 동작이 가능한 전압전류 변환기를 제안한다.
- [0018] 도 1b는 본 발명의 일 실시예에 따른 고속 저전력 전압-전류 변환기를 위한 위상 검출기의 블록도이다.
- [0019] 도 1b를 참조하면, 제안하는 고속 저전력 전압-전류 변환기를 위한 위상 검출기는 네 개의 래치(110b, 120b, 130b, 140b)로 이루어져 있고, XOR 로직을 필요로 하지 않는다.
- [0020] 네 개의 래치(110b, 120b, 130b, 140b)를 통해 데이터의 클럭 정보(Din)와 기준 클럭 정보(CK)를 입력으로 받아 네 개의 펄스 신호(A, B, C, D)를 생성한다. 네 개의 펄스 신호(A, B, C, D)는 전압-전류 변환기로 전달되어 컨트롤 전압을 조절할 수 있다. 예를 들어 네 개의 펄스 신호 중 A와 B의 변화에 따라 컨트롤 전압을 증가시키고, C와 D의 변화에 따라 컨트롤 전압을 감소시킬 수 있다.
- [0021] 도 1c는 본 발명의 일 실시예에 따른 고속 저전력 전압-전류 변환기를 위한 위상 검출기에서 신호들의 파형을 나타내는 도면이다.
- [0022] 도 1c를 참조하여 제안하는 고속 저전력 전압-전류 변환기를 위한 위상 검출기의 동작 방법을 상세히 설명한다.

- [0023] 도 1c은 각각 데이터의 클럭 정보(Din), 기준 클럭 정보(CK), 위상 검출기의 네 개의 래치에 의해 생성된 네 개의 클럭 신호(A, B, C, D)의 파형을 나타낸다. 먼저 클럭 신호 A는 기준 클럭 정보(CK)가 하이(High)인 구간에서 데이터의 클럭 정보(Din)를 그대로 반영하는 파형을 갖는다. 그리고, 기준 클럭 정보(CK)가 로우(Low)인 구간에서는 이전의 데이터의 클럭 정보(Din)를 유지한다. 클럭 신호 A는 다음 기준 클럭 정보(CK)의 하이(High) 구간이 시작될 때까지 데이터의 클럭 정보(Din)를 유지하고, 다음 기준 클럭 정보(CK)의 상승 에지(rising edge)에서부터 하이(High) 구간 동안 그 때의 데이터의 클럭 정보(Din)를 그대로 반영하는 파형을 갖는다.
- [0024] 클럭 신호 B는 클럭 신호 A와 반대로 기준 클럭 정보(CK)가 로우(Low)인 구간에서 데이터의 클럭 정보(Din)를 그대로 반영하는 파형을 갖는다. 그리고, 기준 클럭 정보(CK)가 하이(Hight)인 구간에서는 이전의 데이터의 클럭 정보(Din)를 유지한다. 클럭 신호 A는 다음 기준 클럭 정보(CK)의 로우(Low) 구간이 시작될 때까지 데이터의 클럭 정보(Din)를 유지하고, 다음 기준 클럭 정보(CK)의 하강 에지(falling edge)에서부터 로우(Low) 구간 동안 그 때의 데이터의 클럭 정보(Din)를 그대로 반영하는 파형을 갖는다.
- [0025] 클럭 신호 C는 클럭 신호 A와 기준 클럭 정보(CK)를 이용하여 플립플롭 동작에 따른 결과를 파형으로 갖는다. 기준 클럭 정보(CK)가 로우(Low)로 떨어지는 하강 에지(falling edge)에서의 클럭 신호 A의 값을 출력 값으로 갖고, 다음 하강 에지(falling edge)까지 이 값을 유지 한다. 다음 하강 에지(falling edge)에서 클럭 신호 A의 값이 변화가 없다면 계속 이 값을 유지하고, 클럭 신호 A의 값의 변화가 있을 경우 그 때의 클럭 신호 A의 값을 출력 값으로 갖는다.
- [0026] 클럭 신호 D는 클럭 신호 B와 기준 클럭 정보(CK)를 이용하여 플립플롭 동작에 따른 결과를 파형으로 갖는다. 기준 클럭 정보(CK)가 하이(Hight)로 상승하는 상승 에지(rising edge)에서의 클럭 신호 B의 값을 출력 값으로 갖고, 다음 상승 에지(rising edge)까지 이 값을 유지 한다. 다음 상승 에지(rising edge)에서 클럭 신호 B의 값이 변화가 없다면 계속 이 값을 유지하고, 클럭 신호 B의 값의 변화가 있을 경우 그 때의 클럭 신호 B의 값을 출력 값으로 갖는다.
- [0027] 이러한 과정으로 생성된 위상 검출기의 네 개의 클럭 신호(A, B, C, D)는 전압-전류 변환기로 전달된다. 종래 기술에 따른 위상 검출기는 래치를 이용하여 네 개의 펄스를 생성하고, XOR 로직을 통해 업(UP) 신호와 다운(DN) 신호로 변환 후 전압-전류 변환기로 전달해 주었다. 하지만, 본 발명에서 제안하는 고속 저전력 전압-전류 변환기를 위한 위상 검출기는 각각의 래치에서 출력된 펄스를 전압-전류 변환기의 입력으로 직접 이용함으로써 XOR 로직을 제거할 수 있다.
- [0028] 도 2는 본 발명의 일 실시예에 따른 위상 검출기에 사용되는 래치 회로의 회로도이다.
- [0029] 고속 저전력 전압-전류 변환기를 위한 위상 검출기는 네 개의 래치로 구성되고, 이때 사용되는 래치의 내부 구조는 도 2와 같다.
- [0030] 추적 모드에서는 M1, M2 및 M5의 스위치가 턴-온(turn-on)이 되어 차동 입력 전압을 추적하며, 래치 모드에서는 M1, M2 및 M5의 스위치가 턴-오프(turn-off)되면서 이전에 입력된 데이터를 저장하게 된다. 제안하는 래치는 클럭의 반주기 동안에만 전류가 흐르기 때문에 종래 기술에 따른 CML 래치에 비해 전류 소비를 줄일 수 있다. 뿐만 아니라, 데이터를 저장하기 위한 교차 연결된 인버터를 제거함으로써 큰 이득을 갖게 되는 장점이 있다. 차지 스티어링(Charge Steering) 래치의 경우 저전력 구동이 가능하다는 장점이 있으나 리셋(reset) 모드로 인해 NRZ 패턴을 인가하면 RZ 패턴의 데이터가 출력이 되고, 이로 인해 출력된 RZ 패턴을 NRZ 패턴으로 변환하기 위해 별도의 블록이 요구된다. 그러나 제안하는 래치는 리셋(reset) 모드가 없기 때문에 두 개의 래치 연결을 통해 플립플롭을 구현할 수 있으며, 입력 패턴과 동일한 패턴의 출력 데이터를 얻을 수 있다.
- [0031] 저전력 전압-전류 변환기를 위한 위상 검출기에서 사용되는 래치 회로의 동작을 상세히 설명한다. 예를 들어, 클럭(Clock)이 하이(High)일 경우 $\overline{CK}$ 가 입력되는 PMOS 스위치 M1, M2 및 CK가 입력되는 NMOS 스위치는 턴-온(turn-on) 상태가 되면서 전류가 흐르게 된다. 그리고, 입력전압 Vin의 차동(differential) 전압에 따라 출력전압 Vout은 트랜스패런트(Transparent) 동작을 보일 수 있다. 클럭(Clock)이 로우(Low) 일 경우에는 $\overline{CK}$ 가 입력되는 PMOS 스위치 M1, M2 및 CK가 입력되는 NMOS 스위치 M5는 턴-오프(turn-off) 상태가 되면서 전류가 더 이상 흐르지 않게 된다. 이러한 동작에 따라 현 상태를 유지하는 래치(latch) 동작을 수행할 수 있게 된다.

- [0032] 도 3은 제안하는 고속 저전력 전압-전류 변환기의 회로도이다.
- [0033] 도 3을 참조하면, 제안하는 전압-전류 변환기의 동작은 다음과 같다.
- [0034] 예를 들어, 클럭 신호 A와 클럭 신호 B의 논리 신호가 서로 다를 경우, 전류는 캐스코드(cascode)로 연결된 경로로 흐름으로써 루프 필터를 충전시키게 된다. 이로 인해 컨트롤 전압(Vcont)이 상승하게 된다. 반면에 클럭 신호 A와 클럭 신호 B의 논리 신호가 서로 같은 경우, 전류가 흐르는 경로를 바꿔 줌으로써 캐스코드(Cascode) 연결된 경로로 전류가 흐르지 못하게 된다. 따라서 컨트롤 전압(Vcont)은 변화가 없게 된다. 이와 마찬가지로 클럭 신호 C와 클럭 신호 D의 경우 두 입력의 논리 신호가 서로 다른 경우에만 캐스코드(Cascode) 연결된 스위치가 모두 켜짐으로써 전류가 흐르게 된다. 이로 인해 컨트롤 전압(Vcont)이 낮아지게 된다. 또한 고속 저전력 전압-전류 변환기는 레일 투 레일(rail-to-rail) 전압 스윙을 필요 하지 않는 장점이 있다.
- [0035] 도 4는 본 발명의 일 실시예에 따른 고속 저전력 전압-전류 변환기를 적용한 클럭 및 데이터 복원회로의 블록도이다.
- [0036] 제안하는 고속 저전력 전압-전류 변환기(460)는, XOR 로직을 필요로 하지 않고 수신된 데이터의 클럭 정보와 기준 클럭 정보를 비교하여 클럭 신호들을 생성하는 위상 검출기(450)와 연결되고, 클럭 신호들을 입력으로 직접 이용하여 컨트롤 전압을 생성한다.
- [0037] 제안하는 고속 저전력 전압-전류 변환기(460) 및 위상 검출기(450)를 이용하여 클럭 및 데이터 복원회로를 구현하기 위해 전압-전류 변환기(V/I converter), 루프 필터(LPF), 전압 제어 발진기(VCO)를 더 포함한다.
- [0038] 클럭 및 데이터 복원회로는 데이터의 클럭 정보(Din)을 입력 받아 네 개의 래치(410, 420, 430, 440)로 이루어진 위상 검출기(450)을 통해 클럭 신호(A, B, C, D)를 생성한다. 더욱 상세하게 설명하면, 도 1b에서 설명한 것과 같이 제안하는 고속 저전력 전압-전류 변환기를 위한 위상 검출기는 네 개의 래치(410, 420, 430, 440)로 이루어져 있고, XOR 로직을 필요로 하지 않는다. 네 개의 래치(410, 420, 430, 440)를 통해 데이터의 클럭 정보(Din)와 기준 클럭 정보(CK)를 입력으로 받아 네 개의 펄스 신호(A, B, C, D)를 생성한다. 네 개의 펄스 신호(A, B, C, D)는 전압-전류 변환기로 전달되어 컨트롤 전압을 조절할 수 있다. 예를 들어, 네 개의 펄스 신호 중 A와 B의 변화에 따라 컨트롤 전압을 증가시키고, C와 D의 변화에 따라 컨트롤 전압을 감소시킬 수 있다.
- [0039] 전압-전류 변화기의 동작에 대해 상세하게 설명하자면, 예를 들어, 클럭 신호 A와 클럭 신호 B의 논리 신호가 서로 다를 경우, 전류는 캐스코드(cascode)로 연결된 경로로 흐름으로써 루프 필터를 충전시키게 된다. 이로 인해 컨트롤 전압(Vcont)이 상승하게 된다. 반면에 클럭 신호 A와 클럭 신호 B의 논리 신호가 서로 같은 경우, 전류가 흐르는 경로를 바꿔 줌으로써 캐스코드(Cascode) 연결된 경로로 전류가 흐르지 못하게 된다. 따라서 컨트롤 전압(Vcont)은 변화가 없게 된다. 이와 마찬가지로 클럭 신호 C와 클럭 신호 D의 경우 두 입력의 논리 신호가 서로 다른 경우에만 캐스코드(Cascode) 연결된 스위치가 모두 켜짐으로써 전류가 흐르게 된다. 이로 인해 컨트롤 전압(Vcont)이 낮아지게 된다. 또한 고속 저전력 전압-전류 변환기는 레일 투 레일(rail-to-rail) 전압 스윙을 필요 하지 않는 장점이 있다.
- [0040] 전압-전류 변환기에 의해 생성된 전류는 루프 필터(LPF)를 통해 필터링되고, 컨트롤 전압은 전압 제어 발진기(VCO)로 전달된다. 전압 제어 발진기(VCO)는 컨트롤 전압과 루프 필터(LPF)를 통해 필터링된 전류를 이용하여 컨트롤 전압에 따라 변하는 주파수의 정현파 또는 구형파 신호를 발생시킬 수 있다. 이러한 주파수 신호는 다시 위상 검출기(450)로 피드백(feedback)되어 클럭 및 데이터 복원을 반복할 수 있다.
- [0041] 도 5는 제안하는 고속 저전력 전압-전류 변환 방법의 순서도이다.
- [0042] 제안하는 고속 저전력 전압-전류 변환 방법은 XOR 로직을 필요로 하지 않는 위상 검출기를 통해 데이터의 클럭 정보와 기준 클럭 정보를 비교하는 단계(510), 비교를 통해 클럭 신호들을 생성하는 단계(520), 클럭 신호들을 입력으로 직접 이용하는 전압-전류 변환기를 통해 컨트롤 전압을 생성하는 단계(530)를 포함한다.
- [0043] 제안하는 고속 저전력 전압-전류 변환기를 위한 위상 검출기는 네 개의 래치로 이루어져 있고, XOR 로직을 필요로 하지 않는다. 이러한 위상 검출기를 통해 데이터의 클럭 정보와 기준 클럭 정보를 비교한다(510). 이후, 네 개의 래치를 통해 데이터의 클럭 정보와 기준 클럭 정보를 입력으로 받아 네 개의 펄스 신호를 생성한다

(520).

- [0044] 이때, 제안하는 고속 저전력 전압-전류 변환기를 위한 위상 검출기에서 네 개의 펄스 신호의 동작을 아래에서 상세히 설명한다.
- [0045] 도 1c에서 설명한 것과 같이 각각 데이터의 클럭 정보(Din), 기준 클럭 정보(CK)는 위상 검출기의 네 개의 래치에 의해 네 개의 클럭 신호(A, B, C, D)를 생성한다.
- [0046] 클럭 신호 A는 기준 클럭 정보(CK)가 하이(High)인 구간에서 데이터의 클럭 정보(Din)를 그대로 반영하는 파형을 갖는다. 그리고, 기준 클럭 정보(CK)가 로우(Low)인 구간에서는 이전의 데이터의 클럭 정보(Din)를 유지한다. 클럭 신호 A는 다음 기준 클럭 정보(CK)의 하이(High) 구간이 시작될 때까지 데이터의 클럭 정보(Din)를 유지하고, 다음 기준 클럭 정보(CK)의 상승 에지(rising edge)에서부터 하이(High) 구간 동안 그 때의 데이터의 클럭 정보(Din)를 그대로 반영하는 파형을 갖는다.
- [0047] 클럭 신호 B는 클럭 신호 A와 반대로 기준 클럭 정보(CK)가 로우(Low)인 구간에서 데이터의 클럭 정보(Din)를 그대로 반영하는 파형을 갖는다. 그리고, 기준 클럭 정보(CK)가 하이(High)인 구간에서는 이전의 데이터의 클럭 정보(Din)를 유지한다. 클럭 신호 B는 다음 기준 클럭 정보(CK)의 로우(Low) 구간이 시작될 때까지 데이터의 클럭 정보(Din)를 유지하고, 다음 기준 클럭 정보(CK)의 하강 에지(falling edge)에서부터 로우(Low) 구간 동안 그 때의 데이터의 클럭 정보(Din)를 그대로 반영하는 파형을 갖는다.
- [0048] 클럭 신호 C는 클럭 신호 A와 기준 클럭 정보(CK)를 이용하여 플립플롭 동작에 따른 결과를 파형으로 갖는다. 기준 클럭 정보(CK)가 로우(Low)로 떨어지는 하강 에지(falling edge)에서의 클럭 신호 A의 값을 출력 값으로 갖고, 다음 하강 에지(falling edge)까지 이 값을 유지 한다. 다음 하강 에지(falling edge)에서 클럭 신호 A의 값이 변화가 없다면 계속 이 값을 유지하고, 클럭 신호 A의 값의 변화가 있을 경우 그 때의 클럭 신호 A의 값을 출력 값으로 갖는다.
- [0049] 클럭 신호 D는 클럭 신호 B와 기준 클럭 정보(CK)를 이용하여 플립플롭 동작에 따른 결과를 파형으로 갖는다. 기준 클럭 정보(CK)가 하이(High)로 상승하는 상승 에지(rising edge)에서의 클럭 신호 B의 값을 출력 값으로 갖고, 다음 상승 에지(rising edge)까지 이 값을 유지 한다. 다음 상승 에지(rising edge)에서 클럭 신호 B의 값이 변화가 없다면 계속 이 값을 유지하고, 클럭 신호 B의 값의 변화가 있을 경우 그 때의 클럭 신호 B의 값을 출력 값으로 갖는다.
- [0050] 이러한 과정으로 생성된 위상 검출기의 네 개의 클럭 신호(A, B, C, D)는 전압-전류 변환기로 전달된다. 네 개의 클럭 신호(A, B, C, D)를 입력으로 직접 이용하는 전압-전류 변환기를 통해 컨트롤 전압을 생성한다(530). 예를 들어 네 개의 펄스 신호 중 A와 B의 변화에 따라 컨트롤 전압을 증가시키고, C와 D의 변화에 따라 컨트롤 전압을 감소시킬 수 있다.
- [0051] 종래 기술에 따른 위상 검출기는 래치를 이용하여 네 개의 펄스를 생성하고, XOR 로직을 통해 업(UP) 신호와 다운(DN) 신호로 변환 후 전압-전류 변환기로 전달해 주었다. 하지만, 본 발명에서 제안하는 고속 저전력 전압-전류 변환기를 위한 위상 검출기는 각각의 래치에서 출력된 펄스를 전압-전류 변환기의 입력으로 직접 이용함으로써 XOR 로직을 제거할 수 있다.
- [0052] 이상에서 설명된 장치는 하드웨어 구성요소, 소프트웨어 구성요소, 및/또는 하드웨어 구성요소 및 소프트웨어 구성요소의 조합으로 구현될 수 있다. 예를 들어, 실시예들에서 설명된 장치 및 구성요소는, 예를 들어, 프로세서, 콘트롤러, ALU(arithmetic logic unit), 디지털 신호 프로세서(digital signal processor), 마이크로컴퓨터, FPA(field programmable array), PLU(programmable logic unit), 마이크로프로세서, 또는 명령(instruction)을 실행하고 응답할 수 있는 다른 어떠한 장치와 같이, 하나 이상의 범용 컴퓨터 또는 특수 목적 컴퓨터를 이용하여 구현될 수 있다. 처리 장치는 운영 체제(OS) 및 상기 운영 체제 상에서 수행되는 하나 이상의 소프트웨어 애플리케이션을 수행할 수 있다. 또한, 처리 장치는 소프트웨어의 실행에 응답하여, 데이터를 접근, 저장, 조작, 처리 및 생성할 수도 있다. 이해의 편의를 위하여, 처리 장치는 하나가 사용되는 것으로 설명된 경우도 있지만, 해당 기술분야에서 통상의 지식을 가진 자는, 처리 장치가 복수 개의 처리 요소(processing element) 및/또는 복수 유형의 처리 요소를 포함할 수 있음을 알 수 있다. 예를 들어, 처리 장치는 복수 개의 프로세서 또는 하나의 프로세서 및 하나의 콘트롤러를 포함할 수 있다. 또한, 병렬 프로세서(parallel processor)와 같은, 다른 처리 구성(processing configuration)도 가능하다.

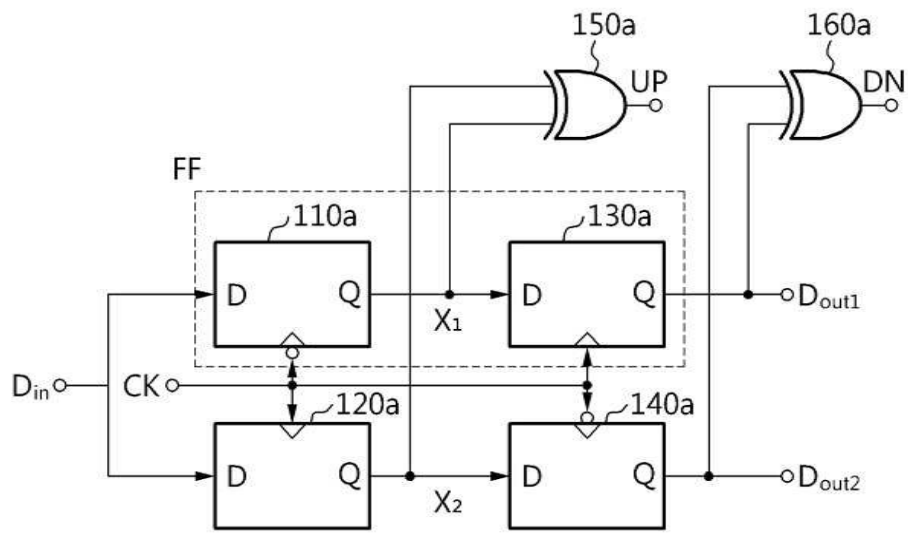
- [0053] 소프트웨어는 컴퓨터 프로그램(computer program), 코드(code), 명령(instruction), 또는 이들 중 하나 이상의 조합을 포함할 수 있으며, 원하는 대로 동작하도록 처리 장치를 구성하거나 독립적으로 또는 결합적으로(collectively) 처리 장치를 명령할 수 있다. 소프트웨어 및/또는 데이터는, 처리 장치에 의하여 해석되거나 처리 장치에 명령 또는 데이터를 제공하기 위하여, 어떤 유형의 기계, 구성요소(component), 물리적 장치, 가상 장치(virtual equipment), 컴퓨터 저장 매체 또는 장치, 또는 전송되는 신호 파(signal wave)에 영구적으로, 또는 일시적으로 구체화(embody)될 수 있다. 소프트웨어는 네트워크로 연결된 컴퓨터 시스템 상에 분산되어서, 분산된 방법으로 저장되거나 실행될 수도 있다. 소프트웨어 및 데이터는 하나 이상의 컴퓨터 판독 가능 기록 매체에 저장될 수 있다.
- [0054] 실시예에 따른 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 실시예를 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다. 상기된 하드웨어 장치는 실시예의 동작을 수행하기 위해 하나 이상의 소프트웨어 모듈로서 작동하도록 구성될 수 있으며, 그 역도 마찬가지이다.
- [0055] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.
- [0056] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

부호의 설명

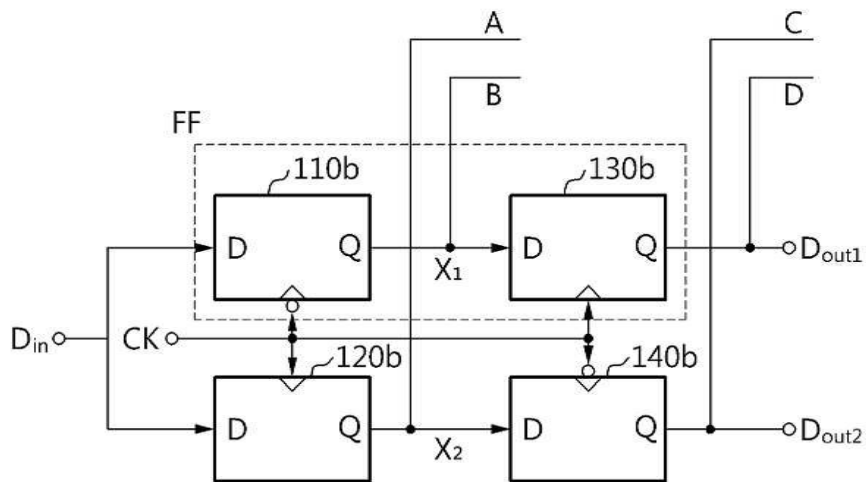
- [0057] 110: 래치
120: 래치
130: 래치
140: 래치
150: XOR 로직
160: XOR 로직

도면

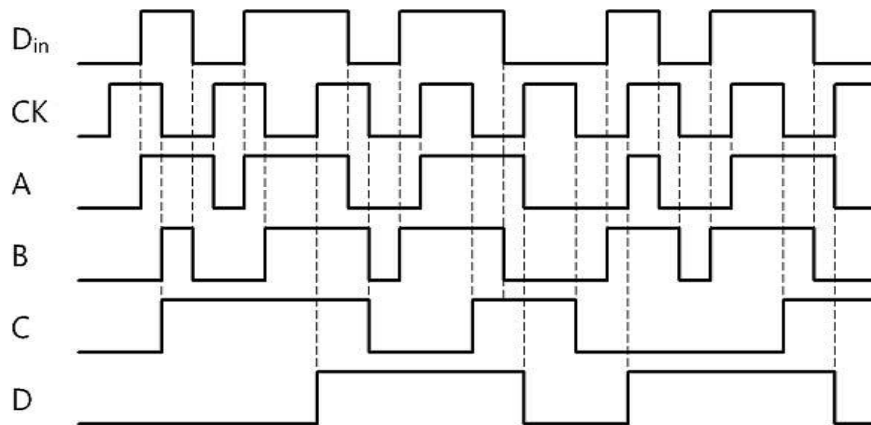
도면1a



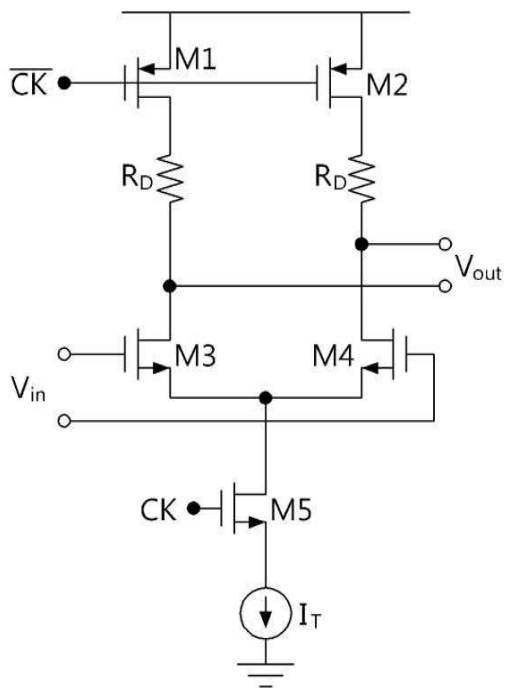
도면1b



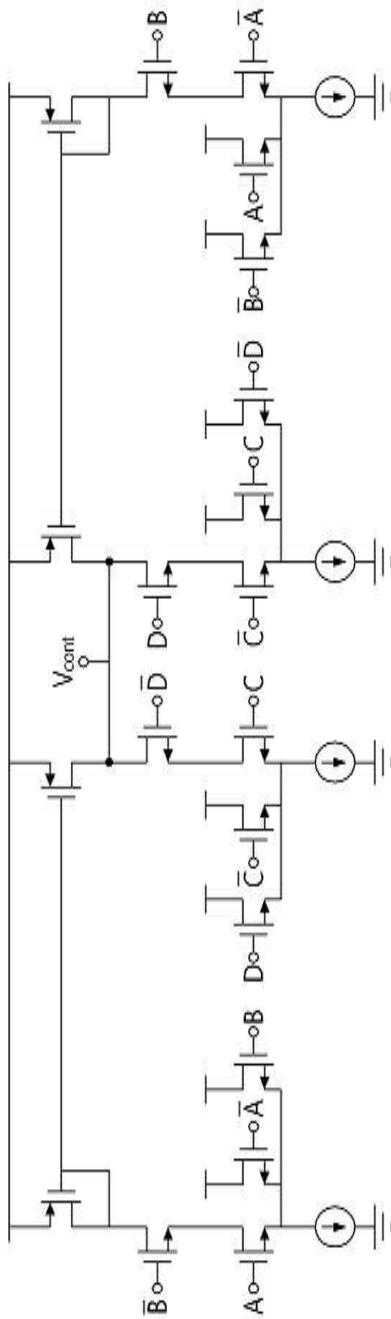
도면1c



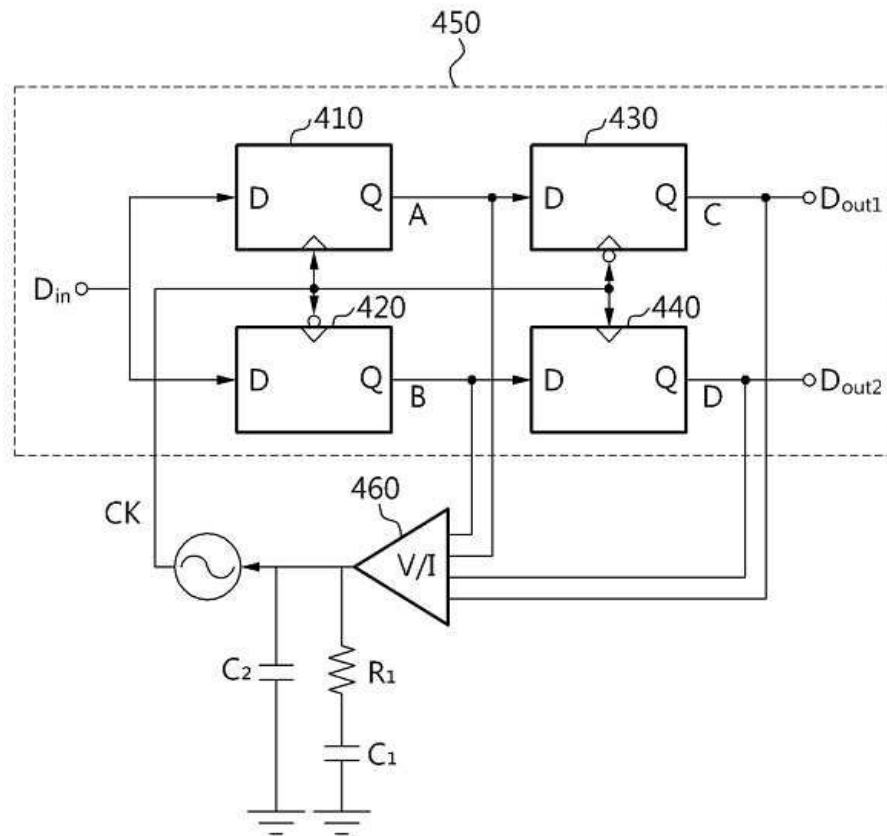
도면2



도면3



도면4



도면5

