

明 細 書

発明の名称：試験装置および救済解析方法

技術分野

[0001] 本発明は、メモリを試験する試験装置および救済解析方法に関する。

背景技術

[0002] メモリを試験する試験装置は、所定のデータを被試験メモリに書き込み、書き込んだデータを読み出して期待値と比較する。更に、試験装置は、読み出したデータが期待値と一致しないことを示すフェイルデータを、アドレスフェイルメモリ（AFM）に書き込む。そして、試験装置は、AFMに書き込んだフェイルデータに基づき、被試験メモリの救済解析を行う（特許文献1参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開2005-259266号公報

発明の概要

発明が解決しようとする課題

[0004] ここで、試験装置は、救済解析を行う場合、AFMからフェイルデータを順次を読み出して、被試験メモリのロウアドレス毎の不良セルの数（RFC）およびカラムアドレス毎の不良セルの数（CFC）をカウントする。RFCおよびCFCのカウント処理は、試験と試験の間の救済解析時間を短縮して全体のスループットを向上させるために高速に行われることが望ましい。従って、試験装置は、RFCおよびCFCをカウントするカウンタ回路を、高速なメモリ（例えばSRAM）を用いて構成することが望ましい。

[0005] ところで、近年、被試験メモリの容量がますます大きくなっている。従って、試験装置は、被試験メモリの容量に対応させて、RFCおよびCFCを記憶するメモリの容量を大きくしなければならなかった。

[0006] しかし、大容量のSRAMは、入手が困難であり、コストも大きかった。

従って、R F CおよびC F Cを記憶するメモリの容量を大きくした試験装置は、コストが大きくなってしまっていた。

課題を解決するための手段

[0007] 上記課題を解決するために、本発明の第1の態様においては、被試験メモリを試験する試験装置であって、前記被試験メモリにおけるアドレス毎に、不良セルを含むか否かを示すアドレスフェイルデータを記憶するアドレスフェイルメモリと、前記被試験メモリにおける複数のセルを含むブロック毎に、不良セルを含むか否かを示すブロックフェイルデータを記憶するブロックフェイルメモリと、前記被試験メモリ内のブロック毎に、前記アドレスフェイルメモリから前記アドレスフェイルデータを読み出す読出部と、前記被試験メモリ内の一部の複数のブロックを有するグループ内におけるロウアドレス毎に、前記読出部により読み出された前記アドレスフェイルデータに示された不良セルをカウントするロウフェイルカウンタと、前記グループ内におけるカラムアドレス毎に、前記読出部により読み出された前記アドレスフェイルデータに示された不良セルをカウントするカラムフェイルカウンタと、を備える試験装置を提供する。さらに、このような試験装置における被試験メモリの救済解析方法を提供する。

[0008] なお、上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではない。また、これらの特徴群のサブコンビネーションもまた、発明となりうる。

図面の簡単な説明

[0009] [図1]本実施形態に係る試験装置100の構成を被試験メモリ300と共に示す。

[図2]本実施形態に係る不良解析メモリ部10の構成を示す。

[図3]本実施形態に係る解析部20の構成を、アドレスフェイルメモリ30およびブロックフェイルメモリ40と共に示す。

[図4]本実施形態に係るロウフェイルカウンタ52、カラムフェイルカウンタ54およびトータルフェイルカウンタ56の構成の一例を示す。

[図5]本実施形態に係る読出部50の構成の一例を示す。

[図6]DUT試験において、アドレスフェイルメモリ30およびブロックフェイルメモリ40に与えられるアドレスの一例を示す。

[図7]救済解析において、アドレスフェイルメモリ30およびブロックフェイルメモリ40に与えられるアドレスの一例を示す。

[図8]ブロック内のロウアドレスビット数およびカラムアドレスビット数がそれぞれ7ビットの場合の設定の一例を示す。

[図9]ブロック内のロウアドレスビット数およびカラムアドレスビット数がそれぞれ6ビットの場合の設定の一例を示す。

[図10]ブロック内のロウアドレスビット数およびカラムアドレスビット数がそれぞれ10ビットの場合の設定の一例を示す。

[図11]本実施形態に係る解析部20の処理フローを示す。

発明を実施するための形態

[0010] 以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は請求の範囲にかかる発明を限定するものではない。また、実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

[0011] 図1は、本実施形態に係る試験装置100の構成を被試験メモリ300と共に示す。本実施形態に係る試験装置100は、被試験メモリ300を試験して不良セルを検出する。さらに、試験装置100は、不良セルが存在するアドレスラインとスペアラインとを電氣的に置き換えて被試験メモリ300を良品化するための救済解析を行う。

[0012] 試験装置100は、タイミング発生器102と、パターン発生器104と、波形成形器106と、論理比較器108と、不良解析メモリ部10と、解析部20とを備える。タイミング発生器102は、基準クロックを発生して、パターン発生器104に供給する。

[0013] パターン発生器104は、基準クロックに基づいて被試験メモリ300に供給するアドレス信号、データ信号および制御信号を発生して、波形成形器

１０６に供給する。また、パターン発生器１０４は、被試験メモリ３００が出力すべき期待値信号を発生して、論理比較器１０８に供給する。波形成形器１０６は、アドレス信号、データ信号および制御信号に基づき印加信号を成形して、被試験メモリ３００に与える。

[0014] 論理比較器１０８は、印加信号が与えられたことに応じて被試験メモリ３００が出力した出力信号と、パターン発生器１０４が発生した期待値信号とを比較する。そして、論理比較器１０８は、出力信号と期待値信号とが一致しない場合に、不良を示すフェイル信号を出力する。

[0015] 不良解析メモリ部１０は、パターン発生器１０４により発生されたアドレス信号が示すアドレスに対応させて、論理比較器１０８により発生されたフェイル信号を格納する。これにより、不良解析メモリ部１０は、被試験メモリ３００内のメモリ領域における不良セルの位置を表わすフェイルデータを格納することができる。なお、不良解析メモリ部１０の構成については、図２において更に説明する。

[0016] 被試験メモリ３００の試験において不良セルが発見された場合には、解析部２０は、不良解析メモリ部１０に格納されたフェイルデータを読み出して、被試験メモリ３００の救済解析を行う。即ち、解析部２０は、被試験メモリ３００の不良セルを含むロウアドレスラインとカラムアドレスラインを、ロウアドレス用のスペアラインおよびカラムアドレス用のスペアラインとどのように置き換えると、当該被試験メモリ３００を良品化できるかを解析する。なお、解析部２０の構成については、図３以降において更に説明する。

[0017] 試験装置１００は、被試験メモリ３００を試験して、フェイルデータを不良解析メモリ部１０に試験結果を格納する。試験後、試験装置１００は、被試験メモリ３００の試験において不良セルが発見されていた場合には、被試験メモリ３００の救済解析を行う。

[0018] ここで、被試験メモリ３００のメモリ領域は、多数の救済ブロック（以下、単にブロックと呼ぶ）に分割されている。それぞれのブロックは、複数のロウアドレスラインと複数のカラムアドレスラインの２次元でアクセスされ

るメモリセルで構成されている。

- [0019] 本実施形態に係る試験装置 100 は、被試験メモリ 300 内の全てのブロックに対して、複数のブロックをまとめて 1 グループとした複数のグループ毎に、救済解析を行う。より具体的には、試験装置 100 は、不良解析メモリ部 10 に格納されたフェイルデータをグループ毎に読み出して、グループ内のブロック毎のロウアドレス毎の不良セルの数（R F C）、グループ内のブロック毎のカラムアドレス毎の不良セルの数（C F C）、および、グループ内のブロック毎の不良セルの総数（T F C）をカウントする。
- [0020] そして、試験装置 100 は、グループ内のブロック毎のロウアドレス毎の不良セルの数（R F C）、グループ内のブロック毎のカラムアドレス毎の不良セルの数（C F C）およびグループ内のブロック毎の不良セルの数（T F C）に基づいてグループ毎に被試験メモリ 300 の救済解析を行う。なお、救済解析の方法によっては、試験装置 100 は、グループ内のブロック毎の不良セルの数（T F C）をカウントしなくてもよい。
- [0021] 図 2 は、本実施形態に係る不良解析メモリ部 10 の構成を示す。不良解析メモリ部 10 は、アドレスフェイルメモリ（A F M）30 と、ブロックフェイルメモリ（B F M）40 と、A F M アドレスフォーマッタ 12 と、B F M アドレスフォーマッタ 14 と、A F M 用アドレスセクタ（M U X - A）16 と、B F M 用アドレスセクタ（M U X - B）18 とを有する。
- [0022] アドレスフェイルメモリ 30 は、被試験メモリ 300 と同一のアドレス構成のメモリ領域を有する。そして、アドレスフェイルメモリ 30 は、被試験メモリ 300 におけるアドレス毎に、不良セルの有無を示すアドレスフェイルデータを記憶する。
- [0023] ブロックフェイルメモリ 40 は、被試験メモリ 300 内のメモリ領域を多数に分割したブロックの構成と同一のアドレス構成のメモリ領域を有する。そして、ブロックフェイルメモリ 40 は、被試験メモリ 300 におけるブロック毎に、不良セルの有無を示すブロックフェイルデータを記憶する。
- [0024] A F M アドレスフォーマッタ 12 は、パターン発生器 104 により生成さ

れたアドレス信号を、アドレスフェイルメモリ 30 に与えるアドレス (AFM__Address) に変換する。即ち、AFM アドレスフォーマッタ 12 は、パターン発生器 104 からのアドレス信号を被試験メモリ 300 のアドレスに対応するようにアドレスフェイルメモリ 30 のアドレスとしてフォーマットして出力する。このフォーマット機能により、さまざまな被試験メモリ 300 のアドレス構成に対してアドレスフェイルメモリ 30 を対応させることができる。

[0025] BFM アドレスフォーマッタ 14 は、パターン発生器 104 により生成されたアドレス信号を、ブロックフェイルメモリ 40 に与えるアドレス (BFM__Address) に変換する。即ち、BFM アドレスフォーマッタ 14 は、パターン発生器 104 からのアドレスが被試験メモリ 300 内の複数に分割されたブロックを選択するアドレスに対応するようにブロックフェイルメモリ 40 のアドレスとしてフォーマットして出力する。このフォーマット機能により、さまざまな被試験メモリ 300 のブロックアドレスの構成に対してブロックフェイルメモリ 40 を対応させることができる。

[0026] AFM 用アドレスセクタ 16 は、DUT 試験においては、AFM アドレスフォーマッタ 12 から出力されたアドレスをアドレスフェイルメモリ 30 に与え、不良救済解析においては、解析部 20 から与えられたアドレスをアドレスフェイルメモリ 30 に与えるようにアドレス信号の切り換えを行う。BFM 用アドレスセクタ 18 は、DUT 試験においては、BFM アドレスフォーマッタ 14 から出力されたアドレスをブロックフェイルメモリ 40 に与え、不良救済解析においては、解析部 20 から与えられたアドレスをブロックフェイルメモリ 40 に与えるようにアドレス信号の切り換えを行う。

[0027] このような不良解析メモリ部 10 は、DUT 試験において次のような動作をする。まず、DUT 試験の前にアドレスフェイルメモリ 30 とブロックフェイルメモリ 40 をクリアしておく。DUT 試験が開始されると、被試験メモリ 300 上のアドレスを指定するアドレス信号と書き込みデータがパターン発生器 104 から出力されて被試験メモリ 300 にデータが書き込まれる

。書き込まれたデータを被試験メモリ 300 から読み出す場合は、アドレス信号と期待値データがパターン発生器 104 から出力されて、論理比較器 108 で DUT から読み出したデータと期待値データが比較される。不良解析メモリ部 10 には、パターン発生器 104 からはアドレス信号が与えられ、読み出したアドレスのセルが不良であるか否かを示すフェイル信号が論理比較器 108 から与えられる。

[0028] そして、アドレスフェイルメモリ 30 は、アドレス信号により指定されたアドレスのセルが不良セルである場合には、AFM アドレスフォーマッタ 12 により指定されたアドレスに“1”を格納し、アドレス信号により指定されたセルが不良セルでない場合には、アドレスフェイルメモリ 30 には何も格納しない。これにより、アドレスフェイルメモリ 30 は、被試験メモリ 300 におけるアドレス毎に、不良セルの有無を示すアドレスフェイルデータを記憶することができる。

[0029] また、ブロックフェイルメモリ 40 は、アドレス信号により指定されたアドレスのセルが不良セルである場合には、BFM アドレスフォーマッタ 14 により指定されたアドレスに“1”を格納し、アドレス信号により指定されたセルが不良セルでない場合には、ブロックフェイルメモリ 40 には何も格納しない。これにより、ブロックフェイルメモリ 40 は、被試験メモリ 300 における複数のセルを含むブロック毎に、不良セルの有無を示すブロックフェイルデータを記憶することができる。

[0030] 不良解析メモリ部 10 は、不良救済解析において次のような動作をする。不良解析メモリ部 10 は、アドレスフェイルメモリ 30 を読み出すアドレス (AFM__Address) とブロックフェイルメモリ 40 を読み出すアドレス (BFM__Address) が解析部 20 から与えられる。

[0031] そして、アドレスフェイルメモリ 30 は、解析部 20 からのアドレス (AFM__Address) に対応するアドレスフェイルデータを解析部 20 へと出力する。ブロックフェイルメモリ 40 は、解析部 20 からのブロックアドレス (BFM__Address) に対応するブロックフェイルデータを解

析部 20 へと出力する。

[0032] 図 3 は、本実施形態に係る解析部 20 の構成を、アドレスフェイルメモリ (AFM) 30 およびブロックフェイルメモリ (BFM) 40 と共に示す。解析部 20 は、グループ指定部 42 と、ブロックアドレスポインタ (BAP) 44 と、ブロックアドレス生成部 46 と、更新部 48 と、読出部 50 と、ロウフェイルカウンタ (RFC) 52 と、カラムフェイルカウンタ (CFC) 54 と、トータルフェイルカウンタ (TFC) 56 と、演算部 58 と、制御部 60 とを有する。

[0033] グループ指定部 42 は、救済解析をするグループを指定するレジスタ (Register_A) を内部に持ち、グループを指定する値を出力する。ここでグループとは、被試験メモリ 300 内のメモリ領域が多数のブロックに分かれており、このブロックを複数まとめたものをいう。例えば、被試験メモリ 300 内が 256 個のブロックに分かれている場合に 16 個のブロックを 1 つにまとめて 1 グループとする。グループは一例として、被試験メモリ 300 内のブロックを指定するブロックアドレス内の上位側の一部のビットにより指定される領域であってよい。

[0034] グループ指定部 42 は、グループ値を記憶するレジスタであって、値が制御部 60 により書き換えられる構成であってよい。また、グループ指定部 42 は、カウンタであって、値が初期値 (例えば 0) から 1 ずつインクリメントされる構成であってもよい。

[0035] ブロックアドレスポインタ (BAP) 44 は、グループ内のブロックアドレスを順次に発生する。グループ内のブロックアドレスとは、グループ内におけるアドレスフェイルデータを読み出すブロックを指定するアドレスである。ブロックアドレスポインタ 44 は、一例として、更新部 48 により更新指示が与えられる毎に、初期値 (例えば 0) から 1 ずつインクリメントする。

[0036] ブロックアドレス生成部 46 は、ブロックアドレスポインタ (BAP) 44 が発生したグループ内のブロックアドレスとグループ指定部 42 が出力し

たグループ値とを合成して、ブロックフェイルメモリ40からブロックフェイルデータを読み出すブロックを指定するブロックアドレス（BFM__Address）を生成する。ブロックアドレス生成部46は、一例として、グループ指定部42が出力したグループ値を上位側のビット、ブロックアドレスポインタ（BAP）44が発生したグループ内のブロックアドレスを下位側のビットに割り当てて、ブロックアドレス（BFM__Address）を生成する。

[0037] ブロックアドレス生成部46は、生成したブロックアドレス（BFM__Address）をブロックフェイルメモリ40に与える。これにより、解析部20は、ブロックフェイルメモリ40からブロックフェイルデータを読み出すことができる。また、ブロックアドレス生成部46は、生成したブロックアドレス（BFM__Address）をブロックフェイルメモリ40および読出部50に与える。

[0038] 更新部48は、ブロックアドレス生成部46が生成したブロックアドレス（BFM__Address）に格納されたブロックフェイルデータを、ブロックフェイルメモリ40から受け取る。さらに、更新部48は、読出部50から、ブロックアドレス生成部46により指定された1ブロック内の全てのアドレスからアドレスフェイルデータを読出したことを示す終了フラグを受け取る。

[0039] 更新部48は、受け取ったブロックフェイルデータが不良を示していない場合（即ち、ブロックアドレス生成部46が指定したブロックには、不良セルが含まれていない場合）、ブロックアドレスポインタ（BAP）44をインクリメントさせてグループ内ブロックアドレスを更新する。さらに、更新部48は、読出部50から終了フラグを受け取った場合も、ブロックアドレスポインタ44をインクリメントさせてグループ内ブロックアドレスを更新する。

[0040] 読出部50は、被試験メモリ300内のブロック毎に、アドレスフェイルメモリ30からアドレスフェイルデータを読み出す。より詳しくは、読出部

50は、指定されたブロック内のセルを順次に指定するアドレス（AFM__Address）をアドレスフェイルメモリ30に与えることにより、アドレスフェイルデータを読み出す。

[0041] 本例においては、読出部50は、ブロックアドレス（BFM__Address）、および、ブロックフェイルデータを受け取る。そして、読出部50は、受け取ったブロックフェイルデータが不良を示している場合（即ち、ブロックアドレス生成部46が指定したブロックに不良セルが含まれている場合）、受け取ったブロックアドレス（BFM__Address）により指定されるブロック内のセルを順次に指定するアドレス（AFM__Address）を出力する。また、読出部50は、ブロック内の全てのセルのアドレスの出力が終了すると、終了フラグを出力する。

[0042] 更に、読出部50は、グループ内ブロックアドレスを受け取る。また、読出部50は、ブロック内ロウアドレスとブロック内カラムアドレスを内部で発生する。ブロック内ロウアドレスとグループ内ブロックアドレスとでロウアドレスを生成し、ロウフェイルカウンタ52に与える。同様にブロック内カラムアドレスとグループ内ブロックアドレスとでカラムアドレスを生成して、カラムフェイルカウンタ54に与える。

[0043] 更に、また、読出部50は、アドレスフェイルメモリ30に与えたアドレス（AFM__Address）が含まれるブロックの、グループ内ブロックアドレスを、トータルフェイルカウンタ56に与える。なお、読出部50の構成の一例については、図5において更に説明する。

[0044] ロウフェイルカウンタ（RFC）52は、グループ内のブロック毎のロウアドレス毎に、読出部50により読み出されたアドレスフェイルデータに示された不良セルをカウントする。なお、ロウフェイルカウンタ52の構成の一例については、図4において更に説明する。

[0045] カラムフェイルカウンタ（CFC）54は、グループ内のブロック毎のカラムアドレス毎に、読出部50により読み出されたアドレスフェイルデータに示された不良セルをカウントする。なお、カラムフェイルカウンタ54の

構成の一例については、図 4 において更に説明する。

[0046] トータルフェイルカウンタ（TFC）56は、グループ内におけるブロック毎に、読出部50により読み出されたアドレスフェイルデータに示された不良セルをカウントする。なお、トータルフェイルカウンタ56の構成の一例については、図 4 において更に説明する。

[0047] 演算部58は、グループ毎に、グループ内のブロック毎に不良セルを含むロウおよびカラムのアドレスラインをスペアラインに電氣的に置き換えるための救済解析をする。より詳しくは、演算部58は、ロウフェイルカウンタ52によりカウントされたブロック毎のロウアドレス毎の不良セルの数（RFC）と、カラムフェイルカウンタ54によりカウントされたブロック毎のカラムアドレス毎の不良セルの数（CFC）と、ブロック毎のトータルフェイルカウンタ56によりカウントされた不良セルの総数（TFC）に基づいて不良セルを含むロウまたはカラムアドレスラインを検索して救済解析をする。

[0048] 制御部60は、演算部58により1つのグループについて救済解析が終了した後、次に救済解析をすべきグループを示すグループ値をグループ指定部42内のレジスタ（Register__A）に書き込む。グループ指定部42がカウンタである場合には、制御部60は、1つのグループについて救済解析がされた後に、グループ指定部42に救済解析が完了したことを示す通知をする。そして、この場合、グループ指定部42は、当該通知を受けたことに応じて、グループ値をインクリメントする。また、制御部60は、次の救済解析に先立って、ブロック内のロウアドレス数およびカラムアドレス数等に基づき、読出部50等に対して初期設定を行う。

[0049] 図 4 は、本実施形態に係るロウフェイルカウンタ52、カラムフェイルカウンタ54およびトータルフェイルカウンタ56の構成の一例を示す。ロウフェイルカウンタ52は、RFCメモリ（RFCM）62と、アダー63とを含む。

[0050] RFCメモリ62は、グループ内におけるブロック毎のロウアドレスビッ

ト数に対応した記憶領域を有する。RFCメモリ62は、アドレスフェイルメモリ30から出力されたアドレスフェイルデータを、ライトイネーブル端子に受け取る。また、RFCメモリ62は、グループ内におけるロウアドレス（RFC__Address）を、アドレス端子に受け取る。

[0051] アダー63は、ロウアドレス（RFC__Address）により指定されるRFCメモリ62の記憶領域から値を読み出し、読み出した値に1を加算して出力する。そして、RFCメモリ62は、アドレスフェイルデータが不良を示す場合（例えば1の場合）、ロウアドレス（RFC__Address）により指定される記憶領域に、アダー63が出力した値を書き込み、アドレスフェイルデータが不良を示さない場合は、アダー63が出力した値を書き込まない。このような構成のロウフェイルカウンタ52は、グループ内のブロック毎のロウアドレス毎に、読出部50によりアドレスフェイルメモリ30を読み出したアドレスフェイルデータに示される不良セルをカウントすることができる。

[0052] カラムフェイルカウンタ54は、CFCメモリ（CFCM）64と、アダー65とを含む。CFCメモリ64は、グループ内におけるブロック毎のカラムアドレスビット数に対応した記憶領域を有する。CFCメモリ64は、アドレスフェイルメモリ30から出力されたアドレスフェイルデータを、ライトイネーブル端子に受け取る。また、CFCメモリ64は、グループ内におけるカラムアドレス（CFC__Address）を、アドレス端子に受け取る。

[0053] アダー65は、カラムアドレス（CFC__Address）により指定されるCFCメモリ64の記憶領域から値を読み出し、読み出した値に1を加算して出力する。そして、CFCメモリ64は、アドレスフェイルデータが不良を示す場合、カラムアドレス（CFC__Address）により指定される記憶領域に、アダー65が出力した値を書き込み、アドレスフェイルデータが不良を示さない場合、アダー65が出力した値を書き込まない。このような構成のカラムフェイルカウンタ54は、グループ内のブロック毎のカ

ラムアドレス毎に、読出部50によりアドレスフェイルメモリ30を読み出したアドレスフェイルデータに示される不良セルをカウントすることができる。

[0054] トータルフェイルカウンタ56は、TFCメモリ(TFCM)66と、アダー67とを含む。TFCメモリ66は、グループ内におけるブロック数に対応した記憶領域を少なくとも有する。TFCメモリ66は、アドレスフェイルメモリ30から出力されたアドレスフェイルデータを、ライトイネーブル端子に受け取る。また、TFCメモリ66は、グループ内のブロック指定するグループ内ブロックアドレス(TFC__Address)を、アドレス端子に受け取る。

[0055] アダー67は、グループ内ブロックアドレス(TFC__Address)により指定されるTFCメモリ66の記憶領域から値を読み出し、読み出した値に1を加算して出力する。そして、TFCメモリ66は、アドレスフェイルデータが不良セルを示す場合、グループ内ブロックアドレスにより指定される記憶領域に、アダー67が出力した値を書き込み、アドレスフェイルデータが不良セルを示さない場合、アダー67が出力した値を書き込まない。このような構成のトータルフェイルカウンタ56は、グループ内におけるブロック毎に、読出部50によりアドレスフェイルメモリ30を読み出したアドレスフェイルデータに示された不良セルをカウントすることができる。

[0056] 図5は、本実施形態に係る読出部50の構成の一例を示す。読出部50は、開始検出部72と、ロウアドレスポインタ(RAP)74と、コラムアドレスポインタ(CAP)76と、アドレス制御部78と、メモリアドレス生成部80と、ロウアドレス生成部82と、コラムアドレス生成部84とを含む。

[0057] 開始検出部72は、ロウアドレスポインタ74およびコラムアドレスポインタ76の動作期間を制御する。より詳しくは、開始検出部72は、ブロックフェイルメモリ40からブロックフェイルデータを受け取ってから、終了検出部90から終了フラグを受け取るまでの間、ロウアドレスポインタ74

およびカラムアドレスポインタ 7 6 を動作させる。

- [0058] ロウアドレスポインタ（RAP）7 4 は、ブロック内におけるロウアドレスを発生する。ロウアドレスポインタ 7 4 は、一例として、ブロック内の先頭から最後まで各ロウアドレスを順次に且つ巡回的に発生するカウンタであってよい。
- [0059] 例えば、ロウアドレスポインタ 7 4 は、終了フラグが与えられると、ブロック内の先頭のロウアドレスを示す値（例えば 0）がカウンタ値としてロードされる。また、ロウアドレスポインタ 7 4 は、開始検出部 7 2 からイネーブル信号が与えられている間、クロック毎に、カウンタ値をインクリメントする。そして、ロウアドレスポインタ 7 4 は、カウンタ値がブロック内の最後のロウアドレスを示す値となると、カラムアドレスポインタ 7 6 へのキャリア信号を発生し、次のクロックでカウンタ値をブロック内の先頭のロウアドレスを示す値に戻す。
- [0060] カラムアドレスポインタ（CAP）7 6 は、ブロック内におけるカラムアドレスを発生する。カラムアドレスポインタ 7 6 は、一例として、ブロック内の先頭から最後のカラムアドレスまで各カラムアドレスを順次に発生するカウンタであってよい。
- [0061] 例えば、カラムアドレスポインタ 7 6 は、終了フラグが与えられると、ブロック内の先頭のカラムアドレスを示す値（例えば 0）がカウンタ値としてロードされる。また、ロウアドレスポインタ 7 4 は、開始検出部 7 2 からイネーブル信号が与えられている間、ロウアドレスポインタ 7 4 からのキャリア毎に（即ち、ロウアドレスポインタ 7 4 のカウンタ値がブロック内の先頭のロウアドレスに戻る毎に）カウンタ値をインクリメントする。
- [0062] アドレス制御部 7 8 は、ロウアドレスポインタ 7 4 およびカラムアドレスポインタ 7 6 の動作を制御する。より詳しくは、アドレス制御部 7 8 は、一つのブロック内のロウアドレス数およびカラムアドレス数に応じて、ブロック内の全てのアドレスを指定するロウアドレスおよびカラムアドレスの組合せを、ロウアドレスポインタ 7 4 およびカラムアドレスポインタ 7 6 から順

次に出力させるべく制御をする。

- [0063] アドレス制御部 78 は、一例として、ロウキャリアセクタ 86 と、カラムキャリアセクタ 88 と、終了検出部 90 とを含む。ロウキャリアセクタ 86 は、ロウアドレスポインタ 74 の最大値（即ち、1 ブロックのロウアドレス数）が設定される。ロウキャリアセクタ 86 は、ロウアドレスポインタ 74 のカウンタ値が最大値になると、キャリア信号を発生する。このキャリア信号によりカラムアドレスポインタ 76 はカウンタ値をインクリメントする。また、ロウアドレスポインタ 74 は設定された最大値に達した後は、値が初期値に戻る。
- [0064] カラムキャリアセクタ 88 は、カラムアドレスポインタ 76 の最大値（即ち、1 ブロックのカラムアドレス数）が設定される。カラムキャリアセクタ 88 は、カラムアドレスポインタ 76 のカウンタ値が最大値になると、キャリア信号を発生する。終了検出部 90 は、ロウキャリアセクタ 86 およびカラムキャリアセクタ 88 の両方からキャリア信号が発生したタイミングにおいて、終了フラグを出力する。即ち、終了検出部 90 は、ロウアドレスポインタ 74 の値がブロック内の最後のロウアドレスに達し、且つカラムアドレスポインタ 76 の値がブロック内の最後のカラムアドレスに達したタイミングにおいて、終了フラグを出力する。また、カラムアドレスポインタ 76 は設定された最大値に達した後は、値が初期値に戻る。
- [0065] 終了フラグは、開始検出部 72 に与えられる。これにより、開始検出部 72 は、ロウアドレスポインタ 74 のカウンタ値が最後のロウアドレスに達し且つカラムアドレスポインタ 76 のカウンタ値が最後のカラムアドレスに達したタイミングにおいて、ロウアドレスポインタ 74 およびカラムアドレスポインタ 76 のカウント動作を停止させることができる。
- [0066] 更に、終了フラグは、更新部 48 に与えられる。これにより、更新部 48 は、ブロックアドレスポインタ 44 の値をインクリメントさせて次のブロックの値に更新することができる。
- [0067] メモリアドレス生成部 80 は、ブロックアドレス生成部 46 からブロック

アドレス（BFM_Address）、ロウアドレスポインタ74からロウアドレス、カラムアドレスポインタ76からカラムアドレスを受け取る。そして、メモリアドレス生成部80は、グループ値を含むブロックアドレス、ロウアドレスおよびカラムアドレスを合成して、アドレスフェイルメモリ30からアドレスフェイルデータを読み出すアドレス（AFM_Address）を生成する。

[0068] ロウアドレス生成部82は、ブロックアドレスポインタ44からグループ内ブロックアドレスを、ロウアドレスポインタ74からロウアドレスを受け取る。そして、ロウアドレス生成部82は、これらを合成してロウフェイルカウンタ52に与えるアドレス（RFC_Address）を生成する。

[0069] カラムアドレス生成部84は、ブロックアドレスポインタ44からグループ内ブロックアドレスを、カラムアドレスポインタ76からカラムアドレスを受け取る。そして、カラムアドレス生成部84は、これらを合成して、カラムフェイルカウンタ54に与えるアドレス（CFC_Address）を生成する。

[0070] 更に、当該読出部50は、受け取ったグループ内ブロックアドレスをトータルフェイルカウンタ56に与える（TFC_Address）。

[0071] このような構成より、読出部50は、ブロック毎に、アドレスフェイルメモリ30からアドレスフェイルデータを読み出すことができる。また、読出部50は、ブロック内の全てのセルのアドレスの出力が終了すると、終了フラグを出力することができる。更に、読出部50は、ロウフェイルカウンタ52、カラムフェイルカウンタ54およびトータルフェイルカウンタ56に与えるアドレスを生成することができる。

[0072] 図6は、DUT試験において、アドレスフェイルメモリ30およびブロックフェイルメモリ40に与えられるアドレスの一例を示す。アドレスフェイルメモリ30およびブロックフェイルメモリ40は、DUT試験において、パターン発生器104からアドレスが与えられる。

[0073] 本例においては、アドレスフェイルメモリ30は、Xアドレス12ビット

(X0～X11)、Yアドレス12ビット(Y0～Y11)のアドレスが与えられる。また、ブロックフェイルメモリ40は、アドレスフェイルメモリ30のXアドレスおよびYアドレスのそれぞれの上位ビットと同一のアドレスが与えられる。本例においては、ブロックフェイルメモリ40は、Xアドレス5ビット(X7～X11)、Yアドレス5ビット(Y7～Y11)のアドレスが与えられる。

[0074] 図7は、救済解析において、アドレスフェイルメモリ30およびブロックフェイルメモリ40に与えられるアドレスの一例を示す。アドレスフェイルメモリ30およびブロックフェイルメモリ40は、救済解析において、解析部20からアドレスが与えられる。

[0075] 解析部20から与えられるアドレスの構成は、DUT試験においてパターン発生器104から与えられるアドレスの構成と同一である。本例においては、アドレスフェイルメモリ30は、解析部20から、試験時のXアドレス12ビットおよびYアドレス12ビットに対応したアドレスが与えられる。ここで、R0～R6はロウアドレスポインタ(RAP)74のビット0～6、C0～C6はカラムアドレスポインタ(CAP)76のビット0～6、B0～B6はブロックアドレスポインタ(BAP)44のビット0～6、D0～D2はグループ値を示すデータのビット0～2を示す。同様に、ブロックフェイルメモリ40は、解析部20から、Xアドレス5ビットおよびYアドレス5ビットのアドレスが与えられる。

[0076] 即ち、この設定例は、被試験メモリ300のアドレス構造が、全アドレスビット数が24ビット(0～23)で示される16Mワード、全ブロック数はアドレス10ビット(B0～B6+D0～D2)で示される1024ブロック、グループ数はアドレス3ビット(D0～D2)で示される8グループ、1グループ内のブロック数はアドレス7ビット(B0～B6)で示される128ブロック、1ブロック内のロウアドレス数はアドレス7ビット(R0～R6)で示される128Mワード、1ブロック内のカラムアドレス数はアドレス7ビット(C0～C6)で示される128Mワードであることを示し

ている。

- [0077] 試験時のXアドレス12ビットおよびYアドレス12ビットとの対応は、図6と対比する関係にある。例えば、試験時のXアドレスビット0のX0は、解析時のロウアドレスビット0のR0に対応している。
- [0078] 図8は、ブロック内のロウアドレスビット数およびカラムアドレスビット数がそれぞれ7ビットの場合の設定の一例を示す。制御部60は、救済解析を行う前に、被試験メモリ300の1つのブロック内のロウアドレスビット数およびカラムアドレスビット数に応じて、ロウアドレスポインタ（RAP）74の有効ビット幅およびカラムアドレスポインタ（CAP）76の有効ビット幅の設定を行う。
- [0079] ブロック内のロウアドレスビット数およびカラムアドレスビット数がそれぞれ7ビットの場合、ロウアドレスポインタ74から発生される有効なロウアドレスを7ビット（R0～R6）、カラムアドレスポインタ76から発生される有効なカラムアドレスを7ビット（C0～C6）に設定する。なお、図中網掛けで示されているビットは使用されないビットを示し、図中網掛けをしていないビットは有効なビットを示す。
- [0080] 制御部60は、一例として、ロウキャリーセクタ86およびカラムキャリーセクタ88のそれぞれの下位7ビットに1を設定し、残りのビットに0を設定してよい。この場合、ロウキャリーセクタ86およびカラムキャリーセクタ88は、設定された値と、ロウアドレス値およびカラムアドレス値と一致するか否かを判定することにより、おのおののキャリー信号を発生する。
- [0081] 次に、制御部60は、ロウフェイルカウンタ52内のRFCメモリ62およびカラムフェイルカウンタ54内のCFCメモリ64のアドレスのビット幅に応じて、グループ内ブロックアドレスを発生するブロックアドレスポインタ（BAP）の有効ビット幅の設定を行う。具体的には、RFCメモリ62のアドレス（RFC__Address）のビット幅からブロック内のロウアドレスビット数を減じた値、または、CFCメモリ64のアドレス（CFC

C__Address) のビット幅からブロック内のコラムアドレスビット数を減じた値の何れか小さい値を、ブロックアドレスポインタ (BAP) の有効ビット幅とする。

[0082] 本例においては、RFCメモリ62のアドレス (RFC__Address) およびCFCメモリ64のアドレス (CFC__Address) のビット幅がそれぞれ14ビットであり、ブロック内のロウアドレスビット数およびコラムアドレスビット数が7ビットなので、ブロックアドレスポインタ (BAP) の有効ビット幅を7ビット (B0~6) に設定する。

[0083] 次に、制御部60は、被試験メモリ300におけるブロックを指定するためのブロックアドレス (BFM__Address) のビット幅およびグループ内ブロックアドレスを発生するブロックアドレスポインタ (BAP) の有効ビット幅から、グループを指定するレジスタ (Register__A) の有効ビット幅を設定する。具体的には、ブロックアドレスのビット数からブロックアドレスポインタのビット数を減じたビット数がレジスタ (Register__A) に設定可能なグループ値の有効ビット幅となる。

[0084] 本例においては、ブロックアドレス (BFM__Address) のビット幅は、10ビットである。従って、本例においては、グループを指定するレジスタ (Register__A) の有効ビット幅は3ビット (D0~D2) となる。

[0085] 以上のように各種アドレス機能の有効ビット幅の設定がされることにより、解析部20は、アドレスフェイルメモリ30からアドレスフェイルデータを読み出すアドレス (AFM__Address) およびブロックフェイルメモリ40からブロックフェイルデータを読み出すアドレス (BFM__Address) を生成することができる。更に、解析部20は、ロウフェイルカウンタ52のRFCメモリ62に与えるアドレス (RFC__Address) およびコラムフェイルカウンタ54のCFCメモリ64に与えるアドレス (CFC__Address) を生成することができる。

[0086] 図9は、ブロック内のロウアドレスビット数およびコラムアドレスビット

数がそれぞれ6ビットの場合の設定の一例を示す。ブロック内のロウアドレスビット数およびカラムロウアドレスビット数がそれぞれ6ビットの場合、制御部60は、ロウアドレスポインタ（RAP）74の有効ビット幅を6ビット（R0～R5）に設定し、カラムアドレスポインタ（CAP）76の有効ビット幅を6ビット（C0～C5）に設定する。

[0087] また、ブロックアドレスポインタ（BAP）44の有効ビット幅を8ビット（B0～B7）に設定する。更に、レジスタ（Register__A）の有効ビット幅を2ビット（D0～D1）とする。

[0088] 図10は、ブロック内のロウアドレスビット数およびカラムアドレスビット数がそれぞれ10ビットの場合の設定の一例を示す。ブロック内のロウアドレスビット数およびカラムアドレスビット数がそれぞれ10ビットの場合、制御部60は、ロウアドレスポインタ（RAP）の有効ビット幅を10ビット（R0～R9）に設定し、カラムアドレスポインタ（CAP）76の有効ビット幅を10ビット（C0～C9）に設定する。

[0089] また、ブロックアドレスポインタ（BAP）44の有効ビット幅を4ビット（B0～B3）に設定する。更に、レジスタ（Register__A）の有効ビット幅を6ビット（D0～D5）とする。

[0090] 以上のようにブロック内に含まれるセル数および被試験メモリ300の容量が変化した場合であっても、適応的に設定を変更することができる。従って、本実施形態に係る不良解析メモリ部10によれば、被試験メモリ300の容量が増加した場合であっても、不良セルの数を記憶するメモリの容量を増加させずに、不良救済解析をすることができる。さらに、不良解析メモリ部10によれば、被試験メモリ300の容量の増加に併せて不良セルの数を記憶するメモリの容量を増加させなくてよいので、不良セルの数を記憶するメモリの容量自体を小さくして、コストを小さくすることができる。

[0091] 図11は、解析部20の処理フローを示す。解析部20は、不良救済解析処理において、以下のステップS31からステップS41の処理を実行する。

- [0092] まず、解析部 20 は、グループ（被試験メモリ 300 内の一部の複数のブロック）毎に、ステップ S 32 からステップ S 40 の処理を実行する（S 31、S 41）。次に、それぞれのグループに対する処理において、解析部 20 は、グループ内のブロック毎のロウアドレス毎の不良セルの数（R F C）、グループ内のブロック毎のカラムアドレス毎の不良セルの数（C F C）およびグループ内のブロック毎の不良セルの数（T F C）を、それぞれ 0 に初期化する（S 32）。
- [0093] 次に、それぞれのグループの処理において、解析部 20 は、当該グループのブロック毎に、ステップ S 34 からステップ S 38 の処理を実行する（S 33、S 39）。
- [0094] 次に、それぞれのブロックに対する処理において、解析部 20 は、ブロックフェイルメモリ 40 から当該ブロックのブロックフェイルデータを読み出して、当該ブロックの不良セルの有無を判断する（S 34）。当該ブロックに不良セルが無い場合には（S 34 の N o）、解析部 20 は、処理をステップ S 39 に進める。当該ブロックに不良セルが有る場合には（S 34 の Y e s）、解析部 20 は、処理をステップ S 35 に進める。
- [0095] 次に、それぞれのブロックに対する処理において、解析部 20 は、ブロック毎にロウアドレスポインタを 0 から有効ビット幅の最大値までインクリメントし、最大値に達したらキャリー信号を発生させ、次のサイクルで 0 に戻ってインクリメント動作を行う。これとともに、解析部 20 は、カラムアドレスポインタを 0 から有効ビット幅の最大値まで、ロウアドレスポインタからキャリー信号が発生される毎にインクリメントさせる（S 35、S 38）。
- [0096] 次に、解析部 20 は、アドレスフェイルメモリ 30 から当該ロウアドレスおよび当該カラムアドレスにより特定されるアドレスでアドレスフェイルメモリからアドレスフェイルデータを読み出して、当該アドレスに不良セルの有無を判断する（S 36）。当該アドレスに不良セルが無い場合には（S 36 の N o）、処理をステップ S 38 に進める。当該アドレスに不良セルが有

る場合には（S 3 6 の Y e s）、解析部 2 0 は、処理をステップ S 3 7 に進める。

[0097] ステップ S 3 7 において、解析部 2 0 は、当該ブロック内の当該ロウアドレスに対応する不良セルの数（R F C）を 1 インクリメントする。また、解析部 2 0 は、当該ブロック内の当該カラムアドレスに対応する不良セルの数（C F C）を 1 インクリメントする。更に、解析部 2 0 は、当該ブロック内の不良セルの数（T F C）を 1 インクリメントする。

[0098] 次に、ステップ S 3 8 において、解析部 2 0 は、当該ロウアドレスが、当該ブロック内の最後のロウアドレスでない場合で、且つ処理当該カラムアドレスが、当該ブロック内の最後のカラムアドレスでない場合をステップ S 3 6 に戻す。

[0099] 次に、ステップ S 3 9 において、解析部 2 0 は、当該ブロックが、当該グループ内の最後のブロックでない場合には、処理をステップ S 3 4 に戻す。また、解析部 2 0 は、当該ブロックが、当該グループ内の最後のブロックである場合には、処理をステップ S 4 0 に進める。

[0100] 次に、ステップ S 4 0 において、解析部 2 0 は、グループ内のブロック毎のロウアドレス毎の不良セルの数（R F C）、グループ内のブロック毎のカラムアドレス毎の不良セルの数（C F C）およびグループ内のブロック毎の不良セルの数（T F C）に基づき、当該グループに含まれる不良セルを救済するための救済解を算出する。そして、ステップ S 4 1 において、解析部 2 0 は、当該グループが、当該被試験メモリ 3 0 0 内の最後のグループでない場合には、処理をステップ S 3 2 に戻し、当該グループが、当該被試験メモリ 3 0 0 内の最後のグループである場合には、不良救済解析処理を終了する。

[0101] なお、被試験メモリ 3 0 0 は、1 つのアドレスに対して、複数ビットのデータ（例えば 1 6 ビットおよび 3 2 ビットのデータ）を記憶する。このような場合、解析部 2 0 は、被試験メモリ 3 0 0 に記憶される一つのデータを構成する複数のビットに対応した、複数のロウフェイルカウンタ 5 2、複数の

カラムフェイルカウンタ 54 および複数のトータルフェイルカウンタ 56 を有してよい。

[0102] そして、このような場合、読出部 50 は、アドレスフェイルメモリ 30 から複数ビットのデータを読み出して、複数のロウフェイルカウンタ 52、複数のカラムフェイルカウンタ 54 および複数のトータルフェイルカウンタ 56 のそれぞれに、対応するビット毎に不良セルの数をカウントさせる。このような解析部 20 によれば、複数のビットに対して読出部 50 を共通に設けることができるので、回路規模を小さくすることができる。

[0103] また、このような場合、ブロックフェイルメモリ 40 に対しては、複数ビットのデータの論理和をとって 1 ビットのブロックフェイルデータとして試験時に格納することでブロックフェイルメモリ 40 の回路規模が大きくなる必要がない。

[0104] 以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることが可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、請求の範囲の記載から明らかである。

[0105] 請求の範囲、明細書、および図面中において示した装置、システム、プログラム、および方法における動作、手順、ステップ、および段階等の各処理の実行順序は、特段「より前に」、「先立って」等と明示しておらず、また、前の処理の出力を後の処理で用いるのでない限り、任意の順序で実現しうることに留意すべきである。請求の範囲、明細書、および図面中の動作フローに関して、便宜上「まず、」、「次に、」等を用いて説明したとしても、この順で実施することが必須であることを意味するものではない。

符号の説明

[0106] 100 試験装置、102 タイミング発生器、104 パターン発生器、106 波形成形器、108 論理比較器、10 不良解析メモリ部、12 AFM アドレスフォーマッタ、14 BFM アドレスフォーマッタ、16

A F M用アドレスセクタ、18 B F M用アドレスセクタ、20 解析部、30 アドレスフェイルメモリ、40 ブロックフェイルメモリ、42 グループ指定部、44 ブロックアドレスポインタ、46 ブロックアドレス生成部、48 更新部、50 読出部、52 ロウフェイルカウンタ、54 カラムフェイルカウンタ、56 トータルフェイルカウンタ、58 演算部、60 制御部、62 R F Cメモリ、63 アダー、64 C F Cメモリ、65 アダー、66 T F Cメモリ、67 アダー、72 開始検出部、74 ロウアドレスポインタ、76 カラムアドレスポインタ、78 アドレス制御部、80 メモリアドレス生成部、82 ロウアドレス生成部、84 カラムアドレス生成部、86 ロウキャリーセクタ、88 カラムキャリーセクタ、90 終了検出部、300 被試験メモリ

請求の範囲

[請求項1]

被試験メモリを試験する試験装置であって、

前記被試験メモリにおけるアドレス毎に、不良セルを含むか否かを示すアドレスフェイルデータを記憶するアドレスフェイルメモリと、

前記被試験メモリにおける複数のセルを含むブロック毎に、不良セルを含むか否かを示すブロックフェイルデータを記憶するブロックフェイルメモリと、

前記被試験メモリ内のブロック毎に、前記アドレスフェイルメモリから前記アドレスフェイルデータを読み出す読出部と、

前記被試験メモリ内の一部の複数のブロックを有するグループ内におけるロウアドレス毎に、前記読出部により読み出された前記アドレスフェイルデータに示された不良セルをカウントするロウフェイルカウンタと、

前記グループ内におけるカラムアドレス毎に、前記読出部により読み出された前記アドレスフェイルデータに示された不良セルをカウントするカラムフェイルカウンタと、

を備える試験装置。

[請求項2]

前記グループ内におけるブロック毎に、前記読出部により読み出された前記アドレスフェイルデータに示された不良セルをカウントするトータルフェイルカウンタと、

を更に備える請求項1に記載の試験装置。

[請求項3]

グループ毎に、前記ロウフェイルカウンタによりカウントされた不良セルの数および前記カラムフェイルカウンタによりカウントされた不良セルの数に基づき、前記被試験メモリの救済解析をする演算部

を更に備える請求項1から2の何れかに記載の試験装置。

[請求項4]

救済解析をするグループを指定するグループ値を出力するグループ指定部と、

前記グループ内における前記ブロックフェイルデータを読み出すブ

ロックを指定するグループ内ブロックアドレスを順次に発生するグループ内ブロックアドレス発生部と、

前記グループ値および前記グループ内ブロックアドレスを合成して、前記ブロックフェイルメモリから前記ブロックフェイルデータを読み出すブロックを指定するブロックアドレスを生成するブロックアドレス生成部と、

を更に備える請求項 1 から 3 の何れかに記載の試験装置。

[請求項5]

前記読出部は、

ブロック内におけるロウアドレスを指定するロウアドレス発生部と、

ブロック内におけるカラムアドレスを指定するカラムアドレス発生部と、

一つのブロック内に含まれるロウアドレス数およびカラムアドレス数に応じて、ブロック内の全てのアドレスを指定するロウアドレスおよびカラムアドレスの組合せを、前記ロウアドレス発生部および前記カラムアドレス発生部から順次に出力させるアドレス制御部と、

前記ブロックアドレス、前記ロウアドレスおよび前記カラムアドレスを合成して、前記アドレスフェイルメモリから前記アドレスフェイルデータを読み出すアドレスを生成するメモリアドレス生成部と、

を有する請求項 4 に記載の試験装置。

[請求項6]

前記読出部は、

前記グループ内ブロックアドレスおよび前記ロウアドレスを合成して、前記ロウフェイルカウンタに与えるアドレスを生成するロウアドレス生成部と、

前記グループ内ブロックアドレスおよび前記カラムアドレスを合成して、前記カラムフェイルカウンタに与えるアドレスを生成するカラムアドレス生成部と、

を更に有する請求項 5 に記載の試験装置。

- [請求項7] 一つのブロックに含まれるロウアドレス数およびカラムアドレス数を前記アドレス制御部に設定する制御部を更に備える請求項5から6の何れかに記載の試験装置。
- [請求項8] 前記グループ指定部は、前記グループ値を記憶するレジスタであり、
- 当該試験装置は、一つのグループについて救済解析がされた後に、次に救済解析をすべきグループを示すグループ値を前記グループ指定部に書き込む制御部を更に備える請求項4に記載の試験装置。
- [請求項9] 前記グループ指定部は、前記グループ値を記憶するカウンタであり、一つのグループについて救済解析がされる毎に、前記グループ値をインクリメントする請求項4に記載の試験装置。
- [請求項10] 当該試験装置は、前記被試験メモリに記憶される一つのデータを構成する複数のビットに対応した、複数のロウフェイルカウンタおよび複数のカラムフェイルカウンタを備え、
- 前記読出部は、前記アドレスフェイルメモリに対してアドレスを共通に指定して、前記複数のロウフェイルカウンタおよび前記複数のカラムフェイルカウンタのそれぞれに、対応するビットの不良セルの数をカウントさせる
- 請求項1から9の何れかに記載の試験装置。
- [請求項11] 被試験メモリを試験する試験装置における前記被試験メモリの救済解析方法であって、
- 前記試験装置は、
- 前記被試験メモリにおけるアドレス毎に、不良セルを含むか否かを示すアドレスフェイルデータを記憶するアドレスフェイルメモリと、
- 前記被試験メモリにおける複数のセルを含むブロック毎に、不良セルを含むか否かを示すブロックフェイルデータを記憶するブロックフェイルメモリと、
- を備え、

前記被試験メモリ内のブロック毎に、前記アドレスフェイルメモリから前記アドレスフェイルデータを読み出し、

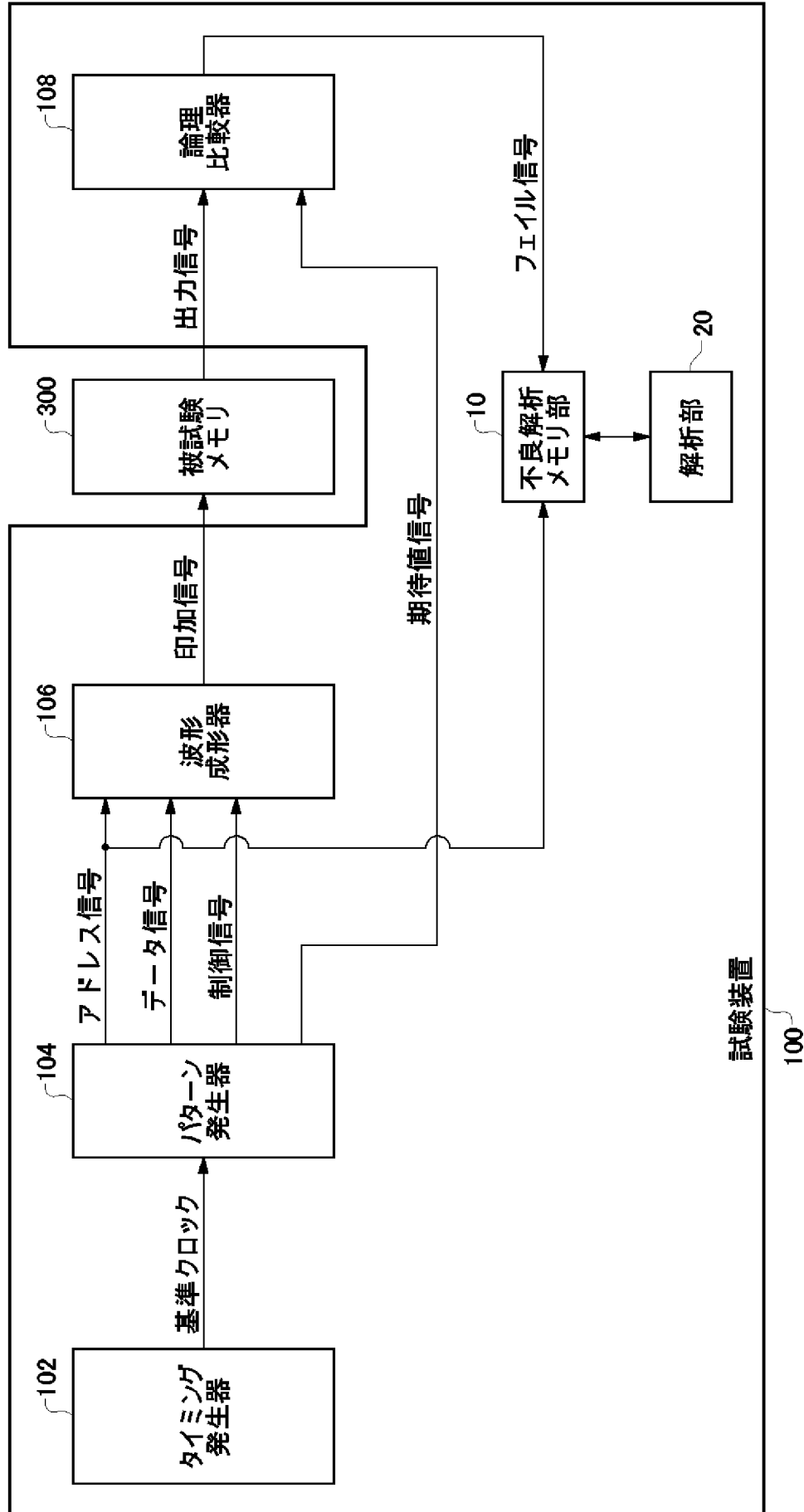
前記被試験メモリ内の一部の複数のブロックを有するグループ内におけるロウアドレス毎に、読み出された前記アドレスフェイルデータに示された不良セルをカウントし、

前記グループ内におけるカラムアドレス毎に、読み出された前記アドレスフェイルデータに示された不良セルをカウントし、

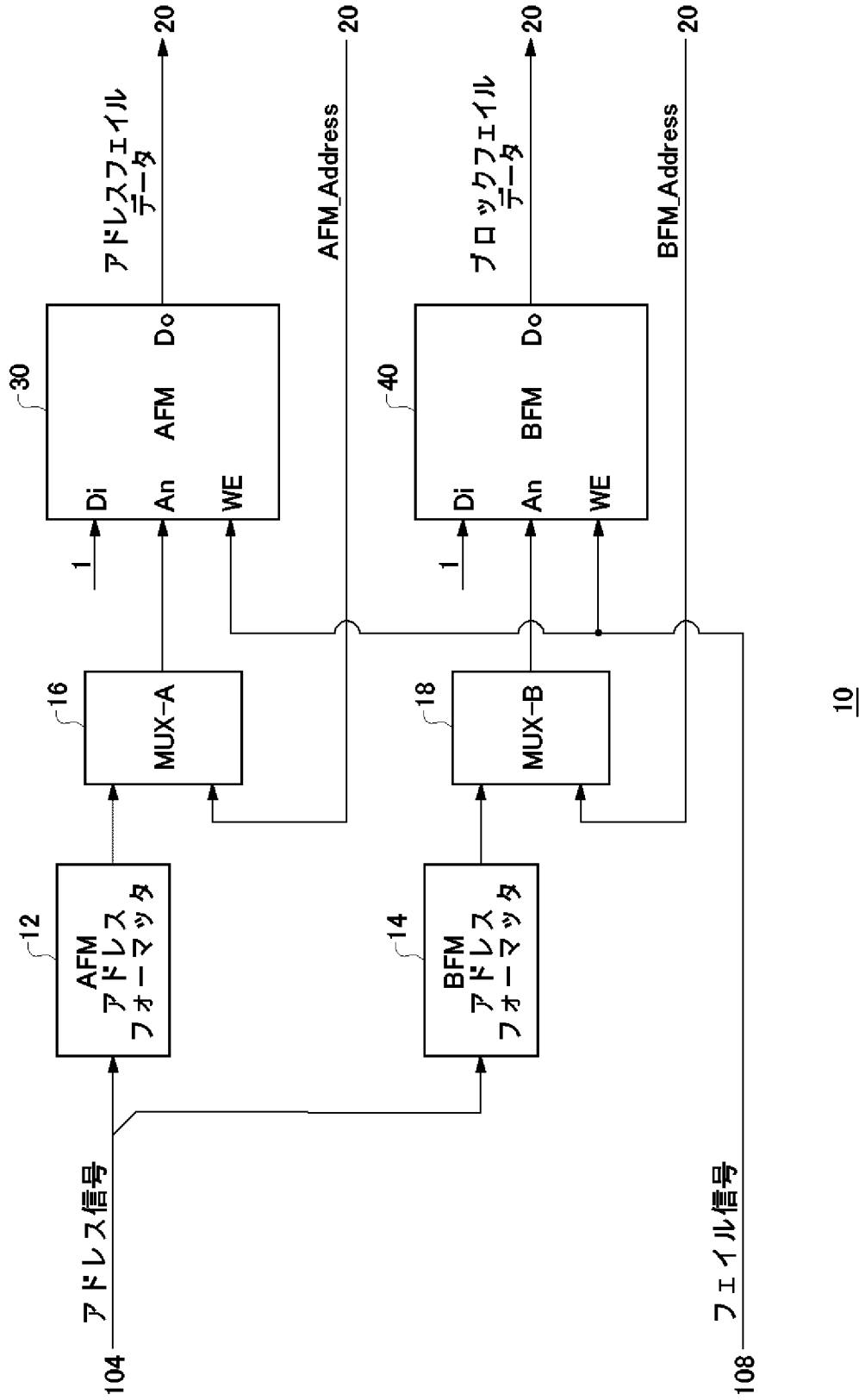
不良セルのカウント結果に基づいてグループ毎に前記被試験メモリの救済解析を行う

救済解析方法。

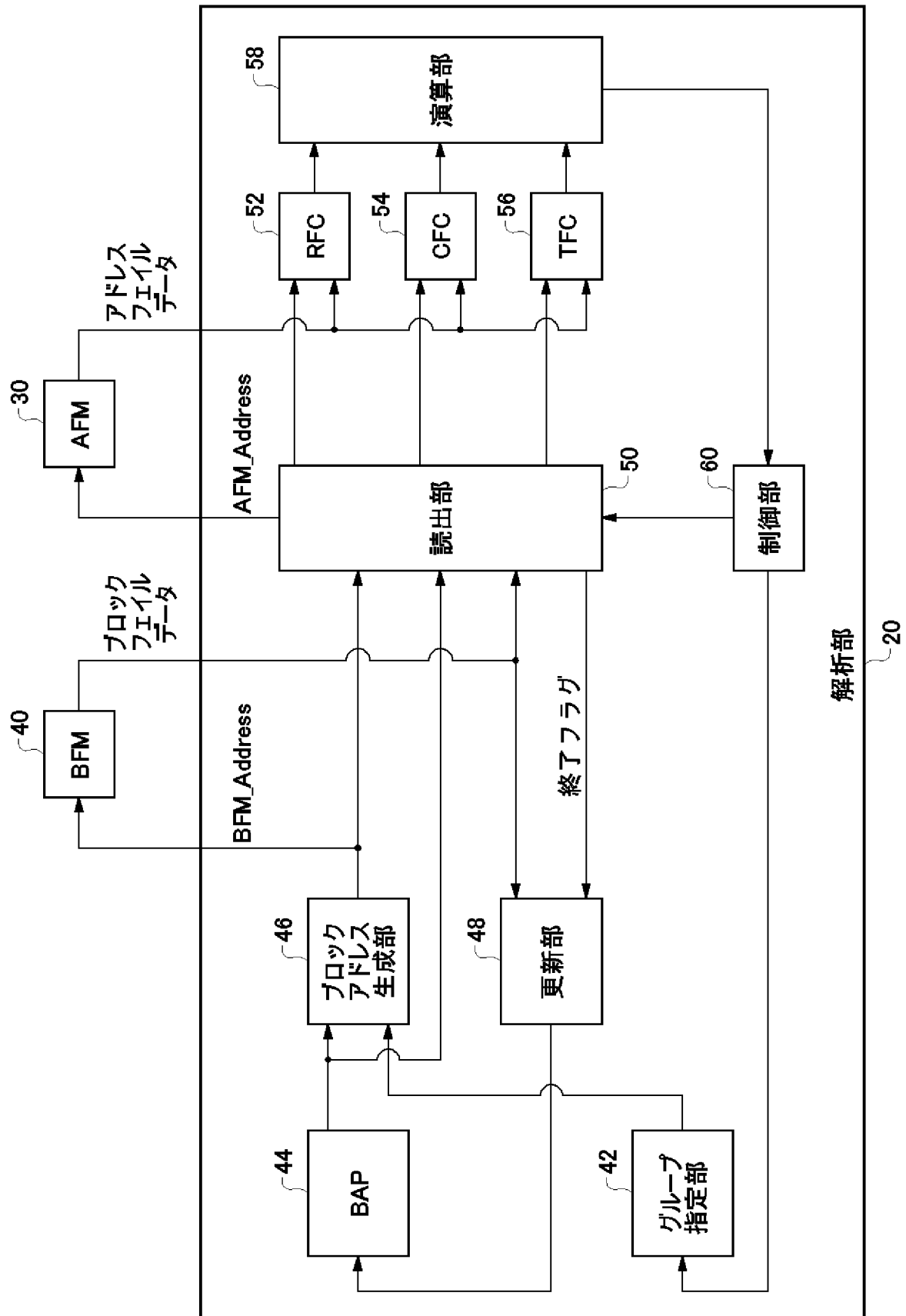
[図1]



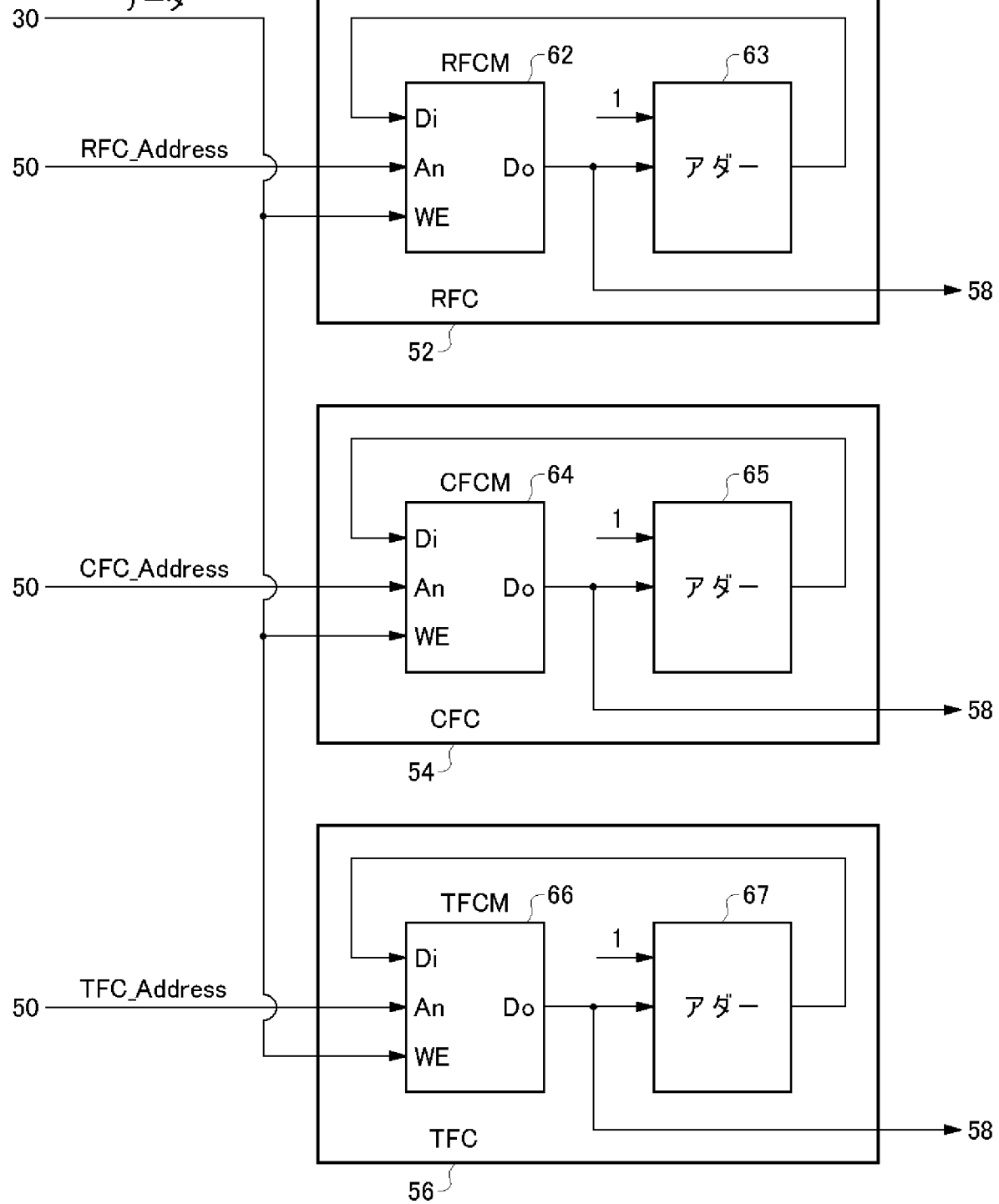
[図2]

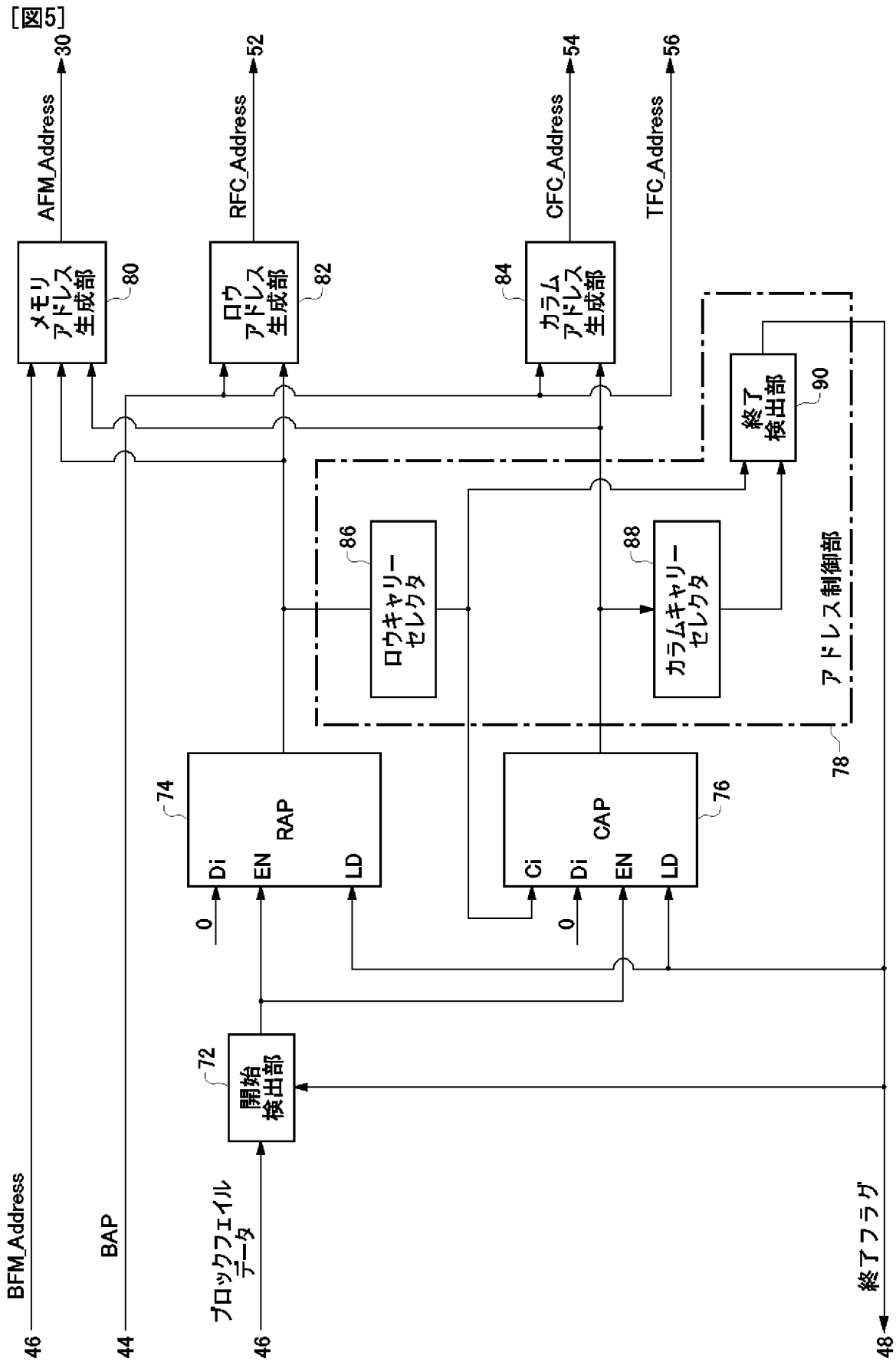


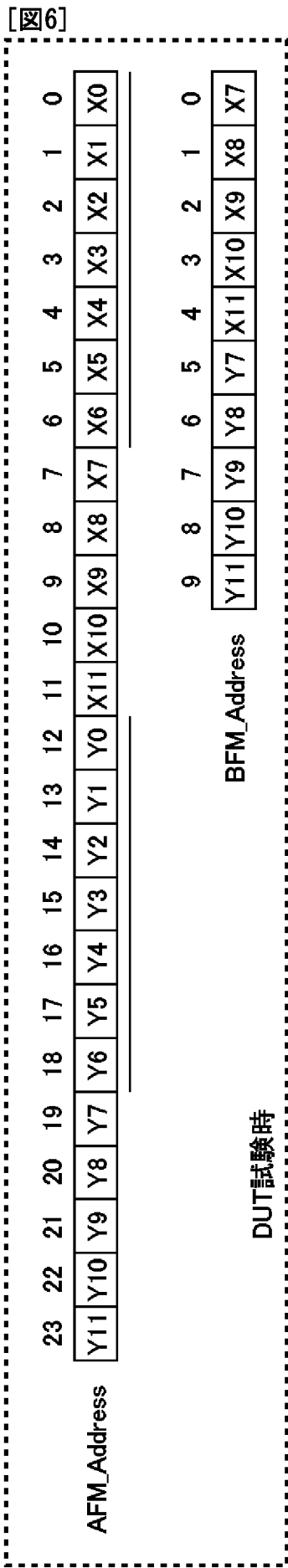
[図3]

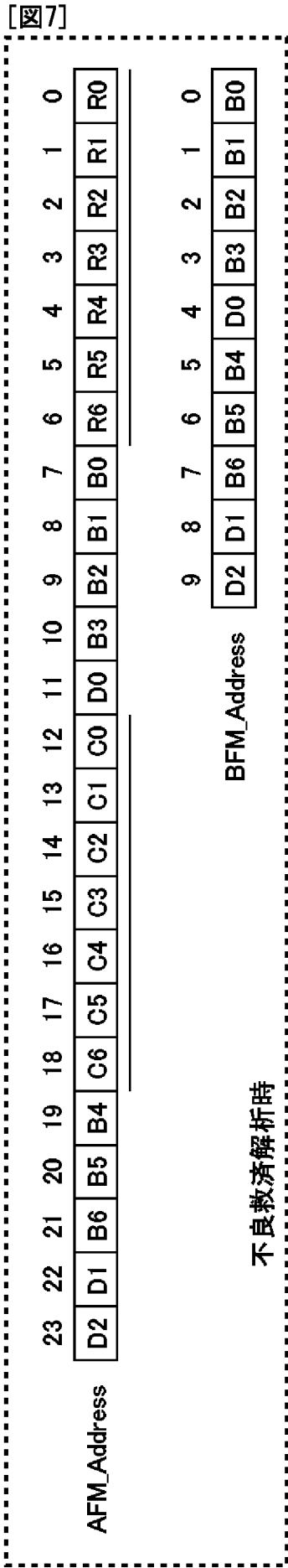


[図4]

アドレスフェイル
データ

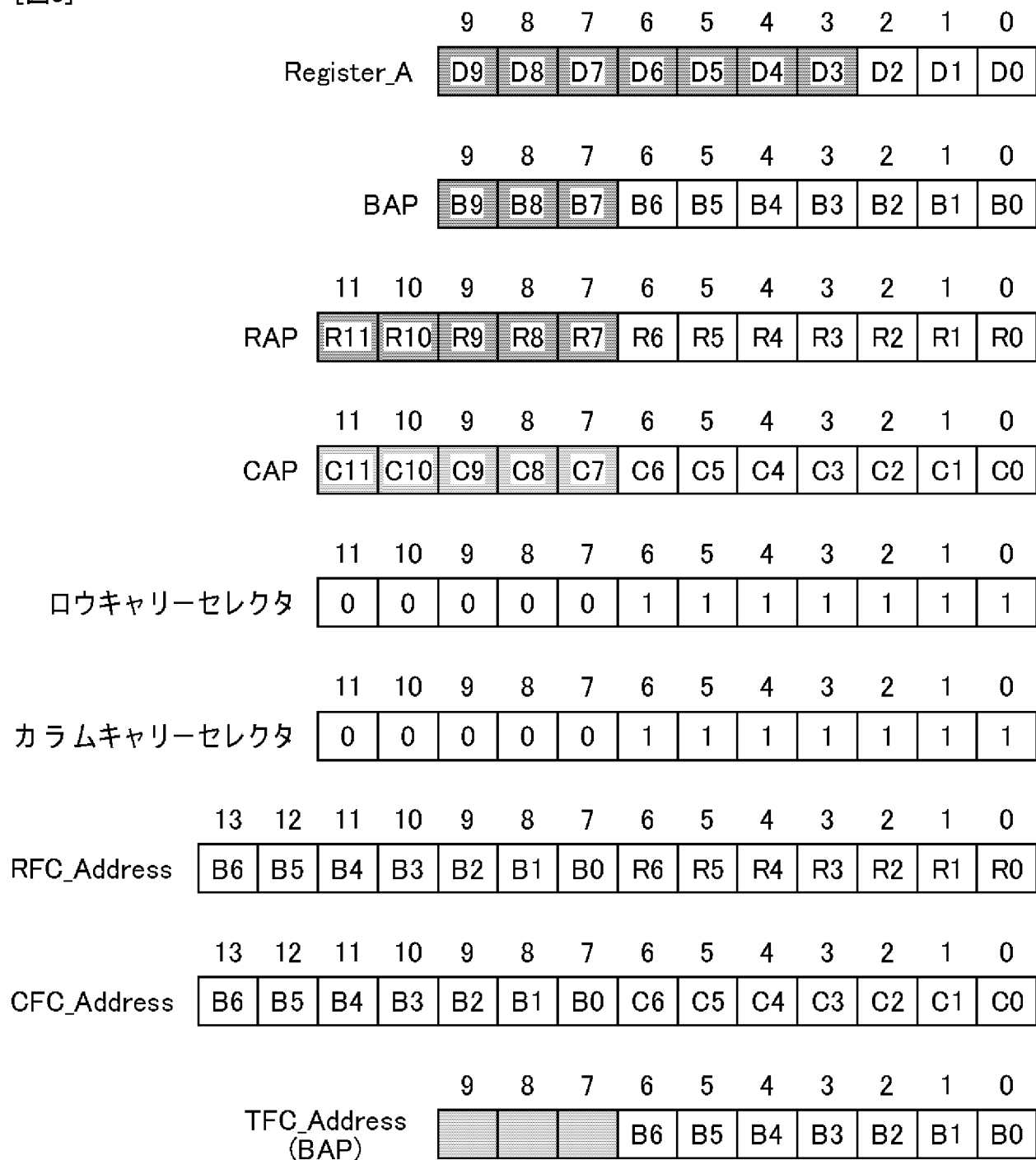




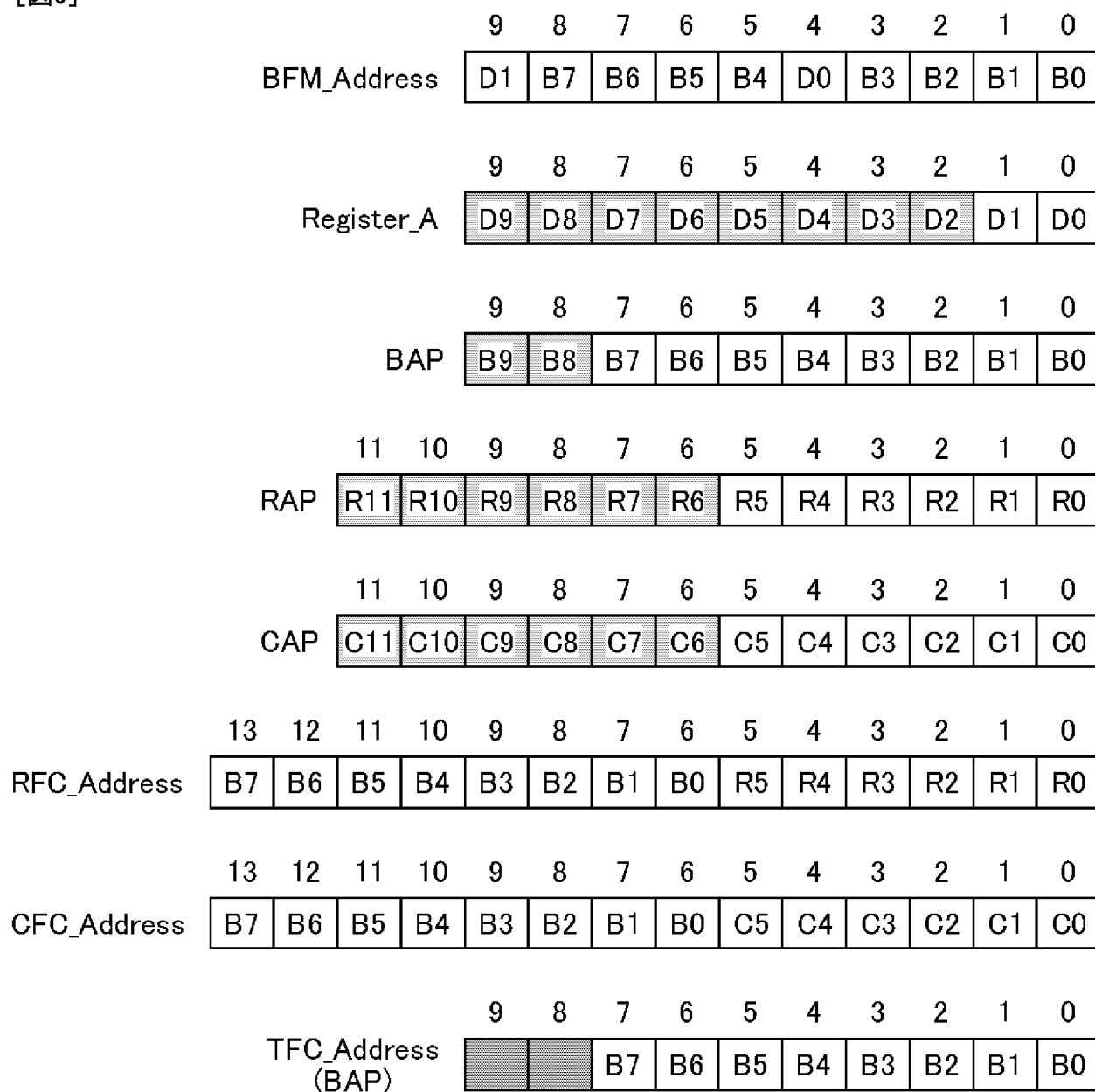


[図7]

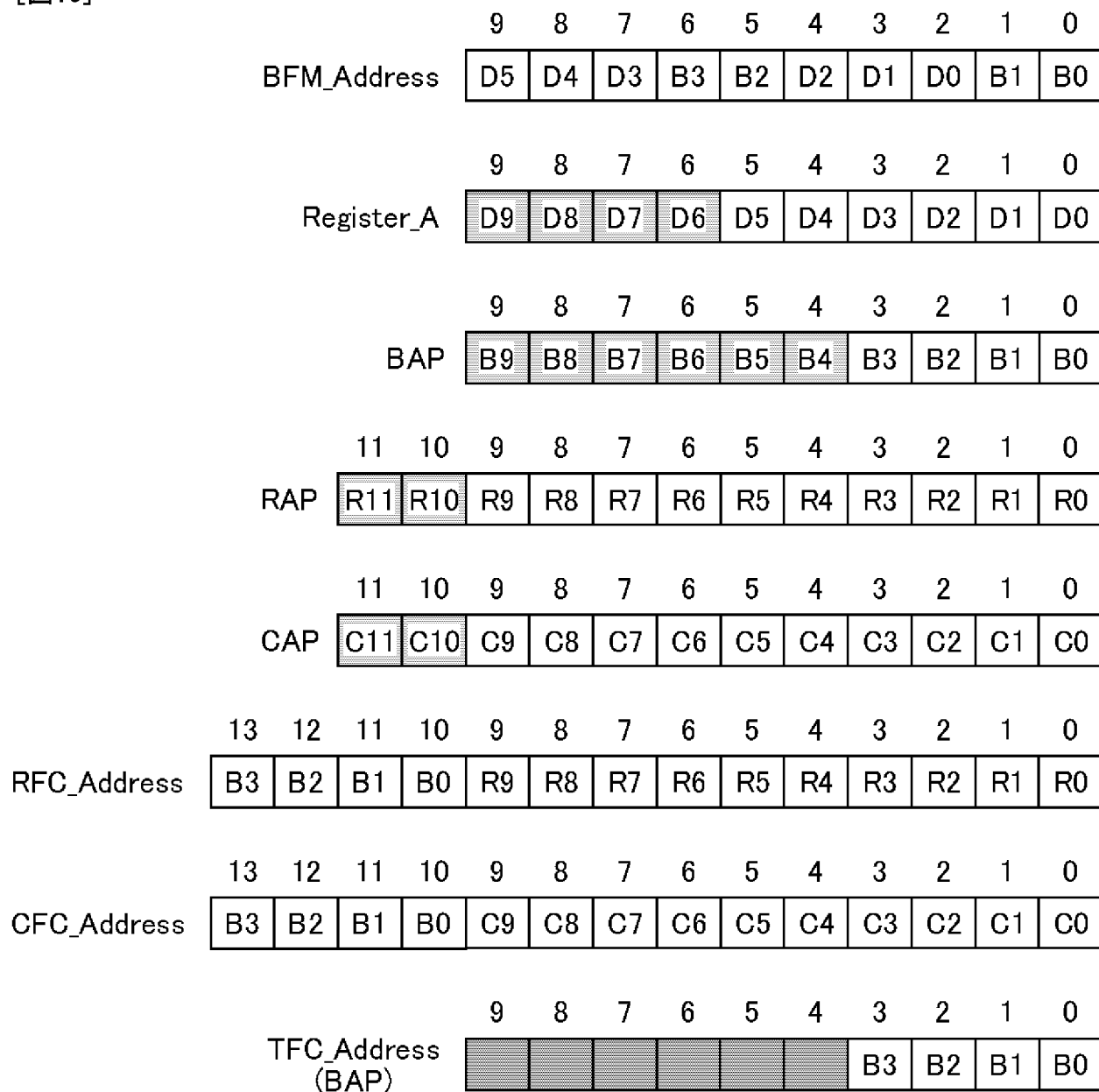
[図8]



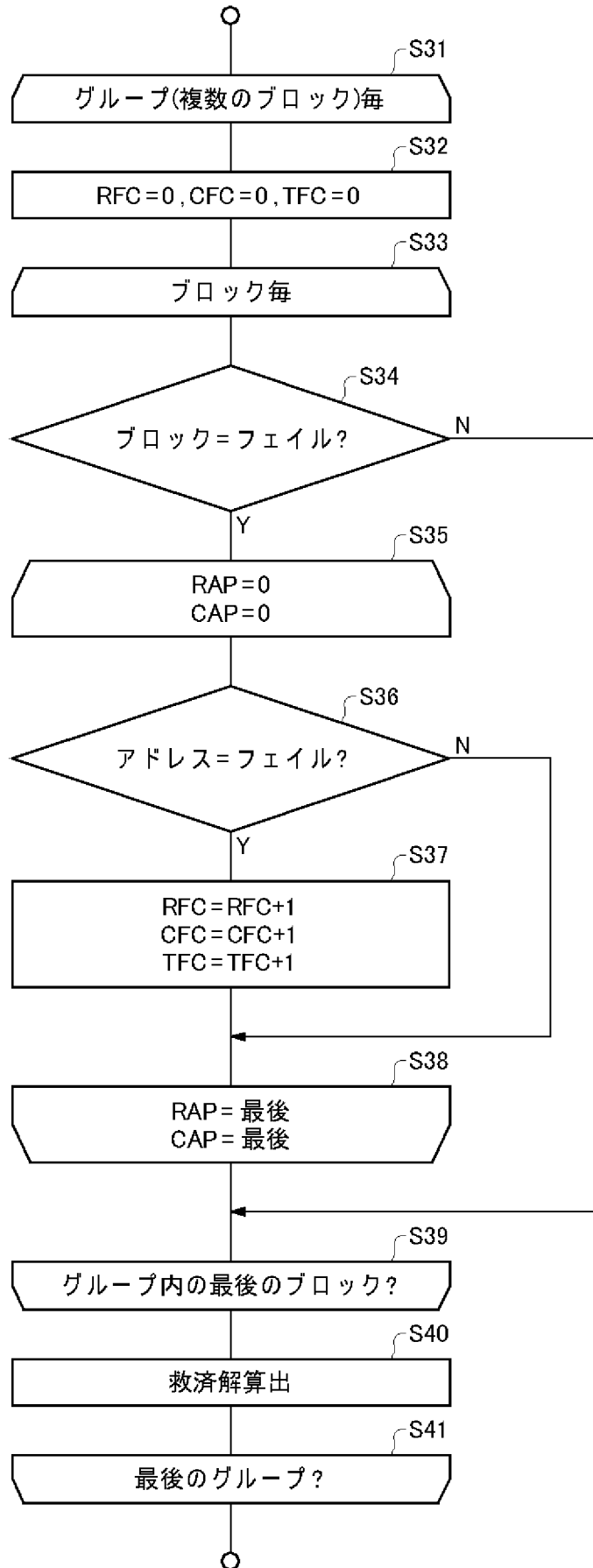
[図9]



[図10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/003271

A. CLASSIFICATION OF SUBJECT MATTER

G11C29/56(2006.01) i, G11C29/44(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C29/56, G11C29/44

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 10-92195 A (Advantest Corp.), 10 April 1998 (10.04.1998), entire text; all drawings & US 5831989 A	1 2, 3, 11 4-10
Y A	JP 2000-123595 A (Advantest Corp.), 28 April 2000 (28.04.2000), paragraphs [0014], [0015], [0023] to [0037]; fig. 1 to 5 & US 6425095 B1 column 3, line 64 to column 4, line 32; column 6, line 19 to column 9, line 67; fig. 1 to 5	2, 3, 11 4-10

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
22 October, 2009 (22.10.09)

Date of mailing of the international search report
02 November, 2009 (02.11.09)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/003271

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2006/001164 A1 (Advantest Corp.), 05 January 2006 (05.01.2006), entire text; all drawings & JP 2006-12253 A & US 2007/0162795 A1	1-11
A	JP 3-269279 A (Advantest Corp.), 29 November 1991 (29.11.1991), entire text; all drawings & US 5410687 A & EP 0447995 A2	1-11
A	JP 6-259993 A (Advantest Corp.), 16 September 1994 (16.09.1994), entire text; all drawings (Family: none)	1-11

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G11C29/56(2006.01)i, G11C29/44(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G11C29/56, G11C29/44

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 9 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 9 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 9 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	J P 1 0 - 9 2 1 9 5 A (株式会社アドバンテスト) 1 9 9 8 . 0 4 . 1 0 , 全文, 全図 & U S 5 8 3 1 9 8 9 A	1 2, 3, 1 1 4 - 1 0
Y A	J P 2 0 0 0 - 1 2 3 5 9 5 A (株式会社アドバンテスト) 2 0 0 0 . 0 4 . 2 8 , 段落【0 0 1 4】, 段落【0 0 1 5】, 段落【0 0 2 3】 - 【0 0 3 7】, 【図 1】 - 【図 5】 & U S 6 4 2 5 0 9 5 B 1 , 第 3 欄 第 6 4 行 - 第 4 欄 第 3 2 行, 第 6 欄 第 1 9 行 - 第 9 欄 第 6 7 行, F I G . 1 - F I G . 5	2, 3, 1 1 4 - 1 0

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 2 . 1 0 . 2 0 0 9

国際調査報告の発送日

0 2 . 1 1 . 2 0 0 9

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

酒井 恭信

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 8 6

5 N

9 1 9 0

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2006/001164 A1 (株式会社アドバンテスト) 2006.01.05, 全文, 全図 & JP 2006-12253 A & US 2007/0162795 A1	1-11
A	JP 3-269279 A (株式会社アドバンテスト) 1991.11.29, 全文, 全図 & US 5410687 A & EP 0447995 A2	1-11
A	JP 6-259993 A (株式会社アドバンテスト) 1994.09.16, 全文, 全図 (ファミリーなし)	1-11