(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3752795号

(P3752795)

(45)発行日　平成18年3月8日(2006.3.8)　(24)登録日　平成17年12月22日(2005.12.22)

(51)Int.Cl.		F I		
H01L 27/108	(2006.01)	H01L	27/10	681F
H01L 21/8242	(2006.01)	H01L	27/10	461
H01L 27/10	(2006.01)	H01L	27/08	102H
H01L 27/088	(2006.01)			
H01L 21/8234	(2006.01)			

請求項の数 16　(全 21 頁)

(21)出願番号　特願平9-248167
(22)出願日　平成9年9月12日(1997.9.12)
(65)公開番号　特開平10-163452
(43)公開日　平成10年6月19日(1998.6.19)
審査請求日　平成14年11月26日(2002.11.26)
(31)優先権主張番号　特願平8-264075
(32)優先日　平成8年10月4日(1996.10.4)
(33)優先権主張国　日本国(JP)

(73)特許権者　000005108
株式会社日立製作所
東京都千代田区丸の内一丁目６番６号
(74)代理人　100075096
弁理士　作田　康夫
(72)発明者　松岡　秀行
東京都国分寺市東恋ケ窪一丁目２８０番地　株式会社日立製作所中央研究所内
(72)発明者　木村　紳一郎
東京都国分寺市東恋ケ窪一丁目２８０番地　株式会社日立製作所中央研究所内

最終頁に続く

(54)【発明の名称】半導体記憶装置の製造方法

(57)【特許請求の範囲】

【請求項１】

半導体基体主面に、それぞれ駆動MISFETと電荷蓄積容量素子で構成された複数のメモリセルが配置されたメモリセルアレー部と、そのメモリセルアレー部の周辺に複数のMISFETで構成された周辺回路が配置された周辺回路部とを有する半導体装置の製造方法であって、

前記メモリセルアレー部にビット線を、前記周辺回路部に第１層配線を形成する工程と、

前記ビット線及び前記第１層配線を覆って第１の層間絶縁膜を形成する工程と、

前記第１層配線に接続される第１プラグを前記第１の層間絶縁膜に形成する工程と、

前記メモリセルアレー部上の前記第１の層間絶縁膜を除去し、前記メモリセルアレー部にリセスを形成する工程と、

前記メモリセルアレー部であって、前記ビット線上に電荷蓄積容量素子を形成する工程と、

前記電荷蓄積容量素子および第１の層間絶縁膜を覆うように第２の層間絶縁膜を形成する工程と、

前記第１プラグに直接接続される第２プラグを前記第２の層間絶縁膜に形成する工程と、

前記第１プラグ及び前記第２プラグを介して前記第１層配線に接続される第２層配線を形成する工程とを有することを特徴とする半導体記憶装置の製造方法。

【請求項２】

前記電荷蓄積容量素子の上部電極は、前記メモリセルアレー部から前記第１の層間絶縁

膜の上端部にまで延伸して形成されることを特徴とする請求項１記載の半導体記憶装置の製造方法。

【請求項３】

前記メモリセルアレー部と前記周辺回路部との境界領域の前記半導体基体表面に浅溝素子分離膜が形成されることを特徴とする請求項１又は２記載の半導体記憶装置の製造方法。

【請求項４】

前記メモリセルアレー部の前記電荷蓄積容量素子は、前記第１の層間絶縁膜よりも高く形成されることを特徴とする請求項１乃至３の何れか１項に記載の半導体記憶装置の製造方法。

【請求項５】

前記電荷蓄積容量素子の上部電極は、前記第１の層間絶縁膜上であって前記第２の層間絶縁膜に形成された第３のプラグと接続されることを特徴とする請求項２記載の半導体記憶装置の製造方法。

【請求項６】

前記電荷蓄積容量素子は、王冠型構造を有することを特徴とする請求項１乃至５の何れか１項に記載の半導体記憶装置の製造方法。

【請求項７】

前記第１プラグと前記第２プラグとは異なる材料で形成し、前記第１プラグは前記第２プラグよりも高い融点を有する材料であることを特徴とする請求項１乃至６の何れか１項に記載の半導体記憶装置の製造方法。

【請求項８】

前記第３のプラグは、前記メモリセルアレー部と前記周辺回路部との境界領域の前記半導体基体表面に形成された浅溝素子分離膜の上部に配置されることを特徴とする請求項５記載の半導体記憶装置の製造方法。

【請求項９】

半導体基体主面に、複数の第１のトランジスタが配置されたメモリセルアレー部と、そのメモリセルアレー部の周辺に複数の第２のトランジスタで構成された周辺回路が配置された周辺回路部とを有する半導体装置の製造方法であって、

前記メモリセルアレー部にビット線を、前記周辺回路部に第１層配線を形成する工程と、

前記ビット線及び前記第１層配線を覆って第１の層間絶縁膜を形成する工程と、

前記第１層配線に接続される第１プラグを前記第１の層間絶縁膜に形成する工程と、

前記第１の層間絶縁膜上に第２の層間絶縁膜を形成する工程と、

前記周辺回路部上および前記メモリセルアレー部の電荷蓄積容量素子が形成される領域の前記第２の層間絶縁膜を残すように、前記第２の層間絶縁膜を除去する工程と、

前記メモリセルアレー上の前記第２の層間絶縁膜の側壁に前記電荷蓄積容量素子の下部電極となる膜を形成する工程と、

前記メモリセルアレー上の前記第２の層間絶縁膜を除去し、側壁に形成された前記下部電極となる膜を残す工程と、

前記下部電極となる膜を覆って容量絶縁膜を形成する工程と、その後、

前記電荷蓄積容量素子の上部電極を、前記メモリセルアレー部から前記周辺回路部上の前記第２の層間絶縁膜の上端部にまで延伸して形成する工程と、

前記電荷蓄積容量素子および第２の層間絶縁膜を覆うように第３の層間絶縁膜を形成する工程と、

前記第１プラグに直接接続される第２プラグを、前記第２の層間絶縁膜及び前記第３の層間絶縁膜の積層膜を貫通して形成する工程と、

前記第１プラグ及び前記第２プラグを介して前記第１層配線に接続される第２層配線を形成する工程とを有することを特徴とする半導体記憶装置の製造方法。

【請求項１０】

前記メモリセルアレー部の前記電荷蓄積容量素子は、前記第２の層間絶縁膜よりも高く

形成されることを特徴とする請求項９記載の半導体記憶装置の製造方法。
【請求項１１】
前記電荷蓄積容量素子の上部電極は、前記第２の層間絶縁膜上であって前記第３の層間絶縁膜に形成された第３のプラグと接続されることを特徴とする請求項９又は１０に記載の半導体記憶装置の製造方法。
【請求項１２】
メモリセルアレー部と周辺回路部とを構成する半導体記憶装置の製造方法であって、半導体基板のメモリセルアレー部主面および周辺回路部主面にそれぞれMISFETsを形成する工程と、
前記メモリセルアレー部にビット線を、前記周辺回路部に第１層配線を形成する工程と、
前記ビット線が形成されたメモリセルアレー部上および前記第１層配線が形成された周辺回路部主面上に第１の層間絶縁膜を形成する工程と、
前記周辺回路部主面上に形成された前記第１の層間絶縁膜に前記第１層配線に接続される第１のプラグを形成する工程と、
前記第１の層間絶縁膜上に第２の層間絶縁膜を形成する工程と、
前記周辺回路部上の前記第１の層間絶縁膜と前記第２の層間絶縁膜の積層膜は残し、前記メモリセルアレー部の電荷蓄積容量素子が形成される領域の前記積層膜を除去する工程と、
前記積層膜の側壁に、電荷蓄積容量素子の下部電極となる膜を形成する工程と、
前記下部電極となる膜上に前記電荷蓄積容量素子の容量絶縁膜を形成する工程と、その後、
前記電荷蓄積容量素子の上部電極を、前記メモリセルアレー部から前記周辺回路部上の前記第２の層間絶縁膜の上端部にまで延伸して形成する工程と、
前記電荷蓄積容量素子および第２の層間絶縁膜を覆うように第３の層間絶縁膜を形成する工程と、
前記第１プラグに直接接続される第２プラグを、前記第２の層間絶縁膜及び前記第３の層間絶縁膜の積層膜を貫通して形成する工程と、
前記第１プラグ及び前記第２プラグを介して前記第１層配線に接続される第２層配線を形成する工程とを有することを特徴とする半導体記憶装置の製造方法。
【請求項１３】
前記周辺回路部は十文字状の平面レイアウトを有することを特徴とする請求項１２記載の半導体記憶装置の製造方法。
【請求項１４】
半導体基体主面に、複数の第１のトランジスタが配置されたメモリセルアレー部と、そのメモリセルアレー部の周辺に複数の第２のトランジスタで構成された周辺回路が配置された周辺回路部とを有する半導体記憶装置の製造方法であって、
前記メモリセルアレー部にビット線を、前記周辺回路部に第１層配線を形成する工程と、
前記ビット線及び前記第１層配線を覆って第１の層間絶縁膜を形成する工程と、
前記第１層配線に接続される第１プラグを前記第１の層間絶縁膜に形成する工程と、
前記第１の層間絶縁膜上に第２の層間絶縁膜を形成する工程と、
前記周辺回路部上の前記第１の層間絶縁膜と前記第２の層間絶縁膜の積層膜は残し、前記メモリセルアレー部の電荷蓄積容量素子が形成される領域の前記積層膜を除去する工程と、
前記積層膜の側壁に、電荷蓄積容量素子の下部電極となる膜を形成する工程と、
前記下部電極となる膜の側壁内面上に前記電荷蓄積容量素子の容量絶縁膜を形成する工程と、その後、
前記電荷蓄積容量素子の上部電極を、前記第２の層間絶縁膜の上端部にまで延伸して形成する工程と、
前記電荷蓄積容量素子および第２の層間絶縁膜を覆うように第３の層間絶縁膜を形成する工程と、

前記第１プラグに直接接続される第２プラグを、前記第２の層間絶縁膜及び前記第３の層間絶縁膜の積層膜を貫通して形成する工程と、
前記第１プラグ及び前記第２プラグを介して前記第１層配線に接続される第２層配線を形成する工程と、
前記第２層配線及び前記第３の層間絶縁膜を覆って第４の層間絶縁膜を形成する工程と、
前記第２の層間絶縁膜の上部であって、前記電荷蓄積容量素子の上部電極に接続される第３プラグを形成する工程とを有することを特徴とする半導体記憶装置の製造方法。

【請求項１５】

半導体基体主面に、複数の第１のトランジスタが配置されたメモリセルアレー部と、そのメモリセルアレー部の周辺に複数の第２のトランジスタで構成された周辺回路が配置された周辺回路部とを有する半導体記憶装置の製造方法であって、
前記メモリセルアレー部にビット線を、前記周辺回路部に第１層配線を形成する工程と、
前記ビット線及び前記第１層配線を覆って第１の層間絶縁膜を形成する工程と、
前記第１層配線に接続される第１プラグを前記第１の層間絶縁膜に形成する工程と、
前記メモリセルアレー部に電荷蓄積容量素子の筒状の下部電極を形成する工程と、前記筒状の下部電極の側壁外面の上部及び側壁内面を容量絶縁膜で覆う工程と、
その後、前記電荷蓄積容量素子の上部電極を、前記第１の層間絶縁膜の上端部にまで延伸して形成する工程と、
前記電荷蓄積容量素子および第１の層間絶縁膜を覆うように第２の層間絶縁膜を形成する工程と、
前記第１プラグに直接接続される第２プラグを、前記第２の層間絶縁膜に形成する工程と、
前記第１プラグ及び前記第２プラグを介して前記第１層配線に接続される第２層配線を形成する工程とを有することを特徴とする半導体記憶装置の製造方法。

【請求項１６】

前記第１プラグと前記第２プラグとは異なる材料で形成し、前記第１プラグは前記第２プラグよりも高い融点を有する材料であることを特徴とする請求項１２乃至１５の何れか１項に記載の半導体記憶装置の製造方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、微細であってかつ蓄積容量が大きな半導体記憶装置の製造方法に関する。特に、高集積化に好適なダイナミックランダムアクセスメモリ（DRAM）の製造方法に関する。

【０００２】

【従来の技術】

これまで、３年に４倍のペースで集積化の向上を実現してきたダイナミックランダムアクセスメモリ（ＤＲＡＭ：Dynamic Random Access Memory)は、近年のパーソナルコンピュータの爆発的な売上に牽引されて、その需要はますます高まりつつある。既に、１６メガビットの量産体制が整いつつあり、現在は、次世代の微細加工技術である０．３５μｍを使用する６４メガビットの量産化に向けた開発が進行している。

【０００３】

メモリセルの微細化を実現するために、4M世代以降では小面積で大きな容量値を確保するべく、キャパシタ構造が立体化されてきた。ところが、必要とされる蓄積電荷量は、世代が進んでもほとんど変わらない為、キャパシタの高さは、世代と共に、益々高くなっていく。この結果、特にキャパシタをデータ線の上部に形成するCOBセル（COB:Capacitor Over Bit-line）の場合、メモリセル部と周辺回路部との間に、高段差が生じることになる。

【０００４】

具体的に述べると、例えば、次々世代のDRAMである1ギガビットDRAMの場合、キャパシタ絶縁膜としてタンタルオキサイド（シリコン酸化膜厚換算3.3nm）を用い、王冠型キャパ

シタを採用したと仮定すると、キャパシタの高さは約１ミクロンとなる。これだけの段差がメモリセルアレー部と周辺回路部に存在すると、後の金属配線形成工程において、ホトリソグラフィやドライエッチが極めて困難になる。ホトリソグラフィに関して言えば、解像度と焦点深度が反比例の関係にあるために、解像度をあげて微細パタンを形成しようとすると、焦点深度が浅くなる。従って、高段差があると解像不良が生じることになる。勿論、ドライエッチに関しては高段差加工となり、エッチ残りや寸法シフト等の問題が生じることになる。

【０００５】

こうした問題を解決する手段として、図2に示したように、あらかじめSi基板上に段差を設け、メモリセルアレー部の基板表面を低くすることによって、段差を緩和する方法が提案されている（特開昭63-266866号公報）。しかし、この技術は、最小加工寸法0.15ミクロンの１ギガクラスのDRAMに適用するのは難しい。以下にその理由を述べる。

【０００６】

特開昭63-266866号公報に開示された技術では、最初に、Starting materialとしての半導体基板（ウエハ）に段差を形成するので、素子分離領域の表面の高さも、メモリアレー部と周辺回路部で異なることになる。従来は、選択的に酸化膜を形成させる技術（LOCOS:Local Oxidation of Silicon）が一般に用いられていたので、高段差を有するウエハ内に、こうした素子分離領域を形成することができた。ところが、1GビットDRAMでは素子分離寸法が0.15ミクロンとなる。この寸法でLOCOSを用いて電気的に素子を分離することは不可能であり、浅溝素子分離（STI:Shallow Trench Isolation）技術が必須と考えられている。ところが、STIはシリコン表面に形成された溝内に厚い酸化膜を埋め込み、表面を一様に研磨することによって、局所的に酸化膜を埋め込む。従って、基板に段差がある場合には、段差底部は全面に酸化膜が埋め込まれてしまい、特開昭63-266866号公報に開示の技術には適用できないことになる。

【０００７】

【発明が解決しようとする課題】

本発明の目的は、１ギガビット以上の集積度を有する半導体記憶装置（具体的にはDRAM）の製造方法において、深刻な課題となる、メモリセルアレー部と周辺回路部との間の高段差を緩和させる技術を提供することにある。

【０００８】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【０００９】

【課題を解決するための手段】

本発明に於いて開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。すなわち、本発明の一つは、半導体基体主面に、それぞれ駆動MISFETと電荷蓄積容量素子で構成された複数のメモリセルが配置されたメモリセルアレー部と、そのメモリセルアレー部の周辺に複数のMISFETで構成された周辺回路が配置された周辺回路部とを有する半導体装置の製造方法であって、

前記メモリセルアレー部にビット線を、前記周辺回路部に第１層配線を形成する工程と、前記ビット線及び前記第１層配線を覆って第１の層間絶縁膜を形成する工程と、前記第１層配線に接続される第１プラグを前記第１の層間絶縁膜に形成する工程と、前記メモリセルアレー部上の前記第１の層間絶縁膜を除去し、前記メモリセルアレー部にリセスを形成する工程と、前記メモリセルアレー部であって、前記ビット線上に電荷蓄積容量素子を形成する工程と、前記電荷蓄積容量素子および第１の層間絶縁膜を覆うように第２の層間絶縁膜を形成する工程と、前記第１プラグに直接接続される第２プラグを前記第２の層間絶縁膜に形成する工程と、前記第１プラグ及び前記第２プラグを介して前記第１層配線に接続される第２層配線を形成する工程とを有する半導体記憶装置の製造方法とする。

【００１０】

また、本発明の他の一つは、半導体基体主面に、複数の第１のトランジスタが配置され

たメモリセルアレー部と、そのメモリセルアレー部の周辺に複数の第２のトランジスタで構成された周辺回路が配置された周辺回路部とを有する半導体装置の製造方法であって、前記メモリセルアレー部にビット線を、前記周辺回路部に第１層配線を形成する工程と、前記ビット線及び前記第１層配線を覆って第１の層間絶縁膜を形成する工程と、前記第１層配線に接続される第１プラグを前記第１の層間絶縁膜に形成する工程と、前記第１の層間絶縁膜上に第２の層間絶縁膜を形成する工程と、前記周辺回路部上および前記メモリセルアレー部の電荷蓄積容量素子が形成される領域の前記第２の層間絶縁膜を残すように、前記第２の層間絶縁膜を除去する工程と、前記メモリセルアレー上の前記第２の層間絶縁膜の側壁に前記電荷蓄積容量素子の下部電極となる膜を形成する工程と、前記メモリセルアレー上の前記第２の層間絶縁膜を除去し、側壁に形成された前記下部電極となる膜を残す工程と、

前記下部電極となる膜を覆って容量絶縁膜を形成する工程と、その後、前記電荷蓄積容量素子の上部電極を、前記メモリセルアレー部から前記周辺回路部上の前記第２の層間絶縁膜の上端部にまで延伸して形成する工程と、前記電荷蓄積容量素子および第２の層間絶縁膜を覆うように第３の層間絶縁膜を形成する工程と、前記第１プラグに直接接続される第２プラグを、前記第２の層間絶縁膜及び前記第３の層間絶縁膜の積層膜を貫通して形成する工程と、前記第１プラグ及び前記第２プラグを介して前記第１層配線に接続される第２層配線を形成する工程とを有する半導体記憶装置の製造方法とする。

【００１１】

また、本発明の他の一つは、メモリセルアレー部と周辺回路部とを構成する半導体記憶装置の製造方法であって、半導体基板のメモリセルアレー部主面および周辺回路部主面にそれぞれMISFETsを形成する工程と、前記メモリセルアレー部にビット線を、前記周辺回路部に第１層配線を形成する工程と、前記ビット線が形成されたメモリセルアレー部上および前記第１層配線が形成された周辺回路部主面上に第１の層間絶縁膜を形成する工程と、前記周辺回路部主面上に形成された前記第１の層間絶縁膜に前記第１層配線に接続される第１のプラグを形成する工程と、前記第１の層間絶縁膜上に第２の層間絶縁膜を形成する工程と、前記周辺回路部上の前記第１の層間絶縁膜と前記第２の層間絶縁膜の積層膜は残し、前記メモリセルアレー部の電荷蓄積容量素子が形成される領域の前記積層膜を除去する工程と、前記積層膜の側壁に、電荷蓄積容量素子の下部電極となる膜を形成する工程と、前記下部電極となる膜上に前記電荷蓄積容量素子の容量絶縁膜を形成する工程と、その後、

前記電荷蓄積容量素子の上部電極を、前記メモリセルアレー部から前記周辺回路部上の前記第２の層間絶縁膜の上端部にまで延伸して形成する工程と、前記電荷蓄積容量素子および第２の層間絶縁膜を覆うように第３の層間絶縁膜を形成する工程と、

前記第１プラグに直接接続される第２プラグを、前記第２の層間絶縁膜及び前記第３の層間絶縁膜の積層膜を貫通して形成する工程と、前記第１プラグ及び前記第２プラグを介して前記第１層配線に接続される第２層配線を形成する工程とを有する半導体記憶装置の製造方法とする。

【００１２】

そしてさらに、本発明の他の一つは、半導体基体主面に、複数の第１のトランジスタが配置されたメモリセルアレー部と、そのメモリセルアレー部の周辺に複数の第２のトランジスタで構成された周辺回路が配置された周辺回路部とを有する半導体記憶装置の製造方法であって、前記メモリセルアレー部にビット線を、前記周辺回路部に第１層配線を形成する工程と、前記ビット線及び前記第１層配線を覆って第１の層間絶縁膜を形成する工程と、前記第１層配線に接続される第１プラグを前記第１の層間絶縁膜に形成する工程と、前記メモリセルアレー部に電荷蓄積容量素子の筒状の下部電極を形成する工程と、前記筒状の下部電極の側壁外面の上部及び側壁内面を容量絶縁膜で覆う工程と、その後、前記電荷蓄積容量素子の上部電極を、前記第１の層間絶縁膜の上端部にまで延伸して形成する工程と、前記電荷蓄積容量素子および第１の層間絶縁膜を覆うように第２の層間絶縁膜を形成する工程と、前記第１プラグに直接接続される第２プラグを、前記第２の層間絶縁膜に

形成する工程と、前記第１プラグ及び前記第２プラグを介して前記第１層配線に接続される第２層配線を形成する工程とを有する半導体記憶装置の製造方法とする。

【００１３】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【００１４】

実施例１

まず、図１を参照して、本発明の一実施の形態であるDRAMを説明する。図１に示された断面図において、中央左側がメモリセルアレーが構成されたメモリアレー部であり、中央右側が周辺回路を構成している周辺回路部である。すなわち、図１は、図２に示した従来の半導体基板に対応する部分に作り込まれたメモリセルアレーデバイス及び周辺回路デバイスの部分断面図を示す。

【００１５】

図１において、シリコン(Si)半導体基体（基板）１内には複数の絶縁ゲート電界効果型トランジスタ（MISFET：Metal insulator semiconductor field effect transistor)を分離するための、いわゆる素子間分離酸化膜２が形成されている。この素子間分離酸化膜２は、後で詳細に説明する浅溝素子分離（STI）技術により形成され、ほぼ半導体基板表面との段差が等しい。そして、メモリアレー部には基板表面にゲート酸化（SiO2)膜３が形成され、そのゲート酸化膜３上にポリシリコン４、チタンナイトライド（TiN）５およびタングステン（W）６から成る三層構造の低抵抗化されたゲート電極が形成され、複数の転送MISFETを構成する。そして、そのゲート電極はシリコンナイトライド（SiN）で覆われている。同様に、周辺回路部のMISFETも上記転送MISFETと同一構成で形成されている。これらMISFETを覆うように層間絶縁膜としてのシリコン酸化（SiO2)膜９が基板１主面全体に形成されている。そして、このシリコン酸化膜９には基板内に選択的に設けられている半導体領域（ソース・ドレイン）とコンタクトするための接続穴（コンタクト穴）が形成されている。すなわち、ビット線およびストレージノード用のコンタクト穴がこのシリコン酸化膜９に設けられている。そして、そのコンタクト穴にはチタンナイトライド（TiN）がプラグとして埋め込まれている。このシリコン酸化膜９上にはビット線601A、インターコネクト配線601Bが形成されている。このビット線601Aおよびインターコネクト配線601Bを覆うように層間絶縁膜としてのシリコン酸化膜901が形成されている。さらに、このシリコン酸化膜901には、上記シリコン酸化膜９のストレージノード用のコンタクト穴に一致して（多少ずれていてもよい）、ストレージノード用のコンタクト穴が設けられている。そして、そのストレージノード用のコンタクト穴にTiNプラグ502が形成されている。

【００１６】

本発明によって特徴づけられた構成は、以下に説明するこのシリコン酸化膜901上に形成されたメモリセルアレー部の電荷蓄積容量素子および周辺回路部の配線より成る。

【００１７】

メモリセルアレー部のシリコン酸化膜901上にTiNプラグ502にコンタクトする電荷蓄積容量素子（キャパシタ）の下部電極12が形成されている。一方、周辺回路部のシリコン酸化膜901上には層間絶縁膜（第１の層間絶縁膜）902,903が選択的に形成されている。すなわち、周辺回路部の絶縁膜上方には周辺回路部を局所的に覆う層間膜が形成され、この局所層間膜によりメモリセルアレー部はリセスに位置づけられることになる。

【００１８】

そして、そのメモリセルアレー部（リセス部）の下部電極12上それぞれには下部電極12Aがクラウン型（筒状）に形成され、この下部電極12Aの高さは、キャパシタ容量を増大させるために、周辺回路を覆う層間絶縁膜（第１の層間絶縁膜）902,903表面を越える高さを有している。言い換えると、周辺回路部を局所的に覆う層間膜（第１の層間絶縁膜）902,903の上面が、該メモリセルアレー部のキャパシタの上面よりも低い位置にある。

【００１９】

この下部電極12A表面（内壁面および外壁面）を覆うようにキャパシタの誘電体を構成す

る絶縁膜が薄く被覆されている。図１にはその絶縁膜を示していない。そして、メモリセルアレー部の複数のクラウン型下部電極12A上には、共通のプレート電極を構成する上部電極14が埋め込み形成され、その上部電極14表面は平坦化されている。また、その上部電極14の一部は局所的に覆う層間膜（第１の層間絶縁膜）902,903上に延在するようにパターン形成されている。この上部電極14および周辺回路部を局所的に覆う層間膜（第１の層間絶縁膜）902,903上全体を覆うように層間絶縁膜（第２の層間絶縁膜）905が平坦形成されている。そして、この層間絶縁膜（第２の層間絶縁膜）905には、上部電極14の一部を露出するコンタクト穴および層間膜（第１の層間絶縁膜）902,903のコンタクト穴内に埋め込まれたWプラグ605上部を露出するコンタクト穴がほぼ同じアスペクト比で形成されている。すなわち、これら複数のコンタクト穴は同時加工されたものである。そして、この間絶縁膜（第２の層間絶縁膜）905に設けられたコンタクト穴には、プレート電極引き出しWプラグ605Aおよび周辺回路配線引き出しWプラグ605が埋め込み形成されている。

【００２０】

段差がほとんどないこの層間絶縁膜（第２の層間絶縁膜）905上には上記プレート電極引き出しWプラグ605Aおよび周辺回路配線引き出しWプラグ605にそれぞれ接続された複数の第１配線（チタンナイトライド／アルミニウム／チタンナイトライド積層膜）5がパターン形成されている。そして、複数の第１配線5を覆うように層間絶縁膜（第２の層間絶縁膜）906が形成されている。また、この層間絶縁膜（第３の層間絶縁膜）906に設けられたコンタクト穴には、プレート電極引き出しWプラグ606が埋め込み形成されている。

【００２１】

そして、段差がほとんどないこの層間絶縁膜（第３の層間絶縁膜）906上には上記プレート電極引き出しWプラグ606に接続された第２配線（チタンナイトライド／アルミニウム／チタンナイトライド積層膜）1501がパターン形成されている。

【００２２】

つぎに、本発明の実施例を、データ対線構造を有するDRAMを例に、図3から図30にその製造工程をたどりながら詳細に説明する。

【００２３】

なお、本実施例において、メモリセルアレー部とは、例えば、一つの転送MISFET(Metal Insulator Semicondudtor Field Effect Transistor)と電荷蓄積容量素子（キャパシタ）とを１メモリセルとし、そのメモリセルが一つの半導体チップに規則的に複数配置されている部分を言う。また、このメモリセルアレー部には複数のダミーセル及びセンスアンプも含む。一方、周辺回路部とはそのメモリセルアレー部以外、例えばアドレスデコーダ、入出力バッファ等を構成した部分を言う。後述する他の実施例２、３においても同様とする。

【００２４】

まず始めに、半導体基板（１）を用意して、図3に示すように浅溝素子分離領域（２）を形成する。具体的な形成方法は、まず、基板（１）に深さ0.3μm(ミクロンメータ）程度の分離溝を公知のドライエッチ法を用いて形成し、溝側壁や底面のドライエッチ起因損傷を取り除く。しかる後、公知のＣＶＤ(Chemical Vapor Deposition)法を用いてシリコンの酸化膜を0.4μm程度の膜厚で堆積し、溝ではない部分にある酸化膜を、これも公知のＣＭＰ(Chemical Mechanical Polishing)法で選択的に研磨し、溝に埋まっている酸化膜（２）だけを残した。続いて、その基板（１）表面にウエル及びパンチスルーストッパ領域を形成する為に、不純物イオンを打ち込む。5nmのゲート酸化膜（３）を形成した後に、50nmのノンドープのポリシリコン（４）を公知のＣＶＤ(Chemical Vapor Deposition)法を用いて堆積する。2極性ゲート形成の為に、Nゲート領域にはリンイオンをエネルギー5keV、ドーズ量2e15cm-2の条件で打ち込み、Pゲート領域にはボロンイオンをエネルギー2keV、ドーズ量2e15cm-2の条件で打ち込む。勿論、リンの代わりにヒ素を、ボロンの代わりにBF2を用いても構わない。続いて、ワード線抵抗を低減する為にTiN（５）を20nm、W（６）を80nmスパッタする。TiN（５）はポリシリコン（４）とW（６）の間のシリサイド化反応を抑える為であり、WNを代わりに用いることもできる。さらに、自己整合コンタクト用

として、ＣＶＤ法を用いてSiN（７）を100nm堆積して図4のようになった。つづいて、公知のドライエッチ法を用いて、図5のようにSiN/W/TiN/poly-Siを加工し、ゲート電極を形成する。
次に、MOSFETの拡散層形成の為に、N 型のMOSFETにはヒ素イオンをエネルギー20keV、ドーズ量1e15cm-2の条件で、P型のMOSFETにはBF2イオンをエネルギー20keV、ドーズ量1e13cm-2の条件で、打ち込む。さらにCVD法を用いてSiN（７０１）を50nm堆積し図6のようになる。350nmの酸化膜（９）をCVD法を用いて堆積し平坦化を行い、コンタクトホール加工のマスク用にSiN（７０２）を50nm堆積し図7のようになる。レジストをマスクにSiN（７０２）にビット線やストレージノード用の直径0.15um（ミクロンメータ）の穴を開口し、このSiNをマスクに酸化膜加工を行い、下地SiN（７０１）を露出させ図8のようになる。ゲート電極はSiNで完全に覆われているので、酸化膜加工の際にゲート電極が露出することはなかった。また、酸化膜加工の際、加工マスクに用いたSiNは約30nm削れて残り20nmとなった。このように酸化膜加工にレジストではなく、SiNを用いることによって、0.15umという微細な穴を加工することが出来た。続いて、50nmのSiNドライエッチを行い、基板に形成された拡散層表面を露出させた。勿論、このエッチングでマスクに用いた表面のSiN（７０２）も同時に除去される。この時、周辺回路のゲート上には余分に100nmのSiNが堆積されているので、このゲート直上のSiNの除去を行った。その為に、図9に示したように、周辺回路のゲート上を開口したレジストをマスクにSiNドライエッチを行う。レジストを除去した後に、拡散層抵抗及びコンタクト抵抗低減のための不純物打ち込みを行う。先ず、P型拡散層領域をレジストで開口し、BF2イオンをエネルギー20keV、ドーズ量1e15cm-2の条件で打ち込む。続いて、レジストを除去した後、N型拡散層領域をレジストで開口し、ヒ素イオンをエネルギー15keV、ドーズ量1e15cm-2で、またリンイオンを、メモリセルトランジスタの電界緩和を目的として、エネルギー25keV、ドーズ量6e12cm-2の条件で打ち込む。次に、TiNプラグの形成を行う。不純物打ち込みマスク用のレジストを除去した後に、CVDにより100nmのTiN（５０１）を堆積し、図10のようになる。TiNエッチバック工程を行い、TiNプラグを形成し図11を得る。続いて、CVDによりSiN（７０３）を20nm堆積した後に、図12のようにメモリセルアレー部のビット線コンタクト（１０）と周辺回路のコンタクトを開口する。次にビット線に用いるW（６０１）を50nmスパッタする。さらにCVDによりSiN（７０４）を50nm堆積し図13を得る。このSiN（７０４）はゲート上のSiN（７）と同様に、後のメモリコンタクト形成においてビット線との短絡を防止するためのものである。続いて、レジストをマスクにSiN（７０４）とW（６０１）をドライエッチし、メモリセルアレー部ではビット線、周辺回路部ではインターコネクト配線が図14のように形成される。更に、短絡防止の為、厚さ50nmのSiN（７０５）を堆積し、層間絶縁膜として酸化膜（９０１）を200nm堆積し、エッチバック工程により平坦化し図15のようになる。次に、リンを4e20cm-3の濃度で含むアモルファスシリコン（１２）を50nm堆積する。これはキャパシタ下部電極の一部となる。次はメモリコンタクト加工である。レジストをマスクにアモルファスシリコン（１２）にコンタクトを開口し、レジストを除去する。さらにアモルファスシリコンをマスクに酸化膜とSiNのドライエッチを行い、図16のようになる。この際、ビット線はSiNで完全に覆われているので、コンタクト穴（１００１）形成時にWが露出することは無い。続いて、CVDによりTiN（５０２）を堆積し、図17のようになる。TiNエッチバックによりTiNプラグを形成し、表面のアモルファスシリコン（１２）をメモリセルアレー部全体を覆うように加工し図18を得る。次は、メモリセルアレー部と周辺回路部との段差緩和の為のリセス形成である。そのために酸化膜（９０２）を500nm堆積し、その上にW（６０２）を50nmスパッタする。レジストをマスクにW（６０２）を加工し、このWをマスクに酸化膜及びSiNをドライエッチし図19のようになる。続いて、W（６０３）を150nmスパッタし、エッチバックを行い図20を得る。W（６０３）と後に堆積するシリコンとの反応を防止するために、酸化膜（９０３）を50nm堆積し、ドライエッチによりリセスを加工し、図21のようになる。この時、アモルファスシリコン（１２）が酸化膜エッチのストッパとなる。次に、キャパシタ下部電極となるポリシリコン（１２０１）を900nm堆積する。勿論、このポリシリコンにはリンを4e20cm-3の濃度でドープされて

いる。次にポリシリコンの平坦化を行う。さらに図22のように、段差底部（メモリセルアレー部）に厚さ0.6umのレジスト（１１０１）を塗布する。再度、レジストを塗布し全面を平坦化させ、エッチバック工程により、レジストとポリシリコンを加工し図23を得る。次は、キャパシタ下部電極加工である。図24のように、レジストをマスクにポリシリコンを100nmエッチングする。次に、酸化膜（９０４）を50nm堆積し側壁膜形成工程を施し、図25となる。さらに、この酸化膜（９０４）をマスクにポリシリコンをドライエッチし図26となる。メモリセルアレー部の酸化膜（９０４）を除去し、キャパシタ絶縁膜として実効酸化膜厚3.3nmのタンタルオキサイドを堆積し、上部電極となるTiN（１４）を100nm堆積する。さらにドライエッチにより、TiN（１４）を加工し図27となる。続いて、層間絶縁膜として酸化膜（９０５）を300nm堆積し平坦化させ、W（６０４）を50nmスパッタし図28となる。レジストをマスクにW（６０４）を加工し、WをマスクにSiO2を加工し図29を得る。続いて、CVDによりW（６０５）を150nm堆積し、Wを200nmエッチバックし、図30となった。最後にAl配線を2層形成し、図1に示すような所望の半導体記憶装置を得た。

【００２５】

実施例２

本実施例も、リセス構造を設けることによりメモリセルアレー部と周辺回路部の段差を緩和した王冠型DRAMである。実施例１とは下部電極の形成法が異なる。本実施例の製造工程において、実施例１で述べた図15までの製造工程とは同じである。さて、図15の状態から、CVD法によりSiN（７０６）を50nm堆積し、レジストをマスクにSiNにコンタクトを開口し、酸化膜とSiNのドライエッチを行い、TiNのプラグ電極を形成し、図31のようになる。このSiNは後のキャパシタ加工時のエッチストッパとして用いる。続いて、リンを4e20cm-3の濃度で含むポリシリコン（１２０２）を100nm堆積し、ドライエッチによりポリシリコンとSiNを加工し図32を得る。次に、酸化膜（９０７）を500nm、タングステンを50nm堆積する。次いで、レジストをマスクにタングステンを開口し、レジスト除去後、酸化膜とSiNをドライエッチする。さらに、図33のように、エッチバック工程によりWプラグ（６０７）を形成する。続いて、厚さ300nmの酸化膜（９０８）、100nmのSiN（７０７）を堆積し、周辺回路全体を覆うようにSiNを加工し図34を得る。次に、図35のように、メモリアレー部においてSiNと酸化膜をドライエッチし、下地のポリシリコン（１２０２）を露出させる。さらに、リンを高濃度に含む厚さ50nmのポリシリコン（１２０３）をCVDにより堆積し、続いてポリシリコン（１２０３）を150nmドライエッチし、下地のSiN（７０６）を露出させて図36のようになる。この結果、周辺回路部は上部はSiN（７０７）で、側面部はポリシリコン（１２０３）で覆われており、メモリセルアレー部でのみ酸化膜（９０８）が露出している。ウエットエッチにより、メモリセルアレー部の酸化膜を除去して図37を得る。キャパシタ絶縁膜として、実効酸化膜厚3.3nmのタンタルオキサイドを堆積し、さらに上部電極として厚さ100nmのTiN（１４０１）を堆積し、ドライエッチによりTiN（１４０１）とSiN （７０７）を加工し図38のようになった。この後、実施例１と同様に２層のアルミ配線を施し、所望の半導体記憶装置を得た。

【００２６】

実施例３

本実施例は下部電極として、酸化膜トレンチの内壁に堆積されたポリシリコン膜を用いるものである。図31に示した工程までは、実施例1及び2で述べた工程と同様である。

【００２７】

さて、図31の状態から、メモリセルアレー部を覆うようにSiN（７０８）を加工し、図39のようになる。さらに酸化膜（９０９）を500nm、タングステン（６０８）を50nm堆積し、レジストをマスクにタングステンを加工し、タングステンをマスクにSiO2とSiNを加工し図40を得る。図41のようにエッチバック工程によりWプラグ（６０９）を形成する。次いで、酸化膜（９１０）を300nm、SiN（７０９）を100nm堆積し、周辺回路部を覆うようにSiNを加工し、図42のようになる。次に、図43に示したように、SiNとSiO2を加工し、メモリセルアレー部にトレンチを形成する。さらに、リンを4e20cm-3の濃度で含むポリシリコン（１２０４）を50nmの厚さで堆積する。エッチバック工程により、レジスト（１１０

２）をトレンチ内に埋め込み、図44となる。続いて、ドライエッチにより、表面に露出したポリシリコン（１２０４）を取り除き、レジストを除去して図45のようになる。さらに、キャパシタ絶縁膜として実効酸化膜厚3.3nmのタンタルオキサイドを堆積させ、上部電極となるTiN（１４０２）を100nm堆積し、ドライエッチによりTiNとSiNを加工し図46のようになる。この後、実施例１と同様に、２層のアルミ配線を施し、所望の半導体記憶装置を得た。

【００２８】

本発明におけるＤＲＡＭチップの平面レイアウトの一実施例を図４７に示す。図４７において、４つのメモリセルアレー部（１６）を囲むように周辺回路部（１８）が十文字配置されている。そして、この周辺回路部（１８）にはメモリセルアレー部（１６）をくり貫いた形で層間絶縁膜１７（第１の層間絶縁膜）が形成されているものである。そしてさらに、チップ（１）の長手方向中央に位置した周辺回路部（１８）主面上にはボンデイングパッドＢＰが直線的に設けられている。

【００２９】

次に、本発明におけるＤＲＡＭチップの平面レイアウトの他の実施例を図４８に示す。図４８に示したＤＲＡＭチップは１ギガ以上の大容量のＤＲＡＭを構成している。図４８において、複数のメモリセルアレー部（１６）はチップ外周の周辺回路部（１８）およびＸ１，Ｘ２方向およびＹ１，Ｙ２方向の周辺回路部（１８）で囲まれている。そして、この周辺回路部（１８）にはメモリセルアレー部（１６）をくり貫いた形で層間絶縁膜１７（第１の層間絶縁膜）が形成されているものである。なお、、チップ（１）の長手方向Ｘ１，Ｘ２方向に位置した周辺回路部（１８）主面にボンデイングパッド（図示せず）が一列（Ｘ１またはＸ２）もしくは二列（Ｘ１およびＸ２）に直線的に設けられている。図４９には、本発明におけるメモリセルアレー部における層レイアウトを示す。本発明においては耐ノイズ性に優れる折り返しデータ線構造を用いている。素子形成領域（１９）をT型にすることにより、データ線（２１）を直線形状とし、リソグラフィとして解像容易な構造としている。データ線の幅と間隔は共には0.16ミクロンであった。ワード線（２０）は幅0.15ミクロン、ピッチ0.32ミクロンで配置した。ストレジノードコンタクト（２２）及びビット線コンタクト（２３）は0.15ミクロン角であった。

【００３０】

実施例４

図５０に本実施例の断面図を示す。本実施例においては周辺回路におけるプラグ接続を異種材料により形成した。製造工程は実施例１と同様である。下部プラグ24はメモリセルにおけるキャパシタ工程前に形成されるので、800℃程度の耐熱性が要求される。こうした観点から、下部プラグ24の材料としてタングステンを用いた。一方、上部プラグ2401はキャパシタ工程の後に形成されるので、耐熱性は必要ではない。すなわち、上記温度以下の融点を有する導電材料が用いられる。そこで、材料としては低抵抗であるアルミニウムを用いた。勿論、上部プラグ2401としては銅の使用も可能である。また、配線層間の接続プラグ2402としてはアルミニウムを用いたが、耐熱性は要求されないので、銅やタングステンの使用も可能である。

【００３１】

実施例５

図５１に本実施例の断面図を示す。本実施例においても、製造工程しては、まず周辺回路領域における下部プラグ24、次にメモリセルキャパシタ、続いて周辺回路領域における上部プラグ2401の順に形成した。本実施例の場合、キャパシタは、ビット線の上に堆積した酸化膜のトレンチ内に形成した。この場合、円筒型下部電極の内側だけが用いられる為、キャパシタ表面積としてはこれまでの実施例の約半分となる。この結果、必要な容量を確保するためのキャパシタ高さは約1.5ミクロンであったが、周辺回路とメモリアレーの間に段差が生じないという、これまでの実施例には無い特長がある。この時、図５１に示したように、キャパシタ上部電極14が、周辺回路における下部プラグ24よりも高い位置に存在するので、キャパシタ上部電極14への給電を配線15からではなく、配線1501から取った

。こうして、コンタクトの数が減った結果として、配線15のレイアウトに余裕ができるという特長がある。

【００３２】

実施例６

図５２に本実施例の断面図を示す。本実施例の特徴はキャパシタにある。即ち、円筒型下部電極の下半分においては内側だけを、上半分においては電極の両面を、キャパシタの対向表面積として用いる構造とした。この結果、実施例５（図５１）の場合よりも、キャパシタ表面積を増大できるので、キャパシタの高さを低減できた。

【００３３】

実施例７

メモリアレー部のプラグ材料として、ポリシリコンを用いた場合の断面図を図５３に示す。この結果、金属汚染を軽減し、メモリアレーにおけるリーク電流を減少させることができた。

【００３４】

実施例８

図５４～５６には下部電極に凹凸を形成した場合の実施例を示す。それぞれ、キャパシタの形成法が異なる。この結果、キャパシタの表面積が、増大し、高さを2/3から1/2に低減できた。本実施例においては凹凸の形成にはラグドポリシリコン(Rugged Polysilicon)のエッチバックを用いたが、HSG(Hemispherical Grain)により形成することも可能である。

【００３５】

実施例９

図５７にキャパシタ絶縁膜として、BSTやPZTなどの高誘電体膜を用いた本実施例の断面図を示す。こうした膜の場合、下部電極として白金(Pt)やルテニウムオキサイド(RuO)が用いられるが、CVD工程が難しい為、立体電極形成が困難という問題点があった。本実施例はこの問題点を解決するものである。即ち、実施例１の図２４から図２６に示したような、リング形状の酸化膜ハードマスクを用いることによって、ルテニウムオキサイドからなる下部電極25を立体形状に加工することができ、必要な容量を確保することができた。勿論、下部電極として白金を用いることは可能である。また、本実施例においてはキャパシタ上部電極1403としてAl/TiNを用いたが、勿論ルテニウムやルテニウムオキサイドの使用も可能である。

【００３６】

【発明の効果】

本発明には、集積度の増大と共に深刻な問題となるメモリセルアレー部と周辺回路部との間の高段差を緩和し、後の配線工程を容易にするという効果がある。また、ビット線を形成した後に、段差を緩和させるので、浅溝素子分離の適用も可能である。更に、周辺回路から引き上げるプラグを複数段つないでいくので、コンタクト穴のアスペクト比を小さくでき、プロセスの信頼性も向上させるという特長を持つ。

【図面の簡単な説明】

【図１】本発明の半導体記憶装置の断面図である。

【図２】従来技術の断面図である。

【図３】本発明の半導体記憶装置の１製造工程における断面図である。

【図４】本発明の半導体記憶装置の１製造工程における断面図である。

【図５】本発明の半導体記憶装置の１製造工程における断面図である。

【図６】本発明の半導体記憶装置の１製造工程における断面図である。

【図７】本発明の半導体記憶装置の１製造工程における断面図である。

【図８】本発明の半導体記憶装置の１製造工程における断面図である。

【図９】本発明の半導体記憶装置の１製造工程における断面図である。

【図１０】本発明の半導体記憶装置の１製造工程における断面図である。

【図１１】本発明の半導体記憶装置の１製造工程における断面図である。

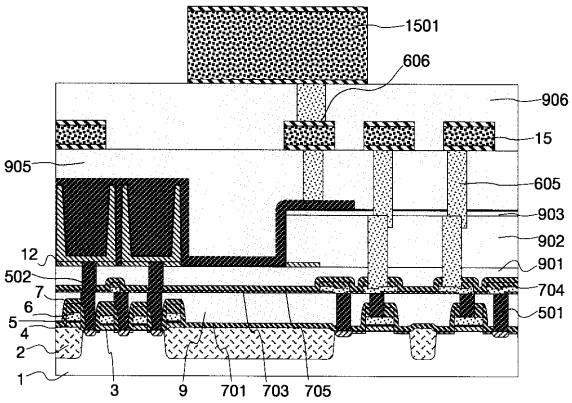
【図１２】本発明の半導体記憶装置の１製造工程における断面図である。

【図１３】本発明の半導体記憶装置の１製造工程における断面図である。
【図１４】本発明の半導体記憶装置の１製造工程における断面図である。
【図１５】本発明の半導体記憶装置の１製造工程における断面図である。
【図１６】本発明の半導体記憶装置の１製造工程における断面図である。
【図１７】本発明の半導体記憶装置の１製造工程における断面図である。
【図１８】本発明の半導体記憶装置の１製造工程における断面図である。
【図１９】本発明の半導体記憶装置の１製造工程における断面図である。
【図２０】本発明の半導体記憶装置の１製造工程における断面図である。
【図２１】本発明の半導体記憶装置の１製造工程における断面図である。
【図２２】本発明の半導体記憶装置の１製造工程における断面図である。
【図２３】本発明の半導体記憶装置の１製造工程における断面図である。
【図２４】本発明の半導体記憶装置の１製造工程における断面図である。
【図２５】本発明の半導体記憶装置の１製造工程における断面図である。
【図２６】本発明の半導体記憶装置の１製造工程における断面図である。
【図２７】本発明の半導体記憶装置の１製造工程における断面図である。
【図２８】本発明の半導体記憶装置の１製造工程における断面図である。
【図２９】本発明の半導体記憶装置の１製造工程における断面図である。
【図３０】本発明の半導体記憶装置の１製造工程における断面図である。
【図３１】本発明の半導体記憶装置の１製造工程における断面図である。
【図３２】本発明の半導体記憶装置の１製造工程における断面図である。
【図３３】本発明の半導体記憶装置の１製造工程における断面図である。
【図３４】本発明の半導体記憶装置の１製造工程における断面図である。
【図３５】本発明の半導体記憶装置の１製造工程における断面図である。
【図３６】本発明の半導体記憶装置の１製造工程における断面図である。
【図３７】本発明の半導体記憶装置の１製造工程における断面図である。
【図３８】本発明の半導体記憶装置の１製造工程における断面図である。
【図３９】本発明の半導体記憶装置の１製造工程における断面図である。
【図４０】本発明の半導体記憶装置の１製造工程における断面図である。
【図４１】本発明の半導体記憶装置の１製造工程における断面図である。
【図４２】本発明の半導体記憶装置の１製造工程における断面図である。
【図４３】本発明の半導体記憶装置の１製造工程における断面図である。
【図４４】本発明の半導体記憶装置の１製造工程における断面図である。
【図４５】本発明の半導体記憶装置の１製造工程における断面図である。
【図４６】本発明の半導体記憶装置の１製造工程における断面図である。
【図４７】本発明の一実施形態の半導体記憶装置（チップレイアウト）を示す平面図である。
【図４８】本発明の他の実施形態の半導体記憶装置（チップレイアウト）を示す平面図である。
【図４９】本発明の半導体記憶装置のマスクレイアウトを示す平面図である。
【図５０】本発明の半導体記憶装置の１製造工程における断面図である。
【図５１】本発明の半導体記憶装置の１製造工程における断面図である。
【図５２】本発明の半導体記憶装置の１製造工程における断面図である。
【図５３】本発明の半導体記憶装置の１製造工程における断面図である。
【図５４】本発明の半導体記憶装置の１製造工程における断面図である。
【図５５】本発明の半導体記憶装置の１製造工程における断面図である。
【図５６】本発明の半導体記憶装置の１製造工程における断面図である。
【図５７】本発明の半導体記憶装置の１製造工程における断面図である。
【符号の説明】
１－半導体基板２－素子間分離酸化膜３－ゲート酸化膜４－ポリシリコン５、５０１、５０２…チタンナイトライド６、６０１～６０６…タングステン７、７０１～７０９…シリ

コンナイトライド８、８０１、８０２…不純物拡散層９、９０１～９１０…シリコン酸化膜１０、１００１～１００３…コンタクト穴１１、１１０１、１１０２…レジスト１２、１２０１～１２０３…ポリシリコン１３…キャパシタ絶縁膜１４、１４０１、１４０２、１４０３…キャパシタ上部電極１５、１５０１…チタンナイトライド／アルミニウム／チタンナイトライド積層膜１６…メモリセルアレー部１７…リセス形成領域１８…周辺回路部。１９…セルトランジスタ形成領域。２０…ワード線。２１…ビット線。２２…ストレジノードコンタクト。２３…ビット線コンタクト。２４、２４０１、２４０２…プラグ電極２５…ルテニウムオキサイド。

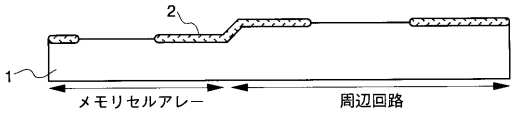
【図１】

図1



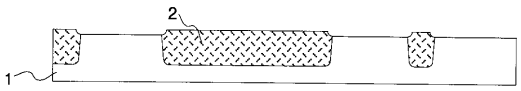
【図２】

図2 （PRIOR ART）



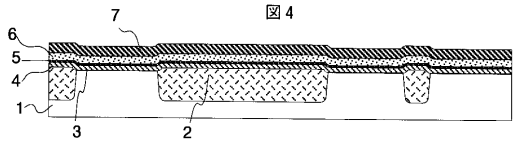
【図３】

図3



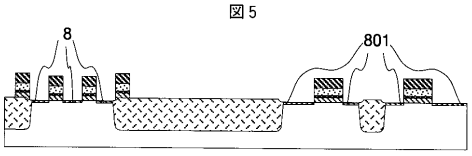
【図４】

図4



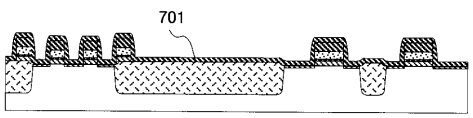
【図５】

図5



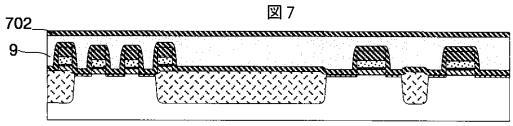
【図６】

図６



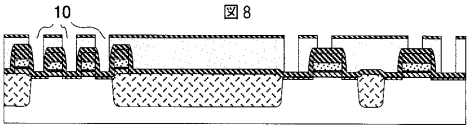
【図７】

図７



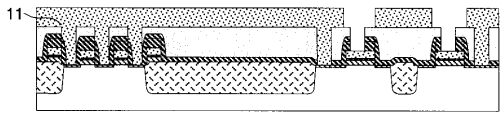
【図８】

図８



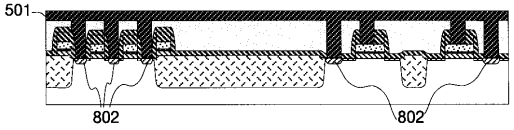
【図９】

図９



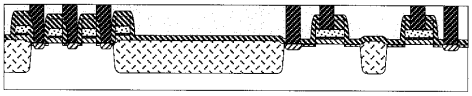
【図１０】

図１０



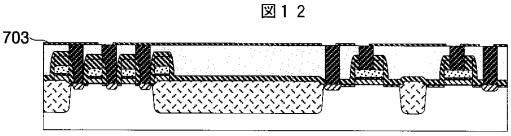
【図１１】

図１１



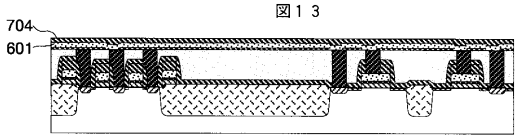
【図１２】

図１２



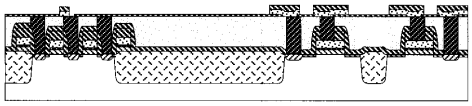
【図１３】

図１３



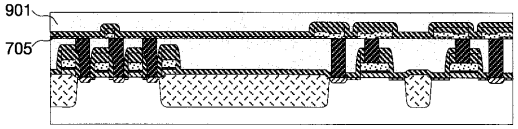
【図１４】

図１４



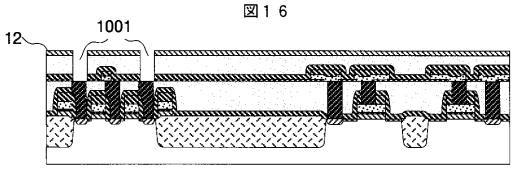
【図１５】

図１５



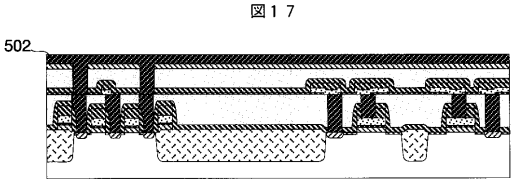
【図１６】

図１６



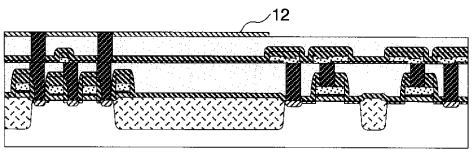
【図１７】

図１７



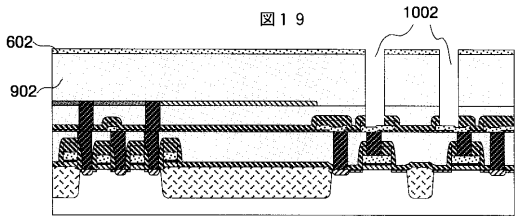
【図１８】

図１８



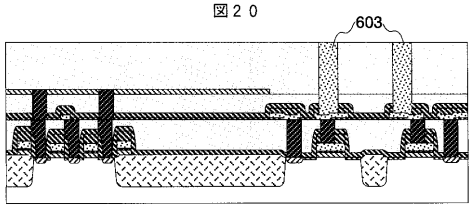
【図１９】

図１９



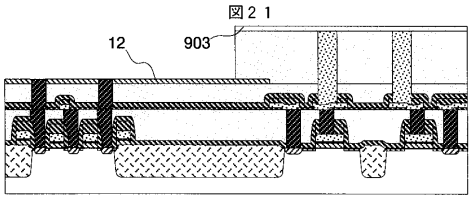
【図２０】

図２０



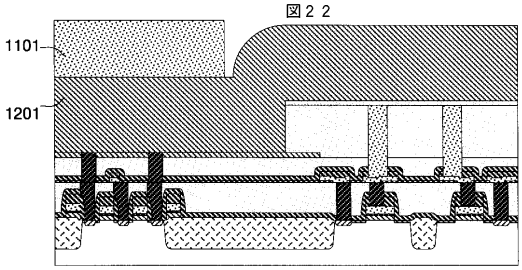
【図２１】

図２１



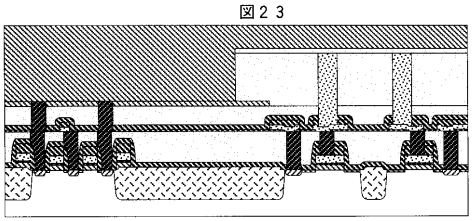
【図２２】

図２２



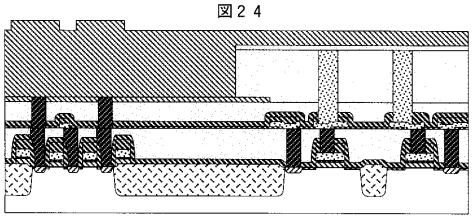
【図２３】

図２３



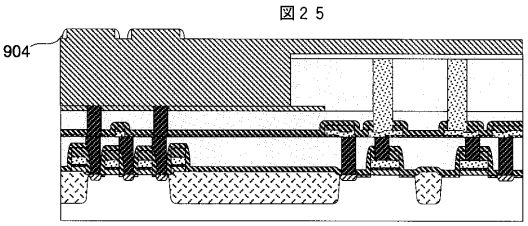
【図２４】

図２４



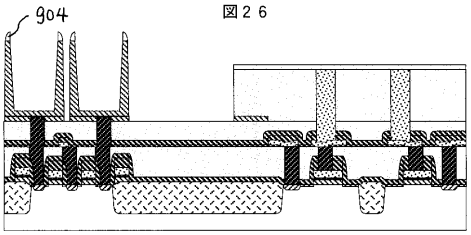
【図２５】

図２５



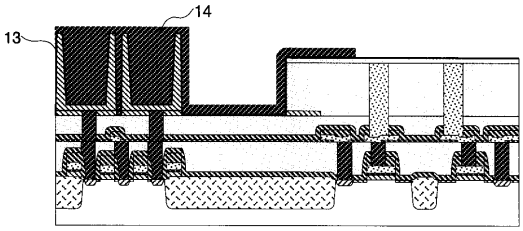
【図２６】

図２６



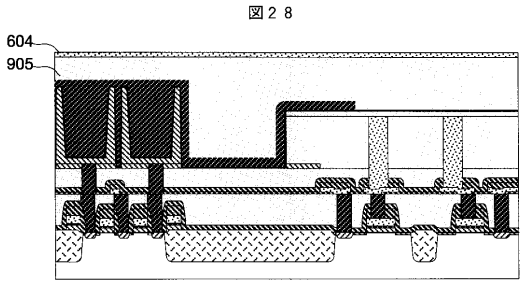
【図２７】

図２７



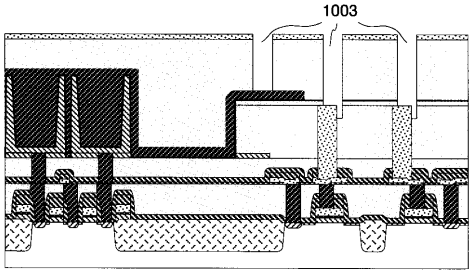
【図２８】

図２８



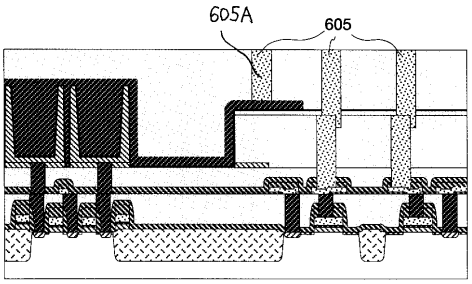
【図２９】

図２９



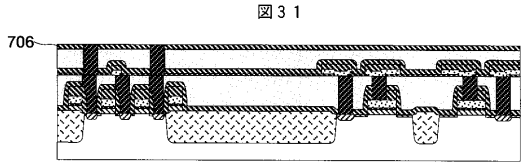
【図３０】

図３０



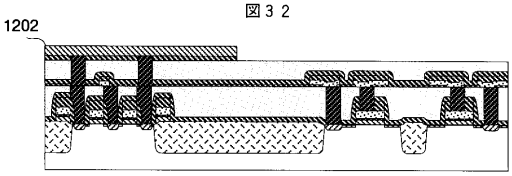
【図３１】

図３１



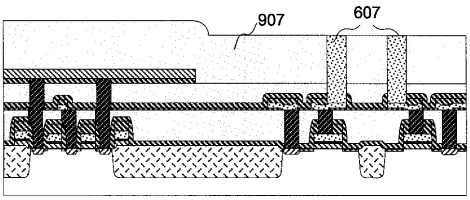
【図３２】

図３２



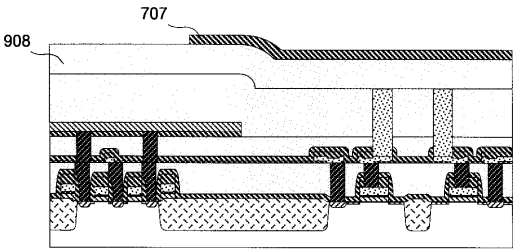
【図３３】

図３３



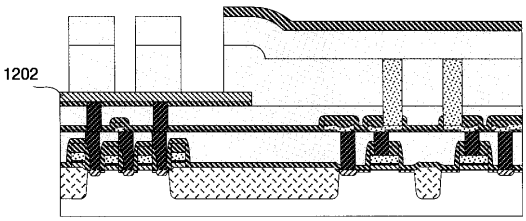
【図３４】

図３４



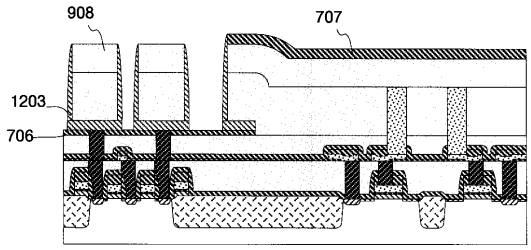
【図３５】

図３５



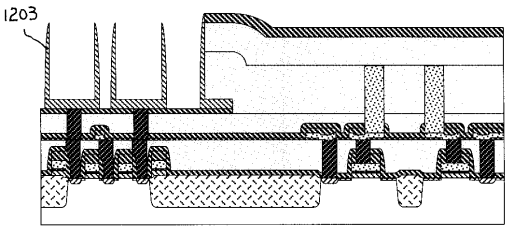
【図３６】

図３６



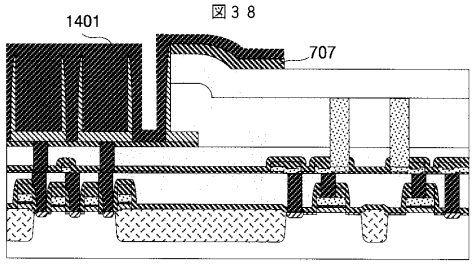
【図３７】

図３７



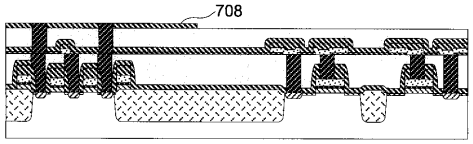
【図３８】

図３８



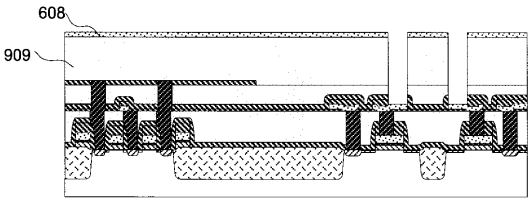
【図３９】

図３９



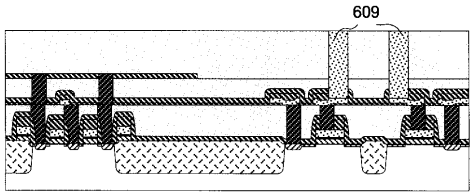
【図４０】

図４０



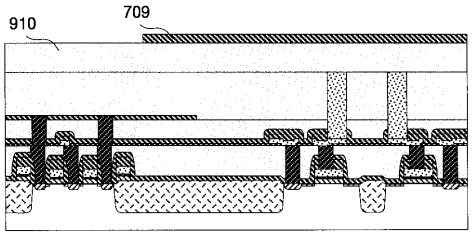
【図４１】

図４１



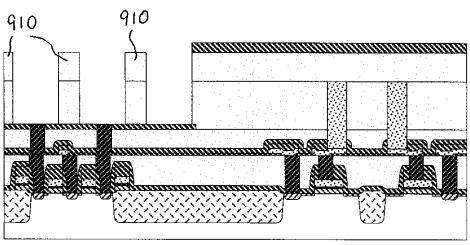
【図４２】

図４２



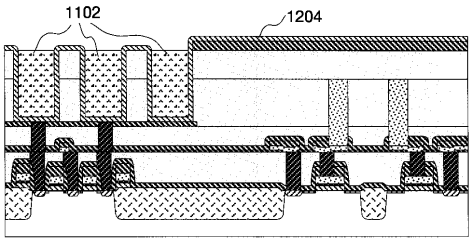
【図４３】

図４３



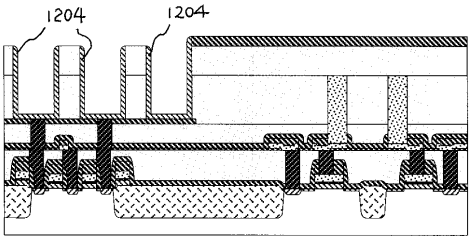
【図４４】

図４４



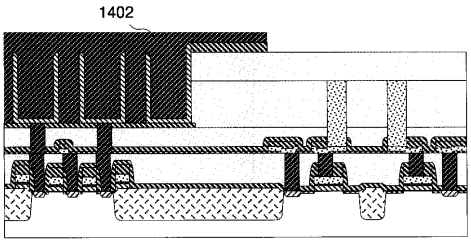
【図４５】

図４５



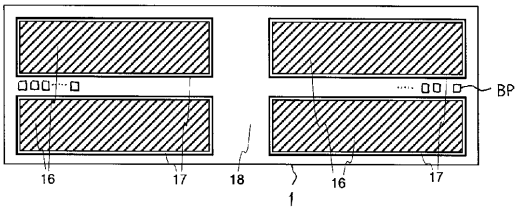
【図４６】

図４６



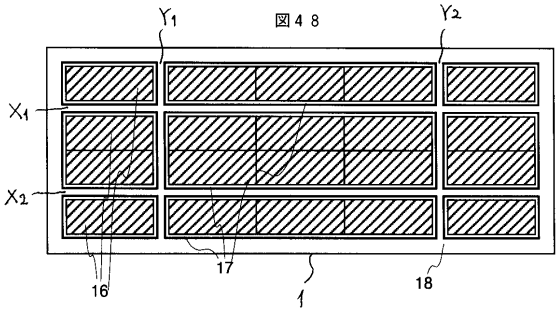
【図４７】

図４７



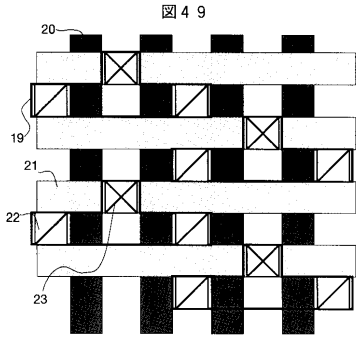
【図４８】

図４８



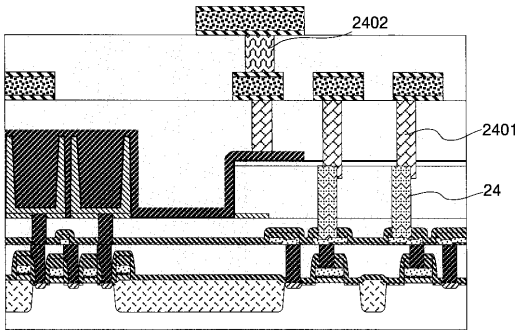
【図４９】

図４９



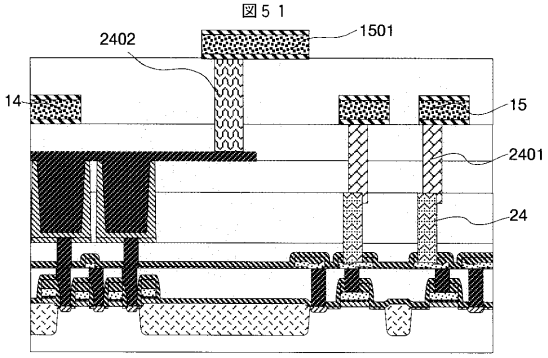
【図５０】

図５０



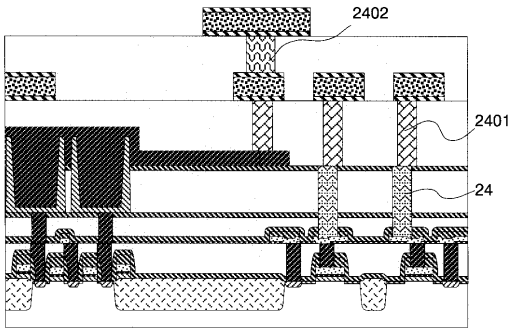
【図５１】

図５１



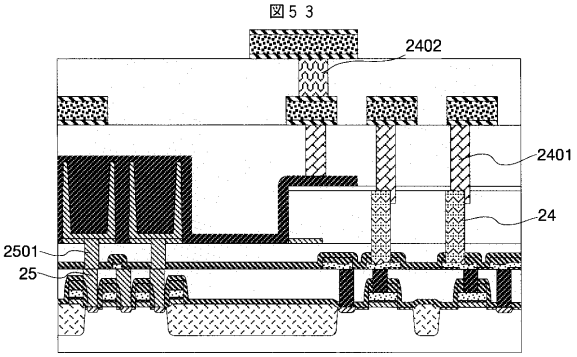
【図５２】

図５２



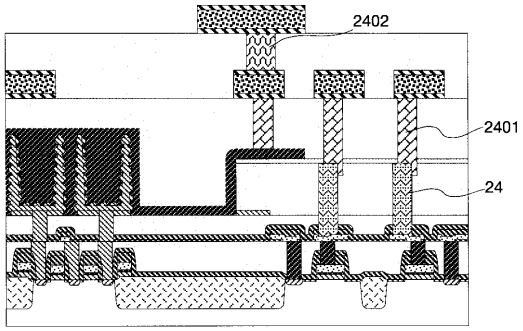
【図５３】

図５３



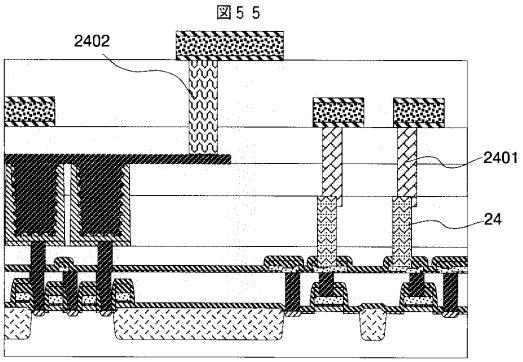
【図５４】

図５４



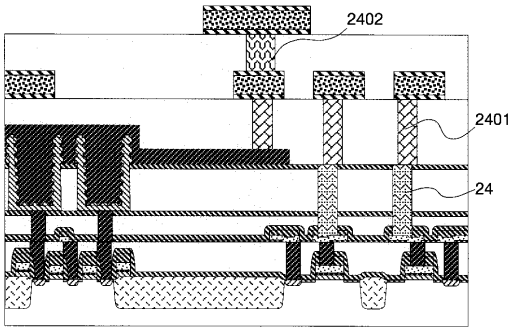
【図５５】

図５５



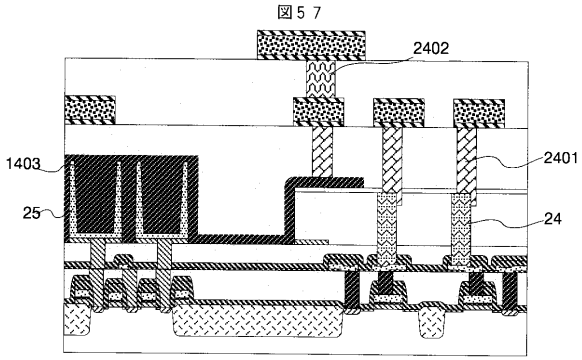
【図５６】

図５６



【図５７】

図５７



フロントページの続き

(72)発明者　山中　俊明
東京都国分寺市東恋ケ窪一丁目２８０番地　株式会社日立製作所中央研究所内

審査官　北島　健次

(56)参考文献　特開平０６－０４５５５３（ＪＰ，Ａ）
特開平０８－０４６１５２（ＪＰ，Ａ）
特開平０８－１８１２９０（ＪＰ，Ａ）
特開平０７－１２２６４５（ＪＰ，Ａ）
特開平０８－０２３０３３（ＪＰ，Ａ）
特開平０８－２０４１４１（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H01L 21/8242
H01L 21/8234
H01L 27/088
H01L 27/10