

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017 年 7 月 27 日 (27.07.2017)



(10) 国际公布号
WO 2017/124603 A1

- (51) 国际专利分类号:
H01L 21/77 (2006.01) H01L 27/32 (2006.01)
H01L 27/12 (2006.01)
- (21) 国际申请号: PCT/CN2016/074500
- (22) 国际申请日: 2016 年 2 月 25 日 (25.02.2016)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201610040572.1 2016 年 1 月 21 日 (21.01.2016) CN
- (71) 申请人: 武汉华星光电技术有限公司 (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430070 (CN)。
- (72) 发明人: 张占东 (ZHANG, Zhandong); 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430070 (CN)。 汤富雄 (TANG, Fuhsiung); 中

国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430070 (CN)。

- (74) 代理人: 深圳市德力知识产权代理事务所 (COMIPS INTELLECTUAL PROPERTY OFFICE); 中国广东省深圳市福田区上步中路深勘大厦 15E, Guangdong 518028 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA,

[见续页]

(54) Title: METHOD FOR MANUFACTURING LOW-TEMPERATURE POLYSILICON TFT SUBSTRATE AND LOW-TEMPERATURE POLYSILICON TFT SUBSTRATE

(54) 发明名称: 低温多晶硅 TFT 基板的制作方法及其低温多晶硅 TFT 基板

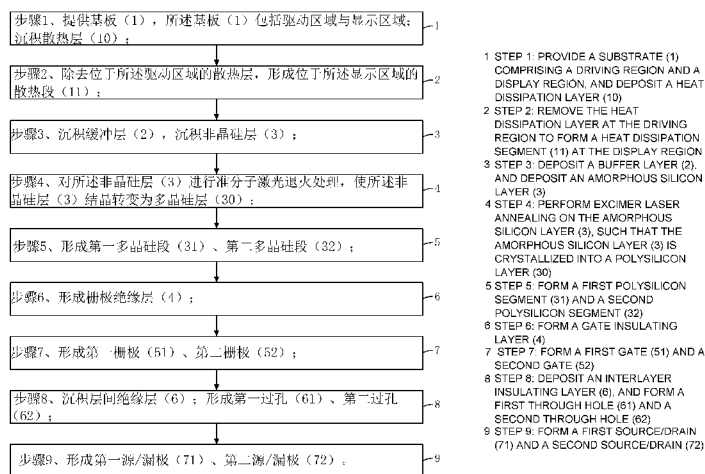


图5

(57) Abstract: Provided are a method for manufacturing a low-temperature polysilicon TFT substrate and a low-temperature polysilicon TFT substrate. A heat dissipation layer (10) is disposed in advance below an amorphous silicon layer (3), so that a difference exists between polysilicon crystals of a driving region and a display region after excimer laser annealing has been performed on the amorphous silicon layer (3). Polysilicon having a large lattice size is formed in the driving region, thereby increasing electron mobility. Crystal fragmentation is realized in a process of crystallizing the display region, such that polysilicon having a small lattice size is formed, thereby ensuring a uniform crystal boundary, and improving current uniformity. The present invention meets electrical requirements of different TFTs and increases light-emitting uniformity of an OLED.

(57) 摘要: 提供了一种低温多晶硅 TFT 基板的制作方法及其低温多晶硅 TFT 基板, 通过非晶硅层 (3) 的下方预先设置一层散热层 (10), 从而在对非晶硅层 (3) 进行准分子激光退火处理后可使得驱动区域和显示区域的多晶硅的结晶存在差异, 在驱动区域形成晶格尺寸较大的多晶硅, 提高了电子迁移率; 在显示区域的晶化过程中实现碎晶, 形成晶格尺寸较小的多晶硅, 保证了晶界均一性, 提高了电流的均一性, 从而满足了不同 TFT 的电性要求, 提高了 OLED 发光的均一性。



WO 2017/124603 A1



RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG,

CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

低温多晶硅 TFT 基板的制作方法及低温多晶硅 TFT 基板

技术领域

5 本发明涉及显示技术领域，尤其涉及一种低温多晶硅 TFT 基板的制作方法

背景技术

低温多晶硅 (Low Temperature Poly-silicon, LTPS) 技术是新一代 TFT 基板的制造技术，低温多晶硅显示器反应速度较快，且有高亮度、高解析度与低耗电量等优点。多晶硅 (Poly-Si) 具有优异的电学性能，对于有源矩阵有机发光二极管 (Active-matrix Organic Light Emitting Diode, AMOLED) 具有较好的驱动能力。因此，基于低温多晶硅技术的 AMOLED 显示背板目前被广泛使用。

15 准分子激光退火处理 (Excimer Laser Annealing, ELA) 技术是 LTPS 制程中的关键技术，该技术利用激光的瞬间脉冲照射到非晶硅表面，使其溶化并重新结晶形成低温多晶硅。

因为 AMOLED 驱动需要驱动 TFT 和显示 TFT，驱动 TFT 需要较高的电子迁移率，所以需要比较大的晶格，显示 TFT 需要有足够的电子迁移率和电流均一性，从而可以使 OLED 器件均匀发光。

20 请参阅图 1 至图 4，为一种现有的低温多晶硅 TFT 基板的制作方法的示意图，该方法包括：

步骤 1、提供基板 100，所述基板 100 包括驱动区域与显示区域；在所述基板 100 上沉积缓冲层 200，在所述缓冲层 200 上沉积非晶硅层 300；

25 步骤 2、对所述非晶硅层 300 进行准分子激光退火处理，使所述非晶硅层 300 结晶转变为多晶硅层 400；

步骤 3、对所述多晶硅层 400 进行图案化处理，形成位于所述驱动区域的第一多晶硅段 410、及位于所述显示区域的第二多晶硅段 420；

30 步骤 4、在所述缓冲层 200、第一多晶硅段 410、及第二多晶硅段 420 上依次形成栅极绝缘层 500、分别位于所述驱动区域与显示区域的第一栅极 510 与第二栅极 520、位于所述栅极绝缘层 500 及第一栅极 510 与第二栅极 520 上的层间绝缘层 600、及分别位于所述驱动区域与显示区域的第一源/漏极 710 与第二源/漏极 720；

所述栅极绝缘层 400 与层间绝缘层 600 上对应所述第一多晶硅段 410、

第二多晶硅段 420 的上方分别形成有第一过孔 610、第二过孔 620；所述第一源/漏极 710、第二源/漏极 720 分别经由所述第一过孔 610、第二过孔 620 与所述第一多晶硅段 410、第二多晶硅段 420 相接触。

然而目前的 ELA 结晶技术对于晶格的均一性和晶格结晶方向不能做到有效控制，所以结晶状况在整个基板的分布上很不均匀，造成显示效果的不均一。

因此，有必要提供一种低温多晶硅 TFT 基板的制作方法 & 低温多晶硅 TFT 基板，以解决上述问题。

10 发明内容

本发明的目的在于提供一种低温多晶硅 TFT 基板的制作方法，使得驱动区域和显示区域的多晶硅的结晶存在差异，在驱动区域形成晶格尺寸较大的多晶硅，提高电子迁移率；在显示区域的晶化过程中实现碎晶，形成晶格尺寸较小的多晶硅，保证晶界均一性，提高电流的均一性，从而满足不同 TFT 的电性要求，提高 OLED 发光的均一性。

本发明的目的还在于提供一种低温多晶硅 TFT 基板，驱动区域和显示区域的多晶硅的结晶存在差异，驱动区域的多晶硅晶格尺寸较大，电子迁移率较高；显示区域实现碎晶，多晶硅晶格尺寸较小，电流的均一性较好，可满足不同 TFT 的电性要求，提高 OLED 发光的均一性。

为实现上述目的，本发明提供一种低温多晶硅 TFT 基板的制作方法，包括如下步骤：

步骤 1、提供基板，所述基板包括驱动区域与显示区域；在所述基板上沉积散热层；

步骤 2、对所述散热层进行图案化处理，除去位于所述驱动区域的散热层，形成位于所述显示区域的散热段；

步骤 3、在所述基板与散热段上沉积缓冲层，在所述缓冲层上沉积非晶硅层；

步骤 4、对所述非晶硅层进行准分子激光退火处理，使所述非晶硅层结晶转变为多晶硅层；

步骤 5、对所述多晶硅层进行图案化处理，形成位于所述驱动区域的第一多晶硅段、及位于所述显示区域的第二多晶硅段；

步骤 6、在所述缓冲层、第一多晶硅段、及第二多晶硅段上形成栅极绝缘层；

步骤 7、在所述栅极绝缘层上沉积第一金属层，并对所述第一金属层进

行图案化处理，分别形成位于所述第一多晶硅段、第二多晶硅段上的第一栅极、第二栅极；

步骤 8、在所述栅极绝缘层、第一栅极、及第二栅极上沉积层间绝缘层；在所述栅极绝缘层、及层间绝缘层上分别对应所述第一多晶硅段、第二多晶硅段上方形成第一过孔、第二过孔；

步骤 9、在所述层间绝缘层上沉积第二金属层，并对所述第二金属层进行图案化处理，分别形成位于所述驱动区域的第一源/漏极、及位于所述显示区域的第二源/漏极；

所述第一源/漏极、第二源/漏极分别经由所述第一过孔、第二过孔与所述第一多晶硅段、第二多晶硅段相接触。

所述步骤 5 中，所述第一多晶硅段中的晶格尺寸大于第二多晶硅段中的晶格尺寸。

所述基板为玻璃基板；所述缓冲层、栅极绝缘层、及层间绝缘层的材料为氮化硅、氧化硅、或二者的组合；所述第一栅极、第二栅极、第一源/漏极、第二源/漏极的材料为钼、钛、铝、铜中的一种或多种的堆栈组合。

所述散热段的材料为金属。

本发明还提供另一种低温多晶硅 TFT 基板的制作方法，包括如下步骤：

步骤 1、提供基板，所述基板包括驱动区域与显示区域；在所述基板上沉积缓冲层，在所述缓冲层上沉积散热层；

步骤 2、对所述散热层进行图案化处理，除去位于所述驱动区域的散热层，形成位于所述显示区域的散热段；

步骤 3、在所述缓冲层、及散热段上沉积非晶硅层；

步骤 4、对所述非晶硅层进行准分子激光退火处理，使所述非晶硅层结晶转变为多晶硅层；

步骤 5、对所述多晶硅层进行图案化处理，形成位于所述驱动区域的第一多晶硅段、及位于所述显示区域的第二多晶硅段；

步骤 6、在所述缓冲层、第一多晶硅段、第二多晶硅段、及散热段上形成栅极绝缘层；

步骤 7、在所述栅极绝缘层上沉积第一金属层，并对所述第一金属层进行图案化处理，分别形成位于所述第一多晶硅段、第二多晶硅段上的第一栅极、第二栅极；

步骤 8、在所述栅极绝缘层、第一栅极、及第二栅极上沉积层间绝缘层；在所述栅极绝缘层、及层间绝缘层上分别对应所述第一多晶硅段、第二多晶硅段上方形成第一过孔、第二过孔；

步骤 9、在所述层间绝缘层上沉积第二金属层，并对所述第二金属层进行图案化处理，分别形成位于所述驱动区域的第一源/漏极、及位于所述显示区域的第二源/漏极；

所述第一源/漏极、第二源/漏极分别经由所述第一过孔、第二过孔与所述第一多晶硅段、第二多晶硅段相接触。

所述步骤 5 中，所述第一多晶硅段中的晶格尺寸大于第二多晶硅段中的晶格尺寸。

所述基板为玻璃基板；所述缓冲层、栅极绝缘层、及层间绝缘层的材料为氮化硅、氧化硅、或二者的组合；所述第一栅极、第二栅极、第一源/漏极、第二源/漏极的材料为钼、钛、铝、铜中的一种或多种的堆栈组合。

所述散热段的材料为不导电的金属氧化物。

本发明还提供一种低温多晶硅 TFT 基板，包括驱动区域与显示区域，所述驱动区域包括基板、设于所述基板上的缓冲层、设于所述缓冲层上的第一多晶硅段、设于所述缓冲层及第一多晶硅段上的栅极绝缘层、对应所述第一多晶硅段上方设于所述栅极绝缘层上的第一栅极、设于所述栅极绝缘层及第一栅极上的层间绝缘层、及设于所述层间绝缘层上的第一源/漏极；

所述显示区域包括基板、设于所述基板上的缓冲层、设于所述缓冲层上的第二多晶硅段、设于所述缓冲层及第二多晶硅段上的栅极绝缘层、对应所述第二多晶硅段上方设于所述栅极绝缘层上的第二栅极、设于所述栅极绝缘层及第二栅极上的层间绝缘层、及设于所述层间绝缘层上的第二源/漏极；

所述驱动区域的层间绝缘层及栅极绝缘层上对应所述第一多晶硅段上方形成有第一过孔，所述第一源/漏极经由所述第一过孔与所述第一多晶硅段相接触；

所述显示区域的层间绝缘层及栅极绝缘层上对应所述第二多晶硅段上方形成有第二过孔，所述第二源/漏极经由所述第二过孔与所述第二多晶硅段相接触；

所述显示区域中，所述第二多晶硅段的下方于所述基板与缓冲层之间或所述缓冲层与第二多晶硅段之间设有散热段。

所述第一多晶硅段中的晶格尺寸大于第二多晶硅段中的晶格尺寸；所述基板为玻璃基板；所述缓冲层、栅极绝缘层、及层间绝缘层的材料为氮化硅、氧化硅、或二者的组合；所述第一栅极、第二栅极、第一源/漏极、第二源/漏极的材料为钼、钛、铝、铜中的一种或多种的堆栈组合；所述散热段的材料为金属或不导电的金属氧化物。

本发明的有益效果：本发明的低温多晶硅 TFT 基板的制作方法 & 低温多晶硅 TFT 基板，通过在非晶硅层的下方预先设置一层散热层，从而在对非晶硅层进行准分子激光退过处理后可使得驱动区域和显示区域的多晶硅的结晶存在差异，在驱动区域形成晶格尺寸较大的多晶硅，提高了电子迁移率；在显示区域的晶化过程中实现碎晶，形成晶格尺寸较小的多晶硅，保证了晶界均一性，提高了电流的均一性，从而满足了不同 TFT 的电性要求，提高了 OLED 发光的均一性。

附图说明

为了能更进一步了解本发明的特征以及技术内容，请参阅以下有关本发明的详细说明与附图，然而附图仅提供参考与说明用，并非用来对本发明加以限制。

附图中，

图 1 为一种现有的低温多晶硅 TFT 基板的制作方法的步骤 1 的示意图；

图 2 为一种现有的低温多晶硅 TFT 基板的制作方法的步骤 2 的示意图；

图 3 为一种现有的低温多晶硅 TFT 基板的制作方法的步骤 3 的示意图；

图 4 为一种现有的低温多晶硅 TFT 基板的制作方法的步骤 4 的示意图；

图 5 为本发明的一种低温多晶硅 TFT 基板的制作方法的示意流程图；

图 6 为图 5 的低温多晶硅 TFT 基板的制作方法的步骤 1 的示意图；

图 7 为图 5 的低温多晶硅 TFT 基板的制作方法的步骤 2 的示意图；

图 8 为图 5 的低温多晶硅 TFT 基板的制作方法的步骤 3 的示意图；

图 9 为图 5 的低温多晶硅 TFT 基板的制作方法的步骤 4 的示意图；

图 10 为图 5 的低温多晶硅 TFT 基板的制作方法的步骤 5 的示意图；

图 11 为图 5 的低温多晶硅 TFT 基板的制作方法的步骤 6 的示意图；

图 12 为图 5 的低温多晶硅 TFT 基板的制作方法的步骤 7 的示意图；

图 13 为图 5 的低温多晶硅 TFT 基板的制作方法的步骤 8 的示意图；

图 14 为图 5 的低温多晶硅 TFT 基板的制作方法的步骤 9 的示意图暨本发明的低温多晶硅 TFT 基板的第一实施例的剖面结构示意图；

图 15 为本发明的另一种低温多晶硅 TFT 基板的制作方法的示意流程图；

图 16 为图 15 的低温多晶硅 TFT 基板的制作方法的步骤 1 的示意图；

图 17 为图 15 的低温多晶硅 TFT 基板的制作方法的步骤 2 的示意图；

图 18 为图 15 的低温多晶硅 TFT 基板的制作方法的步骤 3 的示意图；

图 19 为图 15 的低温多晶硅 TFT 基板的制作方法的步骤 4 的示意图；

图 20 为图 15 的低温多晶硅 TFT 基板的制作方法的步骤 5 的示意图；

图 21 为图 15 的低温多晶硅 TFT 基板的制作方法的步骤 6 的示意图；

图 22 为图 15 的低温多晶硅 TFT 基板的制作方法的步骤 7 的示意图；

图 23 为图 15 的低温多晶硅 TFT 基板的制作方法的步骤 8 的示意图；

5 图 24 为图 15 的低温多晶硅 TFT 基板的制作方法的步骤 9 的示意图暨本发明的低温多晶硅 TFT 基板的第二实施例的剖面结构示意图。

具体实施方式

为更进一步阐述本发明所采取的技术手段及其效果，以下结合本发明的
10 的优选实施例及其附图进行详细描述。

请参阅图 5，本发明首先提供一种低温多晶硅 TFT 基板的制作方法，包括如下步骤：

步骤 1、如图 6 所示，提供基板 1，所述基板 1 包括驱动区域与显示区域；在所述基板 1 上沉积散热层 10。

15 具体地，所述基板 1 为玻璃基板。

步骤 2、如图 7 所示，对所述散热层 10 进行图案化处理，除去位于所述驱动区域的散热层，形成位于所述显示区域的散热段 11。

具体地，所述散热段 11 的材料为金属，如钼 (Mo)、钛 (Ti)、铝 (Al)、铜 (Cu) 等。

20 步骤 3、如图 8 所示，在所述基板 1 与散热段 11 上沉积缓冲层 2，在所述缓冲层 2 上沉积非晶硅层 3。

步骤 4、如图 9 所示，对所述非晶硅层 3 进行准分子激光退火处理，使所述非晶硅层 3 结晶转变为多晶硅层 30。

25 步骤 5、如图 10 所示，对所述多晶硅层 30 进行图案化处理，形成位于所述驱动区域的第一多晶硅段 31、及位于所述显示区域的第二多晶硅段 32。

具体地，所述第一多晶硅段 31 中的晶格尺寸大于第二多晶硅段 32 中的晶格尺寸。由于所述第一多晶硅段 31 下方没有散热层，因此会在驱动区域形成晶格尺寸较大的多晶硅；而所述第二多晶硅段 32 下方具有散热段 11，散热较快，保温效果差，因此可以在显示区域的晶化过程中实现碎晶，
30 形成晶格尺寸较小的多晶硅，保证了晶界均一性，提高了电流的均一性。

步骤 6、如图 11 所示，在所述缓冲层 2、第一多晶硅段 31、及第二多晶硅段 32 上形成栅极绝缘层 4。

步骤 7、如图 12 所示，在所述栅极绝缘层 4 上沉积第一金属层，并对所述第一金属层进行图案化处理，分别形成位于所述第一多晶硅段 31、第

二多晶硅段 32 上的第一栅极 51、第二栅极 52。

步骤 8、如图 13 所示，在所述栅极绝缘层 4、第一栅极 51、及第二栅极 52 上沉积层间绝缘层 6；在所述栅极绝缘层 4、及层间绝缘层 6 上分别对应所述第一多晶硅段 31、第二多晶硅段 32 上方形成第一过孔 61、第二过孔 62。

步骤 9、如图 14 所示，在所述层间绝缘层 6 上沉积第二金属层，并对所述第二金属层进行图案化处理，分别形成位于所述驱动区域的第一源/漏极 71、及位于所述显示区域的第二源/漏极 72。

所述第一源/漏极 71、第二源/漏极 72 分别经由所述第一过孔 61、第二过孔 62 与所述第一多晶硅段 31、第二多晶硅段 32 相接触。

具体地，所述缓冲层 2、栅极绝缘层 4、及层间绝缘层 6 的材料为氮化硅、氧化硅、或二者的组合。

具体地，所述第一栅极 51、第二栅极 52、第一源/漏极 71、第二源/漏极 72 的材料为钼、钛、铝、铜中的一种或多种的堆栈组合。

请参阅图 15，本发明还提供另一种低温多晶硅 TFT 基板的制作方法，包括如下步骤：

步骤 1、如图 16 所示，提供基板 1，所述基板 1 包括驱动区域与显示区域；在所述基板 1 上沉积缓冲层 2，在所述缓冲层 2 上沉积散热层 10。

具体地，所述基板 1 为玻璃基板。

步骤 2、如图 17 所示，对所述散热层 10 进行图案化处理，除去位于所述驱动区域的散热层 10，形成位于所述显示区域的散热段 11。

具体地，所述散热段 11 的材料为不导电的金属氧化物，如氧化铝。

步骤 3、如图 18 所示，在所述缓冲层 2、及散热段 11 上沉积非晶硅层 3。

步骤 4、如图 19 所示，对所述非晶硅层 3 进行准分子激光退火处理，使所述非晶硅层 3 结晶转变为多晶硅层 30。

步骤 5、如图 20 所示，对所述多晶硅层 30 进行图案化处理，形成位于所述驱动区域的第一多晶硅段 31、及位于所述显示区域的第二多晶硅段 32。

具体地，所述第一多晶硅段 31 中的晶格尺寸大于第二多晶硅段 32 中的晶格尺寸。由于所述第一多晶硅段 31 下方没有散热层，保温效果较佳，因此会在驱动区域形成晶格尺寸较大的多晶硅；而所述第二多晶硅段 32 下方具有散热段 11，散热较快，因此可以在显示区域的晶化过程中实现碎晶，形成晶格尺寸较小的多晶硅，保证了晶界均一性，提高了电流的均一性。

步骤 6、如图 21 所示，在所述缓冲层 2、第一多晶硅段 31、第二多晶

硅段 32、及散热段 11 上形成栅极绝缘层 4。

步骤 7、如图 22 所示，在所述栅极绝缘层 4 上沉积第一金属层，并对所述第一金属层进行图案化处理，分别形成位于所述第一多晶硅段 31、第二多晶硅段 32 上的第一栅极 51、第二栅极 52。

5 步骤 8、如图 23 所示，在所述栅极绝缘层 4、第一栅极 51、及第二栅极 52 上沉积层间绝缘层 6；在所述栅极绝缘层 4、及层间绝缘层 6 上分别对应所述第一多晶硅段 31、第二多晶硅段 32 上方形成第一过孔 61、第二过孔 62。

10 步骤 9、如图 24 所示，在所述层间绝缘层 6 上沉积第二金属层，并对所述第二金属层进行图案化处理，分别形成位于所述驱动区域的第一源/漏极 71、及位于所述显示区域的第二源/漏极 72。

所述第一源/漏极 71、第二源/漏极 72 分别经由所述第一过孔 61、第二过孔 62 与所述第一多晶硅段 31、第二多晶硅段 32 相接触。

15 具体地，所述缓冲层 2、栅极绝缘层 4、及层间绝缘层 6 的材料为氮化硅、氧化硅、或二者的组合。

具体地，所述第一栅极 51、第二栅极 52、第一源/漏极 71、第二源/漏极 72 的材料为钼、钛、铝、铜中的一种或多种的堆栈组合。

20 请参阅图 14 与图 24，本发明还提供一种低温多晶硅 TFT 基板，包括驱动区域与显示区域，所述驱动区域包括基板 1、设于所述基板 1 上的缓冲层 2、设于所述缓冲层 2 上的第一多晶硅段 31、设于所述缓冲层 2 及第一多晶硅段 31 上的栅极绝缘层 4、对应所述第一多晶硅段 31 上方设于所述栅极绝缘层 4 上的第一栅极 51、设于所述栅极绝缘层 4 及第一栅极 51 上的层间绝缘层 6、及设于所述层间绝缘层 6 上的第一源/漏极 71；

25 所述显示区域包括基板 1、设于所述基板 1 上的缓冲层 2、设于所述缓冲层 2 上的第二多晶硅段 32、设于所述缓冲层 2 及第二多晶硅段 32 上的栅极绝缘层 4、对应所述第二多晶硅段 32 上方设于所述栅极绝缘层 4 上的第二栅极 52、设于所述栅极绝缘层 4 及第二栅极 52 上的层间绝缘层 6、及设于所述层间绝缘层 6 上的第二源/漏极 72；

30 所述驱动区域的层间绝缘层 6 及栅极绝缘层 4 上对应所述第一多晶硅段 31 上方形成有第一过孔 61，所述第一源/漏极 71 经由所述第一过孔 61 与所述第一多晶硅段 31 相接触；

所述显示区域的层间绝缘层 6 及栅极绝缘层 4 上对应所述第二多晶硅段 32 上方形成有第二过孔 62，所述第二源/漏极 72 经由所述第二过孔 62 与所述第二多晶硅段 32 相接触；

所述显示区域中，所述第二多晶硅段 32 的下方于所述基板 1 与缓冲层 2 之间或所述缓冲层 2 与第二多晶硅段 32 之间设有散热段 11。

请参阅图 14，为本发明的低温多晶硅 TFT 基板的第一实施例的剖面结构示意图，其中，所述显示区域中，所述第二多晶硅段 32 的下方于所述基板 1 与缓冲层 2 之间设有散热段 11，所述散热段 11 的材料为金属，如钼 (Mo)、钛 (Ti)、铝 (Al)、铜 (Cu) 等。

请参阅图 24，为本发明的低温多晶硅 TFT 基板的第二实施例的剖面结构示意图，其中，所述显示区域中，所述第二多晶硅段 32 的下方于所述缓冲层 2 与第二多晶硅段 32 之间设有散热段 11，所述散热段 11 的材料为不导电的金属氧化物，如氧化铝。

具体地，所述第一多晶硅段 31 中的晶格尺寸大于第二多晶硅段 32 中的晶格尺寸。

具体地，所述基板 1 为玻璃基板。

具体地，所述缓冲层 2、栅极绝缘层 4、及层间绝缘层 6 的材料为氮化硅、氧化硅、或二者的组合。

具体地，所述第一栅极 51、第二栅极 52、第一源/漏极 71、第二源/漏极 72 的材料为钼、钛、铝、铜中的一种或多种的堆栈组合。

综上所述，本发明的低温多晶硅 TFT 基板的制作方法及其低温多晶硅 TFT 基板，通过在非晶硅层的下方预先设置一层散热层，从而在对非晶硅层进行准分子激光退火处理后可使得驱动区域和显示区域的多晶硅的结晶存在差异，在驱动区域形成晶格尺寸较大的多晶硅，提高了电子迁移率；在显示区域的晶化过程中实现碎晶，形成晶格尺寸较小的多晶硅，保证了晶界均一性，提高了电流的均一性，从而满足了不同 TFT 的电性要求，提高了 OLED 发光的均一性。

以上所述，对于本领域的普通技术人员来说，可以根据本发明的技术方案和技术构思作出其他各种相应的改变和变形，而所有这些改变和变形都应属于本发明后附的权利要求的保护范围。

权 利 要 求

1、一种低温多晶硅 TFT 基板的制作方法，包括如下步骤：

步骤 1、提供基板，所述基板包括驱动区域与显示区域；在所述基板上
5 沉积散热层；

步骤 2、对所述散热层进行图案化处理，除去位于所述驱动区域的散热层，形成位于所述显示区域的散热段；

步骤 3、在所述基板与散热段上沉积缓冲层，在所述缓冲层上沉积非晶硅层；

10 步骤 4、对所述非晶硅层进行准分子激光退火处理，使所述非晶硅层结晶转变为多晶硅层；

步骤 5、对所述多晶硅层进行图案化处理，形成位于所述驱动区域的第一多晶硅段、及位于所述显示区域的第二多晶硅段；

步骤 6、在所述缓冲层、第一多晶硅段、及第二多晶硅段上形成栅极绝
15 缘层；

步骤 7、在所述栅极绝缘层上沉积第一金属层，并对所述第一金属层进行图案化处理，分别形成位于所述第一多晶硅段、第二多晶硅段上的第一栅极、第二栅极；

步骤 8、在所述栅极绝缘层、第一栅极、第二栅极上沉积层间绝缘层；
20 在所述栅极绝缘层、及层间绝缘层上分别对应所述第一多晶硅段、第二多晶硅段上方形成第一过孔、第二过孔；

步骤 9、在所述层间绝缘层上沉积第二金属层，并对所述第二金属层进行图案化处理，分别形成位于所述驱动区域的第一源/漏极、及位于所述显示区域的第二源/漏极；

25 所述第一源/漏极、第二源/漏极分别经由所述第一过孔、第二过孔与所述第一多晶硅段、第二多晶硅段相接触。

2、如权利要求 1 所述的低温多晶硅 TFT 基板的制作方法，其中，所述步骤 5 中，所述第一多晶硅段中的晶格尺寸大于第二多晶硅段中的晶格尺寸。

30 3、如权利要求 1 所述的低温多晶硅 TFT 基板的制作方法，其中，所述基板为玻璃基板；所述缓冲层、栅极绝缘层、及层间绝缘层的材料为氮化硅、氧化硅、或二者的组合；所述第一栅极、第二栅极、第一源/漏极、第二源/漏极的材料为钼、钛、铝、铜中的一种或多种的堆栈组合。

4、如权利要求 1 所述的低温多晶硅 TFT 基板的制作方法，其中，所述散热段的材料为金属。

5、一种低温多晶硅 TFT 基板的制作方法，包括如下步骤：

步骤 1、提供基板，所述基板包括驱动区域与显示区域；在所述基板上
5 沉积缓冲层，在所述缓冲层上沉积散热层；

步骤 2、对所述散热层进行图案化处理，除去位于所述驱动区域的散热层，形成位于所述显示区域的散热段；

步骤 3、在所述缓冲层、及散热段上沉积非晶硅层；

步骤 4、对所述非晶硅层进行准分子激光退火处理，使所述非晶硅层结
10 晶转变为多晶硅层；

步骤 5、对所述多晶硅层进行图案化处理，形成位于所述驱动区域的第一多晶硅段、及位于所述显示区域的第二多晶硅段；

步骤 6、在所述缓冲层、第一多晶硅段、第二多晶硅段、及散热段上形成栅极绝缘层；

15 步骤 7、在所述栅极绝缘层上沉积第一金属层，并对所述第一金属层进行图案化处理，分别形成位于所述第一多晶硅段、第二多晶硅段上的第一栅极、第二栅极；

步骤 8、在所述栅极绝缘层、第一栅极、第二栅极上沉积层间绝缘层；在所述栅极绝缘层、及层间绝缘层上分别对应所述第一多晶硅段、第二多
20 晶硅段上方形成第一过孔、第二过孔；

步骤 9、在所述层间绝缘层上沉积第二金属层，并对所述第二金属层进行图案化处理，分别形成位于所述驱动区域的第一源/漏极、及位于所述显示区域的第二源/漏极；

所述第一源/漏极、第二源/漏极分别经由所述第一过孔、第二过孔与所
25 述第一多晶硅段、第二多晶硅段相接触。

6、如权利要求 5 所述的低温多晶硅 TFT 基板的制作方法，其中，所述步骤 5 中，所述第一多晶硅段中的晶格尺寸大于第二多晶硅段中的晶格尺寸。

7、如权利要求 5 所述的低温多晶硅 TFT 基板的制作方法，其中，所
30 述基板为玻璃基板；所述缓冲层、栅极绝缘层、及层间绝缘层的材料为氮化硅、氧化硅、或二者的组合；所述第一栅极、第二栅极、第一源/漏极、第二源/漏极的材料为钼、钛、铝、铜中的一种或多种的堆栈组合。

8、如权利要求 5 所述的低温多晶硅 TFT 基板的制作方法，其中，所述散热段的材料为不导电的金属氧化物。

9、一种低温多晶硅 TFT 基板，包括驱动区域与显示区域，所述驱动区域包括基板、设于所述基板上的缓冲层、设于所述缓冲层上的第一多晶硅段、设于所述缓冲层及第一多晶硅段上的栅极绝缘层、对应所述第一多晶硅段上方设于所述栅极绝缘层上的第一栅极、设于所述栅极绝缘层及第一栅极上的层间绝缘层、及设于所述层间绝缘层上的第一源/漏极；

所述显示区域包括基板、设于所述基板上的缓冲层、设于所述缓冲层上的第二多晶硅段、设于所述缓冲层及第二多晶硅段上的栅极绝缘层、对应所述第二多晶硅段上方设于所述栅极绝缘层上的第二栅极、设于所述栅极绝缘层及第二栅极上的层间绝缘层、及设于所述层间绝缘层上的第二源/漏极；

所述驱动区域的层间绝缘层及栅极绝缘层上对应所述第一多晶硅段上方形成有第一过孔，所述第一源/漏极经由所述第一过孔与所述第一多晶硅段相接触；

所述显示区域的层间绝缘层及栅极绝缘层上对应所述第二多晶硅段上方形成有第二过孔，所述第二源/漏极经由所述第二过孔与所述第二多晶硅段相接触；

所述显示区域中，所述第二多晶硅段的下方于所述基板与缓冲层之间或所述缓冲层与第二多晶硅段之间设有散热段。

10、如权利要求 9 所述的低温多晶硅 TFT 基板，其中，所述第一多晶硅段中的晶格尺寸大于第二多晶硅段中的晶格尺寸；所述基板为玻璃基板；所述缓冲层、栅极绝缘层、及层间绝缘层的材料为氮化硅、氧化硅、或二者的组合；所述第一栅极、第二栅极、第一源/漏极、第二源/漏极的材料为钼、钛、铝、铜中的一种或多种的堆栈组合；所述散热段的材料为金属或不导电的金属氧化物。

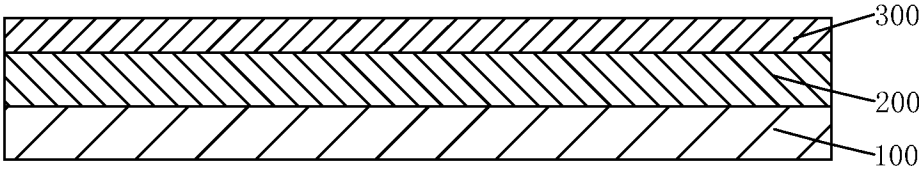


图1

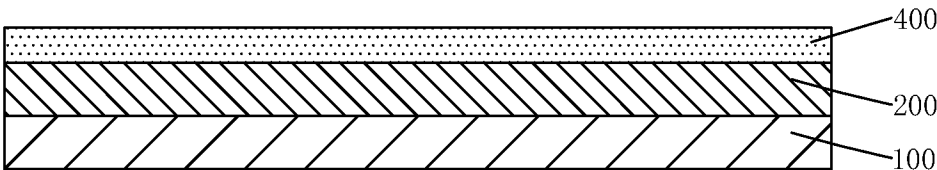


图2

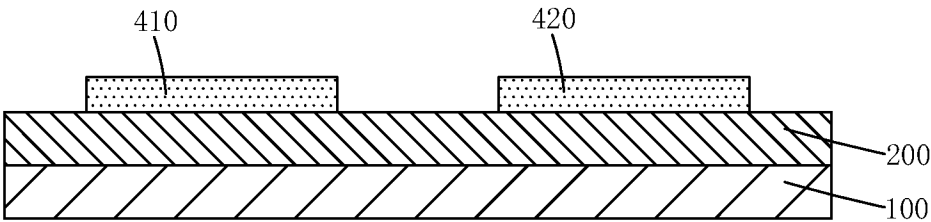


图3

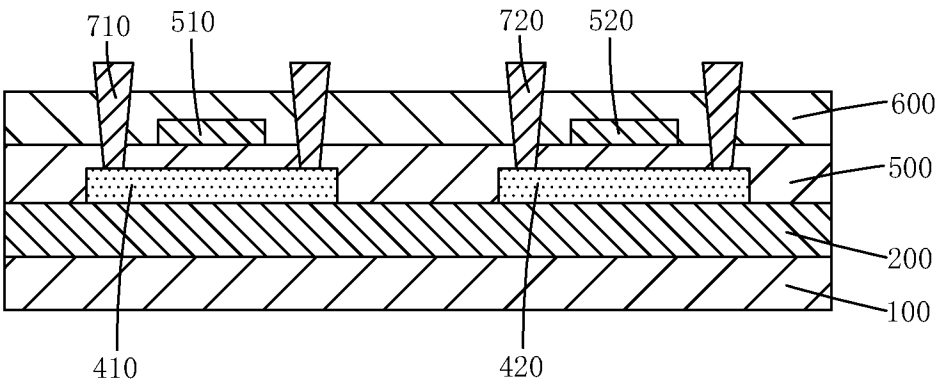


图4

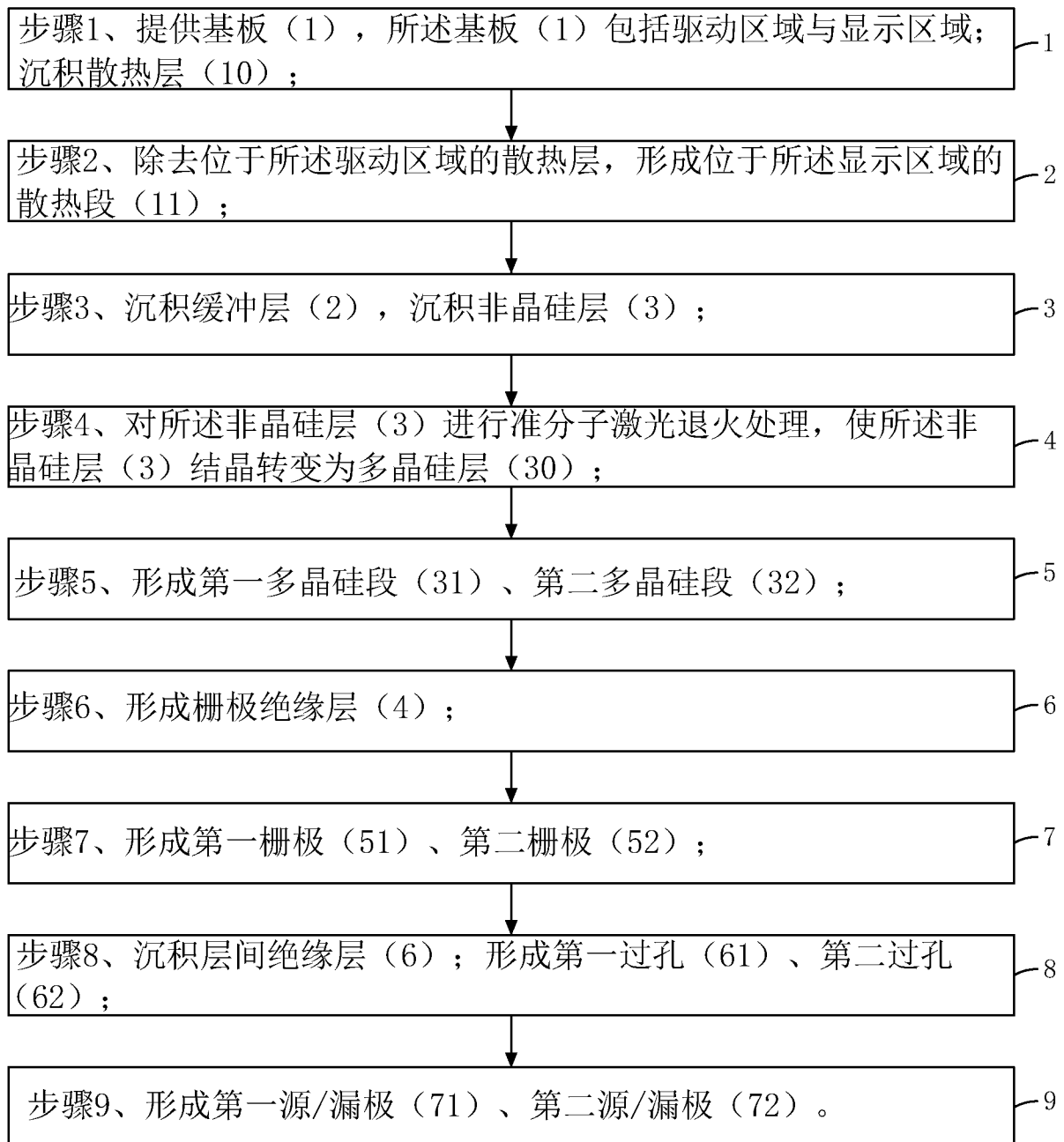


图5

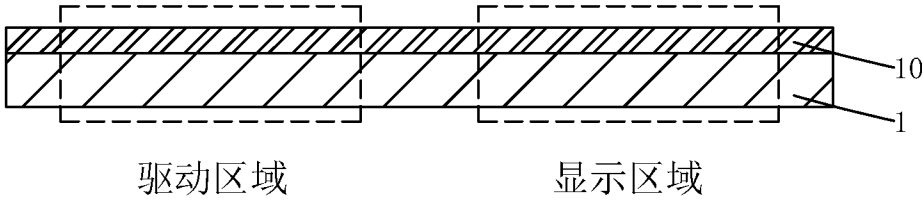


图6

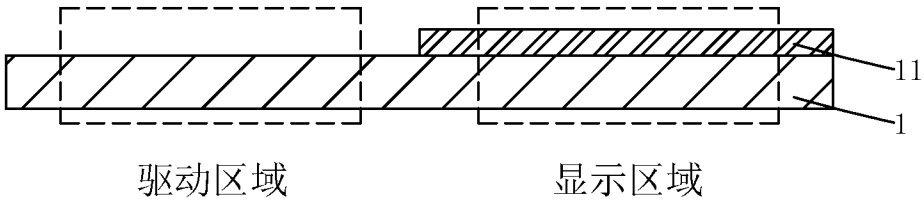


图7

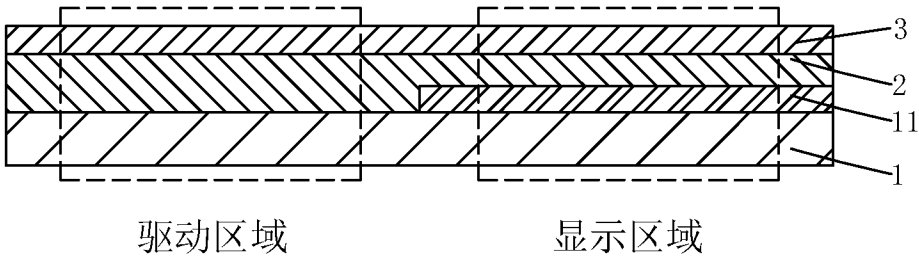


图8

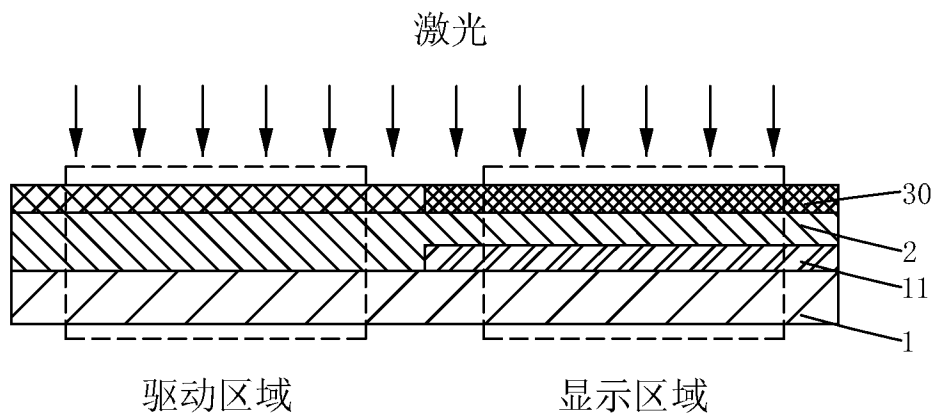


图9

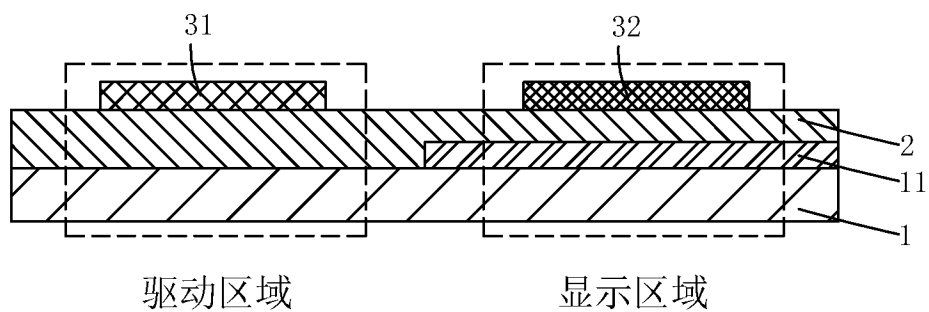


图10

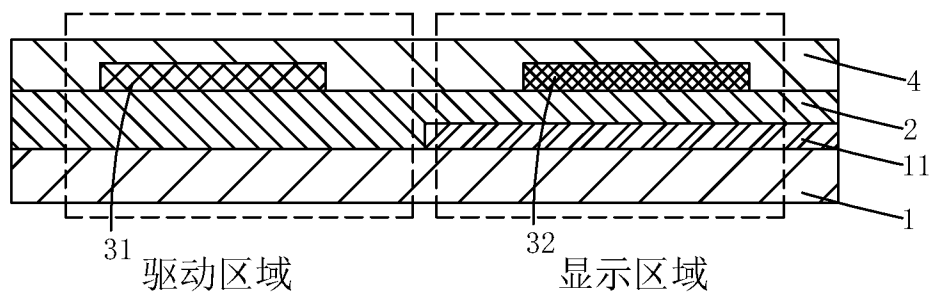


图11

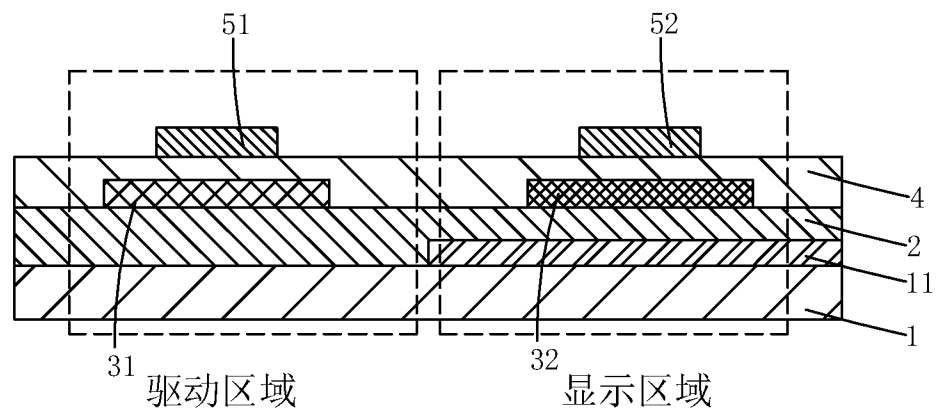


图12

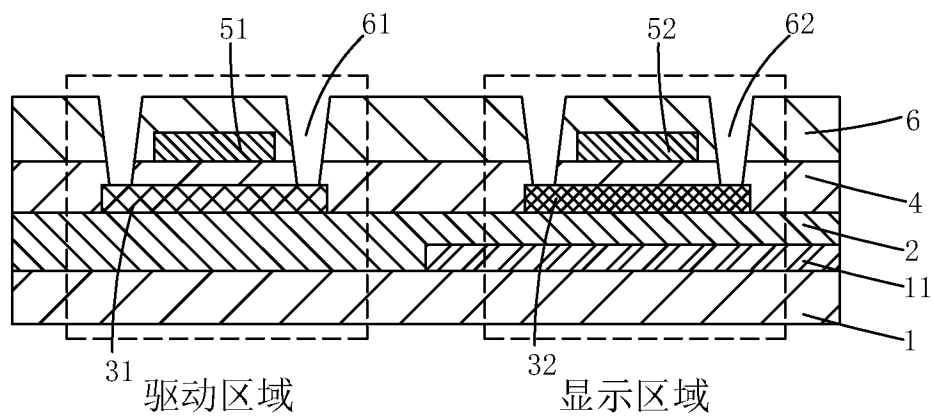


图13

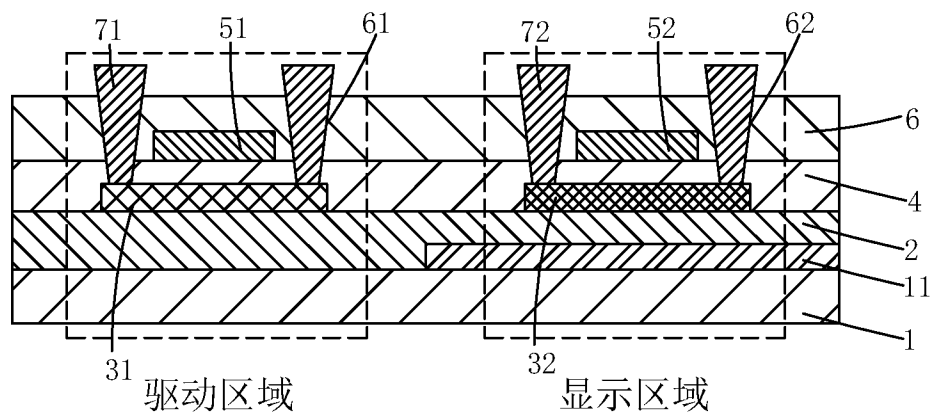


图14

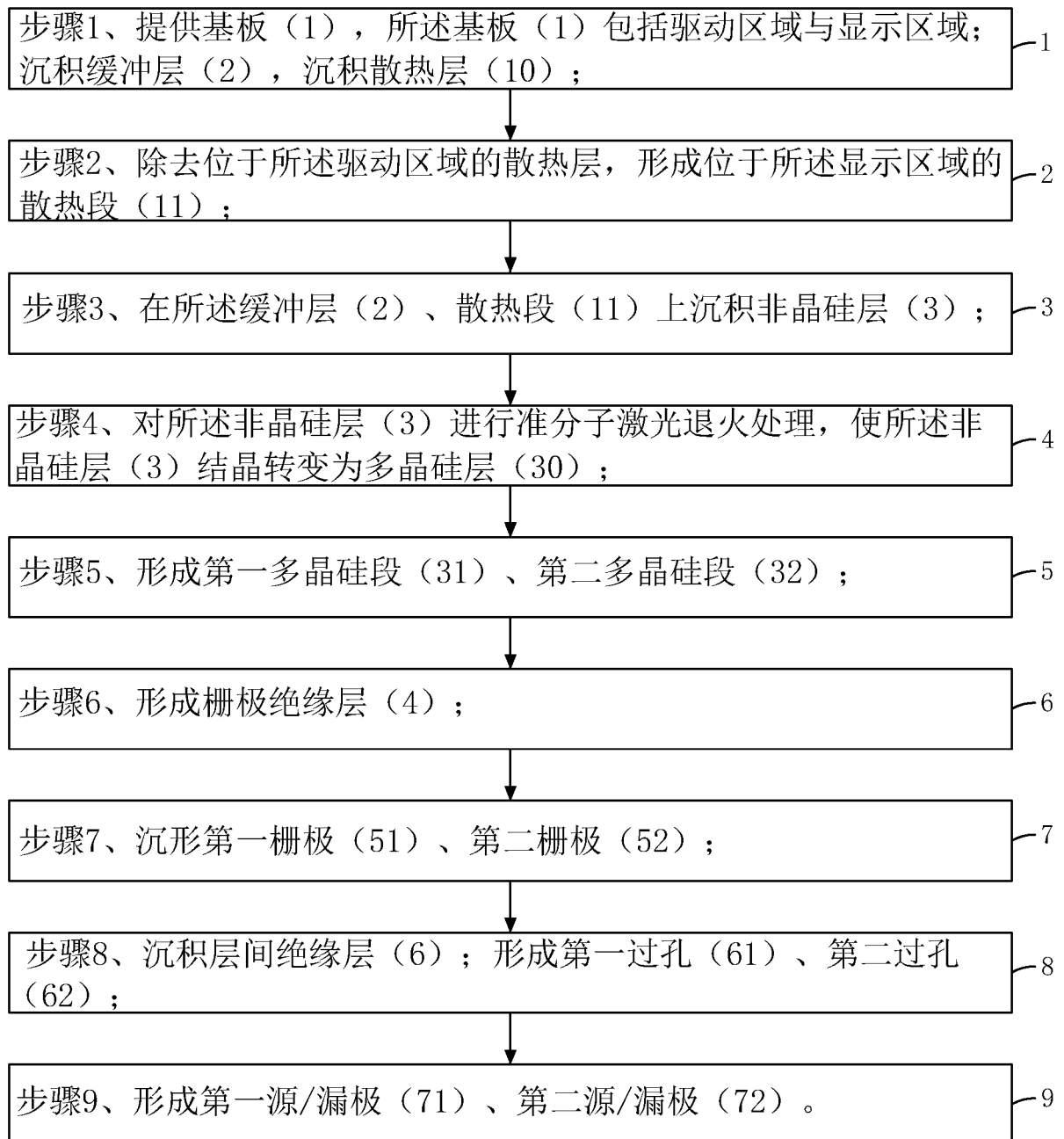


图15

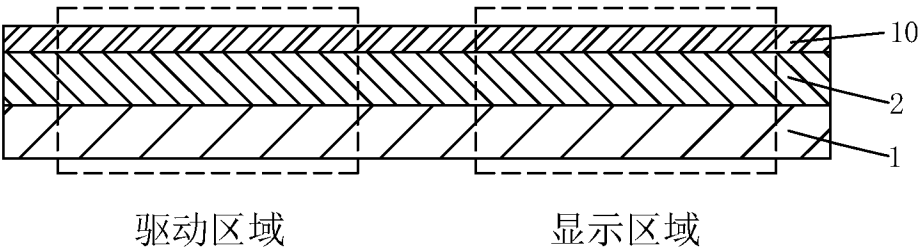


图16

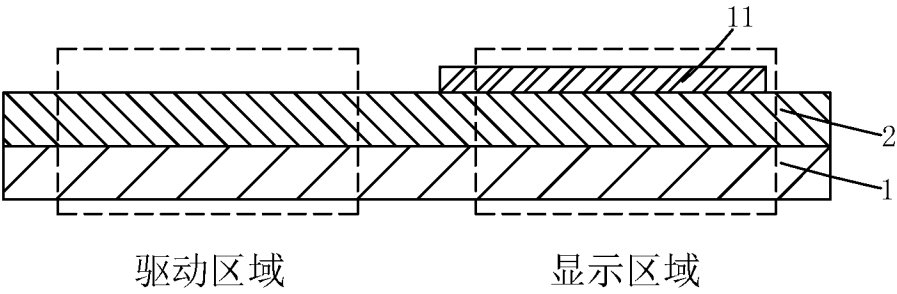


图17

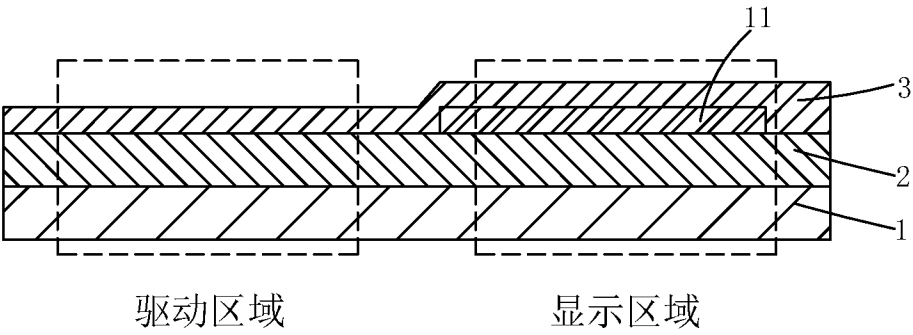


图18

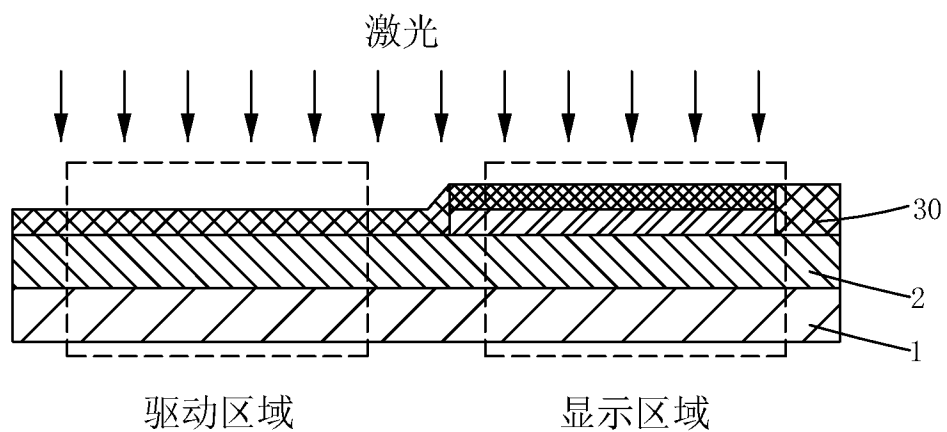


图19

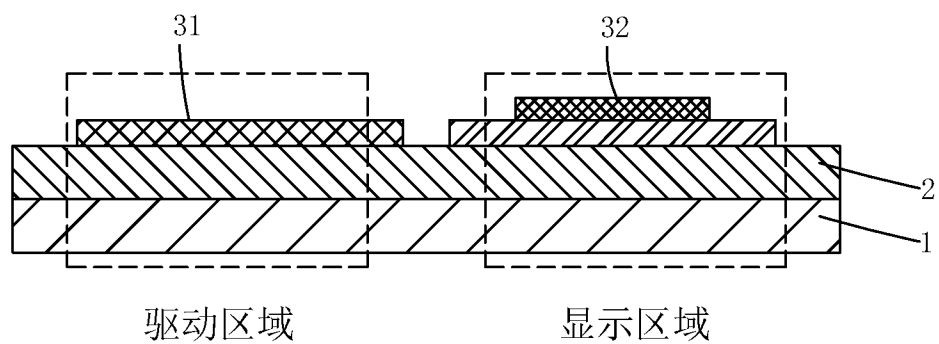


图20

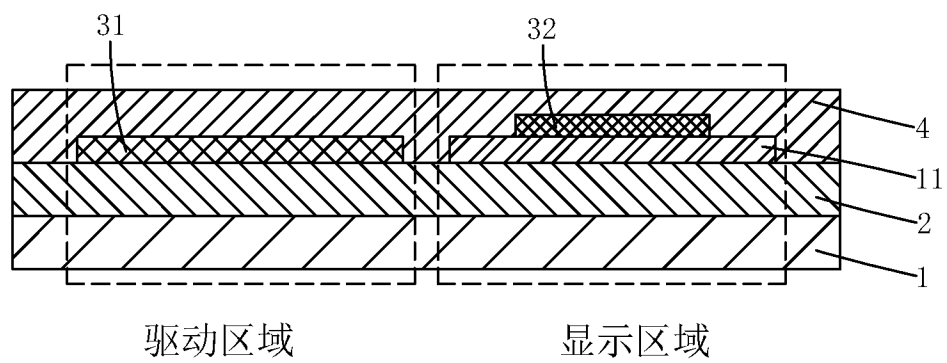


图21

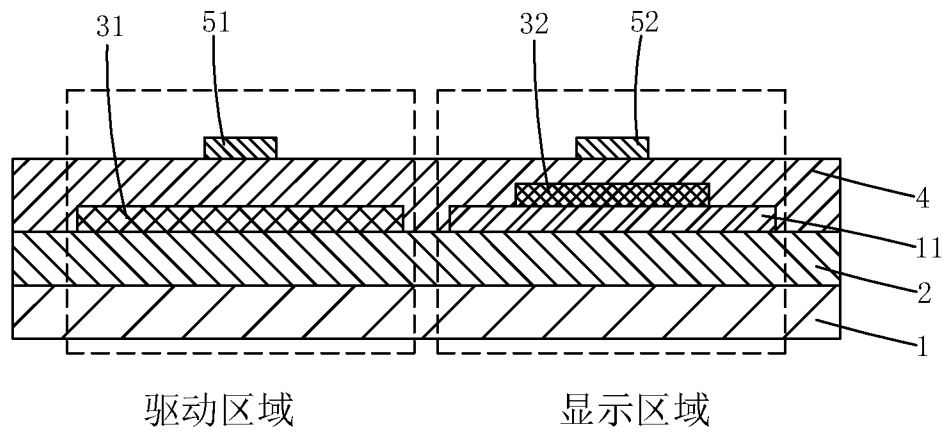


图22

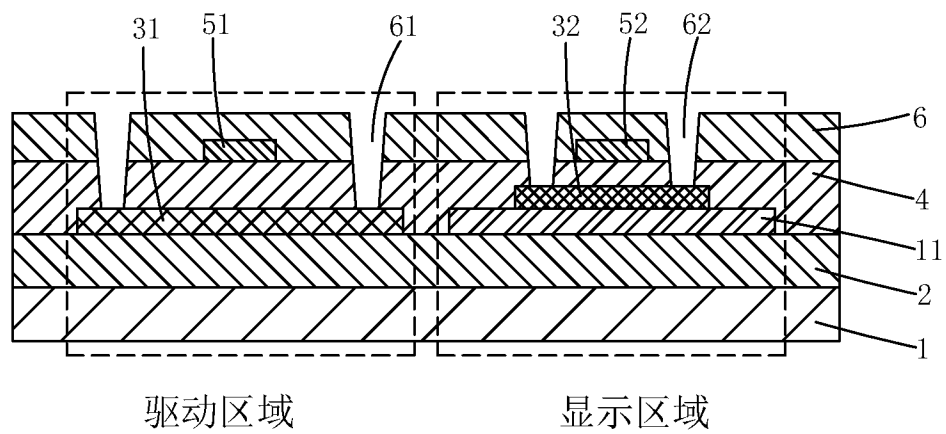


图23

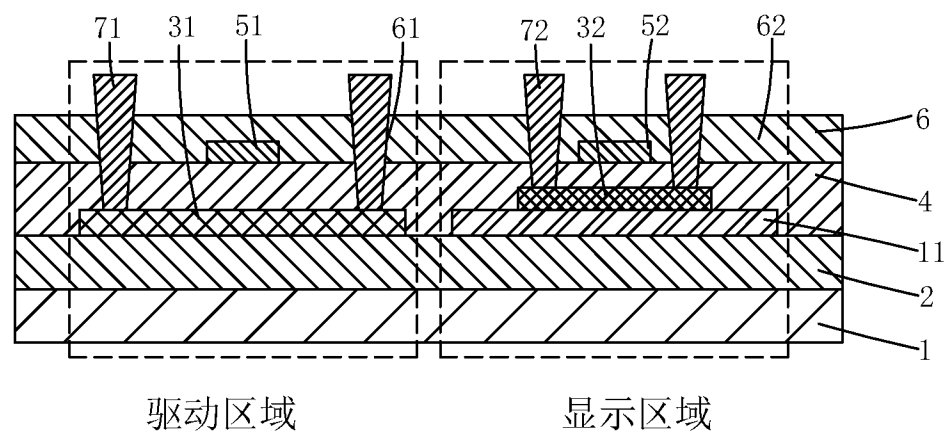


图24

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2016/074500**A. CLASSIFICATION OF SUBJECT MATTER**

H01L 21/77 (2006.01) i; H01L 27/12 (2006.01) i; H01L 27/32 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

DWPI, CNTXT: polycrystalline silicon, thin film transistor, heat dissipation, polysilicon, tft, substrate, metal, dissipate, cool, display, drive

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 1612359 A (SANYO ELECTRIC CO., LTD.), 04 May 2005 (04.05.2005), description, page 3, line 15 to page 4, line 20, and figure 1	1-10
A	JP 0745832 A (FUJI XEROX CO., LTD.), 14 February 1995 (14.02.1995), the whole document	1-10
A	US 2004135236 A1 (HIRANO et al.), 15 July 2004 (15.07.2004), the whole document	1-10
A	CN 1822334 A (INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE), 23 August 2006 (23.08.2006), the whole document	1-10

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 20 October 2016 (20.10.2016)	Date of mailing of the international search report 28 January 2016 (28.10.2016)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer DUAN, Xiaojin Telephone No.: (86-10) 62411592

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2016/074500

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 1612359 A	04 May 2005	KR 20050031986 A	06 April 2005
		US 2005110132 A1	26 May 2005
		US 7053426 B2	30 May 2006
		TW 1240420 B	21 September 2005
		JP 2005109148 A	21 April 2005
		TW 200514262 A	16 April 2005
JP 0745832 A	14 February 1995	JP H0745832 A	14 February 1995
US 2004135236 A1	15 July 2004	JP 2004207337 A	22 July 2004
		JP 4245915 B2	02 April 2009
		US 7394098 B2	01 July 2008
		US 7202115 B2	10 April 2007
		US 2007164287 A1	19 July 2007
		JP 4447647 B2	07 April 2010
		JP 2009088541 A	23 April 2009
CN 1822334 A	23 August 2006	CN 100511606 C	08 July 2009

A. 主题的分类 H01L 21/77 (2006.01)i; H01L 27/12 (2006.01)i; H01L 27/32 (2006.01)i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类																	
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) DWPI, CNTXT: 多晶硅, 薄膜晶体管, 基板, 金属, 散热, 显示, 驱动, polysilicon, tft, substrate, metal, dissipate, cool, display, drive																	
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>CN 1612359 A (三洋电机株式会社) 2005年 5月 4日 (2005 - 05 - 04) 说明书第3页第15行至第4页第20行, 附图1</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>JP 0745832 A (富士施乐株式会社) 1995年 2月 14日 (1995 - 02 - 14) 全文</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>US 2004135236 A1 (HIRANO等) 2004年 7月 15日 (2004 - 07 - 15) 全文</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>CN 1822334 A (财团法人工业技术研究院) 2006年 8月 23日 (2006 - 08 - 23) 全文</td> <td>1-10</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	A	CN 1612359 A (三洋电机株式会社) 2005年 5月 4日 (2005 - 05 - 04) 说明书第3页第15行至第4页第20行, 附图1	1-10	A	JP 0745832 A (富士施乐株式会社) 1995年 2月 14日 (1995 - 02 - 14) 全文	1-10	A	US 2004135236 A1 (HIRANO等) 2004年 7月 15日 (2004 - 07 - 15) 全文	1-10	A	CN 1822334 A (财团法人工业技术研究院) 2006年 8月 23日 (2006 - 08 - 23) 全文	1-10
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求															
A	CN 1612359 A (三洋电机株式会社) 2005年 5月 4日 (2005 - 05 - 04) 说明书第3页第15行至第4页第20行, 附图1	1-10															
A	JP 0745832 A (富士施乐株式会社) 1995年 2月 14日 (1995 - 02 - 14) 全文	1-10															
A	US 2004135236 A1 (HIRANO等) 2004年 7月 15日 (2004 - 07 - 15) 全文	1-10															
A	CN 1822334 A (财团法人工业技术研究院) 2006年 8月 23日 (2006 - 08 - 23) 全文	1-10															
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。 <table border="0"> <tr> <td> * 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 </td> <td> “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件 </td> </tr> </table>			* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件													
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																
国际检索实际完成的日期 2016年 10月 20日		国际检索报告邮寄日期 2016年 10月 28日															
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10) 62019451		受权官员 段小晋 电话号码 (86-10) 62411592															

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2016/074500

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	1612359	A	2005年 5月 4日	KR	20050031986	A	2005年 4月 6日
				US	2005110132	A1	2005年 5月 26日
				US	7053426	B2	2006年 5月 30日
				TW	1240420	B	2005年 9月 21日
				JP	2005109148	A	2005年 4月 21日
				TW	200514262	A	2005年 4月 16日
JP	0745832	A	1995年 2月 14日	JP	H0745832	A	1995年 2月 14日
US	2004135236	A1	2004年 7月 15日	JP	2004207337	A	2004年 7月 22日
				JP	4245915	B2	2009年 4月 2日
				US	7394098	B2	2008年 7月 1日
				US	7202115	B2	2007年 4月 10日
				US	2007164287	A1	2007年 7月 19日
				JP	4447647	B2	2010年 4月 7日
				JP	2009088541	A	2009年 4月 23日
CN	1822334	A	2006年 8月 23日	CN	100511606	C	2009年 7月 8日

表 PCT/ISA/210 (同族专利附件) (2009年7月)