

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年11月28日(28.11.2024)



(10) 国際公開番号

WO 2024/241884 A1

(51) 国際特許分類:
H01L 29/739 (2006.01) H01L 29/06 (2006.01)

(21) 国際出願番号: PCT/JP2024/017131

(22) 国際出願日: 2024年5月8日(08.05.2024)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2023-084044 2023年5月22日(22.05.2023) JP

(71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2-1番地 Kyoto (JP).

(72) 発明者: 村▲崎▼ 耕平 (MURASAKI, Kohei);
〒6158585 京都府京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP).
本堂 英 (HONDO, Suguru); 〒6158585 京都府

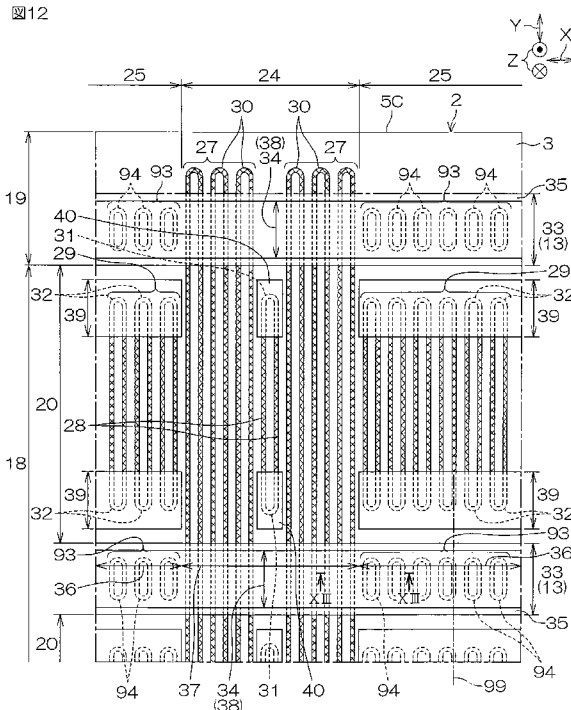
京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP).

(74) 代理人: 弁理士法人あい特許事務所 (AI ASSOCIATION OF PATENT AND TRADEMARK ATTORNEYS); 〒5410059 大阪府大阪市中央区博労町三丁目2番8号 岩田東急ビル8階 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: A semiconductor device according to the present invention includes a chip that has a first principal surface and a second principal surface, a first element region and a second element region that are formed on the first principal surface of the chip, a gate extension electrode that extends continuously over the first principal surface across the first element region and the second element region in a first direction, a trench gate structure that is formed on the first principal surface in the first element region and extends across the gate extension electrode, a second trench electrode structure that is formed on the first principal surface in the second element region, does not cross the gate extension electrode, and has a terminal part that is positioned inside the second element region so as to be separated from the gate extension electrode in a second direction that intersects the first direction, a gate auxiliary trench that is formed directly below the gate extension electrode at a portion that is adjacent to the second element region in the second direction, and a gate auxiliary implanted electrode that is implanted in the gate auxiliary trench via a gate insulation film and is electrically connected to the gate extension electrode.

WO 2024/241884 A1

SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: 半導体装置は、第1主面および第2主面を有するチップと、前記チップの前記第1主面に形成された第1素子領域および第2素子領域と、前記第1主面上の領域を、前記第1方向に前記第1素子領域および前記第2素子領域を連続して横切って延びるゲート延伸電極と、前記第1素子領域の前記第1主面に形成され、前記ゲート延伸電極を横切って延びるトレンチゲート構造と、前記第2素子領域の前記第1主面に形成され、前記ゲート延伸電極を横切らず、前記ゲート延伸電極から前記第1方向に交差する第2方向に離れた前記第2素子領域の内側に終端部を有する第2トレンチ電極構造と、前記第2方向において前記第2素子領域に隣接する部分において前記ゲート延伸電極の直下に形成されたゲート補助トレンチと、前記ゲート補助トレンチにゲート絶縁膜を介して埋め込まれ、前記ゲート延伸電極に電氣的に接続されたゲート補助埋め込み電極とを含む。

明 細 書

発明の名称：半導体装置

関連出願

[0001] 本出願は、2023年5月22日に日本国特許庁に提出された特願2023-084044号に対応しており、この出願の全開示はここに引用により組み込まれるものとする。

技術分野

[0002] 本開示は、半導体装置に関する。

背景技術

[0003] 特許文献1は、半導体装置の一例としてのRC-IGBT (Reverse Conducting - Insulated Gate Bipolar Transistor) を開示している。RC-IGBTは、共通の半導体層に作り込まれたIGBT領域およびダイオード領域を含む。IGBT領域は、IGBTを含む。ダイオード領域は、ダイオードを含む。

先行技術文献

特許文献

[0004] 特許文献1：国際公開第2020/080476号

発明の概要

発明が解決しようとする課題

[0005] 本開示の一実施形態は、ゲートのESD耐量を向上することができる半導体装置を提供する。

課題を解決するための手段

[0006] 本開示の一実施形態は、第1主面および第2主面を有するチップと、前記チップの前記第1主面に形成された第1素子領域と、前記チップの前記第1主面に形成され、第1方向において前記第1素子領域に隣り合う第2素子領域と、前記第1主面上の領域を、前記第1方向に前記第1素子領域および前

記第2素子領域を連続して横切って延びるゲート延伸電極と、前記第1素子領域の前記第1主面に形成され、前記ゲート延伸電極を横切って延びるトレンチゲート構造と、前記第2素子領域の前記第1主面に形成され、前記ゲート延伸電極を横切らず、前記ゲート延伸電極から前記第1方向に交差する第2方向に離れた前記第2素子領域の内側に終端部を有する第2トレンチ電極構造と、前記第2方向において前記第2素子領域に隣接する部分において前記ゲート延伸電極の直下に形成されたゲート補助トレンチと、前記ゲート補助トレンチにゲート絶縁膜を介して埋め込まれ、前記ゲート延伸電極に電氣的に接続されたゲート補助埋め込み電極とを含む、半導体装置を提供する。

発明の効果

[0007] 本開示の一実施形態によれば、ゲートのESD耐量を向上することができる半導体装置を提供することができる。

図面の簡単な説明

[0008] [図1]図1は、本開示の一実施形態に係る半導体装置の模式的な平面図である。

[図2]図2は、前記半導体装置の内部構造を説明するための模式的な平面図である。

[図3]図3は、図2のIIIで囲まれた部分の拡大図である。

[図4]図4は、図3のIV-V線に沿う断面図である。

[図5]図5は、図3のV-V線に沿う断面図である。

[図6]図6は、図3のVI-V線に沿う断面図である。

[図7]図7は、図3のVII-VII線に沿う断面図である。

[図8]図8は、図3のVIII-VIII線に沿う断面図である。

[図9]図9は、図3のIX-IX線に沿う断面図である。

[図10]図10は、図3のX-X線に沿う断面図である。

[図11]図11は、図3のXI-XI線に沿う断面図である。

[図12]図12は、図2のXIIで囲まれた部分の拡大図である。

[図13]図13は、図12のXIII-XIII線に沿う断面図である。

[図14]図14は、図12のゲート補助トレンチ構造の変形例を示す図である。

[図15]図15は、図12のゲート補助トレンチ構造の変形例を示す図である。

[図16]図16は、図12のゲート補助トレンチ構造の変形例を示す図である。

[図17]図17は、図2のXV||で囲まれた部分の拡大図である。

[図18]図18は、図17のXV|||—XV|||線に沿う断面図である。

[図19]図19は、図17のX|X—X|X線に沿う断面図である。

[図20]図20は、IGBT領域およびダイオード領域の配列パターンの変形例を示す図である。

[図21]図21は、図20のXX|で囲まれた部分の拡大図である。

発明を実施するための形態

[0009] 次に、本開示の実施形態を、添付図面を参照して詳細に説明する。

[0010] 図1は、本開示の一実施形態に係る半導体装置1の模式的な平面図である。

[0011] 半導体装置1は、IGBTおよびダイオードを一体的に備えたRC—IGBT (Reverse Conducting - Insulated Gate Bipolar Transistor) を有する電子部品である。半導体装置1は、直方体形状の半導体チップ2を含む。半導体チップ2は、一方側の第1主面3、他方側の第2主面4、ならびに、第1主面3および第2主面4を接続する側面5A, 5B, 5C, 5Dを有している。

[0012] 第1主面3および第2主面4は、それらの法線方向Zから見た平面視（以下、単に「平面視」という。）において四角形状に形成されている。第1主面3および第2主面4は、それぞれ、半導体チップ2の表面および裏面と称されてもよい。側面5Aおよび側面5Cは、第1方向Xに沿って延び、第1方向Xに交差する第2方向Yに互いに対向している。側面5Bおよび側面5Dは、第2方向Yに沿って延び、第1方向Xに互いに対向している。第2方

向Yは、具体的には、第1方向Xに直交している。

[0013] 第1主面3には、電極膜6が形成されている。電極膜6は、複数の端子電極7～12と、複数の配線13～15とを含む。複数の端子電極7～11は、半導体チップ2の側面に沿って間隔を空けて配列されている。複数の端子電極7～11は、半導体チップ2の1つの側面（図1では、側面5B）側に集約され、側面5Bに沿って一列に並んでいる。

[0014] 電極膜6は、RC-IGBTのゲートに関連する構成として、ゲート端子電極7およびゲート配線13を含む。ゲート配線13は、ゲート端子電極7に印加されたゲート信号をIGBTのゲートに伝達する。

[0015] ゲート端子電極7は、複数の端子電極7～11の中央位置に配置されている。ゲート配線13は、ゲート端子電極7から、半導体チップ2の側面5A～5Dに沿って引き出された環状の第1部分16と、第1部分16に取り囲まれたアクティブ領域18を横切る第2部分17とを一体的に含む。ゲート配線13は、ゲートフィンガーと称されてもよい。また、ゲート配線13の第1部分16および第2部分17は、それぞれ、外側ゲートフィンガーおよび内側ゲートフィンガーと称されてもよい。また、ゲート配線13の第1部分16および第2部分17は、それぞれ、外側延伸電極および内側延伸電極と称されてもよい。

[0016] アクティブ領域18は、RC-IGBTが形成された領域である。アクティブ領域18の外側の領域は、外周領域19である。外周領域19は、アクティブ領域18の周縁に沿って帯状に延びている。外周領域19は、具体的には、平面視においてアクティブ領域18を取り囲む無端状（四角環状）に設定されている。

[0017] アクティブ領域18は、ゲート配線13の第2部分17により複数の区画領域20に分割されている。複数の区画領域20は、それぞれ第1方向Xに沿って延びる長形状である。複数の区画領域20は、ゲート配線13の第2部分17を挟んで隣り合っている。

[0018] この形態では、複数のゲート配線13の第2部分17が、アクティブ領域

18を横切っている。複数の第2部分17は、第2方向Yに間隔を空けて配列され、第1方向Xに延びるストライプ状に形成されている。各第2部分17の一端部および他端部は、第1部分16において互いに異なる位置に接続されている。各第2部分17は、複数の端子電極7～11側の基端部（端子側端部やパッド側端部と称されてもよい）が第1部分16に接続され、反対側の端部は第1部分16に接続されず、終端部とされていてもよい。

[0019] 複数の第2部分17は、ゲート端子電極7の近傍から延びる中央配線21と、ゲート端子電極7から第2方向Yにおいて離れた位置から延びる複数の側方配線22とを含む。図1では、一本の中央配線21と、当該中央配線21の第2方向Yの両側に2本ずつの側方配線22とが設けられている。これにより、アクティブ領域18は、6つの区画領域20に分割されている。

[0020] 電極膜6は、RC-IGBTのエミッタに関連する構成として、エミッタ端子電極12を含む。エミッタ端子電極12は、各区画領域20に配置されている。この形態では、エミッタ端子電極12は、各区画領域20に1つずつ設けられている。複数の区画領域20と同数の複数のエミッタ端子電極12が設けられている。むろん、各区画領域20に、互いに物理的に分離された複数のエミッタ端子電極12が設けられていてもよい。

[0021] 電極膜6は、さらに、第1センス端子電極8、第2センス端子電極9、電流検出端子電極10、および開放端子電極11を含む。第1センス端子電極8および第2センス端子電極9は、アクティブ領域18の中央に配置されたセンサ領域23（温度センサ）を制御する制御信号を伝達する。電流検出端子電極10は、アクティブ領域18を流れる電流を検出し、外部に取り出すための電極である。開放端子電極11は、電氣的に浮遊状態になっている。

[0022] 電極膜6は、第1センス配線14および第2センス配線15を含む。第1センス配線14は、第1センス端子電極8に電氣的に接続されている。第1センス配線14は、外周領域19からセンサ領域23に向かって延びている。第1センス配線14は、温度センサの制御信号を伝達する。第2センス配線15は、第2センス端子電極9に電氣的に接続されている。第2センス配

線15は、外周領域19からセンサ領域23に向かって延びている。第2センス配線15は、温度センサの制御信号を伝達する。ゲート配線13（中央配線21）、第1センス配線14および第2センス配線15は、第1方向Xにおいて間隔を空けて並走している。

[0023] 図2は、半導体装置1の内部構造を説明するための模式的な平面図である。図2では、明瞭化のため、電極膜6のうち端子電極7～11およびゲート配線13を示し、電極膜6のその他の部分は省略されている。

[0024] アクティブ領域18は、IGBT領域24およびダイオード領域25を含む。図2では、明瞭化のため、IGBT領域24がハッチングによって示されている。IGBT領域24は、IGBTが形成された領域である。ダイオード領域25は、ダイオードが形成された領域である。ダイオード領域25は、IGBT領域24に隣り合っている。

[0025] アクティブ領域18は、具体的には、RC-IGBT配列26を含む。RC-IGBT配列26は、第2方向Yに間隔を空けて複数（この形態では6つ）形成されている。隣り合うRC-IGBT配列26は、ゲート配線13により分離されている。RC-IGBT配列26は、一方側（側面5B側）の第1端部および他方側（側面5D側）の第2端部を有している。RC-IGBT配列26の第1端部は、端子側端部やパッド側端部と称してもよい。RC-IGBT配列26の第2端部は、終端側端部と称してもよい。

[0026] RC-IGBT配列26は、第1端部から第2端部に向けて第1方向Xに沿って一列に配列されたダイオード領域25、IGBT領域24、ダイオード領域25、IGBT領域24、ダイオード領域25・・・を繰り返し含むループ配列を有している。RC-IGBT配列26の第1端部は、この形態では、ダイオード領域25によって形成されている。RC-IGBT配列26の第2端部は、この形態では、ダイオード領域25によって形成されている。RC-IGBT配列26の第1端部は、IGBT領域24によって形成されていてもよい。RC-IGBT配列26の第2端部は、IGBT領域24によって形成されていてもよい。

[0027] このように、アクティブ領域18には、複数のIGBT領域24が分散配列されている。複数のIGBT領域24は、第1方向Xおよび第2方向Yに沿って間隔を空けて形成されている。複数のIGBT領域24は、この形態では、平面視において行列状に配列されている。複数のIGBT領域24は、第1方向Xに沿って互いに対向し、第2方向Yに沿って互いに対向している。

[0028] 複数のIGBT領域24は、この形態では、平面視において四角形状にそれぞれ形成されている。複数のIGBT領域24は、具体的には、第2方向Yに沿って延びる長方形にそれぞれ形成されている。

[0029] 各IGBT領域24の第1方向Xの幅W1は、10 μ m以上1000 μ m以下であってもよい。幅W1は、10 μ m以上100 μ m以下、100 μ m以上200 μ m以下、200 μ m以上300 μ m以下、300 μ m以上400 μ m以下、400 μ m以上500 μ m以下、500 μ m以上600 μ m以下、600 μ m以上700 μ m以下、700 μ m以上800 μ m以下、800 μ m以上900 μ m以下、または、900 μ m以上1000 μ m以下であってもよい。幅W1は、100 μ m以上であることが好ましい。幅W1は、200 μ m以上であることがさらに好ましい。

[0030] アクティブ領域18には、複数のダイオード領域25が分散配列されている。複数のダイオード領域25は、第1方向Xおよび第2方向Yに沿って間隔を空けて形成されている。複数のダイオード領域25は、この形態では、平面視において行列状に配列されている。複数のダイオード領域25は、第1方向Xに沿って互いに対向し、第2方向Yに沿って互いに対向している。

[0031] 複数のダイオード領域25は、具体的には、第1方向XにIGBT領域24と隣り合うようにそれぞれ形成されている。複数のダイオード領域25は、この形態では、平面視において四角形状にそれぞれ形成されている。複数のダイオード領域25は、具体的には、第2方向Yに沿って延びる長方形にそれぞれ形成されている。

[0032] 各ダイオード領域25の平面面積は、各IGBT領域24の平面面積以下

であることが好ましい。各ダイオード領域25の平面面積は、各IGBT領域24の平面面積未満であることがさらに好ましい。各ダイオード領域25の第1方向Xの幅WDは、各IGBT領域24の幅W1以下であることが好ましい。各ダイオード領域25の幅WDは、各IGBT領域24の幅W1未満であることがさらに好ましい。

[0033] 幅WDは、5 μ m以上1000 μ m未満であってもよい。幅WDは、5 μ m以上100 μ m以下、100 μ m以上200 μ m以下、200 μ m以上300 μ m以下、300 μ m以上400 μ m以下、400 μ m以上500 μ m以下、500 μ m以上600 μ m以下、600 μ m以上700 μ m以下、700 μ m以上800 μ m以下、800 μ m以上900 μ m以下、または、900 μ m以上1000 μ m未満であってもよい。幅WDは、100 μ m以上であることが好ましい。幅WDは、200 μ m以上であることがさらに好ましい。

[0034] 次に、アクティブ領域18の平面構造の一つの形態について説明する。図3は、図2の111で囲まれた部分の拡大図であり、複数のIGBT領域24および複数のダイオード領域25の一部を示している。以下で説明するIGBT領域24およびダイオード領域25の平面構造は、半導体チップ2の全てのIGBT領域24および全てのダイオード領域25に適用されてもよいし、いくつかのIGBT領域24およびダイオード領域25に選択的に適用されてもよい。つまり、以下で説明する平面構造は、少なくとも1つのIGBT領域24およびダイオード領域25に適用可能な構造である。

[0035] 図3を参照して、半導体チップ2の第1主面3には、複数種類のトレンチ電極構造27~29がストライプ状に形成されている。複数のトレンチ電極構造27~29は、第2方向Yに沿って平行に延びている。複数のトレンチ電極構造27~29は、この形態では、トレンチゲート構造27、エミッタトレンチ構造28、およびダイオード側トレンチ構造29である。図3では、トレンチゲート構造27、エミッタトレンチ構造28、およびダイオード側トレンチ構造29がハッチングによって示されている。

- [0036] 複数のトレンチゲート構造 27 は、IGBT 領域 24 に形成されている。トレンチゲート構造 27 は、平面視において第 2 方向 Y に沿って延びる帯状に形成されている。複数のトレンチゲート構造 27 は、全体としてストライプ状に形成されている。複数のトレンチゲート構造 27 は、ゲート配線 13 の直下を第 2 方向 Y の一方側から他方側に横切っている。これにより、複数の区画領域 20 に共通のトレンチゲート構造 27 が跨っている。トレンチゲート構造 27 は、第 2 方向 Y の一方側および他方側のそれぞれに終端部 30 を有している。図 3 では、一方側の終端部 30 が示されている。
- [0037] トレンチゲート構造 27 の終端部 30 は、一对のトレンチゲート構造 27 に対して 1 つずつ形成されている。終端部 30 は、隣り合うトレンチゲート構造 27 を、外周領域 19 で接続している。終端部 30 は、平面視においてラウンド形状に形成されている。
- [0038] 複数のエミッタトレンチ構造 28 は、IGBT 領域 24 に形成されている。エミッタトレンチ構造 28 は、平面視において第 2 方向 Y に沿って延びる帯状に形成されている。複数のエミッタトレンチ構造 28 は、トレンチゲート構造 27 に並んで延び、エミッタトレンチ構造 28 およびトレンチゲート構造 27 の全体としてストライプ状に形成されている。複数のエミッタトレンチ構造 28 は、第 1 方向 X において複数のトレンチゲート構造 27 に挟まれている。この形態では、一对のエミッタトレンチ構造 28 が、第 1 方向 X において複数のトレンチゲート構造 27 に挟まれている。
- [0039] 複数のエミッタトレンチ構造 28 は、ゲート配線 13 を横切らず、ゲート配線 13 から第 2 方向 Y に離れた IGBT 領域 24 の内側に終端部 31 を有している。エミッタトレンチ構造 28 の終端部 31 は、一对のエミッタトレンチ構造 28 に対して 1 つずつ形成されている。終端部 31 は、隣り合うエミッタトレンチ構造 28 を、IGBT 領域 24 内で接続している。終端部 31 は、平面視においてラウンド形状に形成されている。
- [0040] 複数のダイオード側トレンチ構造 29 は、ダイオード領域 25 に形成されている。ダイオード側トレンチ構造 29 は、平面視において第 2 方向 Y に沿

って延びる帯状に形成されている。複数のダイオード側トレンチ構造 29 は、全体としてストライプ状に形成されている。複数のダイオード側トレンチ構造 29 は、ゲート配線 13 の直下を第 2 方向 Y の一方側から他方側に横切っている。これにより、複数の区画領域 20 に共通のダイオード側トレンチ構造 29 が跨っている。ダイオード側トレンチ構造 29 は、第 2 方向 Y の一方側および他方側のそれぞれに終端部 32 を有している。図 3 では、一方側の終端部 32 が示されている。

[0041] ダイオード側トレンチ構造 29 の終端部 32 は、一对のダイオード側トレンチ構造 29 に対して 1 つずつ形成されている。終端部 32 は、隣り合うダイオード側トレンチ構造 29 を、外周領域 19 で接続している。終端部 32 は、平面視においてラウンド形状に形成されている。

[0042] ゲート配線 13 は、第 1 方向 X に複数のトレンチゲート構造 27 を横切って延びる電極である。ゲート配線 13 は、ゲート延伸電極 33 と言い換えてもよい。ゲート延伸電極 33 は、第 1 電極層 34 と、第 2 電極層 35 とを含む。

[0043] 第 2 電極層 35 は、第 1 電極層 34 上に積層された層である。第 2 電極層 35 は、ゲート延伸電極 33 の最表面に現れる電極層であり、表面層と称されてもよい。第 2 電極層 35 は、第 1 電極層 34 よりも低抵抗な層である。第 2 電極層 35 の輪郭が、ゲート延伸電極 33 の輪郭と一致する。この形態では、第 2 電極層 35 は、交互に配列された複数の IGBT 領域 24 および複数のダイオード領域 25 を連続して横切って延びる 1 本の帯状に形成されている。第 2 電極層 35 は、第 2 方向 Y における幅が一定である帯状である。

[0044] 第 1 電極層 34 は、ダイオード側トレンチ構造 29 の直上領域を避けて形成されている。具体的には、第 1 電極層 34 は、第 2 電極層 35 とダイオード領域 25 とが対向する非コンタクト区間 36 で選択的に分断されている。これにより、第 1 電極層 34 は、第 2 電極層 35 と IGBT 領域 24 とが対向するコンタクト区間 37 に選択的に配置されている。つまり、ゲート延伸

電極 33 は、トレンチゲート構造 27 の直上に、第 1 電極層 34 を有さず、第 2 電極層 35 を選択的に有している。第 1 電極層 34 は、第 1 方向 X に長い帯状に形成されており、複数のトレンチゲート構造 27 を一括して被覆している。第 1 電極層 34 は、複数のトレンチゲート構造 27 に電氣的に接続される層であり、第 1 コンタクト層 38 と称されてもよい。

[0045] 半導体チップ 2 の第 1 主面 3 には、第 2 コンタクト層 39 が形成されている。第 2 コンタクト層 39 は、複数のダイオード側トレンチ構造 29 に電氣的に接続される層である。第 2 コンタクト層 39 は、第 1 方向 X に長い帯状に形成されており、複数のダイオード側トレンチ構造 29 を一括して被覆している。この形態では、第 2 コンタクト層 39 は、ゲート延伸電極 33 からダイオード領域 25 の内側に離れ、ゲート延伸電極 33 に平行に延びている。

[0046] 半導体チップ 2 の第 1 主面 3 には、第 3 コンタクト層 40 が形成されている。第 3 コンタクト層 40 は、複数のエミッタトレンチ構造 28 に電氣的に接続される層である。第 3 コンタクト層 40 は、平面視島状に形成されており、一対のエミッタトレンチ構造 28 の終端部 31 を一括して被覆している。

[0047] 次に、アクティブ領域 18 の断面構造の一つの形態について説明する。図 4 は、図 3 の I-V-I 線に沿う断面図である。図 5 は、図 3 の V-V 線に沿う断面図である。まず、図 4 および図 5 を参照して、IGBT 領域 24 およびダイオード領域 25 の基本の断面構造について説明する。

[0048] 半導体装置 1 は、半導体チップ 2 の内部に形成された n 型のドリフト領域 41 を含む。ドリフト領域 41 は、具体的には、第 1 方向 X および第 2 方向 Y において半導体チップ 2 の全域に形成されている。ドリフト領域 41 は、法線方向 Z（半導体チップ 2 の厚さ方向）において、半導体チップ 2 の第 1 主面 3 の表層部に形成されている。ドリフト領域 41 の n 型不純物濃度は、 $1.0 \times 10^{13} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{15} \text{ cm}^{-3}$ 以下であってもよい。

[0049] 半導体チップ 2 は、この形態では、n 型の半導体基板 42 を含む単層構造

を有している。半導体基板42は、FZ(Floating Zone)法を経て形成されたシリコン製のFZ基板であってもよい。ドリフト領域41は、半導体基板42によって形成されている。

[0050] 半導体装置1は、半導体チップ2の第2主面4の上に形成されたコレクタ端子電極43を含む。コレクタ端子電極43は、第2主面4に電氣的に接続されている。コレクタ端子電極43は、具体的には、IGBT領域24（後述するコレクタ領域45）およびダイオード領域25（後述するカソード領域58）に電氣的に接続されている。コレクタ端子電極43は、第2主面4との間でオーミック接触を形成している。コレクタ端子電極43は、IGBT領域24およびダイオード領域25にコレクタ信号を伝達する。

[0051] コレクタ端子電極43は、Ti層、Ni層、Au層、Ag層およびAl層のうちの少なくとも1つを含んでいてもよい。コレクタ端子電極43は、Ti層、Ni層、Au層、Ag層またはAl層を含む単層構造を有していてもよい。コレクタ端子電極43は、Ti層、Ni層、Au層、Ag層およびAl層のうちの少なくとも2つを任意の態様で積層させた積層構造を有していてもよい。

[0052] 半導体装置1は、半導体チップ2の第2主面4の表層部に形成されたn型のバッファ層44を含む。バッファ層44は、第2主面4の表層部の全域に形成されていてもよい。バッファ層44のn型不純物濃度は、ドリフト領域41のn型不純物濃度よりも大きい。バッファ層44のn型不純物濃度は、 $1.0 \times 10^{15} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{17} \text{ cm}^{-3}$ 以下であってもよい。

[0053] バッファ層44の厚さは、 $0.5 \mu\text{m}$ 以上 $30 \mu\text{m}$ 以下であってもよい。バッファ層44の厚さは、 $0.5 \mu\text{m}$ 以上 $5 \mu\text{m}$ 以下、 $5 \mu\text{m}$ 以上 $10 \mu\text{m}$ 以下、 $10 \mu\text{m}$ 以上 $15 \mu\text{m}$ 以下、 $15 \mu\text{m}$ 以上 $20 \mu\text{m}$ 以下、 $20 \mu\text{m}$ 以上 $25 \mu\text{m}$ 以下、または、 $25 \mu\text{m}$ 以上 $30 \mu\text{m}$ 以下であってもよい。

[0054] 各IGBT領域24は、半導体チップ2の第2主面4の表層部に形成されたp型のコレクタ領域45を含む。コレクタ領域45は、第2主面4から露出している。コレクタ領域45は、第2主面4の表層部においてIGBT領

域24の全域に形成されていてもよい。コレクタ領域45のp型不純物濃度は、 $1.0 \times 10^{15} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{18} \text{ cm}^{-3}$ 以下であってもよい。コレクタ領域45は、コレクタ端子電極43との間でオーミック接触を形成している。

[0055] 各IGBT領域24は、半導体チップ2の第1主面3に形成されたFET構造46を含む。各IGBT領域24は、この形態では、トレンチゲート型のFET構造46を含む。FET構造46は、具体的には、第1主面3に形成されたトレンチゲート構造27を含む。

[0056] トレンチゲート構造27は、IGBT領域24において第1方向Xに沿って間隔を空けて複数形成されている。第1方向Xに互いに隣り合う2つのトレンチゲート構造27の間の距離は、 $1 \mu\text{m}$ 以上 $8 \mu\text{m}$ 以下であってもよい。2つのトレンチゲート構造27の間の距離は、 $1 \mu\text{m}$ 以上 $2 \mu\text{m}$ 以下、 $2 \mu\text{m}$ 以上 $3 \mu\text{m}$ 以下、 $3 \mu\text{m}$ 以上 $4 \mu\text{m}$ 以下、 $4 \mu\text{m}$ 以上 $5 \mu\text{m}$ 以下、 $5 \mu\text{m}$ 以上 $6 \mu\text{m}$ 以下、 $6 \mu\text{m}$ 以上 $7 \mu\text{m}$ 以下、または、 $7 \mu\text{m}$ 以上 $8 \mu\text{m}$ 以下であってもよい。

[0057] 各トレンチゲート構造27は、ゲートトレンチ47、ゲート絶縁層48およびゲート電極層49を含む。ゲートトレンチ47は、第1主面3に形成されている。ゲートトレンチ47は、側壁および底壁を含む。ゲートトレンチ47の側壁は、第1主面3に対して垂直に形成されていてもよい。

[0058] ゲートトレンチ47の側壁は、第1主面3から底壁に向かって下り傾斜していてもよい。ゲートトレンチ47は、開口側の開口面積が底面積よりも大きいテーパ形状に形成されていてもよい。ゲートトレンチ47の底壁は、第1主面3に対して平行に形成されていてもよい。ゲートトレンチ47の底壁は、第2主面4に向かう湾曲状に形成されていてもよい。ゲートトレンチ47は、底壁エッジ部を含む。底壁エッジ部は、ゲートトレンチ47の側壁および底壁を接続している。底壁エッジ部は、第2主面4に向かう湾曲状に形成されていてもよい。

[0059] ゲートトレンチ47の深さD1は、 $2 \mu\text{m}$ 以上 $10 \mu\text{m}$ 以下であってもよ

い。ゲートトレンチ47の深さD1は、 $2\ \mu\text{m}$ 以上 $3\ \mu\text{m}$ 以下、 $3\ \mu\text{m}$ 以上 $4\ \mu\text{m}$ 以下、 $4\ \mu\text{m}$ 以上 $5\ \mu\text{m}$ 以下、 $5\ \mu\text{m}$ 以上 $6\ \mu\text{m}$ 以下、 $6\ \mu\text{m}$ 以上 $7\ \mu\text{m}$ 以下、 $8\ \mu\text{m}$ 以上 $9\ \mu\text{m}$ 以下、または、 $9\ \mu\text{m}$ 以上 $10\ \mu\text{m}$ 以下であってもよい。ゲートトレンチ47の深さD1は、ゲートトレンチ47の底壁の最深部の深さ位置と第1主面3との距離と定義されてもよい。

[0060] ゲートトレンチ47の幅は、 $0.5\ \mu\text{m}$ 以上 $3\ \mu\text{m}$ 以下であってもよい。ゲートトレンチ47の幅は、ゲートトレンチ47の第1方向Xの幅である。ゲートトレンチ47の幅は、 $0.5\ \mu\text{m}$ 以上 $1\ \mu\text{m}$ 以下、 $1\ \mu\text{m}$ 以上 $1.5\ \mu\text{m}$ 以下、 $1.5\ \mu\text{m}$ 以上 $2\ \mu\text{m}$ 以下、 $2\ \mu\text{m}$ 以上 $2.5\ \mu\text{m}$ 以下、または、 $2.5\ \mu\text{m}$ 以上 $3\ \mu\text{m}$ 以下であってもよい。

[0061] ゲート絶縁層48は、ゲートトレンチ47の内壁に沿って膜状に形成されている。ゲート絶縁層48は、ゲートトレンチ47内においてリセス空間を区画している。ゲート絶縁層48は、この形態では、シリコン酸化膜を含む。ゲート絶縁層48は、シリコン酸化膜に代えてまたはこれに加えて、窒化シリコン膜を含んでいてもよい。

[0062] ゲート電極層49は、ゲート絶縁層48を挟んでゲートトレンチ47に埋め込まれている。ゲート電極層49は、具体的には、ゲートトレンチ47においてゲート絶縁層48によって区画されたリセス空間に埋め込まれている。ゲート電極層49は、ゲート信号によって制御される。ゲート電極層49は、導電性ポリシリコンを含んでいてもよい。

[0063] FET構造46は、半導体チップ2の第1主面3の表層部に形成されたp型のボディ領域50を含む。ボディ領域50のp型不純物濃度は、 $1.0 \times 10^{17}\ \text{cm}^{-3}$ 以上 $1.0 \times 10^{18}\ \text{cm}^{-3}$ 以下であってもよい。ボディ領域50は、トレンチゲート構造27の両側にそれぞれ形成されている。ボディ領域50は、平面視においてトレンチゲート構造27に沿って延びる帯状に形成されている。ボディ領域50は、ゲートトレンチ47の側壁から露出している。ボディ領域50の底部は、法線方向Zに関して、第1主面3およびゲートトレンチ47の底壁の間の領域に形成されている。

- [0064] FET構造46は、ボディ領域50の表層部に形成されたn⁺型のエミッタ領域51を含む。エミッタ領域51のn型不純物濃度は、ドリフト領域41のn型不純物濃度よりも大きい。エミッタ領域51のn型不純物濃度は、 $1.0 \times 10^{19} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{20} \text{ cm}^{-3}$ 以下であってもよい。
- [0065] FET構造46は、この形態では、トレンチゲート構造27の両側に形成された複数のエミッタ領域51を含む。エミッタ領域51は、平面視においてトレンチゲート構造27に沿って延びる帯状に形成されている。エミッタ領域51は、第1主面3およびゲートトレンチ47の側壁から露出している。エミッタ領域51の底部は、法線方向Zに関して、ゲート電極層49の上端部およびボディ領域50の底部の間の領域に形成されている。
- [0066] FET構造46は、この形態では、半導体チップ2においてボディ領域50に対して第2主面4側の領域に形成されたn⁺型のキャリアストレージ領域52を含む。キャリアストレージ領域52のn型不純物濃度は、ドリフト領域41のn型不純物濃度よりも大きい。キャリアストレージ領域52のn型不純物濃度は、 $1.0 \times 10^{15} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{17} \text{ cm}^{-3}$ 以下であってもよい。
- [0067] FET構造46は、この形態では、トレンチゲート構造27の両側に形成された複数のキャリアストレージ領域52を含む。キャリアストレージ領域52は、平面視においてトレンチゲート構造27に沿って延びる帯状に形成されている。キャリアストレージ領域52は、ゲートトレンチ47の側壁から露出している。キャリアストレージ領域52の底部は、法線方向Zに関して、ボディ領域50の底部およびゲートトレンチ47の底壁の間の領域に形成されている。
- [0068] キャリアストレージ領域52は、半導体チップ2に供給されたキャリア（正孔）がボディ領域50に引き戻される（排出される）のを抑制する。これにより、半導体チップ2においてFET構造46の直下の領域に正孔が蓄積される。その結果、オン抵抗の低減およびオン電圧の低減が図られる。
- [0069] FET構造46は、半導体チップ2の第1主面3に形成されたコンタクト

トレンチ53を含む。FET構造46は、この形態では、トレンチゲート構造27の両側に形成された複数のコンタクトトレンチ53を含む。コンタクトトレンチ53は、エミッタ領域51を露出させている。コンタクトトレンチ53は、この形態では、エミッタ領域51を貫通している。

[0070] コンタクトトレンチ53は、トレンチゲート構造27から第1方向Xに間隔を空けて形成されている。コンタクトトレンチ53は、平面視においてトレンチゲート構造27に沿って帯状に延びている。

[0071] FET構造46は、ボディ領域50においてコンタクトトレンチ53の底壁に沿う領域に形成されたp⁺型のコンタクト領域54を含む。コンタクト領域54のp型不純物濃度は、ボディ領域50のp型不純物濃度よりも大きい。コンタクト領域54のp型不純物濃度は、 $1.0 \times 10^{19} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{20} \text{ cm}^{-3}$ 以下であってもよい。

[0072] コンタクト領域54は、コンタクトトレンチ53の底壁から露出している。コンタクト領域54は、平面視においてコンタクトトレンチ53に沿って帯状に延びている。コンタクト領域54の底部は、法線方向Zに関して、コンタクトトレンチ53の底壁およびボディ領域50の底部の間の領域に形成されている。

[0073] このように、FET構造46では、ゲート電極層49が、ゲート絶縁層48を挟んでボディ領域50およびエミッタ領域51に対向している。この形態では、ゲート電極層49は、ゲート絶縁層48を挟んでキャリアストレージ領域52にも対向している。IGBTのチャンネルは、ボディ領域50においてエミッタ領域51およびドリフト領域41（キャリアストレージ領域52）の間の領域に形成される。チャンネルのオン・オフは、ゲート信号によって制御される。

[0074] 各IGBT領域24は、半導体チップ2の第1主面3にエミッタトレンチ構造28を含む。各IGBT領域24は、具体的には、FET構造46の両側に形成された複数のエミッタトレンチ構造28を含む。エミッタトレンチ構造28は、第1主面3の表層部においてFET構造46に隣り合う領域に

形成されている。エミッタトレンチ構造28は、平面視において第2方向Yに沿って延びる帯状に形成されている。エミッタトレンチ構造28は、トレンチゲート構造27と平行な帯状であってもよい。

[0075] エミッタトレンチ構造28は、エミッタトレンチ55、エミッタ絶縁層56およびエミッタ電位電極層57を含む。エミッタトレンチ55は、半導体チップ2の第1主面3に形成されている。エミッタトレンチ55は、側壁および底壁を含む。エミッタトレンチ55の側壁は、第1主面3に対して垂直に形成されていてもよい。

[0076] エミッタトレンチ55の側壁は、第1主面3から底壁に向かって下り傾斜していてもよい。エミッタトレンチ55は、開口側の開口面積が底面積よりも大きいテーパ形状に形成されていてもよい。エミッタトレンチ55においてFET構造46に面する側壁（外側側壁）からは、エミッタ領域51、ボディ領域50およびキャリアストレージ領域52が露出している。エミッタトレンチ55の底壁は、第1主面3に対して平行に形成されていてもよい。エミッタトレンチ55の底壁は、第2主面4に向かう湾曲状に形成されていてもよい。エミッタトレンチ55は、底壁エッジ部を含む。底壁エッジ部は、エミッタトレンチ55の側壁および底壁を接続している。底壁エッジ部は、半導体チップ2の第2主面4に向かう湾曲状に形成されていてもよい。

[0077] エミッタトレンチ55の深さD3は、 $2\mu\text{m}$ 以上 $10\mu\text{m}$ 以下であってもよい。エミッタトレンチ55の深さD3は、 $2\mu\text{m}$ 以上 $3\mu\text{m}$ 以下、 $3\mu\text{m}$ 以上 $4\mu\text{m}$ 以下、 $4\mu\text{m}$ 以上 $5\mu\text{m}$ 以下、 $5\mu\text{m}$ 以上 $6\mu\text{m}$ 以下、 $6\mu\text{m}$ 以上 $7\mu\text{m}$ 以下、 $8\mu\text{m}$ 以上 $9\mu\text{m}$ 以下、または、 $9\mu\text{m}$ 以上 $10\mu\text{m}$ 以下であってもよい。エミッタトレンチ55の深さD3は、ゲートトレンチ47の深さD1と等しくてもよい。

[0078] エミッタトレンチ55の幅は、 $0.5\mu\text{m}$ 以上 $3\mu\text{m}$ 以下であってもよい。エミッタトレンチ55の幅は、エミッタトレンチ55の第1方向Xの幅である。エミッタトレンチ55の幅は、 $0.5\mu\text{m}$ 以上 $1\mu\text{m}$ 以下、 $1\mu\text{m}$ 以上 $1.5\mu\text{m}$ 以下、 $1.5\mu\text{m}$ 以上 $2\mu\text{m}$ 以下、 $2\mu\text{m}$ 以上 $2.5\mu\text{m}$ 以下

、または、 $2.5\ \mu\text{m}$ 以上 $3\ \mu\text{m}$ 以下であってもよい。エミッタトレンチ55の幅は、ゲートトレンチ47の幅と等しくてもよい。

[0079] エミッタ絶縁層56は、エミッタトレンチ55の内壁に沿って膜状に形成されている。エミッタ絶縁層56は、エミッタトレンチ55内においてリセス空間を区画している。エミッタ絶縁層56は、この形態では、シリコン酸化膜を含む。エミッタ絶縁層56は、シリコン酸化膜に代えてまたはこれに加えて、窒化シリコン膜を含んでいてもよい。

[0080] エミッタ電位電極層57は、エミッタ絶縁層56を挟んでエミッタトレンチ55に埋め込まれている。エミッタ電位電極層57は、具体的には、エミッタトレンチ55においてエミッタ絶縁層56によって区画されたリセス空間に埋め込まれている。エミッタ電位電極層57は、導電性ポリシリコンを含んでいてもよい。エミッタ電位電極層57は、エミッタ信号によって制御される。

[0081] 図5を参照して、各ダイオード領域25は、半導体チップ2の第2主面4の表層部に形成された n^+ 型のカソード領域58（第2不純物領域）を含む。カソード領域58の n 型不純物濃度は、ドリフト領域41の n 型不純物濃度よりも大きい。カソード領域58の n 型不純物濃度は、 $1.0 \times 10^{19}\ \text{cm}^{-3}$ 以上 $1.0 \times 10^{20}\ \text{cm}^{-3}$ 以下であってもよい。カソード領域58は、第2主面4から露出している。カソード領域58は、コレクタ端子電極43との間でオーミック接触を形成している。

[0082] 各ダイオード領域25は、ダイオードセル領域59を区画するセル分離構造60を含む。各ダイオード領域25は、具体的には、複数のダイオードセル領域59をそれぞれ区画する複数のセル分離構造60を含む。セル分離構造60は、図3のダイオード側トレンチ構造29に対応する。

[0083] セル分離構造60は、セル分離トレンチ61、セル分離絶縁層62およびセル分離電極層63を含む。セル分離トレンチ61は、第1主面3に形成されている。セル分離トレンチ61は、側壁および底壁を含む。セル分離トレンチ61の側壁は、第1主面3に対して垂直に形成されていてもよい。

- [0084] セル分離トレンチ61の側壁は、第1主面3から底壁に向かって下り傾斜していてもよい。セル分離トレンチ61は、開口側の開口面積が底面積よりも大きいテーパ形状に形成されていてもよい。セル分離トレンチ61の底壁は、第1主面3に対して平行に形成されていてもよい。セル分離トレンチ61の底壁は、第2主面4に向かう湾曲状に形成されていてもよい。セル分離トレンチ61は、底壁エッジ部を含む。底壁エッジ部は、セル分離トレンチ61の側壁および底壁を接続している。底壁エッジ部は、第2主面4に向かう湾曲状に形成されていてもよい。
- [0085] セル分離トレンチ61の深さD2は、 $2\ \mu\text{m}$ 以上 $10\ \mu\text{m}$ 以下であってもよい。セル分離トレンチ61の深さD2は、 $2\ \mu\text{m}$ 以上 $3\ \mu\text{m}$ 以下、 $3\ \mu\text{m}$ 以上 $4\ \mu\text{m}$ 以下、 $4\ \mu\text{m}$ 以上 $5\ \mu\text{m}$ 以下、 $5\ \mu\text{m}$ 以上 $6\ \mu\text{m}$ 以下、 $6\ \mu\text{m}$ 以上 $7\ \mu\text{m}$ 以下、 $8\ \mu\text{m}$ 以上 $9\ \mu\text{m}$ 以下、または、 $9\ \mu\text{m}$ 以上 $10\ \mu\text{m}$ 以下であってもよい。セル分離トレンチ61の深さD2は、ゲートトレンチ47の深さD1と等しくてもよい。セル分離トレンチ61の深さD2は、セル分離トレンチ61の底壁の最深部の深さ位置と第1主面3との距離と定義されてもよい。
- [0086] セル分離トレンチ61の幅は、 $0.5\ \mu\text{m}$ 以上 $3\ \mu\text{m}$ 以下であってもよい。セル分離トレンチ61の幅は、セル分離トレンチ61の第1方向Xの幅である。セル分離トレンチ61の幅は、 $0.5\ \mu\text{m}$ 以上 $1\ \mu\text{m}$ 以下、 $1\ \mu\text{m}$ 以上 $1.5\ \mu\text{m}$ 以下、 $1.5\ \mu\text{m}$ 以上 $2\ \mu\text{m}$ 以下、 $2\ \mu\text{m}$ 以上 $2.5\ \mu\text{m}$ 以下、または、 $2.5\ \mu\text{m}$ 以上 $3\ \mu\text{m}$ 以下であってもよい。セル分離トレンチ61の幅は、ゲートトレンチ47の幅と等しくてもよい。
- [0087] セル分離絶縁層62は、セル分離トレンチ61の内壁に沿って膜状に形成されている。セル分離絶縁層62は、セル分離トレンチ61内においてリセス空間を区画している。セル分離絶縁層62は、この形態では、シリコン酸化膜を含む。セル分離絶縁層62は、シリコン酸化膜に代えてまたはこれに加えて、窒化シリコン膜を含んでいてもよい。
- [0088] セル分離電極層63は、セル分離絶縁層62を挟んでセル分離トレンチ6

1に埋め込まれている。セル分離電極層63は、具体的には、セル分離トレンチ61においてセル分離絶縁層62によって区画されたりセス空間に埋め込まれている。セル分離電極層63は、エミッタ信号によって制御される。セル分離電極層63は、導電性ポリシリコンを含んでいてもよい。

[0089] 各ダイオード領域25は、半導体チップ2の第1主面3の表層部に形成されたp-型のアノード領域64（第1不純物領域）を含む。アノード領域64のp型不純物濃度は、ボディ領域50のp型不純物濃度以下であってもよい。アノード領域64のp型不純物濃度は、ボディ領域50のp型不純物濃度未満であることが好ましい。アノード領域64のp型不純物濃度は、 $1.0 \times 10^{15} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{18} \text{ cm}^{-3}$ 未満であってもよい。

[0090] アノード領域64は、各ダイオードセル領域59に形成されている。したがって、複数のアノード領域64が、第1方向Xにおいては、等しい間隔を空けて配列されており、全体としてストライプ状に形成されている。

[0091] アノード領域64は、半導体チップ2との間でpn接合部65を形成する。これにより、アノード領域64をアノードとし、半導体チップ2（カソード領域58）をカソードとするpn接合ダイオードDが形成されている。

[0092] アノード領域64は、半導体チップ2の第1主面3に形成されたダイオードトレンチ66を含む。アノード領域64は、この形態では、セル分離構造60の両側に形成された複数のダイオードトレンチ66を含む。ダイオードトレンチ66は、アノード領域64を露出させている。ダイオードトレンチ66は、セル分離構造60から第1方向Xに間隔を空けて形成されている。ダイオードトレンチ66は、平面視においてセル分離構造60に沿って帯状に延びている。

[0093] 半導体装置1は、半導体チップ2の第1主面3の上に形成された層間絶縁層67を含む。層間絶縁層67は、第1主面3に沿って膜状に形成され、第1主面3を選択的に被覆している。層間絶縁層67は、具体的には、IGBT領域24およびダイオード領域25を選択的に被覆している。

[0094] 層間絶縁層67は、酸化シリコンまたは窒化シリコンを含んでいてもよい

。層間絶縁層67は、NSG (Non-doped Silicate Glass)、PSG (Phosphor Silicate Glass) およびBPSG (Boron Phosphor Silicate Glass) のうちの少なくとも1種を含んでいてもよい。

[0095] 層間絶縁層67の厚さは、0.1 μm 以上1 μm 以下であってもよい。層間絶縁層67の厚さは、0.1 μm 以上0.2 μm 以下、0.2 μm 以上0.4 μm 以下、0.4 μm 以上0.6 μm 以下、0.6 μm 以上0.8 μm 以下、または、0.8 μm 以上1 μm 以下であってもよい。

[0096] 層間絶縁層67は、この形態では、第1主面3側からこの順に積層された第1絶縁層68、第2絶縁層69および第3絶縁層70を含む積層構造を有している。第1絶縁層68は、酸化シリコン（たとえば熱酸化膜）を含むことが好ましい。第2絶縁層69は、NGS層を含むことが好ましい。第2絶縁層69は、NGS層に代えて、PSG層またはBPSG層を含んでいてもよい。第3絶縁層70は、BPSG層を含むことが好ましい。第3絶縁層70は、BPSG層に代えて、NGS層またはPSG層を含んでいてもよい。第3絶縁層70は、第2絶縁層69とは異なる性質を有する絶縁材料を含むことが好ましい。

[0097] 第1絶縁層68は、第1主面3の上に膜状に形成されている。第1絶縁層68は、ゲート絶縁層48、エミッタ絶縁層56およびセル分離絶縁層62に連なっている。第2絶縁層69は、第1絶縁層68の上に膜状に形成されている。第3絶縁層70は、第2絶縁層69の上に膜状に形成されている。

[0098] 第1絶縁層68の厚さは、500 Å以上2000 Å以下であってもよい。第1絶縁層68の厚さは、500 Å以上1000 Å以下、1000 Å以上1500 Å以下、または、1500 Å以上2000 Å以下であってもよい。

[0099] 第2絶縁層69の厚さは、500 Å以上4000 Å以下であってもよい。第2絶縁層69の厚さは、500 Å以上1000 Å以下、1000 Å以上1500 Å以下、1500 Å以上2000 Å以下、2000 Å以上2500 Å以下、2500 Å以上3000 Å以下、3000 Å以上3500 Å以下、または、3500 Å以上4000 Å以下であってもよい。

- [0100] 第3絶縁層70の厚さは、1000Å以上8000Å以下であってもよい。第3絶縁層70の厚さは、1000Å以上2000Å以下、2000Å以上4000Å以下、4000Å以上6000Å以下、または、6000Å以上8000Å以下であってもよい。
- [0101] 層間絶縁層67は、エミッタ開口71を含む。エミッタ開口71は、コンタクトトレンチ53を露出させている。エミッタ開口71は、コンタクトトレンチ53に連通している。コンタクトトレンチ53は、この形態では、第1絶縁層68および第2絶縁層69を貫通して第1主面3に形成されている。エミッタ開口71は、第3絶縁層70を貫通し、コンタクトトレンチ53を露出させている。エミッタ開口71は、コンタクトトレンチ53との間で1つの開口を形成している。エミッタ開口71の開口エッジ部は、層間絶縁層67の内方に向かう湾曲状に形成されている。これにより、エミッタ開口71は、コンタクトトレンチ53の開口幅よりも大きい開口幅を有している。
- [0102] 図5を参照して、層間絶縁層67は、ダイオード開口72を含む。ダイオード開口72は、ダイオードトレンチ66を露出させている。ダイオード開口72は、ダイオードトレンチ66に連通している。ダイオード開口72は、この形態では、第1絶縁層68および第2絶縁層69を貫通して第1主面3に形成されている。ダイオード開口72は、第3絶縁層70を貫通し、ダイオードトレンチ66を露出させている。ダイオード開口72は、ダイオードトレンチ66との間で1つの開口を形成している。ダイオード開口72の開口エッジ部は、層間絶縁層67の内方に向かう湾曲状に形成されている。これにより、ダイオード開口72は、ダイオードトレンチ66の開口幅よりも大きい開口幅を有している。
- [0103] 半導体装置1は、層間絶縁層67においてIGBT領域24を被覆する部分に埋め込まれたエミッタプラグ電極73を含む。エミッタプラグ電極73は、層間絶縁層67を貫通し、エミッタ領域51およびコンタクト領域54に電氣的に接続されている。エミッタプラグ電極73は、具体的には、コン

タクトレンチ53に埋め込まれている。エミッタプラグ電極73は、コンタクトレンチ53内においてエミッタ領域51およびコンタクト領域54に電氣的に接続されている。

[0104] エミッタプラグ電極73は、この形態では、バリア電極層74および主電極層75を含む積層構造を有している。バリア電極層74は、層間絶縁層67に接するように、コンタクトレンチ53の内壁に沿って膜状に形成されている。バリア電極層74は、コンタクトレンチ53内においてリセス空間を区画している。

[0105] バリア電極層74は、チタン層または窒化チタン層を含む単層構造を有していてもよい。バリア電極層74は、チタン層および窒化チタン層を含む積層構造を有していてもよい。この場合、窒化チタン層は、チタン層の上に積層されていてもよい。

[0106] 主電極層75は、バリア電極層74を挟んでコンタクトレンチ53に埋め込まれている。主電極層75は、具体的には、コンタクトレンチ53内においてバリア電極層74によって区画されたリセス空間に埋め込まれている。主電極層75は、タングステンを含んでいてもよい。

[0107] 半導体装置1は、ダイオード開口72に埋め込まれたダイオードプラグ電極76を含む。ダイオードプラグ電極76は、ダイオード開口72内においてアノード領域64に電氣的に接続されている。ダイオードプラグ電極76は、エミッタプラグ電極73に対応した構造を有している。ダイオードプラグ電極76についての説明は、エミッタプラグ電極73の説明が準用されるものとする。ダイオードプラグ電極76においてエミッタプラグ電極73に対して述べた構造に対応する構造については、同一の参照符号を付して説明を省略する。

[0108] 前述のエミッタ端子電極12は、層間絶縁層67の上に形成されている。エミッタ端子電極12は、アルミニウム、銅、アルミニウム-シリコン-銅合金、アルミニウム-シリコン合金、および、アルミニウム-銅合金のうちの少なくとも一種を含んでいてもよい。

- [0109] エミッタ端子電極12は、これらの導電材料のうちのいずれか一種を含む単層構造を有していてもよい。エミッタ端子電極12は、これらの導電材料のうちの少なくとも2種が任意の順序で積層された積層構造を有していてもよい。
- [0110] エミッタ端子電極12の厚さは、 $1.0\mu\text{m}$ 以上 $6.0\mu\text{m}$ 以下であってもよい。エミッタ端子電極12の厚さは、 $1.0\mu\text{m}$ 以上 $2.0\mu\text{m}$ 以下、 $2.0\mu\text{m}$ 以上 $4.0\mu\text{m}$ 以下、または、 $4.0\mu\text{m}$ 以上 $6.0\mu\text{m}$ 以下であってもよい。
- [0111] エミッタ端子電極12は、この形態では、第1主面3側からこの順に積層された第1電極層77、第2電極層78および第3電極層79を含む積層構造を有している。第1電極層77は、アルミニウム-シリコン-銅合金 (Al-Si-Cu) を含むことが好ましい。第2電極層78は、窒化チタン (TiN) を含むことが好ましい。第2電極層78は、バリア層と称してもよい。第3電極層79は、アルミニウム-銅合金 (Al-Cu) を含むことが好ましい。
- [0112] エミッタ端子電極12は、層間絶縁層67の上においてエミッタプラグ電極73を介してエミッタ領域51およびコンタクト領域54に電氣的に接続されている。エミッタ端子電極12は、具体的には、層間絶縁層67の上からエミッタ開口71に入り込んでいる。エミッタ端子電極12は、エミッタ開口71においてエミッタプラグ電極73に電氣的に接続されている。これにより、エミッタ端子電極12は、エミッタプラグ電極73を介してエミッタ領域51およびコンタクト領域54に電氣的に接続されている。
- [0113] 図5を参照して、エミッタ端子電極12は、さらに、層間絶縁層67の上においてダイオードプラグ電極76を介してアノード領域64に電氣的に接続されている。エミッタ端子電極12は、具体的には、層間絶縁層67の上からダイオード開口72内に入り込んでいる。エミッタ端子電極12は、ダイオード領域25においてアノード端子電極として機能する。
- [0114] エミッタ端子電極12は、ダイオード開口72の内壁に接している。エミ

ッタ端子電極 12 は、ダイオード開口 72 においてアノード領域 64 に電氣的に接続されている。エミッタ端子電極 12 は、ダイオード開口 72 においてダイオードプラグ電極 76 に電氣的に接続されている。

[0115] 具体的な図示は省略されるが、ゲート端子電極 7、第 1 センス端子電極 8、第 2 センス端子電極 9、電流検出端子電極 10 および開放端子電極 11 は、エミッタ端子電極 12 と同様に、層間絶縁層 67 の上に形成されている。

[0116] 複数の端子電極 7～12 は、アルミニウム、銅、アルミニウム－シリコン－銅合金、アルミニウム－シリコン合金、および、アルミニウム－銅合金のうちの少なくとも一種をそれぞれ含んでもよい。複数の端子電極 7～12 は、これらの導電材料のうちのいずれか一種を含む単層構造をそれぞれ有していてもよい。複数の端子電極 7～12 は、これらの導電材料のうちの少なくとも 2 種が任意の順序で積層された積層構造をそれぞれ有していてもよい。複数の端子電極 7～12 は、この形態では、エミッタ端子電極 12 と同一の導電材料を含む。

[0117] 導線（たとえばボンディングワイヤ）が複数の端子電極 7～12 にそれぞれ接続される場合、ニッケル層または金層からなる単層電極、もしくは、ニッケル層および金層を含む積層電極が、複数の端子電極 7～12 の上にそれぞれ形成されていてもよい。積層電極において、金層は、ニッケル層の上に形成されてもよい。

[0118] また、複数の配線 13～15 は、アルミニウム、銅、アルミニウム－シリコン－銅合金、アルミニウム－シリコン合金、および、アルミニウム－銅合金のうちの少なくとも一種をそれぞれ含んでもよい。複数の配線 13～15 は、これらの導電材料のうちのいずれか一種を含む単層構造をそれぞれ有していてもよい。複数の配線 13～15 は、これらの導電材料のうちの少なくとも 2 種が任意の順序で積層された積層構造をそれぞれ有していてもよい。複数の端子電極配線 13～15 は、この形態では、エミッタ端子電極 12 と同一の導電材料を含む。

[0119] 次に、アクティブ領域 18 の断面構造の他の形態について説明する。図 6

は、図3のV1-V1線に沿う断面図である。図7は、図3のV1-V1線に沿う断面図である。図6および図7を参照して、第3コンタクト層40とエミッタ端子電極12との接続形態、および第2コンタクト層39とエミッタ端子電極12との接続形態について説明する。以下では、半導体装置1に関してすでに述べた構造に対応する構造については同一の参照符号を付して説明を省略する。

[0120] 図6を参照して、エミッタトレンチ構造28のエミッタ電位電極層57は、エミッタトレンチ55から第1主面3の上に引き出された引き出し電極層80を有している。引き出し電極層80は、図3の第3コンタクト層40である。引き出し電極層80は、具体的には、層間絶縁層67の内部に形成されている。引き出し電極層80は、第1絶縁層68の上に引き出され、第1絶縁層68および第3絶縁層70の間の領域に介在している。引き出し電極層80は、エミッタ端子電極12に電氣的に接続される。引き出し電極層80に印加されたエミッタ信号は、引き出し電極層80を介して、エミッタ電位電極層57に伝達される。

[0121] 層間絶縁層67は、第1開口81を含む。第1開口81は、IGBT領域24において引き出し電極層80を露出させている。第1開口81は、開口側から底壁側に向かって開口幅が狭まるように形成されている。

[0122] 半導体装置1は、第1開口81に埋め込まれた第1プラグ電極82を含む。第1プラグ電極82は、第1開口81内において引き出し電極層80に電氣的に接続されている。第1プラグ電極82は、エミッタプラグ電極73に対応した構造を有している。第1プラグ電極82についての説明は、エミッタプラグ電極73の説明が準用されるものとする。第1プラグ電極82においてエミッタプラグ電極73に対して述べた構造に対応する構造については、同一の参照符号を付して説明を省略する。

[0123] エミッタ端子電極12は、層間絶縁層67の上において第1プラグ電極82および引き出し電極層80を介してエミッタ電位電極層57に電氣的に接続されている。

- [0124] 図7を参照して、セル分離構造60のセル分離電極層63は、セル分離トレンチ61から第1主面3の上に引き出された引き出し電極層83を有している。引き出し電極層83は、図3の第2コンタクト層39である。引き出し電極層83は、具体的には、層間絶縁層67の内部に形成されている。引き出し電極層83は、第1絶縁層68の上に引き出され、第1絶縁層68および第3絶縁層70の間の領域に介在している。引き出し電極層83は、エミッタ端子電極12に電氣的に接続される。引き出し電極層83に印加されたエミッタ信号は、引き出し電極層83を介して、セル分離電極層63に伝達される。
- [0125] 層間絶縁層67は、第2開口84を含む。第2開口84は、ダイオード領域25において引き出し電極層83を露出させている。第2開口84は、開口側から底壁側に向かって開口幅が狭まるように形成されている。第2開口84は、第1方向Xに延びる帯状に形成されている。
- [0126] 半導体装置1は、第2開口84に埋め込まれた第2プラグ電極85を含む。第2プラグ電極85は、第2開口84内において引き出し電極層83に電氣的に接続されている。第2プラグ電極85は、エミッタプラグ電極73に対応した構造を有している。第2プラグ電極85についての説明は、エミッタプラグ電極73の説明が準用されるものとする。第2プラグ電極85においてエミッタプラグ電極73に対して述べた構造に対応する構造については、同一の参照符号を付して説明を省略する。
- [0127] エミッタ端子電極12は、層間絶縁層67の上において第2プラグ電極85および引き出し電極層83を介してセル分離電極層63に電氣的に接続されている。
- [0128] 次に、アクティブ領域18の断面構造の他の形態について説明する。図8は、図3のV-V線に沿う断面図である。図9は、図3のI-I線に沿う断面図である。図10は、図3のX-X線に沿う断面図である。図11は、図3のX-X線に沿う断面図である。図8~図11を参照して、第1コンタクト層38とゲート延伸電極33（ゲート配線13）と

の接続形態、およびゲート延伸電極 33 の直下の半導体チップ 2 の構造について説明する。以下では、半導体装置 1 に関してすでに述べた構造に対応する構造については同一の参照符号を付して説明を省略する。

[0129] 図 8～図 11 を参照して、半導体装置 1 は、ゲート延伸電極 33 の直下の領域（隣り合う区画領域 20 の間の境界領域 86）において第 1 主面 3 の表層部に形成された p 型のウェル領域 87 を含む。ウェル領域 87 は、この形態では、ボディ領域 50 よりも高い p 型不純物濃度を有している。むしろ、ウェル領域 87 は、ボディ領域 50 よりも低い p 型不純物濃度を有しているもよい。

[0130] ウェル領域 87 は、平面視において境界領域 86 に沿って第 1 方向 X に延びる帯状に形成されている。ウェル領域 87 は、第 1 主面 3 に沿って延びる層状に形成され、第 1 主面 3 から露出している。図 8 を参照して、ウェル領域 87 は、複数のトレンチゲート構造 27 によって挟まれた領域、および複数のエミッタトレンチ構造 28 によって挟まれた領域に形成されている。また、図 9 を参照して、ウェル領域 87 は、複数のセル分離構造 60 によって挟まれた領域に形成されている。

[0131] ウェル領域 87 は、ボディ領域 50 およびアノード領域 64 よりも深く形成されていることが好ましい。ウェル領域 87 は、複数のトレンチゲート構造 27、複数のエミッタトレンチ構造 28、および複数のセル分離構造 60 よりも深く形成されていることが特に好ましい。

[0132] 図 8 および図 9 を参照して、ウェル領域 87 は、複数のトレンチゲート構造 27 の底壁および複数のエミッタトレンチ構造 28 の底壁を被覆する部分を有している。ウェル領域 87 は、複数のトレンチゲート構造 27 および複数のエミッタトレンチ構造 28 を第 1 方向 X に横切って、これらの底壁を一括して被覆している。

[0133] 図 9 を参照して、ウェル領域 87 は、複数のセル分離構造 60 の底壁を被覆する部分を有している。ウェル領域 87 は、複数のセル分離構造 60 を第 1 方向 X に横切って、これらの底壁を一括して被覆している。また、ウェル

領域 87 は、複数のトレンチゲート構造 27 および複数のセル分離構造 60 を第 1 方向 X に横切って、これらの底壁を一括して被覆している。図 9 を参照して、ウェル領域 87 は、第 1 方向 X において IGBT 領域 24 とダイオード領域 25 との境界部に跨っている。

[0134] 図 10 および図 11 を参照して、第 2 方向 Y においてゲート延伸電極 33 を横切っている。ウェル領域 87 は、この形態では、第 2 方向 Y に境界領域 86 の幅よりも大きい幅を有している。ウェル領域 87 は、境界領域 86 から複数の区画領域 20 内に引き出された引き出し部 88 を有している。

[0135] 図 10 を参照して、ウェル領域 87 は、IGBT 領域 24 のボディ領域 50 に一体的に連なっている。ウェル領域 87 の引き出し部 88 が、ボディ領域 50 の側部に接続されている。ウェル領域 87 は、ボディ領域 50 の上端（ボディ領域 50 とエミッタ領域 51 との境界）よりも上方に突出した上側突出部 89 を有している。

[0136] 図 11 を参照して、ウェル領域 87 は、ダイオード領域 25 のアノード領域 64 に一体的に連なっている。ウェル領域 87 の引き出し部 88 が、アノード領域 64 の側部に接続されている。ウェル領域 87 は、アノード領域 64 の上端（第 1 主面 3）と同じ高さ位置に上端を有している。

[0137] 図 8～図 11 を参照して、トレンチゲート構造 27 のゲート電極層 49 は、ゲートトレンチ 47 から第 1 主面 3 の上に引き出された引き出し電極層 90 を有している。引き出し電極層 90 は、図 3 の第 1 コンタクト層 38（第 1 電極層 34）である。引き出し電極層 90 は、具体的には、層間絶縁層 67 の内部に形成されている。引き出し電極層 90 は、第 1 絶縁層 68 の上に引き出され、第 1 絶縁層 68 および第 3 絶縁層 70 の間の領域に介在している。引き出し電極層 90 は、ゲート延伸電極 33 に電氣的に接続される。引き出し電極層 90 に印加されたゲート信号は、引き出し電極層 90 を介して、ゲート電極層 49 に伝達される。

[0138] 図 9～図 11 を参照して、層間絶縁層 67 は、ゲート開口 91 を含む。ゲート開口 91 は、IGBT 領域 24 において引き出し電極層 90 を露出させ

ている。ゲート開口91は、開口側から底壁側に向かって開口幅が狭まるように形成されている。この形態では、ゲート延伸電極33に沿って一对のゲート開口91が形成されている。図9を参照して、各ゲート開口91は、第1方向Xに帯状に延び、IGBT領域24とダイオード領域25との境界部の直上に端部を有している。

[0139] 半導体装置1は、ゲート開口91に埋め込まれたゲートプラグ電極92を含む。ゲートプラグ電極92は、ゲート開口91内において引き出し電極層90に電氣的に接続されている。ゲートプラグ電極92は、エミッタプラグ電極73に対応した構造を有している。ゲートプラグ電極92についての説明は、エミッタプラグ電極73の説明が準用されるものとする。ゲートプラグ電極92においてエミッタプラグ電極73に対して述べた構造に対応する構造については、同一の参照符号を付して説明を省略する。

[0140] ゲート延伸電極33は、層間絶縁層67の上においてゲートプラグ電極92および引き出し電極層90を介してゲート電極層49に電氣的に接続されている。ゲート延伸電極33の第2電極層35は、エミッタ端子電極12に対応した構造を有している。ゲート延伸電極33の第2電極層35についての説明は、エミッタ端子電極12の説明が準用されるものとする。ゲート延伸電極33の第2電極層35においてエミッタ端子電極12に対して述べた構造に対応する構造については、同一の参照符号を付して説明を省略する。

[0141] 以上のように、図3～図11に示した構造によれば、複数のダイオード側トレンチ構造29は、全体としてストライプ状に形成されている。複数のダイオード側トレンチ構造29は、ゲート配線13の直下を第2方向Yの一方側から他方側に横切っている。つまり、複数のダイオード側トレンチ構造29が、区画領域20ごとに分断されていない。これにより、複数のダイオード側トレンチ構造29の終端部32の数を減らすことができる。この形態では、複数のダイオード側トレンチ構造29の終端部32は、外周領域19のみに選択的に形成されている。

[0142] 複数のダイオード側トレンチ構造29の終端部32はラウンド形状である

ため、プレセスのばらつきにより、ストライプ形状に比べて形状異常が発生しやすい。そのため、複数のダイオード側トレンチ構造 29 の終端部 32 の数を減らすことにより、終端部 32 での絶縁破壊を抑制することができる。その結果、半導体装置 1 の ESD (Electro-Static Discharge : 静電気放電) 耐量を向上することができる。

[0143] 次に、アクティブ領域 18 の平面構造の他の形態について説明する。図 12 は、図 2 の X11 で囲まれた部分の拡大図であり、複数の IGBT 領域 24 および複数のダイオード領域 25 の一部を示している。以下で説明する IGBT 領域 24 およびダイオード領域 25 の平面構造は、半導体チップ 2 の全ての IGBT 領域 24 および全てのダイオード領域 25 に適用されてもよいし、いくつかの IGBT 領域 24 およびダイオード領域 25 に選択的に適用されてもよい。つまり、以下で説明する平面構造は、少なくとも 1 つの IGBT 領域 24 およびダイオード領域 25 に適用可能な構造である。

[0144] 図 12 で示すダイオード領域 25 では、複数のダイオード側トレンチ構造 29 は、ゲート配線 13 を横切らず、ゲート配線 13 から第 2 方向 Y に離れたダイオード領域 25 の内側に終端部 32 を有している。第 2 コンタクト層 39 は、複数のダイオード側トレンチ構造 29 の終端部 32 を一括して被覆している。第 2 コンタクト層 39 は、終端部 32 を介してダイオード側トレンチ構造 29 に電氣的に接続されている。

[0145] 半導体装置 1 は、第 1 主面 3 に形成された複数のゲート補助トレンチ構造 93 を含む。複数のゲート補助トレンチ構造 93 は、ゲート延伸電極 33 の直下に形成され、平面視において、ゲート延伸電極 33 に被覆されている。複数のゲート補助トレンチ構造 93 は、第 2 方向 Y に沿って長いトレンチ構造である。

[0146] 図 12 では、複数のゲート補助トレンチ構造 93 は、長径方向が第 2 方向 Y に一致する複数の楕円トレンチ構造である。複数のゲート補助トレンチ構造 93 は、平面視において第 2 方向 Y に沿って延びる帯状に形成されていてもよい。複数のゲート補助トレンチ構造 93 は、全体としてストライプ状に

形成されている。複数のゲート補助トレンチ構造 93 は、ゲート補助トレンチ構造 93 は、第2方向 Y の一方側および他方側のそれぞれに終端部 94 を有している。

[0147] ゲート補助トレンチ構造 93 の終端部 94 は、一对のゲート補助トレンチ構造 93 に対して1つずつ形成されている。終端部 94 は、隣り合うゲート補助トレンチ構造 93 を、ゲート延伸電極 33 の直下の領域（図10および図11の境界領域 86）で接続している。終端部 94 は、平面視においてラウンド形状に形成されている。

[0148] また、ダイオード側トレンチ構造 29 およびゲート補助トレンチ構造 93 は、第2方向 Y に沿って延びる同一の仮想直線 99（図12で、一点鎖線で示された線）上に形成されている。したがって、ゲート補助トレンチ構造 93 は、ダイオード側トレンチ構造 29 の第2方向 Y における延長線上に形成されたトレンチ構造であってもよい。

[0149] ゲート延伸電極 33 の第1電極層 34 は、交互に配列された複数の IGBT 領域 24 および複数のダイオード領域 25 を連続して横切って延びる1本の帯状に形成されている。第1電極層 34 は、第2方向 Y における幅が一定である帯状である。第1電極層 34 は、図3の構造とは異なり、非コンタクト区間 36 およびコンタクト区間 37 の双方において、第2電極層 35 の直下に配置されている。これにより、第1電極層 34 は、複数のトレンチゲート構造 27 および複数のゲート補助トレンチ構造 93 を一括して被覆している。この形態では、ゲート補助トレンチ構造 93 の第2方向 Y の一端から他端までの全体が第1電極層 34 に被覆されている。

[0150] 次に、ゲート補助トレンチ構造 93 の断面構造について説明する。図13は、図12の X | | | - X | | | 線に沿う断面図である。以下では、半導体装置 1 に関してすでに述べた構造に対応する構造については同一の参照符号を付して説明を省略する。

[0151] ゲート補助トレンチ構造 93 は、ゲート補助トレンチ 95、ゲート補助絶縁層 96 およびゲート補助電極層 97 を含む。ゲート補助トレンチ 95 は、

半導体チップ2の第1主面3に形成されている。ゲート補助トレンチ95は、側壁および底壁を含む。ゲート補助トレンチ95の側壁は、第1主面3に対して垂直に形成されていてもよい。

[0152] ゲート補助トレンチ95の側壁は、第1主面3から底壁に向かって下り傾斜していてもよい。ゲート補助トレンチ95は、開口側の開口面積が底面積よりも大きいテーパ形状に形成されていてもよい。ゲート補助トレンチ95の側壁からは、ウェル領域87が露出している。ゲート補助トレンチ95の底壁は、第1主面3に対して平行に形成されていてもよい。ゲート補助トレンチ95の底壁は、第2主面4に向かう湾曲状に形成されていてもよい。ゲート補助トレンチ95は、底壁エッジ部を含む。底壁エッジ部は、ゲート補助トレンチ95の側壁および底壁を接続している。底壁エッジ部は、半導体チップ2の第2主面4に向かう湾曲状に形成されていてもよい。

[0153] ゲート補助トレンチ95の深さD4は、 $2\mu\text{m}$ 以上 $10\mu\text{m}$ 以下であってもよい。ゲート補助トレンチ95の深さD4は、 $2\mu\text{m}$ 以上 $3\mu\text{m}$ 以下、 $3\mu\text{m}$ 以上 $4\mu\text{m}$ 以下、 $4\mu\text{m}$ 以上 $5\mu\text{m}$ 以下、 $5\mu\text{m}$ 以上 $6\mu\text{m}$ 以下、 $6\mu\text{m}$ 以上 $7\mu\text{m}$ 以下、 $8\mu\text{m}$ 以上 $9\mu\text{m}$ 以下、または、 $9\mu\text{m}$ 以上 $10\mu\text{m}$ 以下であってもよい。ゲート補助トレンチ95の深さD4は、ゲートトレンチ47の深さD1と等しくてもよい。

[0154] ゲート補助トレンチ95の幅は、 $0.5\mu\text{m}$ 以上 $3\mu\text{m}$ 以下であってもよい。ゲート補助トレンチ95の幅は、ゲート補助トレンチ95の第1方向Xの幅である。ゲート補助トレンチ95の幅は、 $0.5\mu\text{m}$ 以上 $1\mu\text{m}$ 以下、 $1\mu\text{m}$ 以上 $1.5\mu\text{m}$ 以下、 $1.5\mu\text{m}$ 以上 $2\mu\text{m}$ 以下、 $2\mu\text{m}$ 以上 $2.5\mu\text{m}$ 以下、または、 $2.5\mu\text{m}$ 以上 $3\mu\text{m}$ 以下であってもよい。ゲート補助トレンチ95の幅は、ゲートトレンチ47の幅と等しくてもよい。

[0155] ゲート補助絶縁層96は、ゲート補助トレンチ95の内壁に沿って膜状に形成されている。ゲート補助絶縁層96は、ゲート補助トレンチ95内においてリセス空間を区画している。ゲート補助絶縁層96は、この形態では、シリコン酸化膜を含む。ゲート補助絶縁層96は、シリコン酸化膜に代えて

またはこれに加えて、窒化シリコン膜を含んでいてもよい。

- [0156] ゲート補助電極層 97 は、ゲート補助絶縁層 96 を挟んでゲート補助トレンチ 95 に埋め込まれている。ゲート補助電極層 97 は、具体的には、ゲート補助トレンチ 95 においてゲート補助絶縁層 96 によって区画されたりセス空間に埋め込まれている。ゲート補助電極層 97 は、導電性ポリシリコンを含んでいてもよい。ゲート補助電極層 97 は、ゲート電位に制御される。
- [0157] ゲートトレンチ 47 から第 1 主面 3 の上に引き出された引き出し電極層 90 は、ゲート補助電極層 97 に一体的に接続されている。つまり、引き出し電極層 90 は、ゲート電極層 49 およびゲート補助電極層 97 から一体的に第 1 主面 3 上に引き出され、ゲートトレンチ 47 およびゲート補助トレンチ 95 を一括して被覆している。
- [0158] 次に、図 14～図 16 を参照して、ゲート補助トレンチ構造 93 のパターンのバリエーションを説明する。
- [0159] まず、図 14 を参照して、複数のゲート補助トレンチ構造 93 は、1 つずつが独立した帯状に形成されていてもよい。各ゲート補助トレンチ構造 93 は、長さ方向が第 2 方向 Y に一致する帯状トレンチ構造である。この形態では、各ゲート補助トレンチ構造 93 の終端部 98 は、第 2 方向 Y において第 1 電極層 34 の両側縁よりも内側に配置され、第 1 電極層 34 に被覆されている。
- [0160] 次に、図 15 を参照して、複数のゲート補助トレンチ構造 93 は、1 つずつが独立した帯状に形成されていてもよい。各ゲート補助トレンチ構造 93 は、長さ方向が第 2 方向 Y に一致する帯状トレンチ構造である。この形態では、各ゲート補助トレンチ構造 93 の終端部 98 は、第 2 方向 Y において第 1 電極層 34 の両側縁よりも外側に突出しており、第 1 電極層 34 から露出している。
- [0161] 次に、図 16 を参照して、複数のゲート補助トレンチ構造 93 は、第 1 方向 X に沿って長いトレンチ構造である。図 16 では、図 12 の楕円トレンチ構造が 90° 回転した構造が示されているが、むしろ、図 14 および図 15

の帯状トレンチ構造が90°回転した構造であってもよい。

[0162] 以上のように、図12～図16に示した構造によれば、ゲート電位に制御される複数のゲート補助トレンチ構造93が形成されている。これにより、ゲート容量を増加できるので、ゲートのESD耐量を向上することができる。また、複数のゲート補助トレンチ構造93は、複数のダイオード側トレンチ構造29に挟まれたゲート延伸電極33の直下の空きスペースに配置されている。そのため、ゲート補助トレンチ構造93のためにチップ面積の増加や、ゲートトレンチ密度の増加を避けることができる。これにより、チップコストの増加や、プロセス難易度の上昇を抑制することができる。

[0163] また、図12、図14および図15に示すように、複数のゲート補助トレンチ構造93が第2方向Yに沿って長いトレンチであれば、第2方向Yにおいてゲート延伸電極33に位置ずれが発生しても、ゲート延伸電極33をゲート補助トレンチ構造93に確実に接続することができる。

[0164] 次に、ゲート端子電極7の近傍の平面構造の一つの形態について説明する。図17は、図2のXV11で囲まれた部分の拡大図であり、複数のIGBT領域24および複数のダイオード領域25の一部を示している。以下で説明するIGBT領域24およびダイオード領域25の平面構造は、半導体チップ2の全てのIGBT領域24および全てのダイオード領域25に適用されてもよいし、いくつかのIGBT領域24およびダイオード領域25に選択的に適用されてもよい。つまり、以下で説明する平面構造は、少なくとも一つのIGBT領域24およびダイオード領域25に適用可能な構造である。

[0165] この形態では、RC-IGBT配列26の第1端部（側面5B側の端部）は、ダイオード領域25によって形成されている。このダイオード領域25は、複数の端子電極7～11に隣接する領域であり、パッド隣接ダイオード領域25Aと称されてもよい。パッド隣接ダイオード領域25Aは、第1方向Xにおいてゲート端子電極7に隣接している。「ゲート端子電極7に隣接している」とは、第1方向Xにおいて、ゲート端子電極7とパッド隣接ダイ

オード領域 25 A との間に、他のダイオード領域 25 や IGBT 領域 24 が介在されていないことを意味していてもよい。

[0166] パッド隣接ダイオード領域 25 A では、複数のダイオード側トレンチ構造 29 は、ゲート配線 13 を横切らず、ゲート配線 13 から第 2 方向 Y に離れたダイオード領域 25 の内側に終端部 32 を有している。第 2 コンタクト層 39 は、複数のダイオード側トレンチ構造 29 の終端部 32 を一括して被覆している。第 2 コンタクト層 39 は、終端部 32 を介してダイオード側トレンチ構造 29 に電氣的に接続されている。

[0167] ゲート延伸電極 33 は、ゲート端子電極 7 を取り囲む環状の周囲部 100 と、周囲部 100 から第 1 方向 X に帯状に延びる延伸部 101 とを含む。

[0168] 周囲部 100 は、ゲート端子電極 7 の周囲の全体を取り囲んでいるが、一部が分断されていてもよい。周囲部 100 の側面 5 B 側の端部は、ゲート配線 13 の第 1 部分 16 に一体的に連なっている。周囲部 100 とゲート端子電極 7 との間には、環状の隙間領域 102 が形成されている。

[0169] 延伸部 101 は、周囲部 100 の側面 5 B 側の端部とは反対側の端部から第 1 方向 X に延出している。延伸部 101 は、第 1 方向 X に帯状に延びている。

[0170] 図 17 において、周囲部 100 および延伸部 101 は、抵抗層 103 および配線層 104 の積層構造により形成されている。当該積層構造の下層の抵抗層 103 が白抜き領域であり、上層の配線層 104 が、ハッチングが付された領域である。抵抗層 103 は、前述の第 1 電極層 34 および第 1 コンタクト層 38 を兼ねている。配線層 104 は、前述の第 2 電極層 35 を兼ねている。

[0171] 抵抗層 103 および配線層 104 の積層構造は、ゲート延伸電極 33 を構成することに加え、その一部がゲート端子電極 7 を構成していてもよい。図 17 では、抵抗層 103 の一部がアイランド状のパッド支持層 105 を形成しており、パッド支持層 105 上に、周囲部 100 およびゲート端子電極 7 を構成する第 2 電極層 35 が互いに独立して形成されている。

- [0172] 周囲部100の第2電極層35は、周囲コンタクト106を介してパッド支持層105に接続されている。この形態では、第1方向Xにおいてゲート端子電極7を挟んで対向する一对の周囲コンタクト106が形成されている。一对の周囲コンタクト106は、周囲部100の側面5B側の端部、およびその反対側の端部に1つずつ形成されている。
- [0173] ゲート端子電極7の第2電極層35は、パッドコンタクト107を介してパッド支持層105に接続されている。この形態では、第1方向Xにおいて周囲コンタクト106に隣接して一对のパッドコンタクト107が形成されている。一对のパッドコンタクト107は、各周囲コンタクト106に隣接する位置に1つずつ形成されている。
- [0174] 半導体装置1は、ゲート端子電極7に隣接するゲート抵抗体108を含む。ゲート抵抗体108は、ゲート延伸電極33において、トレンチゲート構造27の直上の部分を避け、ダイオード領域25を横切る部分に選択的に形成されている。この形態では、ゲート抵抗体108は、延伸部101においてダイオード側トレンチ構造29の終端部32に第2方向Yに隣接した位置に形成されている。より具体的には、ゲート抵抗体108は、ゲート延伸電極33を挟んで対向する複数のダイオード側トレンチ構造29に挟まれた領域に形成されている。
- [0175] 終端部32に隣接する領域で、ゲート延伸電極33（延伸部101）の配線層104は、第1方向Xの一方側および他方側に分断されている。ゲート抵抗体108は、分断された配線層104で挟まれた抵抗層103の部分により形成されている。
- [0176] 延伸部101は、ゲート端子電極7に近い第1延伸部109と、その反対側の第2延伸部110とを含む。第1延伸部109および第2延伸部110は、それぞれ、抵抗コンタクト111を介して抵抗層103に接続されている。
- [0177] ゲート抵抗体108は、第1延伸部109と第2延伸部110との間に配置されている。ゲート抵抗体108は、第1方向Xに延びる、一定幅の平面

視帯状に形成されている。

[0178] ゲート抵抗体108は、さらに、複数のトレンチ抵抗構造112を含んでもよい。複数のトレンチ抵抗構造112は、第1延伸部109と第2延伸部110との間において、第2方向Yに長いストライプ状に形成されている。各トレンチ抵抗構造112は、ゲート延伸電極33を横切る方向に長い平面視帯状に形成されている。

[0179] 次に、図17の断面構造について説明する。図18は、図17のXV-III-III-XV-III線に沿う断面図である。図19は、図17のX-IX-X-IX線に沿う断面図である。

[0180] まず、図18を参照して、ゲート端子電極7の断面構造を説明する。ゲート端子電極7の直下には、ウェル領域87が広がっている。ウェル領域87には、第1絶縁層68を介してパッド支持層105（抵抗層103、第1電極層34）が形成されている。パッド支持層105は、第3絶縁層70に被覆されている。

[0181] 第3絶縁層70には、周囲コンタクト106およびパッドコンタクト107が埋め込まれている。周囲コンタクト106およびパッドコンタクト107は、それぞれ、周囲プラグ電極およびパッドプラグ電極と称されてもよい。周囲コンタクト106およびパッドコンタクト107は、エミッタプラグ電極73に対応した構造を有している。周囲コンタクト106およびパッドコンタクト107についての説明は、エミッタプラグ電極73の説明が準用されるものとする。周囲コンタクト106およびパッドコンタクト107においてエミッタプラグ電極73に対して述べた構造に対応する構造については、同一の参照符号を付して説明を省略する。

[0182] 第3絶縁層70上には、ゲート端子電極7および周囲部100が形成されている。ゲート端子電極7および周囲部100は、パッドコンタクト107、パッド支持層105および周囲コンタクト106を介して、互いに電氣的に接続されている。

[0183] 次に、図19を参照して、ゲート抵抗体108の断面構造を説明する。第

1 主面 3 には、トレンチ抵抗構造 1 1 2 が形成されている。

[0184] トレンチ抵抗構造 1 1 2 は、抵抗トレンチ 1 1 3、抵抗絶縁層 1 1 4 および抵抗電極層 1 1 5 を含む。抵抗トレンチ 1 1 3 は、半導体チップ 2 の第 1 主面 3 に形成されている。抵抗トレンチ 1 1 3 は、側壁および底壁を含む。抵抗トレンチ 1 1 3 の側壁は、第 1 主面 3 に対して垂直に形成されていてもよい。

[0185] 抵抗トレンチ 1 1 3 の側壁は、第 1 主面 3 から底壁に向かって下り傾斜していてもよい。抵抗トレンチ 1 1 3 は、開口側の開口面積が底面積よりも大きいテーパ形状に形成されていてもよい。抵抗トレンチ 1 1 3 の側壁からは、ウェル領域 8 7 が露出している。抵抗トレンチ 1 1 3 の底壁は、第 1 主面 3 に対して平行に形成されていてもよい。抵抗トレンチ 1 1 3 の底壁は、第 2 主面 4 に向かう湾曲状に形成されていてもよい。抵抗トレンチ 1 1 3 は、底壁エッジ部を含む。底壁エッジ部は、抵抗トレンチ 1 1 3 の側壁および底壁を接続している。底壁エッジ部は、半導体チップ 2 の第 2 主面 4 に向かう湾曲状に形成されていてもよい。

[0186] 抵抗トレンチ 1 1 3 の深さ D 5 は、 $2\ \mu\text{m}$ 以上 $10\ \mu\text{m}$ 以下であってもよい。抵抗トレンチ 1 1 3 の深さ D 5 は、 $2\ \mu\text{m}$ 以上 $3\ \mu\text{m}$ 以下、 $3\ \mu\text{m}$ 以上 $4\ \mu\text{m}$ 以下、 $4\ \mu\text{m}$ 以上 $5\ \mu\text{m}$ 以下、 $5\ \mu\text{m}$ 以上 $6\ \mu\text{m}$ 以下、 $6\ \mu\text{m}$ 以上 $7\ \mu\text{m}$ 以下、 $8\ \mu\text{m}$ 以上 $9\ \mu\text{m}$ 以下、または、 $9\ \mu\text{m}$ 以上 $10\ \mu\text{m}$ 以下であってもよい。抵抗トレンチ 1 1 3 の深さ D 5 は、ゲートトレンチ 4 7 の深さ D 1 と等しくてもよい。

[0187] 抵抗トレンチ 1 1 3 の幅は、 $0.5\ \mu\text{m}$ 以上 $3\ \mu\text{m}$ 以下であってもよい。抵抗トレンチ 1 1 3 の幅は、抵抗トレンチ 1 1 3 の第 1 方向 X の幅である。抵抗トレンチ 1 1 3 の幅は、 $0.5\ \mu\text{m}$ 以上 $1\ \mu\text{m}$ 以下、 $1\ \mu\text{m}$ 以上 $1.5\ \mu\text{m}$ 以下、 $1.5\ \mu\text{m}$ 以上 $2\ \mu\text{m}$ 以下、 $2\ \mu\text{m}$ 以上 $2.5\ \mu\text{m}$ 以下、または、 $2.5\ \mu\text{m}$ 以上 $3\ \mu\text{m}$ 以下であってもよい。抵抗トレンチ 1 1 3 の幅は、ゲートトレンチ 4 7 の幅と等しくてもよい。

[0188] 抵抗絶縁層 1 1 4 は、抵抗トレンチ 1 1 3 の内壁に沿って膜状に形成され

ている。抵抗絶縁層 114 は、抵抗トレンチ 113 内においてリセス空間を区画している。抵抗絶縁層 114 は、この形態では、シリコン酸化膜を含む。抵抗絶縁層 114 は、シリコン酸化膜に代えてまたはこれに加えて、窒化シリコン膜を含んでいてもよい。

[0189] 抵抗電極層 115 は、抵抗絶縁層 114 を挟んで抵抗トレンチ 113 に埋め込まれている。抵抗電極層 115 は、具体的には、抵抗トレンチ 113 において抵抗絶縁層 114 によって区画されたリセス空間に埋め込まれている。抵抗電極層 115 は、導電性ポリシリコンを含んでいてもよい。抵抗電極層 115 は、ゲート電位に制御される。

[0190] ゲート抵抗体 108 は、抵抗トレンチ 113 から第 1 主面 3 の上に引き出された引き出し抵抗層 116 を有している。引き出し抵抗層 116 は、抵抗電極層 115 に一体的に接続されている。つまり、引き出し電極層 90 は、抵抗電極層 115 から一体的に第 1 主面 3 上に引き出され、複数の抵抗トレンチ 113 を一括して被覆している。パッド支持層 105 は、第 3 絶縁層 70 に被覆されている。

[0191] 第 3 絶縁層 70 には、抵抗コンタクト 111 が埋め込まれている。抵抗コンタクト 111 は、抵抗プラグ電極と称されてもよい。抵抗コンタクト 111 は、エミッタプラグ電極 73 に対応した構造を有している。抵抗コンタクト 111 についての説明は、エミッタプラグ電極 73 の説明が準用されるものとする。抵抗コンタクト 111 においてエミッタプラグ電極 73 に対して述べた構造に対応する構造については、同一の参照符号を付して説明を省略する。

[0192] 第 3 絶縁層 70 上には、第 1 延伸部 109 および第 2 延伸部 110 が形成されている。第 1 延伸部 109 および第 2 延伸部 110 は、抵抗コンタクト 111、引き出し抵抗層 116 および抵抗電極層 115 を介して、互いに電氣的に接続されている。

[0193] 第 1 延伸部 109 および第 2 延伸部 110 が積層された抵抗層 103 の部分は、抵抗層 103 よりも低抵抗な配線層 104 により形成された第 1 延伸

部109および第2延伸部110で短絡されている。これにより、第1延伸部109と第2延伸部110との間で露出した抵抗層103の部分がゲート抵抗体108を形成している。

[0194] 図20は、IGBT領域24およびダイオード領域25の配列パターンの変形例を示す図である。図21は、図20のXXIで囲まれた部分の拡大図である。

[0195] 図20および図21を参照して、RC-IGBT配列26の第1端部（側面5B側の端部）は、ダイオード領域25によって形成されている。このダイオード領域25は、複数の端子電極7～11に隣接する領域であり、パッド隣接ダイオード領域25Aと称されてもよい。パッド隣接ダイオード領域25Aは、第2方向Yにおいてゲート端子電極7に隣接している。

[0196] パッド隣接ダイオード領域25Aでは、複数のダイオード側トレンチ構造29は、ゲート配線13を横切らず、ゲート配線13から第2方向Yに離れたダイオード領域25の内側に終端部32を有している。第2コンタクト層39は、複数のダイオード側トレンチ構造29の終端部32を一括して被覆している。第2コンタクト層39は、終端部32を介してダイオード側トレンチ構造29に電氣的に接続されている。複数のダイオード側トレンチ構造29の終端部32は、第2方向Yにおいて、ゲート端子電極7および周囲部100を挟んで対向している。

[0197] ゲート抵抗体108は、ゲート延伸電極33において、トレンチゲート構造27の直上の部分を避け、ダイオード領域25を横切る部分に選択的に形成されている。この形態では、ゲート抵抗体108は、周囲部100においてダイオード側トレンチ構造29の終端部32に第2方向Yに隣接した位置に形成されている。より具体的には、ゲート抵抗体108は、ゲート端子電極7および周囲部100を挟んで対向する複数のダイオード側トレンチ構造29に挟まれた領域に形成されている。ゲート端子電極7を挟んで、一对のゲート抵抗体108が第2方向Yに対向している。

[0198] 終端部32に隣接する領域で、ゲート延伸電極33（周囲部100）の配

線層 104 は、第 1 方向 X の一方側および他方側に分断されている。ゲート抵抗体 108 は、分断された配線層 104 で挟まれた抵抗層 103（パッド支持層 105）の部分により形成されている。

[0199] 周囲部 100 は、ゲート配線 13 の第 1 部分 16 に連なる第 1 周囲部 117 と、その反対側の第 2 周囲部 118 とを含む。第 1 周囲部 117 および第 2 周囲部 118 は、それぞれ、抵抗コンタクト 111 を介して抵抗層 103 に接続されている。

[0200] ゲート抵抗体 108 は、第 1 周囲部 117 と第 2 周囲部 118 との間に配置されている。ゲート抵抗体 108 は、第 1 方向 X に延びる、一定幅の平面視帯状に形成されている。

[0201] ゲート抵抗体 108 は、さらに、複数のトレンチ抵抗構造 112 を含んでもよい。複数のトレンチ抵抗構造 112 は、第 1 周囲部 117 と第 2 周囲部 118 との間において、第 2 方向 Y に長いストライプ状に形成されている。各トレンチ抵抗構造 112 は、ゲート延伸電極 33 を横切る方向に長い平面視帯状に形成されている。

[0202] 以上のように、図 17～図 21 に示した構造によれば、ゲート延伸電極 33 にゲート抵抗体 108 が形成されている。ゲート抵抗体 108 は、IGBT のゲートに対するゲート抵抗を構成する。たとえば、ゲート抵抗体 108 は、ターンオフ時における寄生インダクタンスに起因する発振（ノイズ）を抑制する上で有効である。また、ゲート抵抗体 108 は、複数のダイオード側トレンチ構造 29 に挟まれたゲート延伸電極 33 の直下の空きスペースに配置されている。そのため、ゲート抵抗体 108 のためにチップ面積の増加を避けることができる。したがって、IGBT 領域 24 の有効面積を損なうことなく、ゲート抵抗体 108 を有する半導体装置 1 を提供することができる。

[0203] 本開示の実施形態について説明したが、本開示は他の形態で実施することもできる。

[0204] たとえば、前述各実施形態において、各半導体部分の導電型が反転された

構造が採用されてもよい。つまり、p型の部分がn型に形成され、n型の部分がp型に形成されてもよい。

[0205] 以上、本開示の実施形態は、すべての点において例示であり限定的に解釈されるべきではなく、すべての点において変更が含まれることが意図される。

[0206] この明細書および図面の記載から以下に付記する特徴が抽出され得る。以下、括弧内の英数字は前述の実施形態における対応構成要素等を表すが、各付記 (Clause) の範囲を実施形態に限定する趣旨ではない。

[0207] [付記 1 - 1]

第1主面 (3) および第2主面 (4) を有するチップ (2) と、
前記第1主面 (3) を被覆する絶縁層 (67) と、
前記第1主面 (3) 上の領域を第1方向 (X) に延びる延伸電極 (33) であって、前記絶縁層 (67) と前記第1主面 (3) との間に形成された第1電極層 (34) と、前記絶縁層 (67) 上に形成され、前記第1電極層 (34) に電氣的に接続された第2電極層 (35) とを含む延伸電極 (33) と、

前記延伸電極 (33) に電氣的に接続された素子を含む第1素子領域 (24) と、

前記第1方向 (X) において前記第1素子領域 (24) に隣り合い、前記第1方向 (X) に交差する第2方向 (Y) において前記延伸電極 (33) を挟んで一方側および他方側に形成された第2素子領域 (25) と、

前記チップ (2) の前記第1主面 (3) に形成され、前記延伸電極 (33) を横切り、前記延伸電極 (33) を挟んで隣り合う複数の前記第2素子領域 (25) に跨る第2トレンチ電極構造 (29) とを含み、

前記延伸電極 (33) は、前記第2トレンチ電極構造 (29) の直上に、前記第1電極層 (34) を有さず、前記第2電極層 (35) を選択的に有している、半導体装置 (1) 。

[0208] この構成によれば、第2トレンチ電極構造 (29) は、延伸電極 (33)

を横切り、延伸電極（33）を挟んで隣り合う複数の第2素子領域（25）に跨っている。つまり、第2トレンチ電極構造（29）が、第2素子領域（25）ごとに分断されていない。これにより、第2トレンチ電極構造（29）の終端部の数を減らすことができる。

[0209] たとえば、第2トレンチ電極構造（29）の終端部がラウンド形状であると、プレセスのばらつきにより形状異常が発生しやすい。そのため、第2トレンチ電極構造（29）の終端部の数を減らすことにより、終端部での絶縁破壊を抑制することができる。その結果、半導体装置（1）のESD（Electro-Static Discharge：静電気放電）耐量を向上することができる。

[0210] [付記1-2]

前記第1素子領域（24）は、前記第2方向（Y）において前記延伸電極（33）を挟んで一方側および他方側に形成されており、

前記チップ（2）の前記第1主面（3）に形成され、前記延伸電極（33）を横切り、前記延伸電極（33）を挟んで隣り合う複数の前記第1素子領域（24）に跨り、前記第2トレンチ電極構造（29）から物理的かつ電氣的に分離された第1トレンチ電極構造（27）を含み、

前記延伸電極（33）は、前記第1トレンチ電極構造（27）の直上に、前記第1トレンチ電極構造（27）に電氣的に接続された前記第1電極層（34）と前記第2電極層（35）との積層構造を選択的に有している、付記1-1に記載の半導体装置（1）。

[0211] [付記1-3]

前記第1方向（X）において複数の前記第1素子領域（24）および複数の前記第2素子領域（25）が交互に配列されており、

前記延伸電極（33）は、前記複数の前記第1素子領域（24）および前記複数の第2素子領域（25）を連続して横切って延びる1本の前記第2電極層（35）と、前記第2電極層（35）と前記第2素子領域（25）とが対向する非コンタクト区間（36）で選択的に分断されることにより、前記第2電極層（35）と前記第1素子領域（24）とが対向するコンタクト区

間（37）に選択的に配置された複数の前記第1電極層（34）とを含む、付記1-2に記載の半導体装置（1）。

[0212] [付記1-4]

前記第1トレンチ電極構造（27）は、第1トレンチ（47）と、前記第1トレンチ（47）に埋め込まれた第1埋め込み電極（49）とを含み、

前記第2トレンチ電極構造（29）は、第2トレンチ（61）と、前記第2トレンチ（61）に埋め込まれ、前記絶縁層（67）により被覆された第2埋め込み電極（63）とを含み、

前記第1電極層（34）は、前記第1埋め込み電極（49）から一体的に前記第1主面（3）上に引き出され、前記複数の前記第1トレンチ電極構造（27）を一括して被覆する第1コンタクト層（38）を含む、付記1-3に記載の半導体装置（1）。

[0213] [付記1-5]

前記第2方向（Y）において前記延伸電極（33）に隣接して形成され、前記第2埋め込み電極（63）から一体的に前記第1主面（3）上に引き出され、前記複数の第2トレンチ電極構造（29）を一括して被覆する第2コンタクト層（39）をさらに含む、付記1-4に記載の半導体装置（1）。

[0214] [付記1-6]

前記第2コンタクト層（39）は、前記延伸電極（33）に並んで前記第1方向（X）に帯状に延びる形状を有している、付記1-5に記載の半導体装置（1）。

[0215] [付記1-7]

前記第1素子領域（24）において前記第1トレンチ電極構造（27）に並んで延び、前記延伸電極（33）を横切らず、前記延伸電極（33）から前記第2方向（Y）に離れた前記第1素子領域（24）の内側に終端部（31）を有する第3トレンチ電極構造（28）をさらに含む、付記1-5に記載の半導体装置（1）。

[0216] [付記1-8]

前記第3トレンチ電極構造(28)は、第3トレンチ(55)と、前記第3トレンチ(55)に埋め込まれ、前記絶縁層(67)により被覆された第3埋め込み電極(57)とを含み、

前記第3トレンチ電極構造(28)の前記終端部(31)において、前記第3埋め込み電極(57)から一体的に前記第1主面(3)上に引き出された第3コンタクト層(40)と、

前記第2コンタクト層(39)および前記第3コンタクト層(40)を被覆し、前記第2コンタクト層(39)および前記第3コンタクト層(40)に接続された表面電極層(12)とをさらに含む、付記1-7に記載の半導体装置(1)。

[0217] [付記1-9]

複数の前記延伸電極(33)が前記第2方向(Y)に間隔を空けて形成されており、

前記表面電極層(12)は、隣り合う前記延伸電極(33)で挟まれた区画領域(20)において、少なくとも前記第1素子領域(24)および前記第2素子領域(25)を1つずつ被覆している、付記1-8に記載の半導体装置(1)。

[0218] [付記1-10]

前記チップ(2)内に形成された第1導電型のドリフト領域(41)を含み、

前記第1素子領域(24)は、前記第1主面(3)に形成された第2導電型のボディ領域(50)、前記ボディ領域(50)の表層部に形成された第1導電型のエミッタ領域(51)、前記第2主面(4)に形成された第2導電型のコレクタ領域(45)、および前記第1トレンチ電極構造(27)としてのトレンチゲート構造(27)を有するIGBT領域(24)を含み、

前記第2素子領域(25)は、前記第1主面(3)に形成された第2導電型の第1不純物領域(64)、前記第2主面(4)に形成された第1導電型の第2不純物領域(58)、および前記エミッタ領域(51)に電氣的に接

続された前記第2トレンチ電極構造(29)としてのダイオード側トレンチ構造(29)を有するダイオード領域(25)を含み、

前記延伸電極(33)は、前記トレンチゲート構造(27)に電氣的に接続されたゲート延伸電極(33)を含む、付記1-2~付記1-9のいずれか一項に記載の半導体装置(1)。

[0219] [付記1-11]

前記ゲート延伸電極(33)の直下において前記第1主面(3)に形成され、前記トレンチゲート構造(27)および前記ダイオード側トレンチ構造(29)よりも深い第2導電型のウェル領域(87)を含む、付記1-10に記載の半導体装置(1)。

[0220] [付記1-12]

前記ウェル領域(87)は、前記第1方向(X)において前記IGBT領域(24)と前記ダイオード領域(25)との境界部に跨り、前記第2方向(Y)において前記ゲート延伸電極(33)を横切り、前記IGBT領域(24)の前記ボディ領域(50)および前記ダイオード領域(25)の前記第1不純物領域(64)に一体的に連なっている、付記1-11に記載の半導体装置(1)。

[0221] [付記1-13]

前記ダイオード領域(25A)に形成され、前記ゲート延伸電極(33)を横切らず、前記ゲート延伸電極(33)から前記第2方向(Y)に離れた前記ダイオード領域(25A)の内側に終端部(32)を有する第4トレンチ電極構造(29)をさらに含み、

前記ゲート延伸電極(33)は、前記第4トレンチ電極構造(29)に隣接する部分において選択的にゲート抵抗体(108)を有している、付記1-10~付記1-12のいずれか一項に記載の半導体装置(1)。

[0222] [付記1-14]

前記ゲート延伸電極(33)に電氣的に接続されたゲートパッド電極(7)をさらに含み、

前記ダイオード領域（25A）は、前記第1方向（X）において前記ゲートパッド電極（7）に隣接し、前記第4トレンチ電極構造（29）が形成されたパッド隣接ダイオード領域（25A）を含み、

前記ゲート延伸電極（33）は、前記パッド隣接ダイオード領域（25A）を横切る部分において分断された複数の前記第2電極層（35, 109, 110）を含み、

前記ゲート抵抗体（108）は、前記複数の第2電極層（35, 109, 110）で挟まれた前記第1電極層（34）の部分により形成されている、付記1-13に記載の半導体装置（1）。

[0223] [付記1-15]

前記ゲート延伸電極（33）に電氣的に接続されたゲートパッド電極（7）をさらに含み、

前記ダイオード領域（25）は、前記第2方向（Y）において前記ゲートパッド電極（7）に隣接し、前記第4トレンチ電極構造（29）が形成されたパッド隣接ダイオード領域（25）を含み、

前記ゲート延伸電極（33）は、前記パッド隣接ダイオード領域（25）を横切る部分において分断された複数の前記第2電極層（35, 109, 110）を含み、

前記ゲート抵抗体（108）は、前記複数の第2電極層（35, 109, 110）で挟まれた前記第1電極層（34）の部分により形成されている、付記1-13に記載の半導体装置（1）。

[0224] [付記2-1]

第1主面（3）を有するチップ（2）と、

前記チップ（2）の前記第1主面（3）に形成されたIGBT領域（24）と、

前記チップ（2）の前記第1主面（3）に形成され、第1方向（X）において前記IGBT領域（24）に隣り合うダイオード領域（25）と、

前記第1主面（3）上の領域を、前記第1方向（X）に前記IGBT領域

(24) および前記ダイオード領域(25)を連続して横切って延びるゲート延伸電極(33)と、

前記チップ(2)の前記第1主面(3)に形成され、前記ゲート延伸電極(33)を横切って延びるトレンチゲート構造(27)とを含み、

前記ゲート延伸電極(33)は、前記トレンチゲート構造(27)の直上の部分を避け、前記ダイオード領域(25)を横切る部分において選択的にゲート抵抗体(108)を有している、半導体装置(1)。

[0225] この構成によれば、ゲート延伸電極(33)は、ゲート抵抗体(108)を有している。ゲート抵抗体(108)は、IGBTのゲートに対するゲート抵抗を構成する。たとえば、ゲート抵抗体(108)は、ターンオフ時における寄生インダクタンスに起因する発振(ノイズ)を抑制する上で有効である。また、ゲート抵抗体(108)は、トレンチゲート構造(27)の直上の部分を避け、ゲート延伸電極(33)のダイオード領域(25)を横切る部分に選択的に配置されている。そのため、ゲート抵抗体(108)のためにチップ(2)面積の増加を避けることができる。したがって、IGBT領域(24)の有効面積を損なうことなく、ゲート抵抗体(108)を有する半導体装置(1)を提供することができる。

[0226] [付記2-2]

前記第1主面(3)を被覆する絶縁層(67)を含み、

前記第1方向(X)において前記ダイオード領域(25)を挟む複数の前記IGBT領域(24)が形成されており、

前記ゲート延伸電極(33)は、前記絶縁層(67)と前記第1主面(3)との間に形成され、前記第1方向(X)に前記IGBT領域(24)および前記ダイオード領域(25)を連続して横切って延びる抵抗層(103)と、前記絶縁層(67)上に形成され、前記ダイオード領域(25)を横切る部分において分断され、前記抵抗層(103)よりも低抵抗な複数の配線層(104)とを含み、

前記ゲート抵抗体(108)は、前記複数の配線層(104)で挟まれた

前記抵抗層（103）の部分により形成されている、付記2-1に記載の半導体装置（1）。

[0227] [付記2-3]

前記トレンチゲート構造（27）は、ゲートトレンチ（47）と、前記ゲートトレンチ（47）に埋め込まれたゲート埋め込み電極（49）とを含み、

前記抵抗層（103）は、前記ゲート埋め込み電極（49）から一体的に前記第1主面（3）上に引き出された、一定幅の平面視帯状に形成されている、付記2-2に記載の半導体装置（1）。

[0228] [付記2-4]

前記ゲート抵抗体（108）は、前記チップ（2）の前記第1主面（3）に形成された抵抗トレンチ（113）と、前記抵抗トレンチ（113）に埋め込まれ、前記抵抗層（103）と一体な抵抗電極層（115）とをさらに含む、付記2-2に記載の半導体装置（1）。

[0229] [付記2-5]

前記抵抗トレンチ（113）は、前記ゲート延伸電極（33）を横切る方向に長い平面視帯状に形成されている、付記2-4に記載の半導体装置（1）。

[0230] [付記2-6]

前記ゲート延伸電極（33）に電氣的に接続されたゲートパッド電極（7）を含み、

前記ゲート延伸電極（33）は、前記ゲートパッド電極（7）を取り囲む環状の周囲部（100）と、前記周囲部（100）から前記第1方向（X）に帯状に延びる延伸部（101）とを含み、

前記ダイオード領域（25）は、前記第1方向（X）において前記ゲートパッド電極（7）に隣接するパッド隣接ダイオード領域（25A）を含み、

前記パッド隣接ダイオード領域（25A）に形成され、前記延伸部（101）から前記第1方向（X）に交差する第2方向（Y）に離れた前記パッド

隣接ダイオード領域（25A）の内側に終端部（32）を有するダイオード側トレンチ構造（29）を含み、

前記ゲート抵抗体（108）は、前記延伸部（101）において前記ダイオード側トレンチ構造（29）の前記終端部（32）に隣接して形成されている、付記2-1～付記2-5のいずれか一項に記載の半導体装置（1）。

[0231] [付記2-7]

前記第1方向（X）において複数の前記IGBT領域（24）および複数の前記ダイオード領域（25）が交互に配列されており、

前記パッド隣接ダイオード領域（25A）は、前記第1方向（X）において前記ゲートパッド電極（7）に隣接する部分に選択的に形成されており、

前記パッド隣接ダイオード領域（25A）を除く前記ダイオード領域（25）には、前記チップ（2）の前記第1主面（3）に形成され、前記延伸部（101）を横切るダイオード側第2トレンチ構造（29）が形成されている、付記2-6に記載の半導体装置（1）。

[0232] [付記2-8]

前記ゲートパッド電極（7）は、前記チップ（2）の周縁部に配置されており、

前記ゲート延伸電極（33）は、前記ゲートパッド電極（7）から前記チップ（2）の周縁部に沿って形成され、アクティブ領域（18）を取り囲む外側延伸電極（16）と、前記アクティブ領域（18）を横切り、前記外側延伸電極（16）において互いに異なる位置に接続された一端部および他端部を有する内側延伸電極（17, 33）とを含み、

前記ゲート抵抗体（108）は、前記内側延伸電極（17, 33）に形成されている、付記2-6または付記2-7に記載の半導体装置（1）。

[0233] [付記2-9]

前記ゲート延伸電極（33）に電氣的に接続されたゲートパッド電極（7）を含み、

前記ゲート延伸電極（33）は、前記ゲートパッド電極（7）を取り囲む

環状の周囲部（１００）と、前記周囲部（１００）から前記第１方向（Ｘ）に帯状に延びる延伸部（１０１）とを含み、

前記ダイオード領域（２５）は、前記第１方向（Ｘ）に交差する第２方向（Ｙ）において前記ゲートパッド電極（７）に隣接するパッド隣接ダイオード領域（２５Ａ）を含み、

前記パッド隣接ダイオード領域（２５Ａ）に形成され、前記周囲部（１００）から前記第２方向（Ｙ）に離れた前記パッド隣接ダイオード領域（２５Ａ）の内側に終端部（３２）を有するダイオード側トレンチ構造（２９）を含み、

前記ゲート抵抗体（１０８）は、前記ゲート延伸電極（３３）の前記周囲部（１００）において前記ダイオード側トレンチ構造（２９）の前記終端部（３２）に隣接して形成されている、付記２－１～付記２－５のいずれか一項に記載の半導体装置（１）。

[0234] [付記２－１０]

前記第１方向（Ｘ）において複数の前記ＩＧＢＴ領域（２４）および複数の前記ダイオード領域（２５）が交互に配列されており、

前記パッド隣接ダイオード領域（２５Ａ）は、前記第２方向（Ｙ）において前記ゲートパッド電極（７）に隣接する部分に選択的に形成されており、

前記パッド隣接ダイオード領域（２５Ａ）を除く前記ダイオード領域（２５）には、前記チップ（２）の前記第１主面（３）に形成され、前記延伸部（１０１）を横切るダイオード側第２トレンチ構造（２９）が形成されている、付記２－９に記載の半導体装置（１）。

[0235] [付記２－１１]

前記ゲート抵抗体（１０８）は、ポリシリコンにより形成されている、付記２－１～付記２－１０のいずれか一項に記載の半導体装置（１）。

[0236] [付記３－１]

第１主面（３）および第２主面（４）を有するチップ（２）と、

前記チップ（２）の前記第１主面（３）に形成された第１素子領域（２４

)と、

前記チップ(2)の前記第1主面(3)に形成され、第1方向(X)において前記第1素子領域(24)に隣り合う第2素子領域(25)と、

前記第1主面(3)上の領域を、前記第1方向(X)に前記第1素子領域(24)および前記第2素子領域(25)を連続して横切って延びるゲート延伸電極(33)と、

前記第1素子領域(24)の前記第1主面(3)に形成され、前記ゲート延伸電極(33)を横切って延びるトレンチゲート構造(27)と、

前記第2素子領域(25)の前記第1主面(3)に形成され、前記ゲート延伸電極(33)を横切らず、前記ゲート延伸電極(33)から前記第1方向(X)に交差する第2方向(Y)に離れた前記第2素子領域(25)の内側に終端部(32)を有する第2トレンチ電極構造(29)と、

前記第2方向(Y)において前記第2素子領域(25)に隣接する部分において前記ゲート延伸電極(33)の直下に形成されたゲート補助トレンチ(95)と、

前記ゲート補助トレンチ(95)にゲート絶縁膜(96)を介して埋め込まれ、前記ゲート延伸電極(33)に電氣的に接続されたゲート補助埋め込み電極(97)とを含む、半導体装置(1)。

[0237] この構成によれば、ゲート延伸電極(33)に電氣的に接続されたゲート補助埋め込み電極(97)が形成されている。これにより、ゲート容量を増加できるので、ゲートのESD耐量を向上することができる。また、ゲート補助埋め込み電極(97)は、ゲート延伸電極(33)の直下の空きスペースに配置されている。そのため、ゲート補助埋め込み電極(97)のためにチップ(2)面積の増加や、ゲートトレンチ(47)密度の増加を避けることができる。これにより、チップコストの増加や、プロセス難易度の上昇を抑制することができる。

[0238] [付記3-2]

前記ゲート補助トレンチ(95)は、前記第2方向(Y)に沿って長いト

レンチである、付記 3-1 に記載の半導体装置 (1)。

[0239] [付記 3-3]

前記ゲート補助トレンチ (95) は、長径方向が前記第 2 方向 (Y) に一致する複数の楕円トレンチを含む、付記 3-2 に記載の半導体装置 (1)。

[0240] [付記 3-4]

前記ゲート補助トレンチ (95) は、長さ方向が前記第 2 方向 (Y) に一致する複数の帯状トレンチを含む、付記 3-2 に記載の半導体装置 (1)。

[0241] [付記 3-5]

前記ゲート補助トレンチ (95) は、前記第 2 方向 (Y) において前記ゲート延伸電極 (33) よりも外側に突出する端部 (98) を有している、付記 3-2 ~ 付記 3-4 のいずれか一項に記載の半導体装置 (1)。

[0242] [付記 3-6]

前記トレンチゲート構造 (27) は、ゲートトレンチ (47) と、前記ゲートトレンチ (47) に埋め込まれたゲート埋め込み電極 (49) とを含み、

前記ゲート延伸電極 (33) は、前記ゲート埋め込み電極 (49) および前記ゲート補助埋め込み電極 (97) から一体的に前記第 1 主面 (3) 上に引き出され、前記ゲートトレンチ (47) および前記ゲート補助トレンチ (95) を一括して被覆する第 1 電極層 (34) と、絶縁層 (67) を介して前記第 1 電極層 (34) 上に形成され、前記ゲートトレンチ (47) および前記ゲート補助トレンチ (95) を横切って前記第 1 方向 (X) に延びる第 2 電極層 (35) とを含む、付記 3-1 ~ 付記 3-5 のいずれか一項に記載の半導体装置 (1)。

[0243] [付記 3-7]

前記第 1 電極層 (34) は、前記第 1 方向 (X) に一定幅で延びる帯状であり、

前記第 2 電極層 (35) は、前記第 1 方向 (X) に一定幅で延びる帯状である、付記 3-6 に記載の半導体装置 (1)。

[0244] [付記3-8]

前記チップ(2)内に形成された第1導電型のドリフト領域(41)を含み、

前記第1素子領域(24)は、前記第1主面(3)に形成された第2導電型のボディ領域(50)、前記ボディ領域(50)の表層部に形成された第1導電型のエミッタ領域(51)、前記第2主面(4)に形成された第2導電型のコレクタ領域(45)、および前記トレンチゲート構造(27)を有するIGBT領域(24)を含み、

前記第2素子領域(25)は、前記第1主面(3)に形成された第2導電型の第1不純物領域(64)、前記第2主面(4)に形成された第1導電型の第2不純物領域(58)、および前記エミッタ領域(51)に電氣的に接続された前記第2トレンチ電極構造(29)としてのダイオード側トレンチ構造(29)を有するダイオード領域(25)を含む、付記3-1~付記3-7のいずれか一項に記載の半導体装置(1)。

[0245] [付記3-9]

前記ダイオード側トレンチ構造(29)および前記ゲート補助トレンチ(95)は、前記第2方向(Y)に沿って延びる同一の仮想直線(99)上に形成されている、付記3-8に記載の半導体装置(1)。

[0246] [付記3-10]

前記ゲート延伸電極(33)は、前記トレンチゲート構造(27)の直上の部分を避け、前記ダイオード領域(25)を横切る部分において選択的にゲート抵抗体(108)をさらに有している、付記3-8または付記3-9に記載の半導体装置(1)。

[0247] [付記3-11]

前記第1主面(3)を被覆する絶縁層(67)を含み、

前記第1方向(X)において前記ダイオード領域(25)を挟む複数の前記IGBT領域(24)が形成されており、

前記ゲート延伸電極(33)は、前記絶縁層(67)と前記第1主面(3)

)との間に形成され、前記第1方向(X)に前記IGBT領域(24)および前記ダイオード領域(25)を連続して横切って延びる抵抗層(103)と、前記絶縁層(67)上に形成され、前記ダイオード領域(25)を横切る部分において分断され、前記抵抗層(103)よりも低抵抗な複数の配線層(104)とを含み、

前記ゲート抵抗体(108)は、前記複数の配線層(104)で挟まれた前記抵抗層(103)の部分により形成されている、付記3-10に記載の半導体装置(1)。

[0248] [付記3-12]

前記ゲート抵抗体(108)は、前記チップ(2)の前記第1主面(3)に形成された抵抗トレンチ(113)と、前記抵抗トレンチ(113)に埋め込まれ、前記抵抗層(103)と一体な抵抗埋め込み電極(115)とをさらに含む、付記3-11に記載の半導体装置(1)。

[0249] [付記3-13]

前記抵抗トレンチ(113)は、前記ゲート延伸電極(33)を横切る方向に長い平面視帯状に形成されている、付記3-12に記載の半導体装置(1)。

[0250] [付記3-14]

前記ゲート延伸電極(33)に電氣的に接続されたゲートパッド電極(7)をさらに含み、

前記ダイオード領域(25)は、前記第1方向(X)において前記ゲートパッド電極(7)に隣接するパッド隣接ダイオード領域(25A)を含み、

前記ゲート抵抗体(108)は、前記ゲート延伸電極(33)において前記パッド隣接ダイオード領域(25A)の近傍位置に形成されている、付記3-10~付記3-13のいずれか一項に記載の半導体装置(1)。

[0251] [付記3-15]

前記ゲート延伸電極(33)に電氣的に接続されたゲートパッド電極(7)をさらに含み、

前記ダイオード領域（25）は、前記第2方向（Y）において前記ゲートパッド電極（7）に隣接するパッド隣接ダイオード領域（25A）を含み、

前記ゲート抵抗体（108）は、前記ゲート延伸電極（33）において前記パッド隣接ダイオード領域（25A）の近傍位置に形成されている、付記3-10～付記3-13のいずれか一項に記載の半導体装置（1）。

符号の説明

- [0252]
- 1 : 半導体装置
 - 2 : 半導体チップ
 - 3 : 第1主面
 - 4 : 第2主面
 - 5A : 側面
 - 5B : 側面
 - 5C : 側面
 - 5D : 側面
 - 6 : 電極膜
 - 7 : ゲート端子電極
 - 8 : 第1センス端子電極
 - 9 : 第2センス端子電極
 - 10 : 電流検出端子電極
 - 11 : 開放端子電極
 - 12 : エミッタ端子電極
 - 13 : ゲート配線
 - 14 : 第1センス配線
 - 15 : 第2センス配線
 - 16 : 第1部分
 - 17 : 第2部分
 - 18 : アクティブ領域
 - 19 : 外周領域

- 2 0 : 区画領域
- 2 1 : 中央配線
- 2 2 : 側方配線
- 2 3 : センサ領域
- 2 4 : I G B T 領域
- 2 5 : ダイオード領域
- 2 5 A : パッド隣接ダイオード領域
- 2 6 : R C - I G B T 配列
- 2 7 : トレンチゲート構造
- 2 8 : エミッタトレンチ構造
- 2 9 : ダイオード側トレンチ構造
- 3 0 : 終端部
- 3 1 : 終端部
- 3 2 : 終端部
- 3 3 : ゲート延伸電極
- 3 4 : 第 1 電極層
- 3 5 : 第 2 電極層
- 3 6 : 非コンタクト区間
- 3 7 : コンタクト区間
- 3 8 : 第 1 コンタクト層
- 3 9 : 第 2 コンタクト層
- 4 0 : 第 3 コンタクト層
- 4 1 : ドリフト領域
- 4 2 : 半導体基板
- 4 3 : コレクタ端子電極
- 4 4 : バッファ層
- 4 5 : コレクタ領域
- 4 6 : F E T 構造

- 47 : ゲートトレンチ
- 48 : ゲート絶縁層
- 49 : ゲート電極層
- 50 : ボディ領域
- 51 : エミッタ領域
- 52 : キャリアストレージ領域
- 53 : コンタクトトレンチ
- 54 : コンタクト領域
- 55 : エミッタトレンチ
- 56 : エミッタ絶縁層
- 57 : エミッタ電位電極層
- 58 : カソード領域
- 59 : ダイオードセル領域
- 60 : セル分離構造
- 61 : セル分離トレンチ
- 62 : セル分離絶縁層
- 63 : セル分離電極層
- 64 : アノード領域
- 65 : p n 接合部
- 66 : ダイオードトレンチ
- 67 : 層間絶縁層
- 68 : 第1絶縁層
- 69 : 第2絶縁層
- 70 : 第3絶縁層
- 71 : エミッタ開口
- 72 : ダイオード開口
- 73 : エミッタプラグ電極
- 74 : バリア電極層

- 75 : 主電極層
- 76 : ダイオードプラグ電極
- 77 : 第1電極層
- 78 : 第2電極層
- 79 : 第3電極層
- 80 : 引き出し電極層
- 81 : 第1開口
- 82 : 第1プラグ電極
- 83 : 引き出し電極層
- 84 : 第2開口
- 85 : 第2プラグ電極
- 86 : 境界領域
- 87 : ウェル領域
- 88 : 引き出し部
- 89 : 上側突出部
- 90 : 引き出し電極層
- 91 : ゲート開口
- 92 : ゲートプラグ電極
- 93 : ゲート補助トレンチ構造
- 94 : 終端部
- 95 : ゲート補助トレンチ
- 96 : ゲート補助絶縁層
- 97 : ゲート補助電極層
- 98 : 終端部
- 99 : 仮想直線
- 100 : 周囲部
- 101 : 延伸部
- 102 : 隙間領域

- 1 0 3 : 抵抗層
- 1 0 4 : 配線層
- 1 0 5 : パッド支持層
- 1 0 6 : 周囲コンタクト
- 1 0 7 : パッドコンタクト
- 1 0 8 : ゲート抵抗体
- 1 0 9 : 第1 延伸部
- 1 1 0 : 第2 延伸部
- 1 1 1 : 抵抗コンタクト
- 1 1 2 : トレンチ抵抗構造
- 1 1 3 : 抵抗トレンチ
- 1 1 4 : 抵抗絶縁層
- 1 1 5 : 抵抗電極層
- 1 1 6 : 引き出し抵抗層
- 1 1 7 : 第1 周囲部
- 1 1 8 : 第2 周囲部

請求の範囲

- [請求項1] 第1主面および第2主面を有するチップと、
前記チップの前記第1主面に形成された第1素子領域と、
前記チップの前記第1主面に形成され、第1方向において前記第1素子領域に隣り合う第2素子領域と、
前記第1主面上の領域を、前記第1方向に前記第1素子領域および前記第2素子領域を連続して横切って延びるゲート延伸電極と、
前記第1素子領域の前記第1主面に形成され、前記ゲート延伸電極を横切って延びるトレンチゲート構造と、
前記第2素子領域の前記第1主面に形成され、前記ゲート延伸電極を横切らず、前記ゲート延伸電極から前記第1方向に交差する第2方向に離れた前記第2素子領域の内側に終端部を有する第2トレンチ電極構造と、
前記第2方向において前記第2素子領域に隣接する部分において前記ゲート延伸電極の直下に形成されたゲート補助トレンチと、
前記ゲート補助トレンチにゲート絶縁膜を介して埋め込まれ、前記ゲート延伸電極に電氣的に接続されたゲート補助埋め込み電極とを含む、半導体装置。
- [請求項2] 前記ゲート補助トレンチは、前記第2方向に沿って長いトレンチである、請求項1に記載の半導体装置。
- [請求項3] 前記ゲート補助トレンチは、長径方向が前記第2方向に一致する複数の楕円トレンチを含む、請求項2に記載の半導体装置。
- [請求項4] 前記ゲート補助トレンチは、長さ方向が前記第2方向に一致する複数の帯状トレンチを含む、請求項2に記載の半導体装置。
- [請求項5] 前記ゲート補助トレンチは、前記第2方向において前記ゲート延伸電極よりも外側に突出する端部を有している、請求項2～4のいずれか一項に記載の半導体装置。
- [請求項6] 前記トレンチゲート構造は、ゲートトレンチと、前記ゲートトレン

チに埋め込まれたゲート埋め込み電極とを含み、

前記ゲート延伸電極は、前記ゲート埋め込み電極および前記ゲート補助埋め込み電極から一体的に前記第1主面上に引き出され、前記ゲートトレンチおよび前記ゲート補助トレンチを一括して被覆する第1電極層と、絶縁層を介して前記第1電極層上に形成され、前記ゲートトレンチおよび前記ゲート補助トレンチを横切って前記第1方向に延びる第2電極層とを含む、請求項1～5のいずれか一項に記載の半導体装置。

[請求項7] 前記第1電極層は、前記第1方向に一定幅で延びる帯状であり、
前記第2電極層は、前記第1方向に一定幅で延びる帯状である、請求項6に記載の半導体装置。

[請求項8] 前記チップ内に形成された第1導電型のドリフト領域を含み、
前記第1素子領域は、前記第1主面に形成された第2導電型のボディ領域、前記ボディ領域の表層部に形成された第1導電型のエミッタ領域、前記第2主面に形成された第2導電型のコレクタ領域、および前記トレンチゲート構造を有するIGBT領域を含み、
前記第2素子領域は、前記第1主面に形成された第2導電型の第1不純物領域、前記第2主面に形成された第1導電型の第2不純物領域、および前記エミッタ領域に電氣的に接続された前記第2トレンチ電極構造としてのダイオード側トレンチ構造を有するダイオード領域を含む、請求項1～7のいずれか一項に記載の半導体装置。

[請求項9] 前記ダイオード側トレンチ構造および前記ゲート補助トレンチは、前記第2方向に沿って延びる同一の仮想直線上に形成されている、請求項8に記載の半導体装置。

[請求項10] 前記ゲート延伸電極は、前記トレンチゲート構造の直上の部分を避け、前記ダイオード領域を横切る部分において選択的にゲート抵抗体をさらに有している、請求項8または9に記載の半導体装置。

[請求項11] 前記第1主面を被覆する絶縁層を含み、

前記第1方向において前記ダイオード領域を挟む複数の前記IGBT領域が形成されており、

前記ゲート延伸電極は、前記絶縁層と前記第1主面との間に形成され、前記第1方向に前記IGBT領域および前記ダイオード領域を連続して横切って延びる抵抗層と、前記絶縁層上に形成され、前記ダイオード領域を横切る部分において分断され、前記抵抗層よりも低抵抗な複数の配線層とを含み、

前記ゲート抵抗体は、前記複数の配線層で挟まれた前記抵抗層の部分により形成されている、請求項10に記載の半導体装置。

[請求項12] 前記ゲート抵抗体は、前記チップの前記第1主面に形成された抵抗トレンチと、前記抵抗トレンチに埋め込まれ、前記抵抗層と一体な抵抗埋め込み電極とをさらに含む、請求項11に記載の半導体装置。

[請求項13] 前記抵抗トレンチは、前記ゲート延伸電極を横切る方向に長い平面視帯状に形成されている、請求項12に記載の半導体装置。

[請求項14] 前記ゲート延伸電極に電氣的に接続されたゲートパッド電極をさらに含み、

前記ダイオード領域は、前記第1方向において前記ゲートパッド電極に隣接するパッド隣接ダイオード領域を含み、

前記ゲート抵抗体は、前記ゲート延伸電極において前記パッド隣接ダイオード領域の近傍位置に形成されている、請求項10～13のいずれか一項に記載の半導体装置。

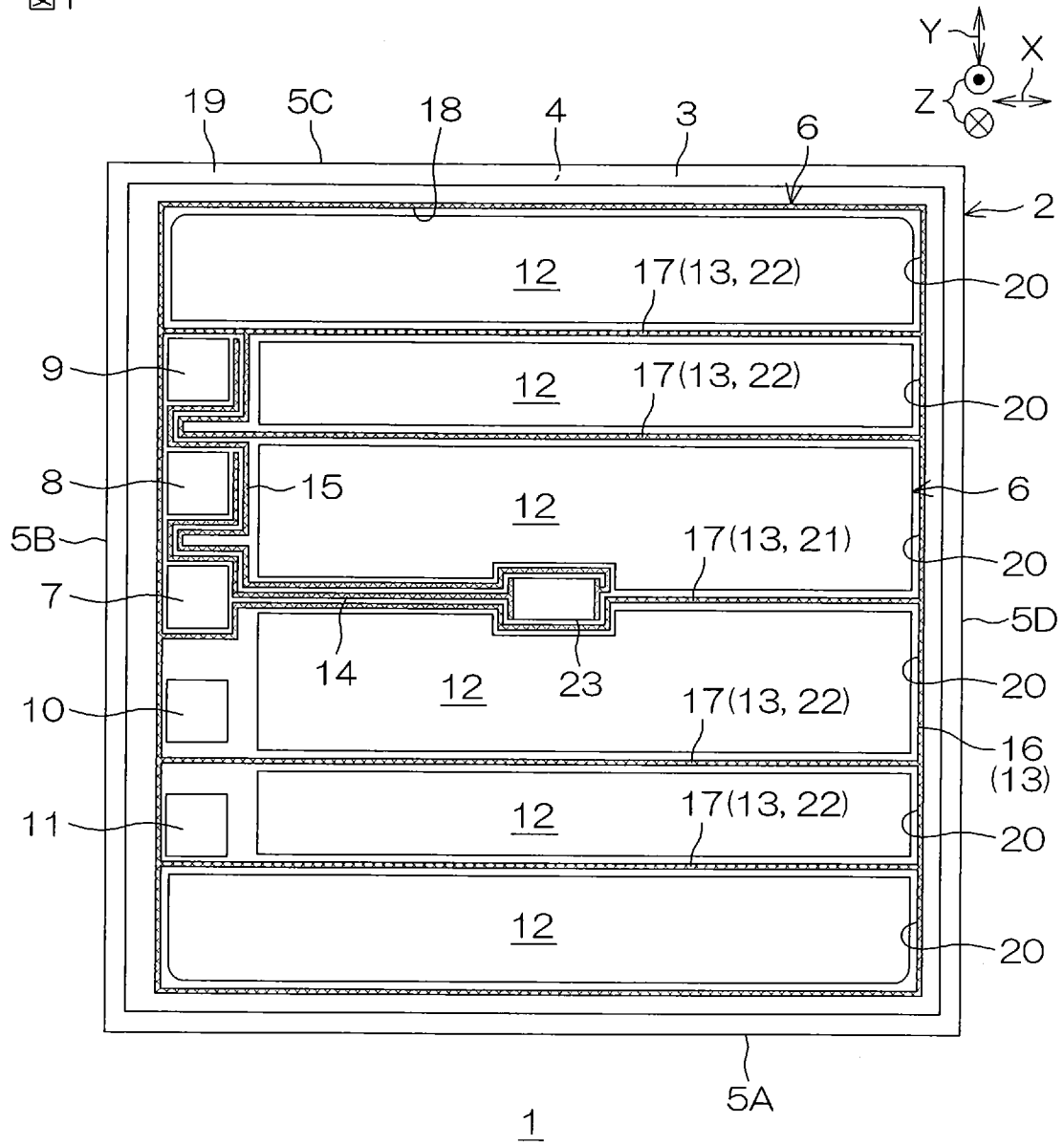
[請求項15] 前記ゲート延伸電極に電氣的に接続されたゲートパッド電極をさらに含み、

前記ダイオード領域は、前記第2方向において前記ゲートパッド電極に隣接するパッド隣接ダイオード領域を含み、

前記ゲート抵抗体は、前記ゲート延伸電極において前記パッド隣接ダイオード領域の近傍位置に形成されている、請求項10～13のいずれか一項に記載の半導体装置。

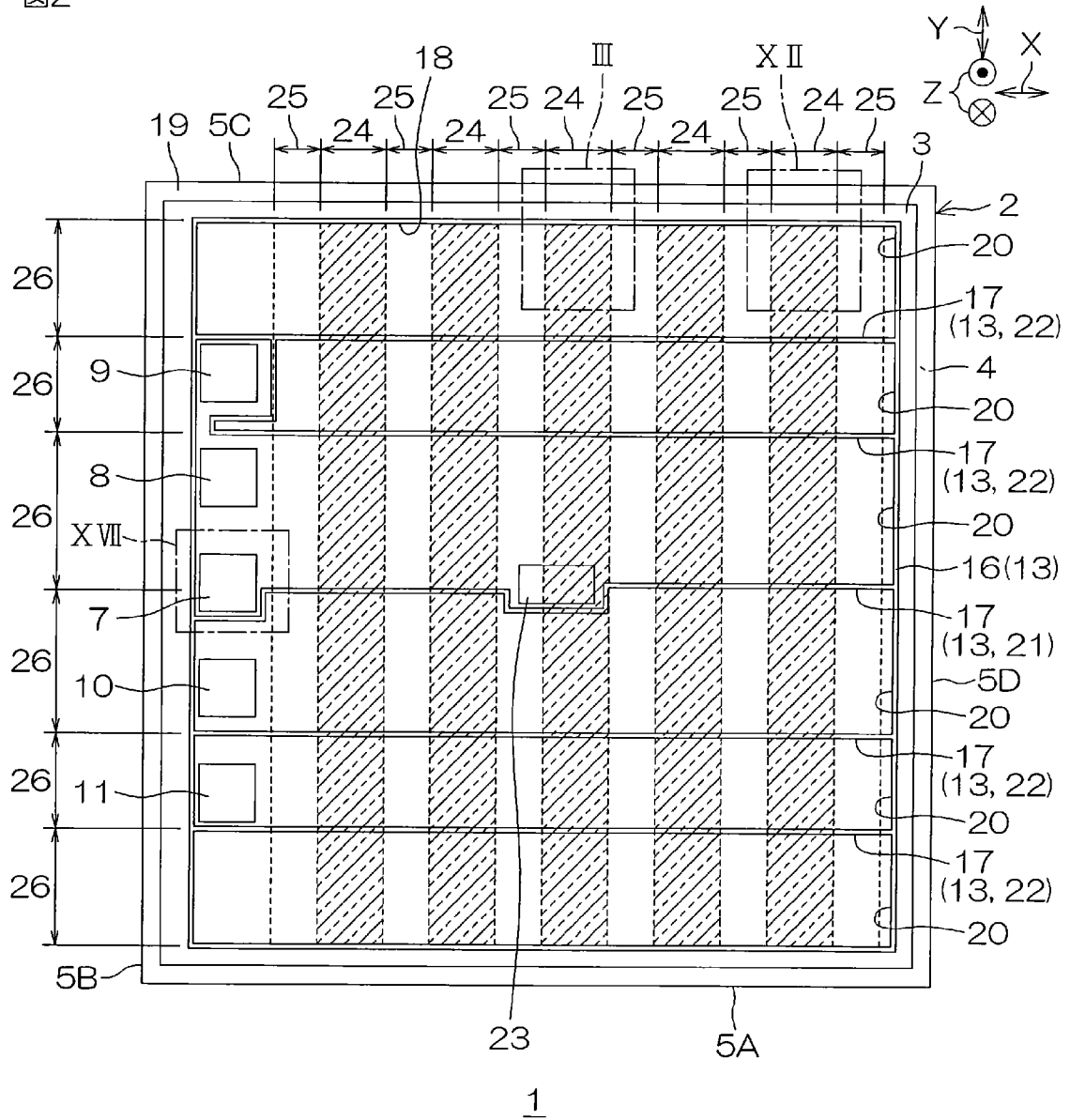
[図1]

図1



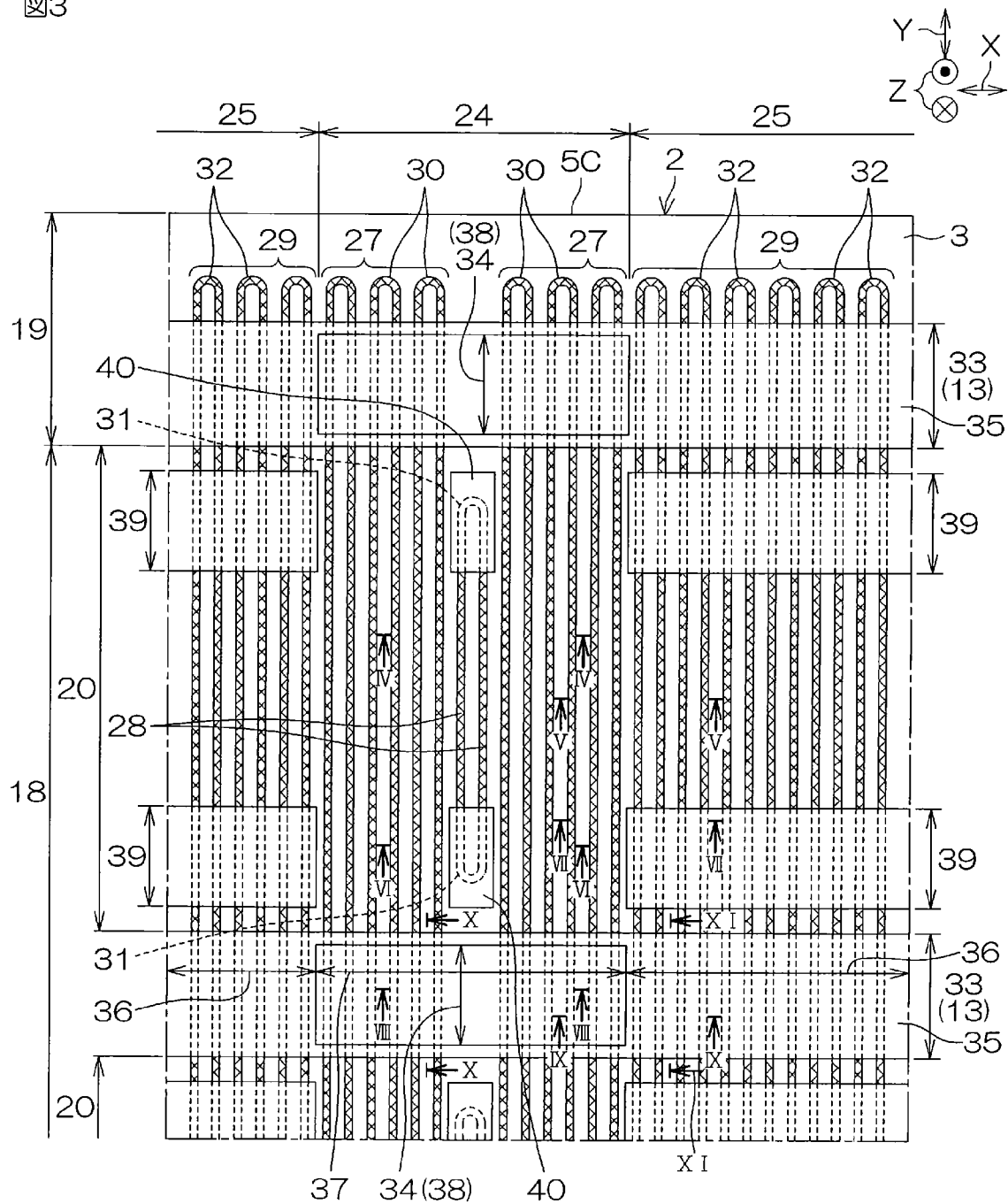
[図2]

図2

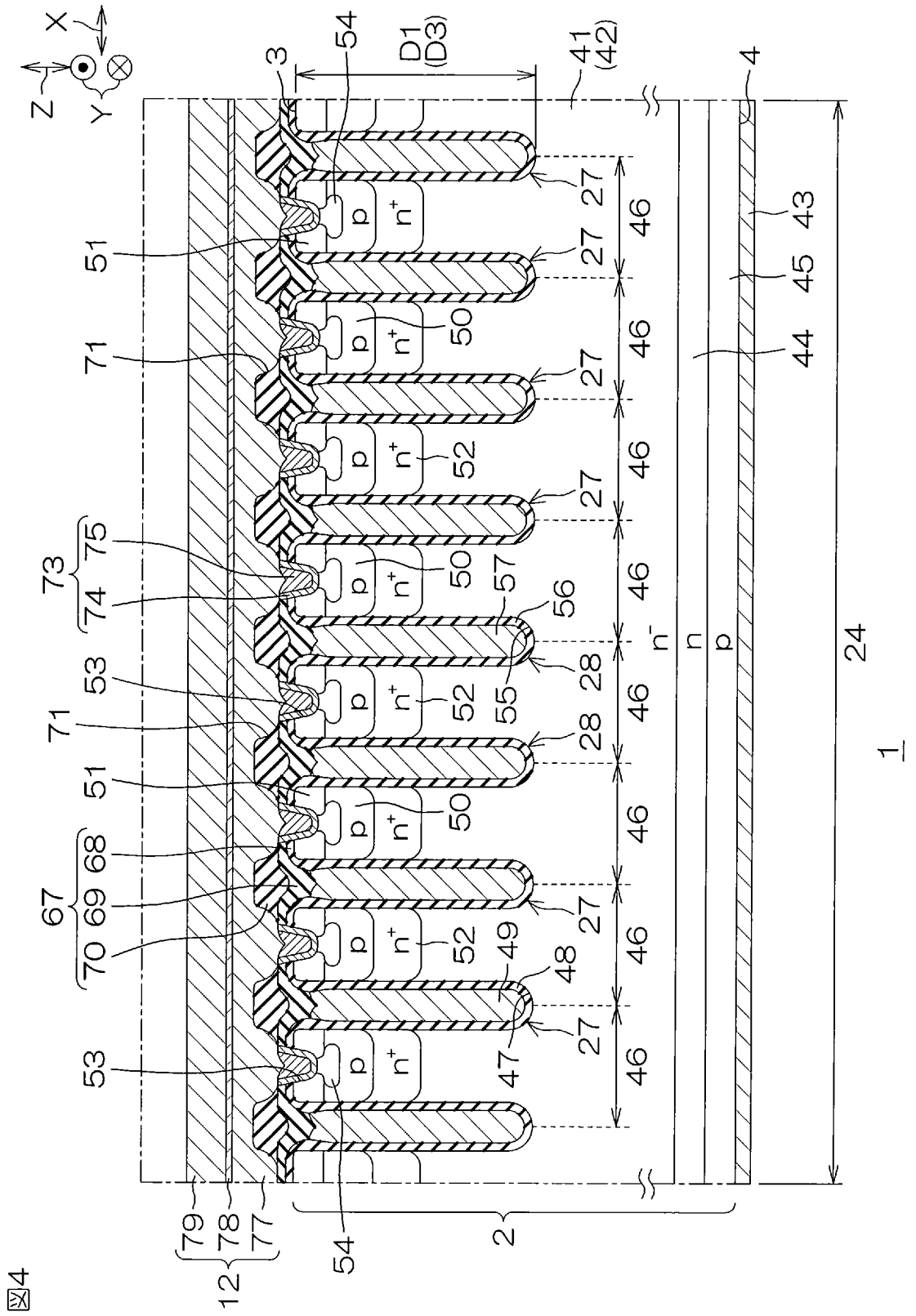


[図3]

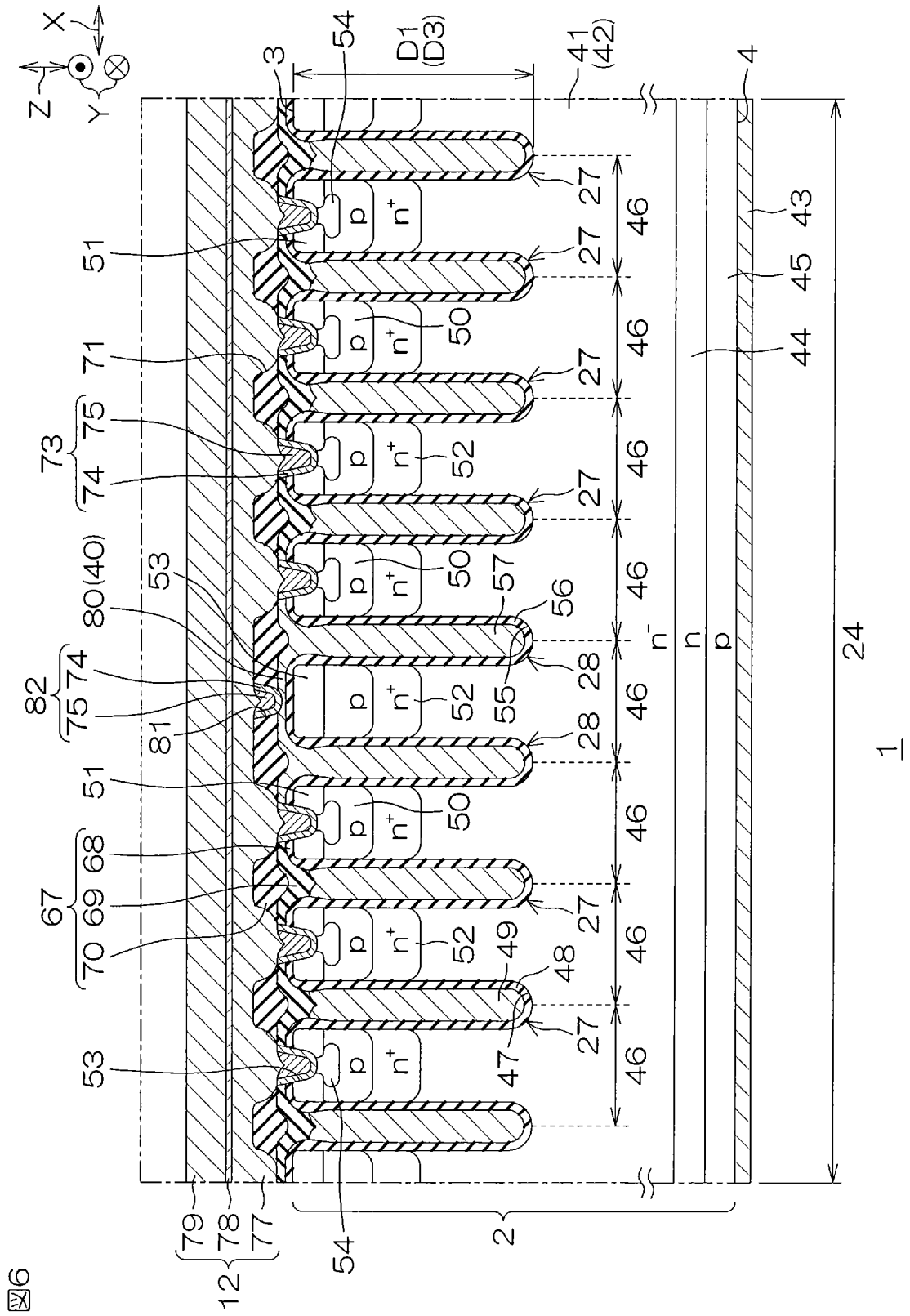
図3



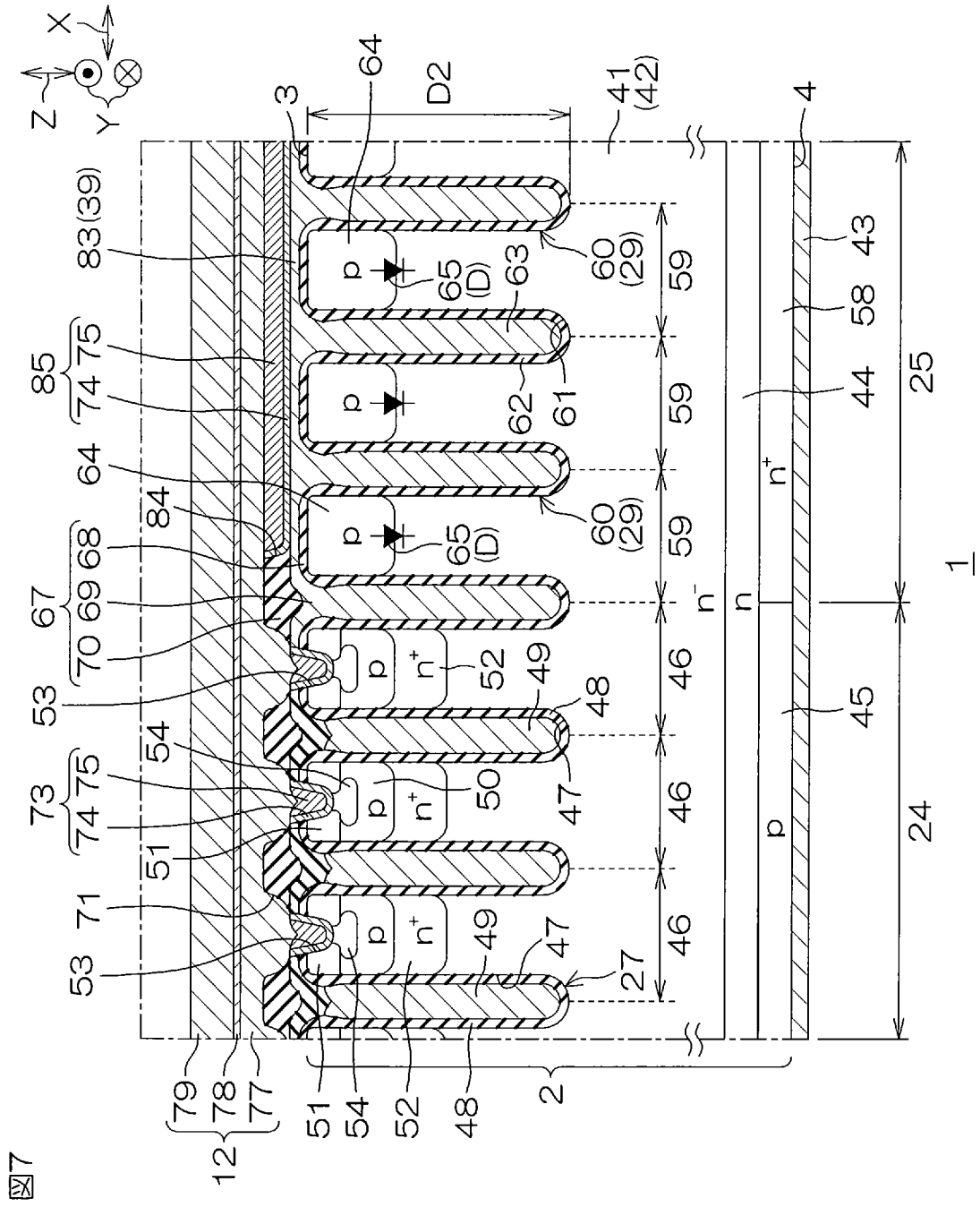
[図4]



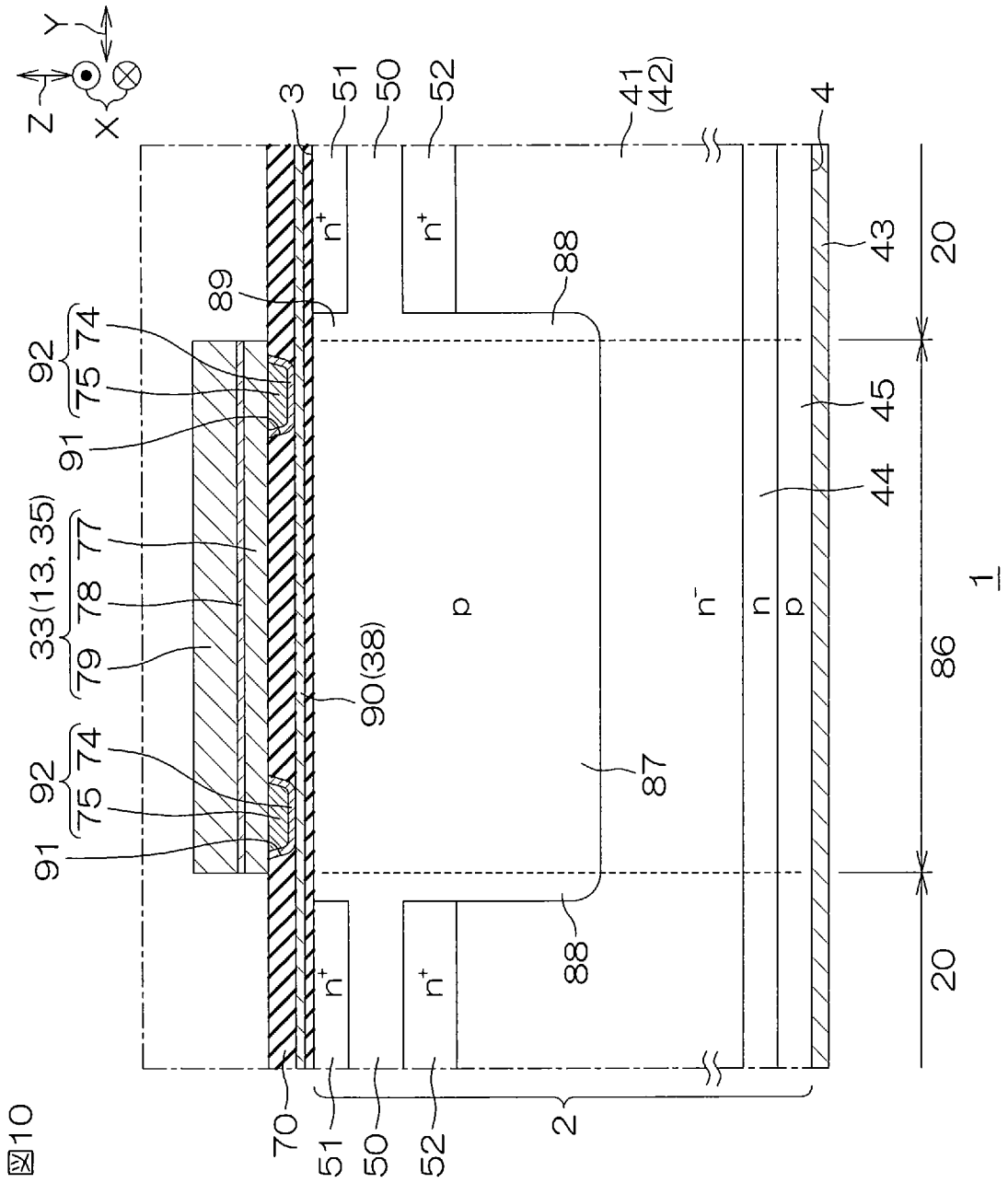
[圖6]



[図7]

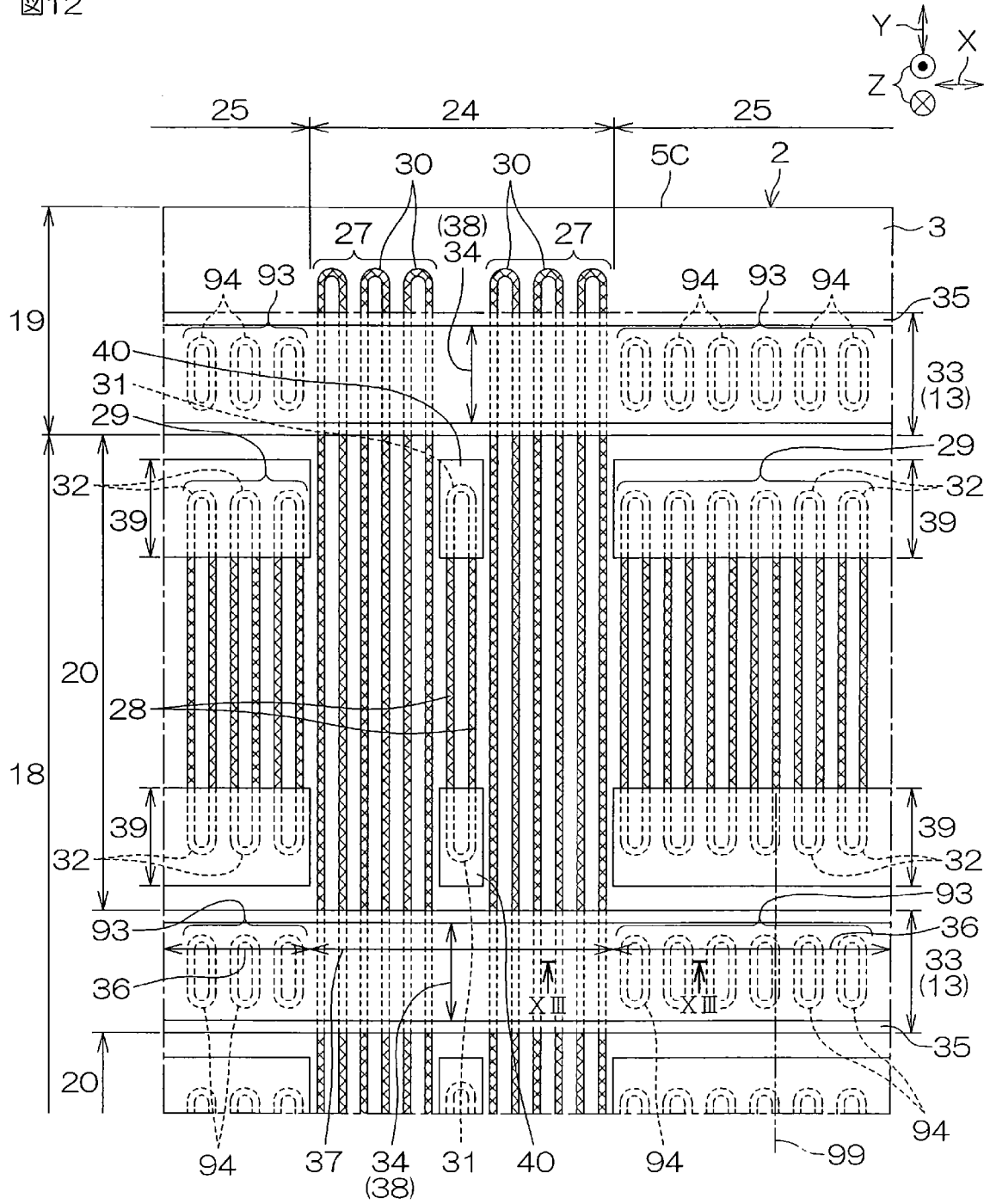


[図10]

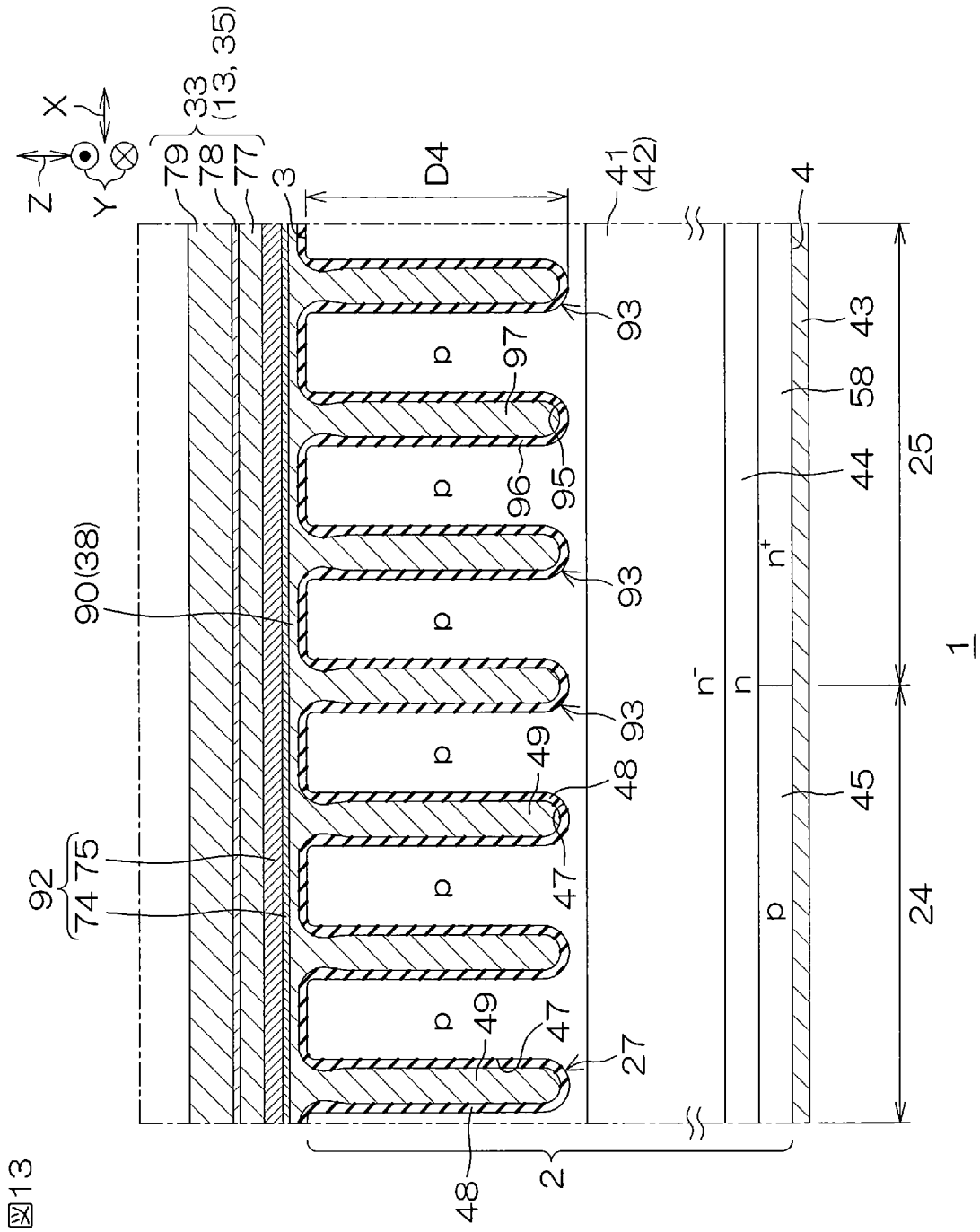


[図12]

図12

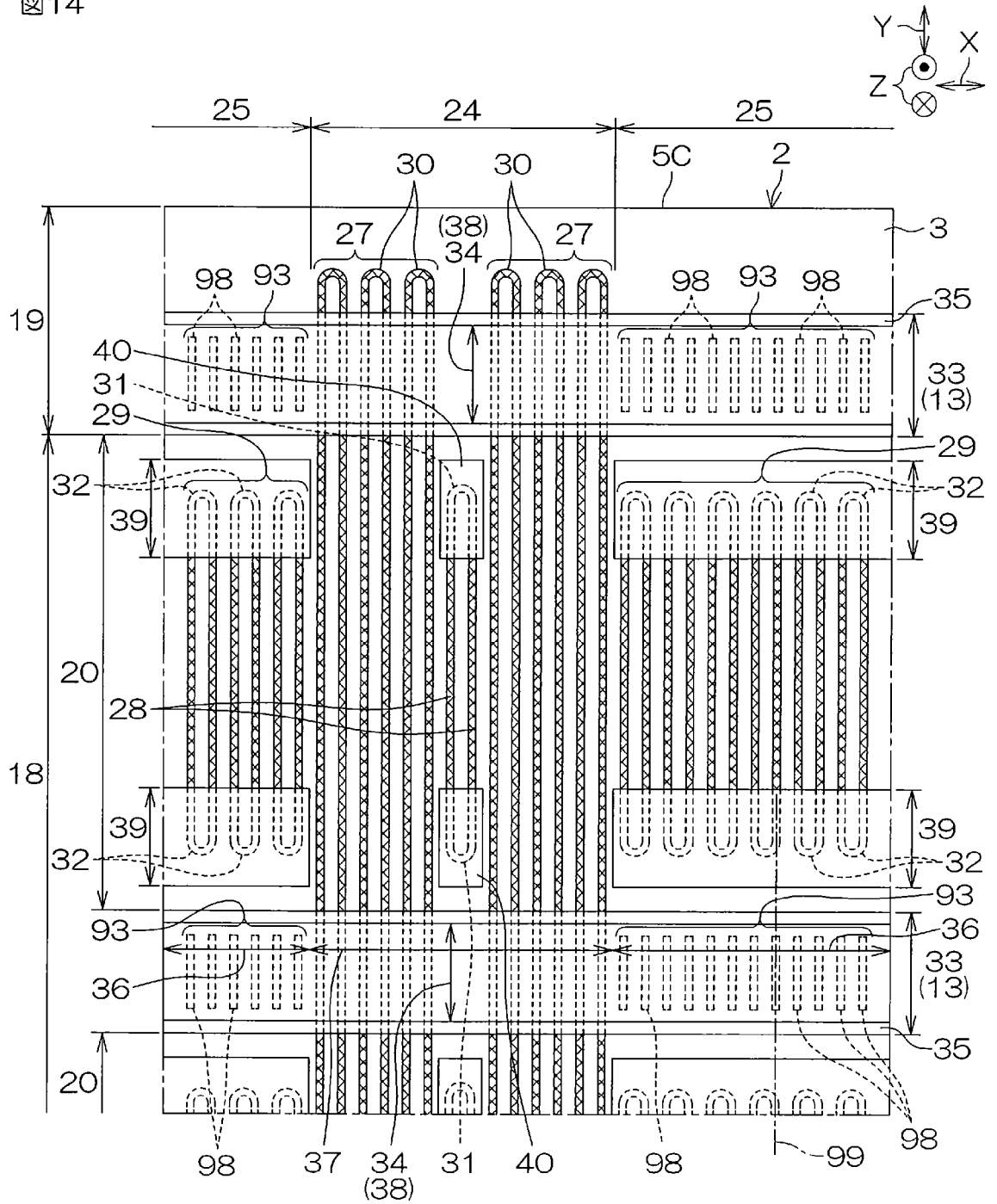


[図13]



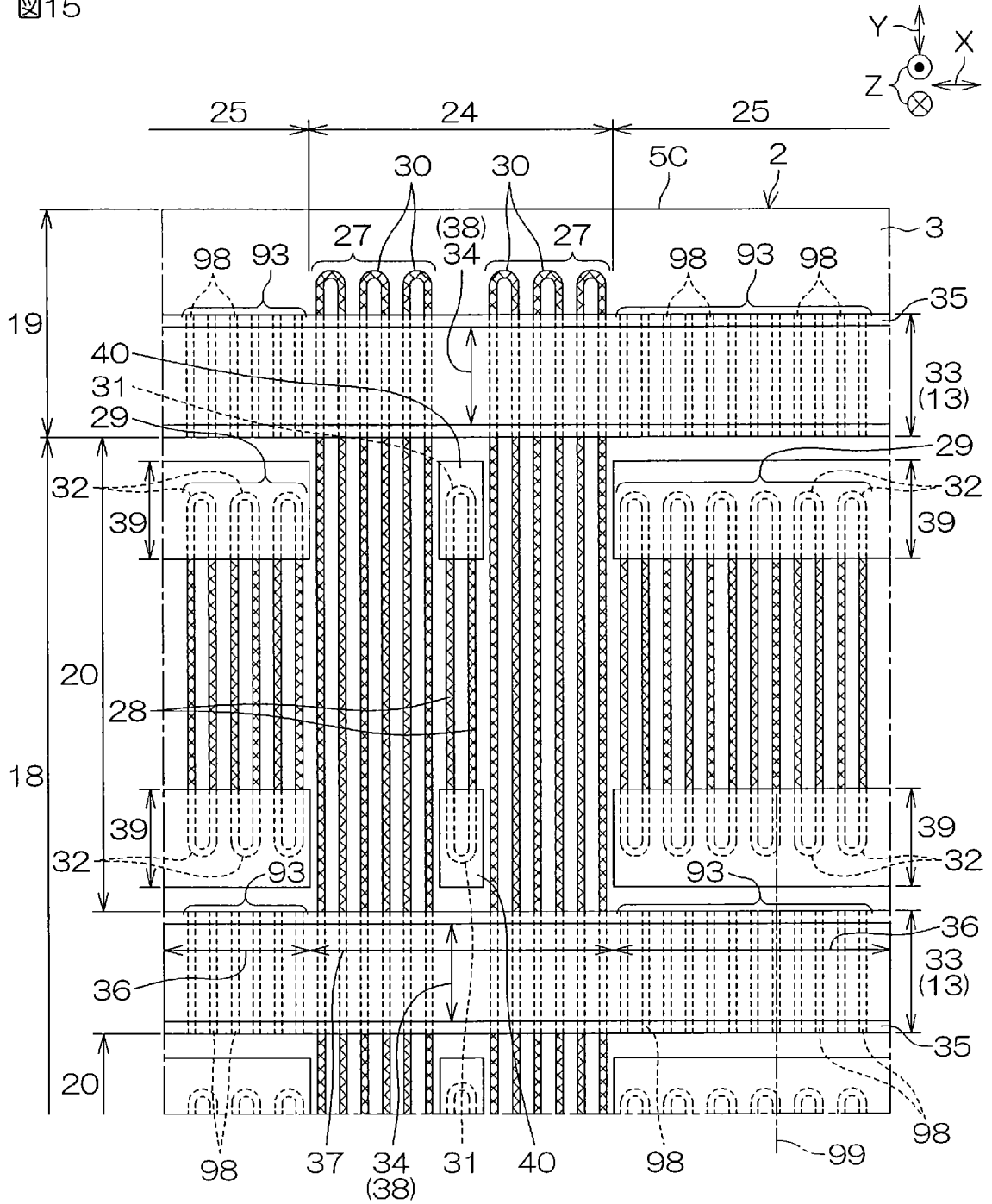
[図14]

図14



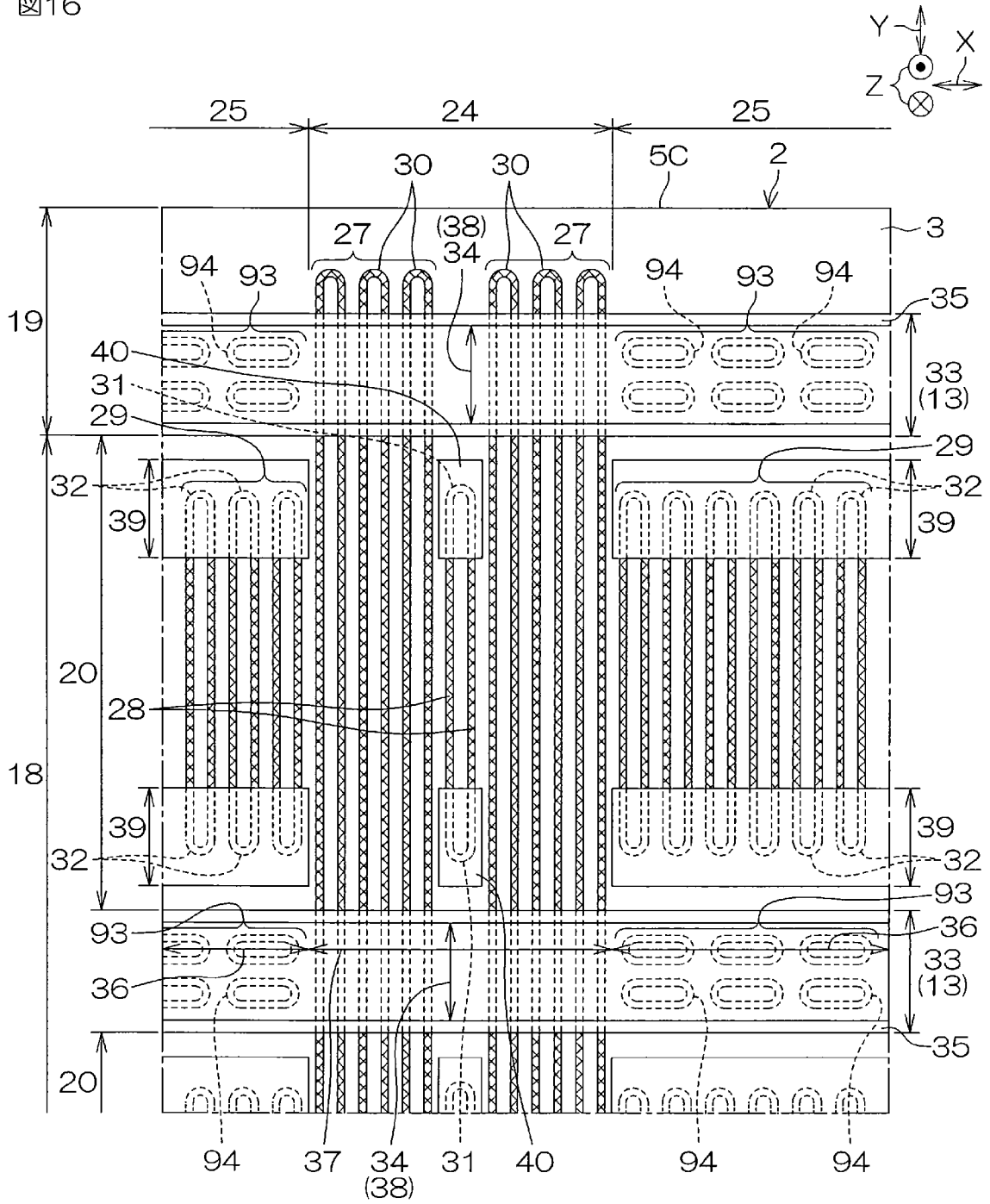
[図15]

図15

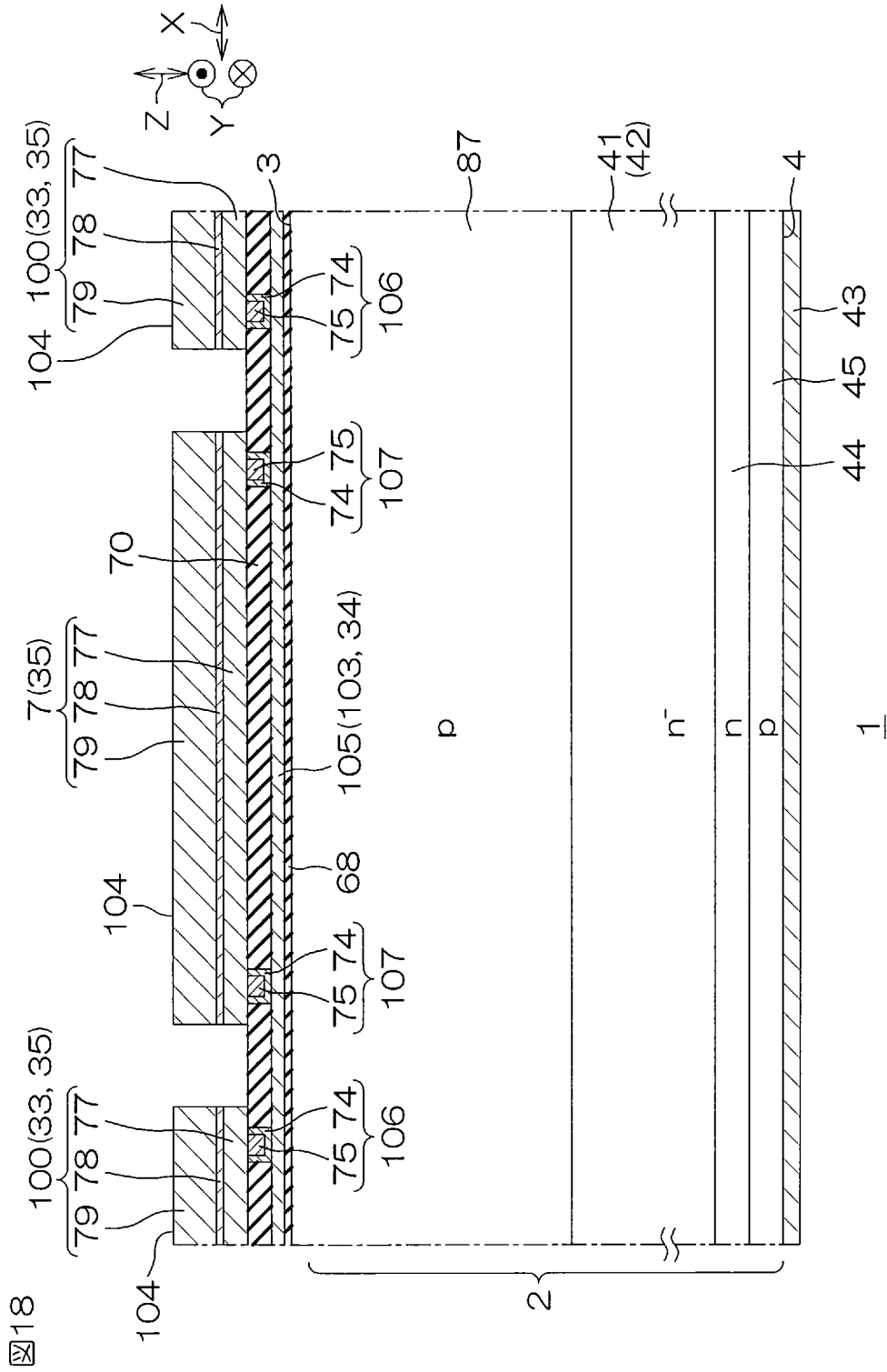


[図16]

図16

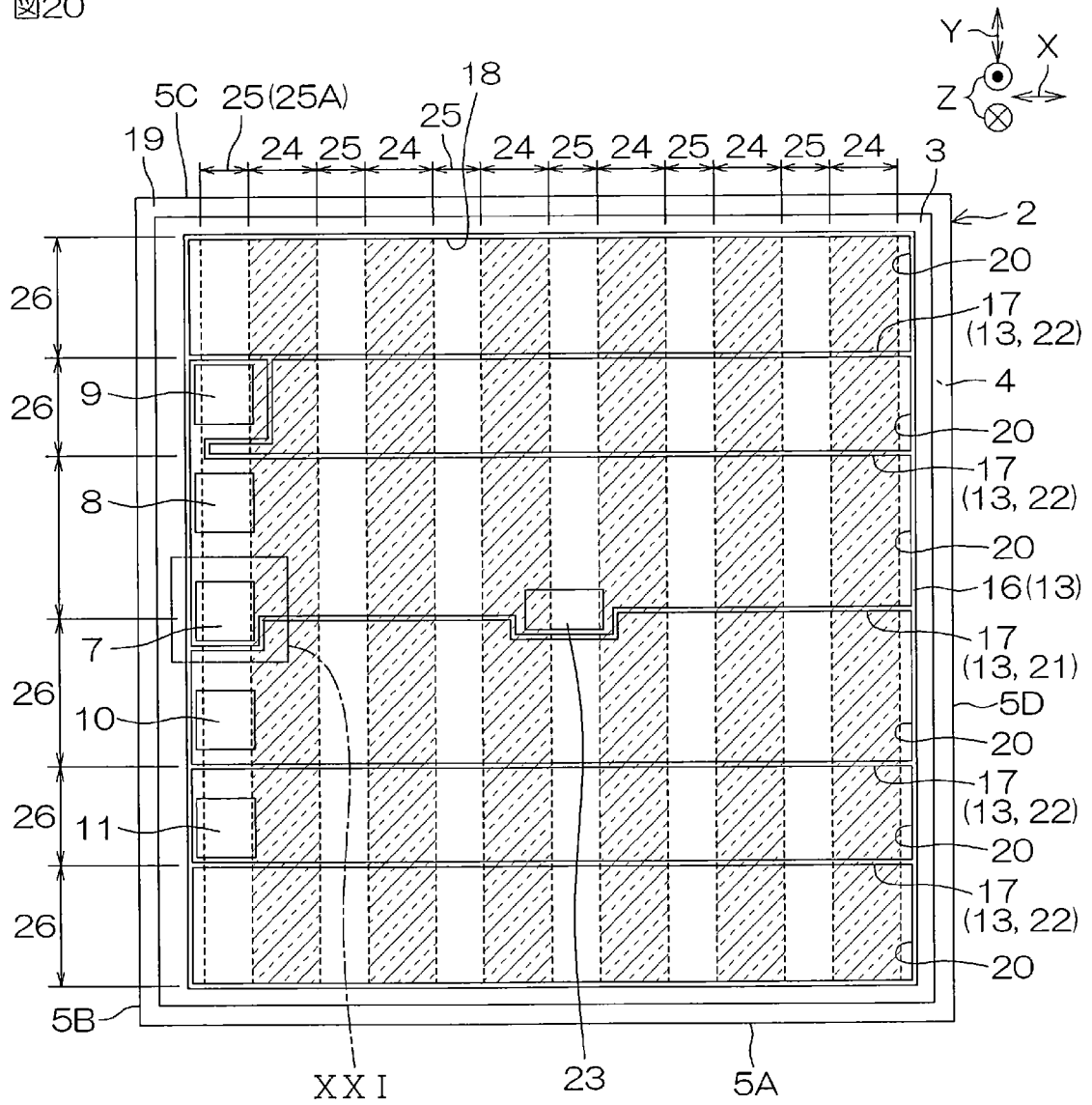


[図18]

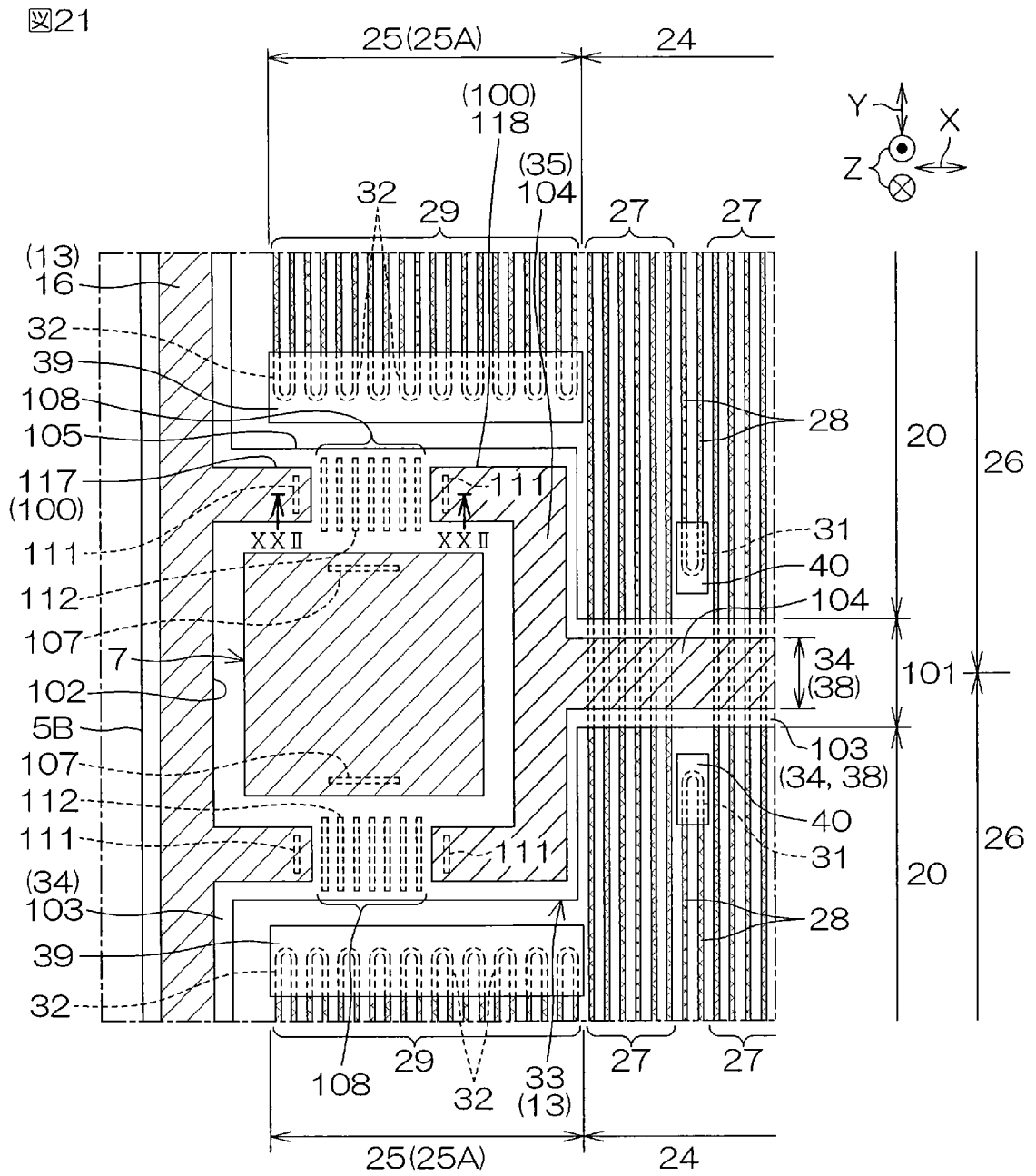


[図20]

図20



[図21]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/017131

A. CLASSIFICATION OF SUBJECT MATTER**H01L 29/739**(2006.01)i; **H01L 29/06**(2006.01)iFI: H01L29/78 655G; H01L29/78 652Q; H01L29/78 655F; H01L29/78 652K; H01L29/78 652M; H01L29/78 652J;
H01L29/78 655B; H01L29/78 653C; H01L29/78 655D; H01L29/78 652C; H01L29/78 652P; H01L29/06 301V;
H01L29/06 301G; H01L29/78 657D

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78; H01L29/739; H01L29/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2024
Registered utility model specifications of Japan 1996-2024
Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2020/189053 A1 (FUJI ELECTRIC CO., LTD.) 24 September 2020 (2020-09-24) entire text, all drawings	1-15
A	JP 2019-21787 A (FUJI ELECTRIC CO., LTD.) 07 February 2019 (2019-02-07) entire text, all drawings	1-15
A	JP 2017-28244 A (FUJI ELECTRIC CO., LTD.) 02 February 2017 (2017-02-02) entire text, all drawings	1-15
A	WO 2019/097836 A1 (FUJI ELECTRIC CO., LTD.) 23 May 2019 (2019-05-23) entire text, all drawings	1-15
A	JP 2022-161286 A (FUJI ELECTRIC CO., LTD.) 21 October 2022 (2022-10-21) entire text, all drawings	1-15

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

12 July 2024

Date of mailing of the international search report

23 July 2024

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No. PCT/JP2024/017131

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
WO	2020/189053	A1	24 September 2020	US	2021/0184024	A1	
				CN	112640129	A	

JP	2019-21787	A	07 February 2019	US	2019/0027591	A1	
				CN	109273520	A	

JP	2017-28244	A	02 February 2017	US	2017/0018636	A1	

WO	2019/097836	A1	23 May 2019	US	2020/0058645	A1	
				CN	110574169	A	

JP	2022-161286	A	21 October 2022	US	2022/0328668	A1	
				CN	115207113	A	

<p>A. 発明の属する分野の分類（国際特許分類（IPC））</p> <p>H01L 29/739(2006.01)i; H01L 29/06(2006.01)i</p> <p>FI: H01L29/78 655G; H01L29/78 652Q; H01L29/78 655F; H01L29/78 652K; H01L29/78 652M; H01L29/78 652J; H01L29/78 655B; H01L29/78 653C; H01L29/78 655D; H01L29/78 652C; H01L29/78 652P; H01L29/06 301V; H01L29/06 301G; H01L29/78 657D</p>																				
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料（国際特許分類（IPC））</p> <p>H01L29/78; H01L29/739; H01L29/06</p> <p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2024年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2024年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2024年</td> </tr> </table> <p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2024年	日本国実用新案登録公報	1996 - 2024年	日本国登録実用新案公報	1994 - 2024年										
日本国実用新案公報	1922 - 1996年																			
日本国公開実用新案公報	1971 - 2024年																			
日本国実用新案登録公報	1996 - 2024年																			
日本国登録実用新案公報	1994 - 2024年																			
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>WO 2020/189053 A1 (富士電機株式会社) 24.09.2020 (2020 - 09 - 24) 全文, 全図</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>JP 2019-21787 A (富士電機株式会社) 07.02.2019 (2019 - 02 - 07) 全文, 全図</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>JP 2017-28244 A (富士電機株式会社) 02.02.2017 (2017 - 02 - 02) 全文, 全図</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>WO 2019/097836 A1 (富士電機株式会社) 23.05.2019 (2019 - 05 - 23) 全文, 全図</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>JP 2022-161286 A (富士電機株式会社) 21.10.2022 (2022 - 10 - 21) 全文, 全図</td> <td>1-15</td> </tr> </tbody> </table> <p><input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p> <p>* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技术水準を示すもの “D” 国際出願で出願人が先行技術文献として記載した文献 “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献</p>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	A	WO 2020/189053 A1 (富士電機株式会社) 24.09.2020 (2020 - 09 - 24) 全文, 全図	1-15	A	JP 2019-21787 A (富士電機株式会社) 07.02.2019 (2019 - 02 - 07) 全文, 全図	1-15	A	JP 2017-28244 A (富士電機株式会社) 02.02.2017 (2017 - 02 - 02) 全文, 全図	1-15	A	WO 2019/097836 A1 (富士電機株式会社) 23.05.2019 (2019 - 05 - 23) 全文, 全図	1-15	A	JP 2022-161286 A (富士電機株式会社) 21.10.2022 (2022 - 10 - 21) 全文, 全図	1-15
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																		
A	WO 2020/189053 A1 (富士電機株式会社) 24.09.2020 (2020 - 09 - 24) 全文, 全図	1-15																		
A	JP 2019-21787 A (富士電機株式会社) 07.02.2019 (2019 - 02 - 07) 全文, 全図	1-15																		
A	JP 2017-28244 A (富士電機株式会社) 02.02.2017 (2017 - 02 - 02) 全文, 全図	1-15																		
A	WO 2019/097836 A1 (富士電機株式会社) 23.05.2019 (2019 - 05 - 23) 全文, 全図	1-15																		
A	JP 2022-161286 A (富士電機株式会社) 21.10.2022 (2022 - 10 - 21) 全文, 全図	1-15																		
<p>国際調査を完了した日</p> <p>12.07.2024</p>	<p>国際調査報告の発送日</p> <p>23.07.2024</p>																			
<p>名称及びあて先</p> <p>日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号</p>	<p>権限のある職員（特許庁審査官）</p> <p>市川 武宜 5F 4056</p> <p>電話番号 03-3581-1101 内線 3514</p>																			

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2024/017131

引用文献			公表日	パテントファミリー文献			公表日
WO	2020/189053	A1	24.09.2020	US	2021/0184024	A1	
				CN	112640129	A	

JP	2019-21787	A	07.02.2019	US	2019/0027591	A1	
				CN	109273520	A	

JP	2017-28244	A	02.02.2017	US	2017/0018636	A1	
WO	2019/097836	A1	23.05.2019	US	2020/0058645	A1	
				CN	110574169	A	

JP	2022-161286	A	21.10.2022	US	2022/0328668	A1	
				CN	115207113	A	
