申請日期：92.3.4	IPC分類 H01L21/8247
申請案號：92104554	

（以上各欄由本局填註）

發明專利說明書　200418143

一、發明名稱	中文	快閃記憶體之記憶胞結構及其製造方法
	英文	METHOD TO INCREASE COUPLING RATIO OF SOURCE TO FLOATING GATE IN SPLIT-GATE FLASH AND THE STRUCTURE THEREOF
二、發明人（共3人）	姓名（中文）	1.徐德訓 2.宋弘政 3.黃成銘
	姓名（英文）	1. 2.Hung-Cheng Sung 3.
	國籍（中英文）	1.中華民國 TW 2.中華民國 TW 3.中華民國 TW
	住居所（中文）	1.新竹市光復路一段36號8樓之1 2.新竹縣寶山鄉雙溪村10鄰雙溪華廈3號5樓 3.桃園縣中壢市東興里中北路二段140號
	住居所（英文）	1. 2. 3.
三、申請人（共1人）	名稱或姓名（中文）	1.台灣積體電路製造股份有限公司
	名稱或姓名（英文）	1.Taiwan Semiconductor Manufacturing Co., Ltd.
	國籍（中英文）	1.中華民國 TW
	住居所（營業所）（中文）	1.新竹科學工業園區園區三路121號　（本地址與前向貴局申請者相同）
	住居所（營業所）（英文）	1.
	代表人（中文）	1.張忠謀
	代表人（英文）	1.Chung-Mou Chang

一、本案已向

國家(地區)申請專利	申請日期	案號	主張專利法第二十四條第一項優先權
無			

二、□主張專利法第二十五條之一第一項優先權:

申請案號:

無

日期:

三、主張本案係符合專利法第二十條第一項□第一款但書或□第二款但書規定之期間

日期:

四、□有關微生物已寄存於國外:

寄存國家:

寄存機構: 無

寄存日期:

寄存號碼:

□有關微生物已寄存於國內(本局所指定之寄存機構):

寄存機構:

寄存日期: 無

寄存號碼:

□熟習該項技術者易於獲得,不須寄存。

五、發明說明（1）

發明所屬技術領域

本發明係有關於有關於半導體之記憶體結構與其製造方法，特別是一種有關於分離閘快閃記憶體(split gate flash memory)之記憶胞(memory cell)結構與其製造方法，更特別有關於一種增加源極到浮置閘的耦合率(coupling ratio of source to floating gate)的方法。

先前技術

互補式金氧半導體(CMOS)記憶體可分為兩大類：隨機存取記憶體(RAM)與唯讀記憶體(ROM)。RAM為揮發性記憶體，關掉電源之後，RAM所儲存之資料也隨之消失。但是ROM卻大不相同，關掉電源並不影響其所儲存的資料。在過去幾年當中，ROM的市場佔有率正逐漸擴大中，其中又以快閃記憶體(Flash Memory)更是令人矚目。快閃記憶體因其可以同時針對單一記憶胞以電性可程式(electrically programmable)的方式寫入，針對多數之記憶胞區塊以電性可修改(electrically erasable)的方式修改其內容，其運用之靈活性與方便性已超越可抹除且可程式唯讀記憶體(EPROM)和可電除且可程式唯讀記憶體(EEPROM)之上，而且更重要的是快閃記憶體的製造成本較低。由於以上的這些優點，快閃記憶體如今已廣泛地應用在許多電子消費性產品上，例如手提電腦、電子信用卡(smart card)、數位相機以及通訊應用產品…等等。這些

五、發明說明 (2)

電子消費性產品由於要符合消費大眾的需要，因此需要處理或儲存的資料量也越來越龐大，所以負責存取資料的快閃記憶體的記憶容量也已從四百萬位元急速增加至二五六百萬位元(256M bytes)，在不久的將來，十億位元(1G bytes)的記憶容量的快閃記憶體也即將上市。

由於快閃記憶體的資料寫入與抹除的速度或效率(write and erase efficiency/ programming speed)跟源極和浮置閘之間的電容耦合程度成正比，因此如何增加源極到浮置閘的耦合率(以下簡稱：源極耦合率，source coupling ratio，SCR)便成為快閃記憶體的研究重點之一。

習知技術係藉由增加源極摻雜的橫向擴散(source implant lateral diffusion)來增加源極耦合率，然而這會使得源極與汲極之間的通道長度(channel length)縮短而有接合面擊穿(punch-through)和接面崩潰或接面漏電(junction breakdown/leakage)的問題發生。

以下利用第1圖來說明傳統快閃記憶體的記憶胞結構。如第1圖所示，形成於半導體基底10主動區(active region)上的2個MOS電晶體共用一源極25。各電晶體係具有一第一摻雜區20(即：汲極)、一第二摻雜區25(即：源極)、一通道23、一閘極氧化層30、一浮置閘40、一閘極間介電層(intergate dielectric layer)50以及一控制閘60。

仍請參見第1圖，第一摻雜區20、第二摻雜區25與通

五、發明說明（3）

道23皆位在基底10中，且通道23係位於第一摻雜區20與第二摻雜區25之間。閘極氧化層30位於基底10上，且浮置閘40係藉由閘極氧化層30而與基底10絕緣隔離。同時，浮置閘40係藉由閘極間介電層50而與控制閘60絕緣隔離。控制閘60位於通道23的上側，且控制閘60係藉由閘極氧化層30而與基底10絕緣隔離。另外，第一絕緣間隙壁(spacer)70係位於浮置閘40的側壁上，第二絕緣間隙壁(spacer)80係位於控制閘60的側壁上。還有，浮置閘40頂部係被氧化而形成一多晶矽氧化蓋層45(poly oxide cap)。

在美國專利第6380583號與美國專利早期公開編號第2002/0109181號中，有提供一種增加快閃記憶體之源極耦合率的方法。該方法係利用分隔主動區的絕緣槽溝(STI)內的上部周圍空間，而把浮置閘延伸至上述絕緣槽溝(STI)內的上部周圍空間中，如此基底內的源極和浮置閘之間的耦合面積就增加了，因而提升了源極耦合率。然而，在實際製程中，該方法在定義浮置閘形成於絕緣槽溝(STI)內的上部周圍空間時，則可能有對準不易(misalign)的製程問題，使得浮置閘輪廓(profile)不易掌握。

在美國專利第6355527號中，有提供一種增加快閃記憶體之源極耦合率的方法。該方法係沿著兩浮置閘中間形成一多晶矽壁(poly wall)，且該多晶矽壁位於源極上方，如此可提升源極耦合率。

在美國專利早期公開編號第2002/0142545號中，有提

五、發明說明（4）

供一種分離閘快閃記憶體之記憶胞製造方法。該方法提供一種可以減少光罩使用量的快閃記憶胞製程，然而該方法並未揭示如何增加源極耦合率。

發明內容

有鑑於此，本發明之目的係提供一種快閃記憶體之記憶胞的製造方法，用以增加源極到浮置閘的耦合率(coupling ratio of source to floating gate)。

本發明之另一目的係提供一種快閃記憶體之記憶胞結構，用以增加源極到浮置閘的耦合率。

為達上述目的，本發明提供一種快閃記憶體之記憶胞的製造方法，至少包括下列步驟：

提供一基底；

定義一主動區於該基底上；

依序形成一第一閘極絕緣層與一第一導體層於位在該主動區中的該基底上；

形成具有一第一開口的一緩衝層於部分該第一導體層上，其中該第一開口係露出部分該第一導體層；

去除部分該第一導體層，且使得位在該第一開口內的該第一導體層兩側呈一斜度狀；

形成一絕緣間隙壁於該第一開口之側壁上，且覆蓋部分該第一導體層；

以該絕緣間隙壁為遮蔽罩幕，去除位在該第一開口底下之該第一導體層；

五、發明說明（5）

等向性地去除部分該絕緣間隙壁而露出具有一長度之部分該第一導體層；

形成順應的一介電層於露出的該第一導體層與部分該第一閘極絕緣層上；

形成一順應的多晶矽層於該介電層上；

進行一非等向性的部分回蝕製程，去除部分該多晶矽層、部分該介電層與部分該第一閘極絕緣層，而形成剩餘的該多晶矽層與剩餘的該介電層於該絕緣間隙壁側壁上且位於上述露出的第一導體層與部分該第一閘極絕緣層上方，並使該第一開口內露出部分該基底；

形成一第一摻雜區於位在該第一開口內之該基底中；

形成一接觸插塞於該第一開口內，該接觸插塞電性連接該第一摻雜區；

進行一氧化製程，形成一氧化層於該接觸插塞頂部表面；

以該氧化層與該絕緣間隙壁為遮蔽罩幕，去除該緩衝層與部分該第一導體層，因而定義出一浮置閘與一第二開口；

形成順應的一第二閘極絕緣層於該第二開口表面上；

形成順應的一第二導體層覆蓋該基底；

部分回蝕該第二導體層，因而定義出一控制閘於位在該絕緣間隙壁與該浮置閘側壁的該第二閘極絕緣層上；以及

形成一第二摻雜區於位在該第二開口內之該基底中。

五、發明說明（6）

還有，本發明亦提供一種快閃記憶體之記憶胞結構，至少包括：

一基底，具有一源極、一汲極以及一通道位於該源極與該汲極之間；

一浮置閘，形成於部分該通道上方，其中該浮置閘與該基底係絕緣隔離；

一控制閘，形成於部分該通道上方，其中該控制閘與該基底係絕緣隔離，且該控制閘與該浮置閘係絕緣隔離；

一絕緣間隙壁，形成於該控制閘側壁，且覆蓋部分該浮置閘；以及

一順應的介電層，形成於部分該第一閘極絕緣層上、未被該絕緣間隙壁覆蓋之該浮置閘上與部分絕緣間隙壁上。

經由本發明，根據電容量正比於介電層面積的理論（$C=\varepsilon A/d=\varepsilon WL/d$），本發明由於使得順應的介電層延伸至浮置閘上而增加了介電層面積，所以增加了源極到浮置閘的耦合率(coupling ratio of source to floating gate)，因而提升了快閃記憶體之寫入與抹除之效率。

為讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

實施方式：

以下利用第2~9圖來說明本發明之快閃記憶胞製程，

尤其可應用在嵌入式(embedded)快閃記憶體製程。

請參見第2圖，提供例如是矽的一半導體基底200。然後，對該基底200實施淺溝渠隔絕製程(STI)或場氧化製程(FOX)而形成絕緣隔離區(未圖示)，並藉由該絕緣隔離區(未圖示)來絕緣隔離以及定義各主動區(active region)位置。

其次，請參見第2圖，依序形成一第一閘極絕緣層210、一第一導體層220與一緩衝層230於位在主動區中的該基底200上。其中，該第一閘極絕緣層210例如是由氧化法所形成之SiO_2層，該第一導體層220例如是由沉積法所形成之經摻雜之多晶矽(polysilicon)層，而該緩衝層230例如是由沉積法所形成之SiN或SiON層。接著，藉由一微影蝕刻步驟，去除部分該緩衝層230而形成一第一開口240而露出部分該第一導體層220。

其次，仍請參見第2圖，以該緩衝層230為遮蔽罩幕，對該第一導體層220進行一斜度狀蝕刻製程(slope etching，係屬於一等向性蝕刻製程)，而等向性地部分蝕刻該第一導體層220，而使得位於第一開口240內的該第一導體層220兩側部呈現一斜坡狀，如此可使將來形成的浮置閘側端尖角(tip)化。在此，為了使上述尖角化現象更加地明顯，可再進行一氧化反應使得位於第一開口240內的該第一導體層220頂部表面形成一氧化層(未圖示)。

其次，請參見第3圖，形成一絕緣間隙壁(insulating spacer)310於該第一開口240之側壁(side wall)上，且覆

五、發明說明 (8)

蓋部分該第一導體層220。其中形成該絕緣間隙壁310的方法例如是：先形成一順應的氧化層(TEOS-SiO_2層，未圖示)覆蓋該緩衝層230與該第一導體層220，然後進行例如是乾蝕刻(dry etching)方式的一非等向性蝕刻去除部分該氧化層(未圖示)而形成該絕緣間隙壁310。

其次，仍請參見第3圖，以該絕緣間隙壁310為遮蔽罩幕，去除位在該第一開口240底下之該第一導體層220，因而露出了該第一閘極絕緣層210。

其次，請參見第4圖，例如使用濕蝕刻(wet etching)方式，等向性地去除部分該絕緣間隙壁310而露出具有一長度a之部分該第一導體層220。也就是說，經過上述濕蝕刻製程之後，形成剩餘的絕緣間隙壁310'覆蓋住部分該第一導體層220，而未被絕緣間隙壁310'覆蓋而露出的第一導體層部分410係具有一長度a。接著，形成順應的一介電層420於露出的第一導體層部分410與部分該第一閘極絕緣層210上，該介電層420可更延伸至該緩衝層230表面上。其中，該介電層420例如是經由沉積法所形成之ONO層，其厚度可以是100~300埃。

其次，請參見第5圖，先形成一順應的多晶矽層(未圖示)於該介電層420上。然後，例如使用乾蝕刻方式，進行一非等向性的部分回蝕製程(partial etching back)，去除部分該多晶矽層(未圖示)、部分該介電層420與部分該第一閘極絕緣層210，而形成剩餘的該多晶矽層510(即：多晶矽間隙壁)與剩餘的該介電層420'於該絕緣間隙壁

五、發明說明（9）

310'側壁上，且位於上述露出的第一導體層部分410與部分該第一閘極絕緣層210上方，並使該第一開口240底下露出部分該基底200。另外，這裡要說明的是，經過上述回蝕製程之後，可能有少許該介電層420'與該多晶矽層510延伸至部分該基底200上，然而為了方便說明，在此不予圖示。

其次，仍請參見第5圖，進行一離子植入製程(ion implantation)，形成當作是源極(source)的一摻雜區520於位在該第一開口240內之該基底200中。

其次，請參見第6圖，形成一接觸插塞(contact plug)610於該第一開口240內，該接觸插塞610電性連接該第一摻雜區520。其中，形成該接觸插塞610的方法例如是：先沉積一經摻雜之多晶矽層(未圖示)填滿該第一開口240，然後再進行一平坦化製程(例如CMP與部分回蝕)而得一表面平坦之接觸插塞610。之後，進行一氧化製程，形成一氧化層620於該接觸插塞610頂部表面。這裡要說明的是，因為本實施例的接觸插塞610和上述多晶矽層510之材質皆是多晶矽，所以在此合併以接觸插塞610表示。

其次，請參見第7圖，以該氧化層620與該絕緣間隙壁310'為遮蔽罩幕，先以等向性蝕刻(例如濕蝕刻)去除該緩衝層230，再以非等向性蝕刻(例如乾蝕刻)去除部分該第一導體層220，因而定義出一浮置閘(floating gate)710與一第二開口720。

其次，請參見第8圖，形成順應的一第二閘極絕緣層

五、發明說明（10）

810（亦稱閘極間介電層，intergate/interpoly dielectric layer）於該第二開口720表面上。其中，該第二閘極絕緣層810例如是由沉積法所形成的高溫氧化層（high temperature oxide，HTO，SiO_2）。在此，為了方便說明與簡化圖示，位於第二開口720內的第一閘極絕緣層210與第二閘極絕緣層810合併以第二閘極絕緣層810來表示。

其次，仍請參見第8圖，形成順應的一第二導體層（未圖示）覆蓋於該基底200上方。然後，例如使用乾蝕刻方式，非等向性地部分回蝕該第二導體層（未圖示），因而定義出一控制閘（control gate）820於位在該絕緣間隙壁310'與該浮置閘710側壁的該第二閘極絕緣層810上。其中，該控制閘820的材質例如是經摻雜之多晶矽層。

其次，請參見第9圖，去除未被該控制閘820覆蓋之第二閘極絕緣層810而露出部分基底200。接著，進行一離子植入製程，形成當作是汲極（drain）的一摻雜區910於位在該第二開口720內之該基底200中。

根據上述本實施例製程，本發明亦提供一種快閃記憶體之記憶胞結構，請參見第9圖，該記憶胞結構至少包括：

一基底200，具有一源極520、一汲極910以及一通道920位於該源極520與該汲極910之間；

一浮置閘710，形成於部分該通道920上方，其中該浮置閘710與該基底200係藉由一第一閘極絕緣層210絕緣隔

五、發明說明（11）

離；

一控制閘820，形成於部分該通道920上方，其中該控制閘820與該基底200係藉由一第二閘極絕緣層810絕緣隔離，且該控制閘820與該浮置閘710係藉由該第二閘極絕緣層810絕緣隔離；

一絕緣間隙壁310'，形成於該控制閘820側壁，且覆蓋部分該浮置閘710；以及

一順應的介電層420'，形成於部分第一閘極絕緣層210上、未被該絕緣間隙壁310'覆蓋之該浮置閘710上與部分絕緣間隙壁310上。

本發明特徵及優點

本發明之製程特徵在於：等向性去除部分絕緣間隙壁而露出部分浮置閘，以及形成順應的一介電層於露出的浮置閘與浮置閘絕緣層。

本發明之快閃記憶胞結構特徵在於：具有一順應的介電層，形成於部分該第一閘極絕緣層上、未被該絕緣間隙壁覆蓋之該浮置閘上與部分絕緣間隙壁上。其中該記憶胞結構係藉由該介電層來增加該源極到該浮置閘之間的一耦合率(coupling ratio of source to floating gate)。

根據電容量正比於介電層面積的理論($C=\varepsilon A/d=\varepsilon WL/d$)，本發明由於使得順應的介電層延伸至浮置閘上而增加了介電層面積，所以增加了源極到浮置閘的耦合率(coupling ratio of source to floating gate)，因而

五、發明說明 (12)

提升了快閃記憶體之寫入與抹除之效率。

本發明雖以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

圖式簡單說明

第1圖係習知之快閃記憶胞結構的剖面示意圖；以及

第2至9圖係本發明實施例之快閃記憶體之記憶胞的的製程剖面示意圖。

符號說明

習知部分(第1圖)

10~半導體基底；　20~汲極；

23~通道；　25~源極；

30~閘極氧化層；　40~浮置閘；

45~多晶矽氧化蓋層；　50~閘極間介電層；

60~控制閘；　70、80~絕緣間隙壁。

本案部分(第2~9圖)

200~半導體基底；　210~第一閘極絕緣層；

220~第一導體層；　230~緩衝層；

240~第一開口；　310、310'~絕緣間隙壁；

410~露出的第一導體層部分；

420、420'~介電層；　510~多晶矽層；

520~源極；　610~接觸插塞；

620~氧化層；　710~浮置閘；

720~第二開口；　810~第二閘極絕緣層；

820~控制閘；　910~汲極；

920~通道。

四、中文發明摘要　（發明名稱：快閃記憶體之記憶胞結構及其製造方法）

本發明揭示一種快閃記憶體之記憶胞結構及其製造方法，用以增加源極到浮置閘的耦合率。其特徵步驟係：等向性去除部分絕緣間隙壁而露出部分浮置閘，以及形成順應的一介電層於露出的浮置閘與浮置閘絕緣層上。根據本發明，由於順應的介電層延伸至浮置閘上，所以增加了源極到浮置閘的耦合率(coupling ratio of source to floating gate)，因而提升了快閃記憶體之寫入與抹除之效率。

伍、(一)、本案代表圖為：第9圖

(二)、本案代表圖之元件代表符號簡單說明：

200~半導體基底；　　210~第一閘極絕緣層；

310'~絕緣間隙壁；　　420'~介電層；

520~源極；　　610~接觸插塞；

620~氧化層；　　710~浮置閘；

六、英文發明摘要　（發明名稱：METHOD TO INCREASE COUPLING RATIO OF SOURCE TO FLOATING GATE IN SPLIT-GATE FLASH AND THE STRUCTURE THEREOF）

A method to increase coupling ratio of source to floating gate in split-gate flash and the structure thereof are provided. The present method is characterized in that part of the insulating spacer is isotropically etched to expose part of the floating gate. Then, a conformal dielectric layer is formed over the exposed floating gate and a gate oxide layer.

四、中文發明摘要　（發明名稱：快閃記憶體之記憶胞結構及其製造方法）

810~第二閘極絕緣層；　820~控制閘；
910~汲極；　920~通道。

六、英文發明摘要　（發明名稱：METHOD TO INCREASE COUPLING RATIO OF SOURCE TO FLOATING GATE IN SPLIT-GATE FLASH AND THE STRUCTURE THEREOF）

According to the present invention, the conformal dielectric layer is extended on part of the floating gate. Thus, the coupling ratio of source to floating gate is increased, thereby improving write and erase efficiency of the flash memory.

六、申請專利範圍

1. 一種快閃記憶體之記憶胞的製造方法，包括下列步驟：

提供一基底；

依序形成一第一閘極絕緣層與一第一導體層於該基底上；

形成具有一第一開口的一緩衝層於部分該第一導體層上，其中該第一開口係露出部分該第一導體層；

形成一絕緣間隙壁於該第一開口之側壁上，且覆蓋部分該第一導體層；

以該絕緣間隙壁為遮蔽罩幕，去除位在該第一開口底下之該第一導體層；

等向性地去除部分該絕緣間隙壁而露出部分該第一導體層；

形成順應的一介電層於露出的該第一導體層、該第一閘極絕緣層與部分該基底上；

去除位在該第一開口底下之部分該介電層與部分該第一閘極絕緣層，而露出部分該基底；

形成一第一摻雜區於位在該第一開口內之該基底中；

形成一接觸插塞於該第一開口內，該接觸插塞電性連接該第一摻雜區；

形成一氧化層於該接觸插塞頂部表面；

以該氧化層與該絕緣間隙壁為遮蔽罩幕，去除該緩衝層與部分該第一導體層，因而定義出一浮置閘與一第二開口；

六、申請專利範圍

形成順應的一第二閘極絕緣層於該第二開口表面上；

形成一控制閘於位在該絕緣間隙壁與該浮置閘側壁的該第二閘極絕緣層上；以及

形成一第二摻雜區於位在該第二開口內之該基底中。

2. 如申請專利範圍第1項所述之快閃記憶體之記憶胞的製造方法，其中形成該控制閘之步驟包括：

形成順應的一第二導體層覆蓋該基底；

部分回蝕該第二導體層，因而定義出該控制閘於位在該絕緣間隙壁與該浮置閘側壁的該第二閘極絕緣層上。

3. 如申請專利範圍第1項所述之快閃記憶體之記憶胞的製造方法，其中該基底係一半導體基底。

4. 如申請專利範圍第1項所述之快閃記憶體之記憶胞的製造方法，其中該第一閘極絕緣層係SiO_2層。

5. 如申請專利範圍第1項所述之快閃記憶體之記憶胞的製造方法，其中該第一導體層係多晶矽層。

6. 如申請專利範圍第1項所述之快閃記憶體之記憶胞的製造方法，其中該緩衝層係SiN層。

7. 如申請專利範圍第1項所述之快閃記憶體之記憶胞的製造方法，其中該絕緣間隙壁係TEOS氧化層。

8. 如申請專利範圍第1項所述之快閃記憶體之記憶胞的製造方法，其中該介電層係ONO層。

9. 如申請專利範圍第1項所述之快閃記憶體之記憶胞的製造方法，其中該接觸插塞係多晶矽層。

10. 如申請專利範圍第1項所述之快閃記憶體之記憶

六、申請專利範圍

胞的製造方法，其中該第二閘極絕緣層係SiO_2層。

11. 如申請專利範圍第2項所述之快閃記憶體之記憶胞的製造方法，其中該第二導體層係多晶矽層。

12. 一種快閃記憶體之記憶胞的製造方法，包括下列步驟：

提供一基底；

依序形成一第一閘極絕緣層與一第一導體層於該基底上；

形成具有一第一開口的一緩衝層於部分該第一導體層上，其中該第一開口係露出部分該第一導體層；

去除部分該第一導體層，且使得位在該第一開口內的該第一導體層兩側呈一斜度狀；

形成一絕緣間隙壁於該第一開口之側壁上，且覆蓋部分該第一導體層；

以該絕緣間隙壁為遮蔽罩幕，去除位在該第一開口底下之該第一導體層；

等向性地去除部分該絕緣間隙壁而露出具有一長度之部分該第一導體層；

形成順應的一介電層於露出的該第一導體層與部分該第一閘極絕緣層上；

形成一順應的多晶矽層於該介電層上；

進行一非等向性的部分回蝕製程，去除部分該多晶矽層、部分該介電層與部分該第一閘極絕緣層，而形成剩餘的該多晶矽層與剩餘的該介電層於該絕緣間隙壁側壁上且

六、申請專利範圍

位於上述露出的第一導體層與部分該第一閘極絕緣層上方，並使該第一開口內露出部分該基底；

形成一第一摻雜區於位在該第一開口內之該基底中；

形成一接觸插塞於該第一開口內，該接觸插塞電性連接該第一摻雜區；

形成一氧化層於該接觸插塞頂部表面；

以該氧化層與該絕緣間隙壁為遮蔽罩幕，去除該緩衝層與部分該第一導體層，因而定義出一浮置閘與一第二開口；

形成順應的一第二閘極絕緣層於該第二開口表面上；

形成一控制閘於位在該絕緣間隙壁與該浮置閘側壁的該第二閘極絕緣層上；以及

形成一第二摻雜區於位在該第二開口內之該基底中。

13. 如申請專利範圍第12項所述之快閃記憶體之記憶胞的製造方法，其中形成該控制閘之步驟包括：

形成順應的一第二導體層覆蓋該基底；

部分回蝕該第二導體層，因而定義出該控制閘於位在該絕緣間隙壁與該浮置閘側壁的該第二閘極絕緣層上。

14. 如申請專利範圍第12項所述之快閃記憶體之記憶胞的製造方法，其中該基底係一半導體基底。

15. 如申請專利範圍第12項所述之快閃記憶體之記憶胞的製造方法，其中該第一閘極絕緣層係SiO_2層。

16. 如申請專利範圍第12項所述之快閃記憶體之記憶胞的製造方法，其中該第一導體層係多晶矽層。

六、申請專利範圍

17. 如申請專利範圍第12項所述之快閃記憶體之記憶胞的製造方法，其中該緩衝層係SiN層。

18. 如申請專利範圍第12項所述之快閃記憶體之記憶胞的製造方法，其中該絕緣間隙壁係TEOS氧化層。

19. 如申請專利範圍第12項所述之快閃記憶體之記憶胞的製造方法，其中該介電層係ONO層。

20. 如申請專利範圍第12項所述之快閃記憶體之記憶胞的製造方法，其中該接觸插塞係多晶矽層。

21. 如申請專利範圍第12項所述之快閃記憶體之記憶胞的製造方法，其中該第二閘極絕緣層係SiO_2層。

22. 如申請專利範圍第13項所述之快閃記憶體之記憶胞的製造方法，其中該第二導體層係多晶矽層。

23. 如申請專利範圍第12項所述之快閃記憶體之記憶胞的製造方法，其中使得位在該第一開口內的該第一導體層兩側呈一斜度狀之方法，係等向性地部分蝕刻該第一導體層。

24. 一種快閃記憶體之記憶胞結構，包括：

一基底，具有一源極、一汲極以及一通道位於該源極與該汲極之間；

一浮置閘，形成於部分該通道上方，其中該浮置閘與該基底係絕緣隔離；

一控制閘，形成於部分該通道上方，其中該控制閘與該基底係絕緣隔離，且該控制閘與該浮置閘係絕緣隔離；

一絕緣間隙壁，形成於該控制閘側壁，且覆蓋部分該

六、申請專利範圍

浮置閘；以及

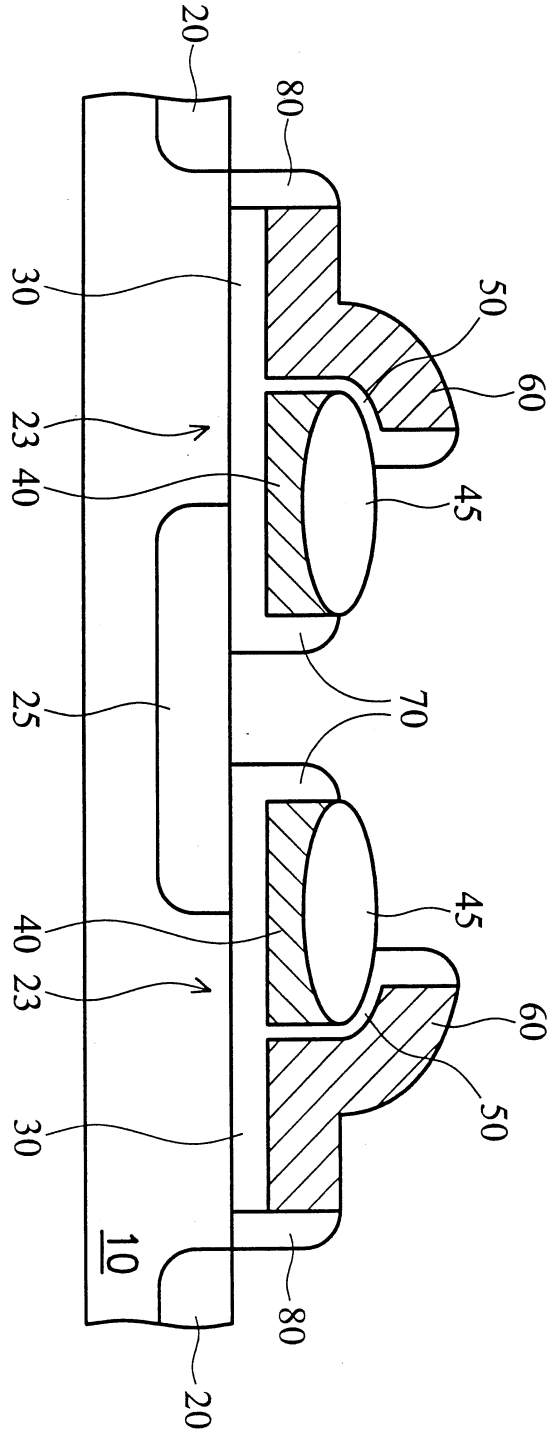
一順應的介電層，形成於部分該第一閘極絕緣層上、未被該絕緣間隙壁覆蓋之該浮置閘上與部分絕緣間隙壁上。

25. 如申請專利範圍第24項所述之快閃記憶體之記憶胞結構，其中該基底係一半導體基底。

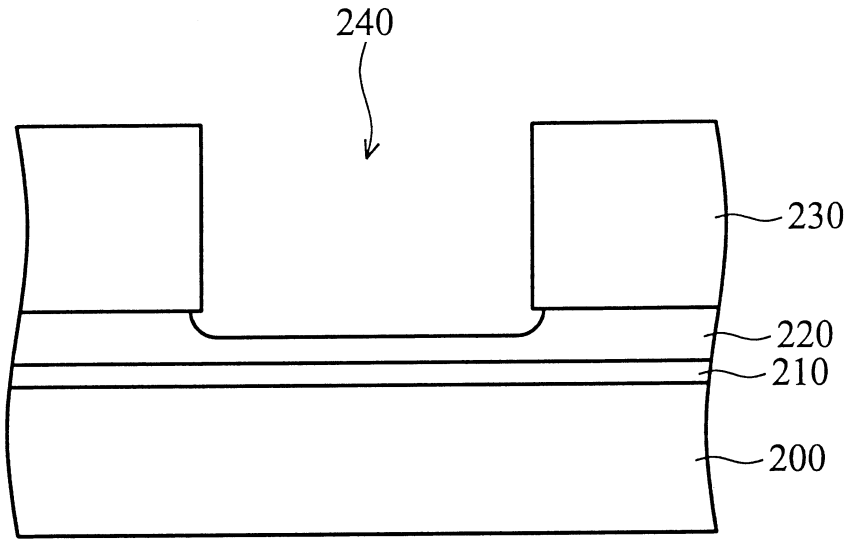
26. 如申請專利範圍第24項所述之快閃記憶體之記憶胞結構，其中該絕緣間隙壁係TEOS氧化層。

27. 如申請專利範圍第24項所述之快閃記憶體之記憶胞結構，其中該介電層係ONO層。

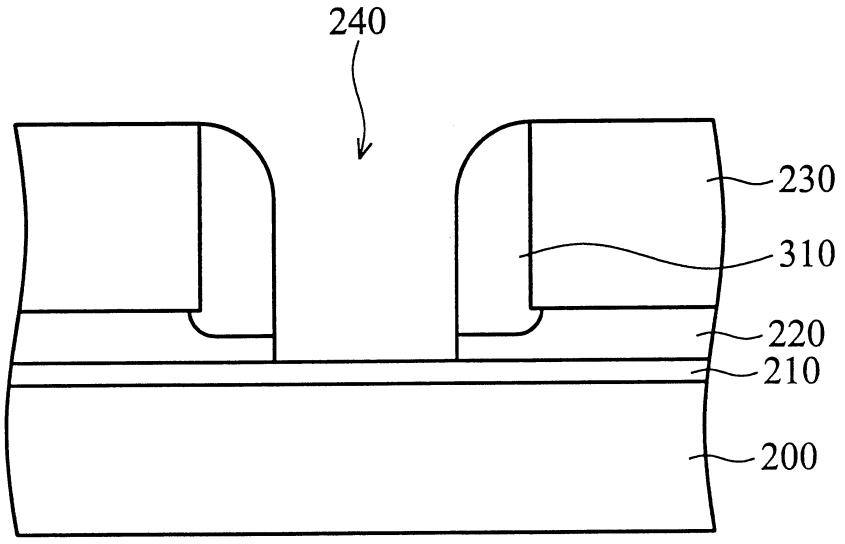
28. 如申請專利範圍第24項所述之快閃記憶體之記憶胞結構，其中該介電層的厚度範圍係100~300埃。



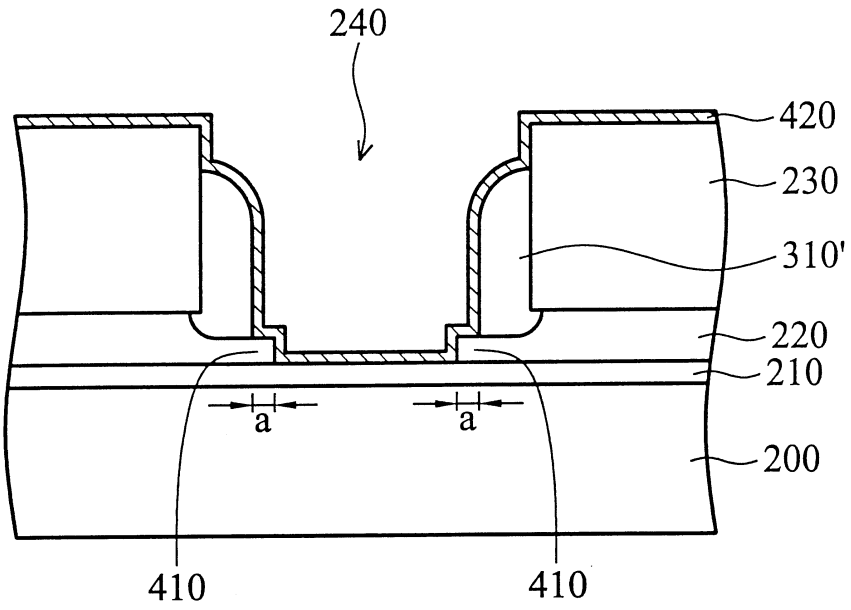
第 1 圖



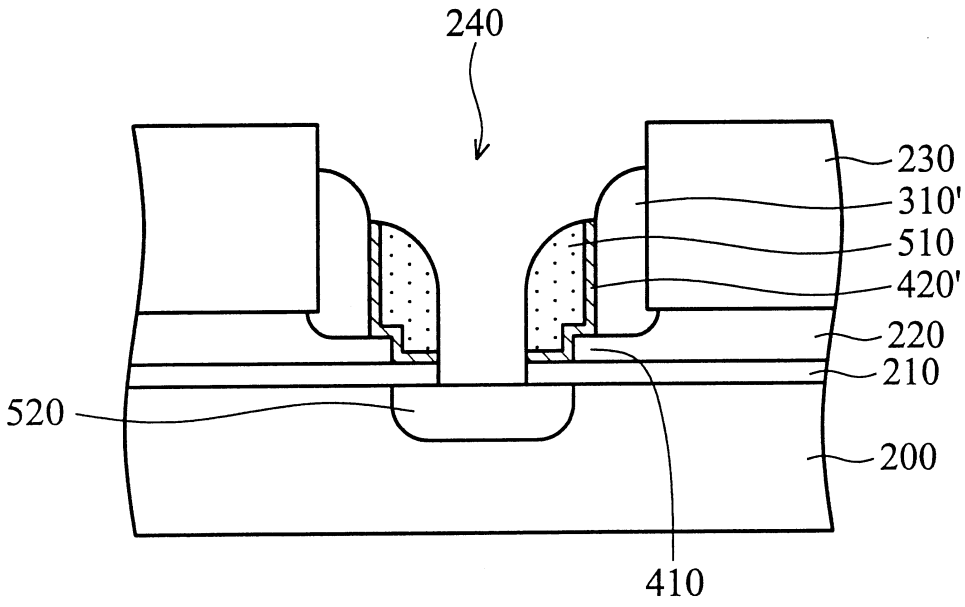
第 2 圖



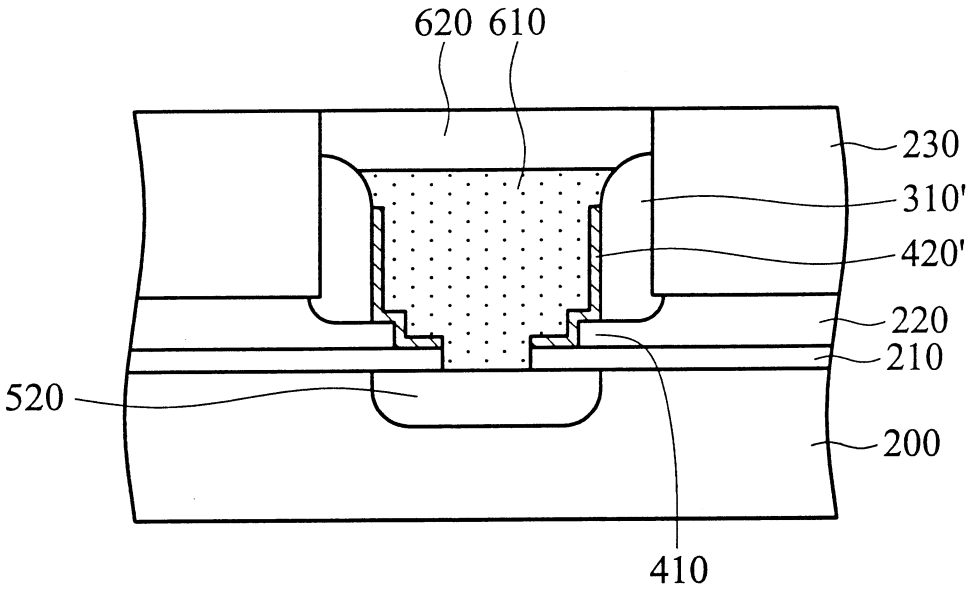
第 3 圖


240
420
230
310'
220
210
a
a
200
410
410

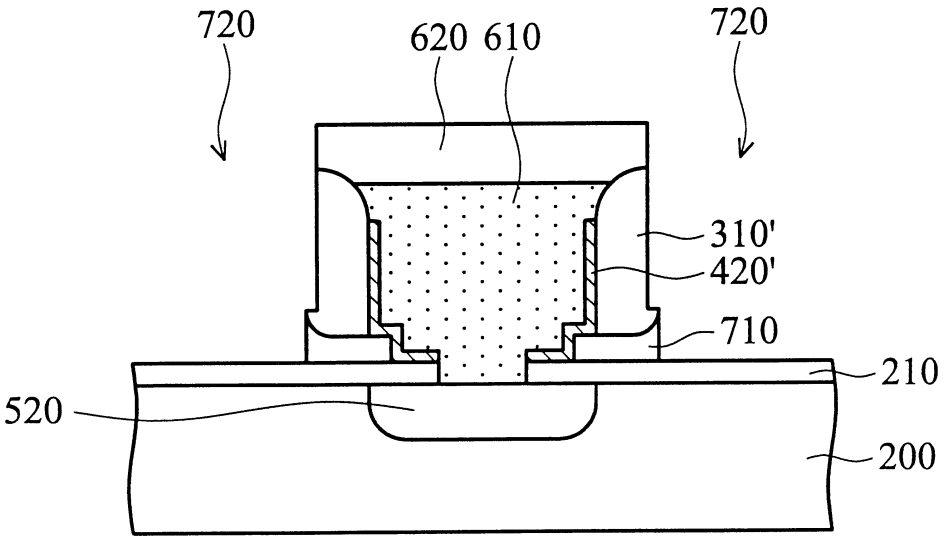
第 4 圖


240
230
310'
510
420'
220
210
520
200
410

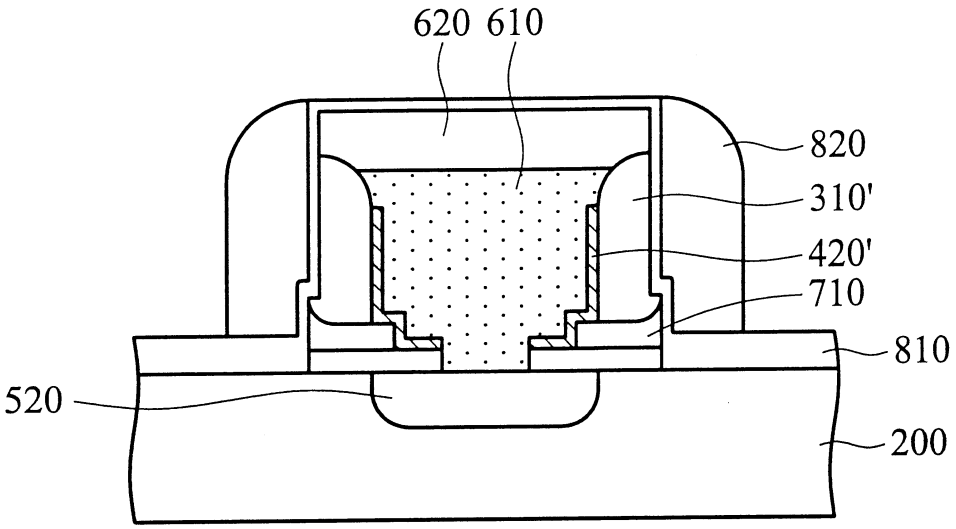
第 5 圖


620 610
230
310'
420'
220
210
520
200
410

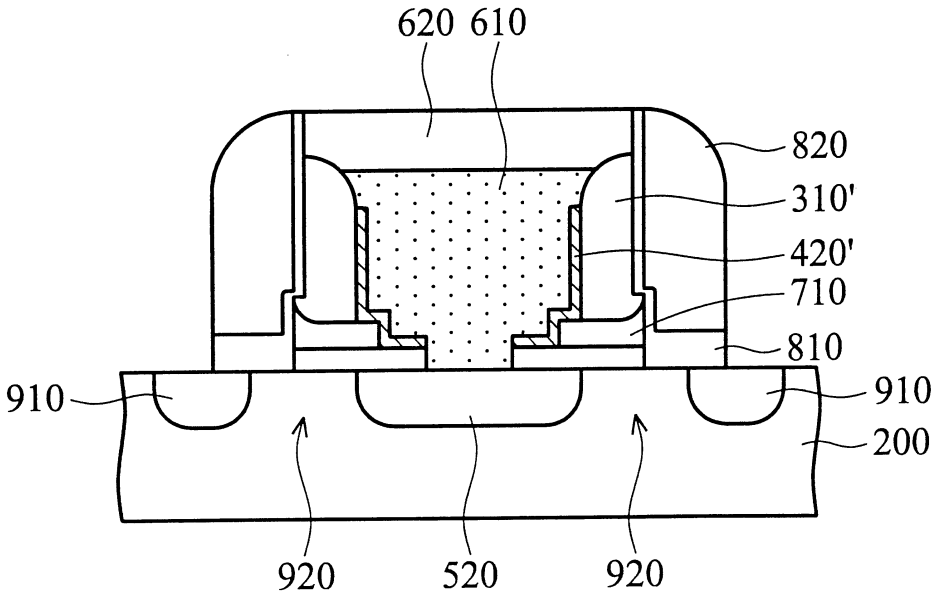
第 6 圖


720
620 610
720
310'
420'
710
210
520
200

第 7 圖


620 610
820
310'
420'
710
810
520
200

第 8 圖


620 610
820
310'
420'
710
810
910
910
200
920
520
920

第 9 圖