

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5162028号
(P5162028)

(45) 発行日 平成25年3月13日 (2013. 3. 13)

(24) 登録日 平成24年12月21日 (2012. 12. 21)

(51) Int. Cl.	F I
G09F 9/30 (2006.01)	G09F 9/30 330Z
G02F 1/1368 (2006.01)	G09F 9/30 338
G02F 1/1343 (2006.01)	G02F 1/1368
	G02F 1/1343

請求項の数 4 (全 21 頁)

(21) 出願番号	特願2011-515842 (P2011-515842)	(73) 特許権者	000005049
(86) (22) 出願日	平成22年2月23日 (2010. 2. 23)		シャープ株式会社
(86) 国際出願番号	PCT/JP2010/001194		大阪府大阪市阿倍野区長池町22番22号
(87) 国際公開番号	W02010/137206	(74) 代理人	110001427
(87) 国際公開日	平成22年12月2日 (2010. 12. 2)		特許業務法人前田特許事務所
審査請求日	平成23年8月1日 (2011. 8. 1)	(74) 代理人	100077931
(31) 優先権主張番号	特願2009-131310 (P2009-131310)		弁理士 前田 弘
(32) 優先日	平成21年5月29日 (2009. 5. 29)	(74) 代理人	100113262
(33) 優先権主張国	日本国 (JP)		弁理士 竹内 祐二
		(72) 発明者	光本 一順
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内
		(72) 発明者	吉田 昌弘
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内

最終頁に続く

(54) 【発明の名称】 アクティブマトリクス基板及びそれを備えた表示装置

(57) 【特許請求の範囲】

【請求項 1】

絶縁性基板と、
 上記絶縁性基板上に設けられた複数のスイッチング素子と、
 上記絶縁性基板上に複数設けられ、上記スイッチング素子に接続された配線と、
 複数の上記スイッチング素子及び複数の上記配線を覆う層間絶縁膜と、
 上記層間絶縁膜上に形成された複数の画素電極と、
 複数の上記配線から引き出されて所定の間隔で配置された複数の端子とを備えたアクティブマトリクス基板であって、

上記端子の一部は、上記層間絶縁膜の端縁から露出した状態で設けられ、
 上記絶縁性基板の表面の法線方向から見て、少なくとも、隣り合う上記端子同士の間の一
 部の領域であり且つ上記層間絶縁膜の端縁を含む領域には、光を上記絶縁性基板と反対
 側に反射する反射層が露出した状態で設けられ、

上記反射層は、上記層間絶縁膜の端縁に沿って複数設けられると共に、該反射層と上記
 端子との間に絶縁層が介在された状態で上記端子を該端子の幅方向に跨いで形成されてい
 る

ことを特徴とするアクティブマトリクス基板。

【請求項 2】

請求項 1 に記載されたアクティブマトリクス基板において、
 上記複数の端子には、外部回路が接続される

10

20

ことを特徴とするアクティブマトリクス基板。

【請求項 3】

アクティブマトリクス基板と、

上記アクティブマトリクス基板に対向して配置された対向基板と、

上記アクティブマトリクス基板と対向基板との間に設けられた表示媒体層とを備えた表示装置であって、

上記アクティブマトリクス基板は、絶縁性基板と、上記絶縁性基板上に設けられた複数のスイッチング素子と、上記絶縁性基板上に複数設けられ、上記スイッチング素子に接続された配線と、複数の上記スイッチング素子及び複数の上記配線を覆う層間絶縁膜と、上記層間絶縁膜上に形成された複数の画素電極と、複数の上記配線から引き出されて所定の

10

間隔で配置された複数の端子とを備え、

上記端子の一部は、上記層間絶縁膜の端縁から露出した状態で設けられ、

上記絶縁性基板の表面の法線方向から見て、少なくとも、隣り合う上記端子同士の間の一部の領域であり且つ上記層間絶縁膜の端縁を含む領域には、光を上記絶縁性基板と反対側に反射する反射層が露出した状態で設けられ、

上記反射層は、上記層間絶縁膜の端縁に沿って複数設けられると共に、該反射層と上記端子との間に絶縁層が介在された状態で上記端子を該端子の幅方向に跨いで形成されている

ことを特徴とする表示装置。

【請求項 4】

20

請求項 3 に記載された表示装置において、

上記複数の端子には、外部回路が接続される

ことを特徴とする表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アクティブマトリクス基板及びそれを備えた表示装置に関するものである。

【背景技術】

【0002】

従来より、液晶表示装置、有機 EL 表示装置、及び電気泳動表示装置等の表示装置には、ガラス基板の上に T F T (Thin-Film Transistor: 薄膜トランジスタ) 等のスイッチング素子が複数形成されたアクティブマトリクス基板を用いることが知られている。

30

【0003】

また、一般に、アクティブマトリクス基板を備えた表示装置では、表示画面の開口率を高めるために、そのアクティブマトリクス基板の最上層に画素電極が形成される。

【0004】

すなわち、アクティブマトリクス基板を構成するガラス基板には、複数の T F T、ゲート配線及びソース配線等が形成されると共に、これらの T F T 及び配線等を覆うように、層間絶縁膜が形成されている。そして、その層間絶縁膜の表面に画素電極が形成されている。

40

【0005】

このことにより、層間絶縁膜上の画素電極をゲート配線上及びソース配線上にまで拡張して形成できるため、画素電極の面積を大きくすることができる。また、層間絶縁膜をスピン塗布で厚く形成することにより、画素電極とゲート配線及びソース配線との間の寄生容量が低減される。よって、クロストークの発生が抑制され且つ開口率が大きい液晶表示装置を得ることが可能となる。

【0006】

ところで、アクティブマトリクス基板の端部領域には、上記層間絶縁膜の端部が形成されると共に、上記配線の端部に形成され複数の端子が配置されている。これら複数の端子は、所定の間隔で並んで配置され、I C ドライバや、F P C 等の外部回路部材が実装され

50

るようになっている。

【0007】

しかし、上記層間絶縁膜の端部はガラス基板上で大きな段差を構成するため、その層間絶縁膜の端部近傍に、画素電極をパターンニングするためのレジストが、露光しきれずに残渣として生じやすい。その結果、レジスト残渣に覆われていた画素電極材料の残渣によって、隣接する端子間が短絡する問題がある。

【0008】

これに対して、特許文献1には、端子間に有機薄膜パターンを形成することが開示されている。そのことにより、有機薄膜パターン上の画素電極材料を速くエッチングして、端子間に画素電極材料が残らないようにしている。

10

【0009】

特許文献2には、端子間に層間絶縁膜と同一の絶縁膜を設けることが開示されている。また、特許文献3には、層間絶縁膜の端部に沿って、各端子を覆う短絡防止用の絶縁膜を形成することが開示されている。

【0010】

また、特許文献4には、レジスト残渣が生じないようにレジストを過露光しながらも、レジストを透過した光の配線による反射を低減することにより画素電極を適切に形成することが開示されている。

【0011】

特許文献5には、層間絶縁膜の端部における境界線を、基板表面の法線方向から見て、凹凸状に形成することにより、その層間絶縁膜の端部における傾斜角をなだらかにして、レジスト残渣の発生を抑制することが開示されている。

20

【0012】

また、特許文献6に開示されているアクティブマトリクス基板は、平面図である図18に示すように、ガラス基板上に形成されたゲート絶縁膜101と、ゲート絶縁膜101上に形成され、所定の間隔で複数配置された端子102と、各端子102の一部を覆うようにゲート絶縁膜101上に形成された層間絶縁膜103とを有している。

【0013】

そして、層間絶縁膜103の端部には、各端子102間に突出する凸部104が形成されている。凸部104のガラス基板表面に対する傾斜角度は、凸部104が形成されていない層間絶縁膜103の端部の傾斜角度よりも小さくなっている。このことにより、凸部104上にレジスト残渣を生じさせないようにして、レジスト残渣による端子102間の短絡を防止しようとしている。

30

【先行技術文献】

【特許文献】

【0014】

【特許文献1】特開平9-90397号公報

【特許文献2】特開平10-153770号公報

【特許文献3】特開平10-20339号公報

【特許文献4】特開2000-2887号公報

40

【特許文献5】特開平11-153809号公報

【特許文献6】特開平11-24101号公報

【発明の概要】

【発明が解決しようとする課題】

【0015】

上記特許文献6には、凸部104の寸法を、幅が70 μ mであり突出長さが50 μ mである例と、幅が20 μ mであり突出長さが30 μ mである例とが記載されている。しかし、当該アクティブマトリクス基板が、小型で高詳細表示を行う表示装置に用いられる場合には、端子間の間隔が非常に狭くなるため、上記凸部104を配置することは難しい。

【0016】

50

例えば、フルHD（解像度1920×1080本）を表示する16.4型の液晶表示装置を構成すると共にFPCが実装されたアクティブマトリクス基板では、ソース端子間のピッチが25μmであり、そのソース端子間のスペースは13μmであって非常に狭い。また、3型ワイドQVGAの液晶表示装置を構成すると共にCOG実装されているアクティブマトリクス基板についても、ゲート端子及びソース端子のピッチが17μmであり、それらの各端子間のスペースはそれぞれ13μmであって極めて狭くなっている。

【0017】

また、各端子にFPC（Flexible Printed Circuit：フレキシブルプリント基板）を実装する場合には、凸部104の膜厚が比較的大きいために、その凸部104が障害物となって、FPCの端子が基板側の端子に接触し難くなる問題もある。

10

【0018】

本発明は、斯かる諸点に鑑みてなされたものであり、その目的とするところは、端子間の短絡を抑制すると共に、外部回路の端子への接続を容易にすることにある。

【課題を解決するための手段】

【0019】

上記の目的を達成するために、本発明に係るアクティブマトリクス基板は、絶縁性基板と、上記絶縁性基板上に設けられた複数のスイッチング素子と、上記絶縁性基板上に複数設けられ、上記スイッチング素子に接続された配線と、複数の上記スイッチング素子及び複数の上記配線を覆う層間絶縁膜と、上記層間絶縁膜上に形成された複数の画素電極と、複数の上記配線から引き出されて所定の間隔で配置された複数の端子とを備えたアクティブマトリクス基板であって、上記端子の一部は、上記層間絶縁膜の端縁から露出した状態で設けられ、上記絶縁性基板の表面の法線方向から見て、少なくとも、隣り合う上記端子同士の間の一部の領域であり且つ上記層間絶縁膜の端縁を含む領域には、光を上記絶縁性基板と反対側に反射する反射層が露出した状態で設けられ、上記反射層は、上記層間絶縁膜の端縁に沿って複数設けられると共に、該反射層と上記端子との間に絶縁層が介在された状態で上記端子を該端子の幅方向に跨いで形成されている。

20

【0020】

上記複数の端子には、外部回路が接続されてもよい。

【0021】

また、本発明に係る表示装置は、アクティブマトリクス基板と、上記アクティブマトリクス基板に対向して配置された対向基板と、上記アクティブマトリクス基板と対向基板との間に設けられた表示媒体層とを備えた表示装置であって、上記アクティブマトリクス基板は、絶縁性基板と、上記絶縁性基板上に設けられた複数のスイッチング素子と、上記絶縁性基板上に複数設けられ、上記スイッチング素子に接続された配線と、複数の上記スイッチング素子及び複数の上記配線を覆う層間絶縁膜と、上記層間絶縁膜上に形成された複数の画素電極と、複数の上記配線から引き出されて所定の間隔で配置された複数の端子とを備え、上記端子の一部は、上記層間絶縁膜の端縁から露出した状態で設けられ、上記絶縁性基板の表面の法線方向から見て、少なくとも、隣り合う上記端子同士の間の一部の領域であり且つ上記層間絶縁膜の端縁を含む領域には、光を上記絶縁性基板と反対側に反射する反射層が露出した状態で設けられ、上記反射層は、上記層間絶縁膜の端縁に沿って複数設けられると共に、該反射層と上記端子との間に絶縁層が介在された状態で上記端子を該端子の幅方向に跨いで形成されている。

30

40

【0022】

上記複数の端子には、外部回路が接続されてもよい。

【0023】

－作用－

次に、本発明の作用について説明する。

【0024】

上記アクティブマトリクス基板を製造する場合には、まず、絶縁性基板上に複数のスイッチング素子と複数の配線とを形成する。また、複数の端子を、絶縁性基板上に上記各配

50

線から引き出した状態で、所定の間隔で配置されるように形成する。

【0025】

そして、絶縁性基板の表面の法線方向から見て、少なくとも、隣り合う端子同士の間の一部の領域であり且つ層間絶縁膜の端縁を含む領域に対し、光を反射する反射層を形成する。このとき、反射層と端子との間に絶縁層が介在された状態で各端子をその端子の幅方向に跨ぐように、反射層を形成する。

【0026】

その後、上記各スイッチング素子及び配線を覆う層間絶縁膜を、絶縁性基板に形成する。このとき、反射層が層間絶縁膜の端縁に沿って露出した状態で複数設けられ、上記各端子の少なくとも一部が層間絶縁膜の端縁から露出するように、上記層間絶縁膜を形成する。

10

【0027】

画素電極は、層間絶縁膜上にフォトリソグラフィによって形成することが可能である。この場合、層間絶縁膜を覆う画素電極材料を、絶縁性基板上に一樣に形成する。その後、上記画素電極材料を覆うように形成したレジストを、フォトマスクを介して露光する。露光された領域を除去することにより、画素電極を形成しない領域で開口したレジストのマスクが形成される。次に、マスクから露出している画素電極材料をエッチング等により除去することで、所定形状の画素電極を層間絶縁膜上に形成する。

【0028】

本発明では、層間絶縁膜の端縁近傍の領域でレジストが厚くなっている場合、当該領域に設けた反射層により、レジストを透過した露光の光を反射して、当該厚いレジストを十分に露光することができる。

20

【0029】

反射層は例えばフォトリソグラフィにより、例えば数 μm 程度の幅に、微細に形成することが可能であるため、端子間隔が比較的狭い場合であっても、上記反射層を精度良く端子間に形成することが可能になる。さらに、反射層は薄膜化して、例えば $0.1\sim0.5\mu\text{m}$ 程度に形成することが可能であるため、外部回路を実装する場合にも、当該外部回路は、反射層に干渉しないで容易に端子に接続されることとなる。

【0030】

そうして、反射層が設けられている領域では、レジスト残渣の発生が防止されるため、画素電極材料の残渣の発生も防止される。その結果、端子間の短絡が抑制される。

30

【発明の効果】

【0031】

本発明によれば、絶縁性基板の表面の法線方向から見て、少なくとも、隣り合う端子同士の間の一部の領域であり且つ層間絶縁膜の端縁を含む領域に反射層を露出した状態で設けると共に、反射層を層間絶縁膜の端縁に沿って複数設け、反射層と端子との間に絶縁層が介在された状態で端子をその端子の幅方向に跨いで形成するようにしたので、その反射層によって、層間絶縁膜の端縁近傍領域におけるレジスト残渣の発生を防止し、画素電極材料の残渣の発生を防止することができる。その結果、端子間の短絡を抑制できると共に、外部回路の端子への接続を容易にすることができる。

40

【図面の簡単な説明】

【0032】

【図1】図1は、本参考例1のTF T基板の一部を拡大して示す平面図である。

【図2】図2は、図1におけるII-II線断面を含む断面図である。

【図3】図3は、図1におけるIII-III線断面を含む断面図である。

【図4】図4は、露光されるレジストを示す断面図である。

【図5】図5は、本参考例1の液晶表示装置の概略構造を示す断面図である。

【図6】図6は、本参考例1のTF T基板の回路構成を示す回路図である。

【図7】図7は、反射層上で分断された画素電極材料を示す平面図である。

【図8】図8は、本実施形態1のTF T基板の一部を拡大して示す平面図である。

50

【図 9】図 9 は、図 8 における IX－IX 線断面を含む断面図である。

【図 10】図 10 は、本参考例 2 の T F T 基板の一部を拡大して示す平面図である。

【図 11】図 11 は、図 10 における XI－XI 線断面を含む断面図である。

【図 12】図 12 は、図 10 における XII－XII 線断面を含む断面図である。

【図 13】図 13 は、本参考例 3 の T F T 基板の一部を拡大して示す平面図である。

【図 14】図 14 は、本参考例 4 の T F T 基板の一部を拡大して示す平面図である。

【図 15】図 15 は、本参考例 5 の T F T 基板の一部を拡大して示す平面図である。

【図 16】図 16 は、本参考例 6 の T F T 基板の一部を拡大して示す平面図である。

【図 17】図 17 は、本参考例 7 の T F T 基板の一部を拡大して示す平面図である。

【図 18】図 18 は、従来のアクティブマトリクス基板の一部を拡大して示す平面図である。 10

【発明を実施するための形態】

【0033】

以下、本発明の実施形態を図面に基づいて詳細に説明する。尚、本発明は、以下の実施形態に限定されるものではない。

【0034】

《発明の参考例 1》

図 1～図 7 は、本発明の参考例 1 を示している。

【0035】

図 1 は、本参考例 1 の T F T 基板の一部を拡大して示す平面図である。図 2 は、図 1 における II－II 線断面を含む断面図である。図 3 は、図 1 における III－III 線断面を含む断面図である。図 4 は、露光されるレジストを示す断面図である。図 5 は、本参考例 1 の液晶表示装置の概略構造を示す断面図である。図 6 は、本参考例 1 の T F T 基板の回路構成を示す回路図である。図 7 は、反射層上で分断された画素電極材料を示す平面図である。 20

【0036】

本参考例では、本発明に係る表示装置の一例として、液晶表示装置について説明する。

【0037】

液晶表示装置 1 は、図 5 に示すように、アクティブマトリクス基板としての T F T 基板 1 1 と、T F T 基板 1 1 に対向して配置された対向基板 1 2 と、T F T 基板 1 1 及び対向基板 1 2 の間に設けられた表示媒体層である液晶層 1 3 とを備えている。 30

【0038】

対向基板 1 2 には、それぞれ図示省略のカラーフィルタ、共通電極及びブラックマトリクス等が形成されている。また、液晶層 1 3 は、上記 T F T 基板 1 1 と対向基板 1 2 との間に設けられた枠状のシール部材 2 3 によって封止されている。

【0039】

一方、T F T 基板 1 1 は、図 2 及び図 3 に示すように、絶縁性基板であるガラス基板 1 0 を備え、図 6 に示すように、マトリクス状に配置された複数の画素 1 6 を有している。このガラス基板 1 0 上には、各画素 1 6 毎に、スイッチング素子である T F T (Thin-Film Transistor: 薄膜トランジスタ) 1 9 が形成されている。また、ガラス基板 1 0 上には、上記 T F T 1 9 に接続された複数のゲート配線 1 7 及び複数のソース配線 1 8 が形成されている。 40

【0040】

複数のゲート配線 1 7 は、互いに平行に延びている。また、ガラス基板 1 0 上には、基板表面の法線方向から見て、各ゲート配線 1 7 の間に配置され、そのゲート配線 1 7 と平行に延びる容量配線 2 0 が形成されている。これらゲート配線 1 7 及び容量配線 2 0 は、ゲート絶縁膜 1 4 によって覆われている。

【0041】

複数のソース配線 1 8 は、ゲート絶縁膜 1 4 上に形成され、互いに平行に延びると共に上記ゲート配線 1 7 に交差している。すなわち、ゲート配線 1 7 及びソース配線 1 8 からなる配線群は、全体として格子状に形成されている。その格子状の領域に、上記画素 1 6 50

が形成されている。また、T F T 1 9 は、これらのゲート配線 1 7 及びソース配線 1 8 に接続されている。

【0042】

また、ガラス基板 1 0 上には、上記ゲート配線 1 7、ソース配線 1 8、容量配線 2 0、及び T F T 1 9 を覆う保護膜 2 6 及び層間絶縁膜 2 5 が形成されている。保護膜 2 6 は、例えば無機膜により構成され、その表面に例えば有機膜からなる層間絶縁膜 2 5 が比較的大きい厚み（例えば 1 ~ 4 μm 程度の厚み）で形成されている。尚、保護膜 2 6 は、必ずしも必須の構成ではない。

【0043】

層間絶縁膜 2 5 上には、液晶層 1 3 に電圧を印加して駆動するための複数の画素電極 1 5 が形成されている。画素電極 1 5 は、各画素 1 6 毎に設けられ、層間絶縁膜 2 5 に形成されたコンタクトホール（不図示）を介して T F T 1 9 に接続されている。画素電極 1 5 は、例えば、透明導電膜としての I T O（Indium Tin Oxide）や I Z O（indium zinc oxide）などによって形成されている。また、画素電極 1 5 は、基板表面の法線方向から見て、当該画素電極 1 5 の周りに配置されている配線（ゲート配線 1 7 及びソース配線 1 8）の一部と重なっている。

【0044】

また、画素電極 1 5 と上記容量配線 2 0 とが重なる領域には、補助容量とも称される容量素子 2 1 が形成されている。容量素子 2 1 は、各画素 1 6 にそれぞれ設けられており、各画素 1 6 における表示電圧を略一定に維持するようになっている。

【0045】

ここで、T F T 基板 1 1 には、図 5 に示すように、上記複数の画素 1 6 が設けられた表示領域 5 1 と、その周囲に設けられた非表示領域 5 2 とが形成されている。非表示領域 5 2 には、図 6 に示すように、上記ゲート配線 1 7 から引き出されて所定の間隔で配置された複数のゲート端子 1 7 a と、ソース配線 1 8 から引き出されて所定の間隔で配置された複数のソース端子 1 8 a とが形成されている。

【0046】

尚、上記各端子 1 7 a、1 8 a は、それぞれ、ゲート配線 1 7 と同じ材料又はソース配線 1 8 と同じ材料の何れによって形成してもよい。

【0047】

ソース端子 1 8 a には、外部回路としてのソースドライバの出力端子（不図示）が、A C F（Anisotropic Conductive Film：異方性導電膜）を介して接続される一方、ゲート端子 1 7 a には、外部回路としてのゲートドライバの出力端子（不図示）が、同様に A C F を介して接続されるようになっている。

【0048】

上記ゲート端子 1 7 a 及びソース端子 1 8 a は、その少なくとも一部が、上記層間絶縁膜 2 5 から露出した状態で設けられている。すなわち、図 1 ~ 図 3 に示すように、層間絶縁膜 2 5 の端部は、ガラス基板 1 0 表面の法線方向から見て、複数のゲート端子 1 7 a 及びソース端子 1 8 a を横切るように形成されている。また、層間絶縁膜 2 5 は、その厚みが比較的大きいことから、ガラス基板 1 0 上で段差を構成している。

【0049】

ゲート端子 1 7 a は、図 1 及び図 3 に示すように、ガラス基板 1 0 上に形成された第 1 パッド 3 1 と、一部が第 1 パッド 3 1 の表面に積層された第 2 パッド 3 2 とにより構成されている。

【0050】

第 1 パッド 3 1 は、上記ゲート配線 1 7 と同じ材料により構成され、例えば T i、A l、及び T i N がこの順に積層された金属層や、C r 又は M o と A l 又は A l を含む合金とがこの順に積層された金属層、或いは、A l 又は A l を含む合金からなる単層の金属層などによって構成されている。一方、第 2 パッド 3 2 は、画素電極 1 5 と同じ材料である I T O 等によって構成され、上記第 1 パッド 3 1 に沿って延びている。

【0051】

図2及び図3に示すように、ガラス基板10上には、ゲート絶縁膜14が第1パッド31を覆うように形成されている。ゲート絶縁膜14には、図1に示すように、第1パッド31上で当該第1パッド31に沿って延びるスリット状のコンタクト部33が貫通形成されている。そうして、ゲート絶縁膜14上に設けられた第2パッド32は、コンタクト部33を介して第1パッド31に接続されている。

【0052】

ゲート絶縁膜14には、層間絶縁膜25の端縁を含む領域に第1半導体層28が積層されている。第1半導体層28の表面には上記保護膜26の一部がゲート絶縁膜14上から乗り上がって積層されている。そして、図3に示すように、保護膜26及び層間絶縁膜25の各側面は、全体として連続した1つの側面を構成している。

10

【0053】

一方、第1半導体層28の表面には、上記保護膜26が設けられている側とは反対側の端部において、上記第2パッド32の端部が第1パッド31上から乗り上がって積層されている。また、第2パッド32と層間絶縁膜25の端縁との間には、数 μm ～数十 μm 程度の隙間が設けられている。

【0054】

そして、本発明の特徴として、図1及び図2に示すように、ガラス基板10表面の法線方向から見て、隣り合うゲート端子17a同士の間の少なくとも一部の領域であり、且つ、層間絶縁膜25の端縁を含む領域には、光をガラス基板10と反対側に反射する反射層40がそれぞれ設けられている。

20

【0055】

本参考例1における反射層40は、ソース配線18と同じ材料により構成され、隣り合うゲート端子17a同士の間にそれぞれ別個独立に配置されている。つまり、反射層40は、ゲート端子17aに重ならないように配置されている。以降では、ゲート端子17a同士の間に配置された反射層40について説明する。

【0056】

図2に示すように、ガラス基板10上におけるゲート端子17a同士の間の領域には、ゲート絶縁膜14が形成され、その一部が層間絶縁膜25に重なっている。反射層40は、このゲート絶縁膜14の表面に積層された第1メタル層41と、この第1メタル層41の表面の一部に積層された第2メタル層42とにより構成されている。第1メタル層41は、例えばTi層により構成され、第2メタル層42は、例えばAl層によって構成されている。

30

【0057】

第2メタル層42は、第1メタル層41の表面における層間絶縁膜25に重なっている領域に配置されている。そして、第2メタル層42の表面には上記保護膜26の一部がガラス基板10上から乗り上がって積層されている。このことにより、図2に示すように、第2メタル層42、保護膜26、及び層間絶縁膜25の各側面は、全体として連続した1つの側面を構成している。

【0058】

なお、第2メタル層42は必ずしも必須の構成ではなく、第1メタル層41だけを設けてもよい。また、第1メタル層41は、Cr又はMoとAl又はAlを含む合金とがこの順に積層された金属層、或いは、Al又はAlを含む合金からなる単層の金属層であってもよい。また、反射層40の反射効果をより高める観点から、反射率の高いAl層を最上層に設けることが好ましい。

40

【0059】

こうして、反射層40は、第1パッド31と異なる層に配置されることとなる。

【0060】

－製造方法－

次に、上記TFT基板11を有する液晶表示装置1の製造方法について説明する。

50

【0061】

液晶表示装置1は、予め形成したTFT基板11及び対向基板12を、液晶層13及びシール部材23を介して貼り合わせるることによって製造する。

【0062】

TFT基板11を製造する場合には、まず、ガラス基板10上に複数のTFT19と複数の配線17, 18, 20とを、フォトリソグラフィにより形成する。すなわち、ガラス基板10の表面にゲート配線17と、ゲート端子17aの第1パッド31とを、それぞれ所定の間隔で形成する。ゲート配線17及び第1パッド31は、例えばTi、Al、及びTiNの各層をこの順に積層して形成する。

【0063】

10

次に、ガラス基板10上に、ゲート絶縁膜14を上記ゲート配線17及び第1パッド31の一部を覆うように形成する。その後、図3に示すように、第1パッド31を覆っているゲート絶縁膜14の端部表面に、第1半導体層28をフォトリソグラフィ及びエッチングにより形成する。

【0064】

一方、図2に示すように、隣り合う第1パッド31同士の間には設けられているゲート絶縁膜14の表面に、反射層40をソース配線18と同じ工程で同時に形成する。反射層40の第1メタル層41は、例えばTi層をフォトリソグラフィ及びエッチングすることにより島状に形成する。

【0065】

20

その後、第1メタル層41の表面に、第2メタル層42を構成する例えばAl層を形成する。次に、これらAl層及び第1半導体層28を覆うように、保護膜26を構成する無機膜、及び層間絶縁膜25を構成する有機膜を堆積する。その後、これらのAl層と、無機膜と、有機膜とを、フォトリソグラフィ及びエッチングによってパターニングする。

【0066】

そのことにより、第2メタル層42と、保護膜26と、層間絶縁膜25とを形成する。このとき、図1に示すように、層間絶縁膜25に、各ゲート端子17aを横切る端縁が形成されると共に、第1パッド31、第1メタル層41の一部、及び第1半導体層28の一部が、層間絶縁膜25から露出することとなる。こうして、隣り合う各第1パッド31（ゲート端子17a）同士の間領域であって、層間絶縁膜25の端縁を含む領域に、反射層40を形成する。

30

【0067】

次に、画素電極15をフォトリソグラフィ及びエッチングにより形成する。まず、図4に示すように、ITO等からなる画素電極材料35を、層間絶縁膜25を覆うようにガラス基板10上に一様に形成する。その後、上記画素電極材料35を覆うように形成したレジスト36を、フォトマスク（不図示）を介して露光する。続いて、上記露光された領域を除去することにより、画素電極15及び第2パッド32を形成しない領域で開口したレジスト36のマスクを形成する。

【0068】

次に、上記レジスト36のマスクから露出している画素電極材料35をエッチングにより除去することで、所定形状の画素電極15を層間絶縁膜25の表面に形成すると共に、第2パッド32を第1パッド31の表面に形成する。

40

【0069】

本参考例1では、層間絶縁膜25の端縁近傍領域において、レジスト36を透過した露光の光が反射層40によってガラス基板10と反対側に反射されるため、当該反射層40上のレジスト36が、他の部分に比べて十分に露光される。

【0070】

その後、上記画素電極15及び層間絶縁膜25を覆う配向膜（不図示）を形成してTFT基板11を製造する。

【0071】

50

－参考例１の効果－

したがって、本参考例１によると、ガラス基板１０の表面の法線方向から見て、隣り合う端子１７ａ同士の間領域であり且つ層間絶縁膜２５の端縁を含む領域に、反射層４０を設けるようにしたので、その反射層４０によって、層間絶縁膜２５の端縁近傍領域においてレジスト３６を透過した露光の光をガラス基板１０と反対側に反射して、当該反射層４０が設けられている領域のレジスト３６を十分に露光できる。そのため、この反射層４０が設けられている領域において、レジスト３６の残渣の発生を防止することができる。

【００７２】

したがって、図７に示すように、仮に、端子１７ａ同士の間領域であり且つ層間絶縁膜２５の端縁を含む領域に、画素電極材料３５の残渣が生じたとしても、反射層４０を設けた領域では、レジスト３６を確実に除去して画素電極３５の残渣を発生させないようにすることが可能になる。よって、端子１７ａ間に生じた画素電極材料３５は、反射層４０上で分断されることとなるため、層間絶縁膜２５の端縁近傍領域において、隣り合う各端子１７ａ間の短絡を抑制することができる。

【００７３】

さらに、比較的厚い層間絶縁膜２５の一部を隣り合う各端子１７ａ間に配置させる構成とは異なり、反射層４０を容易に薄く形成できるために、反射層４０と外部回路との干渉を防止して、外部回路の各端子１７ａへの接続を容易にすることができる。

【００７４】

さらにまた、反射層４０は金属層等により構成できるため、隣り合う端子１７ａの間隔が比較的狭い場合であっても、フォトリソグラフィ等によって精度良く微細な形状に形成することができる。すなわち、小型で高詳細表示を行う液晶表示装置１及びそれに用いられるＴＦＴ基板１１に対しても、その各端子１７ａ間の短絡を好適に抑制できる。

【００７５】

また、反射層４０を第１パッド３１と異なる層に形成するようにしたので、これらの反射層４０と第１パッド３１との間の短絡を確実に防止することができる。

【００７６】

したがって、配線１７、１８及び端子１７ａの間隔が狭いＴＦＴ基板１１に対しても、端子１７ａ間の短絡を抑制すると共に、外部回路の端子１７ａへの接続を容易にすることができる。尚、第１半導体層２８に限らず、他の高抵抗膜を配置することによっても、同様の効果を得ることができる。

【００７７】

さらに、反射層４０をゲート絶縁膜１４上に積層して設けたので、層間絶縁膜２５の端部近傍における段差形状を比較的なだらかにして、反射層４０によるレジスト３６の露光を、より効率良く行うことが可能になる。

【００７８】

尚、第２パッド３２は必須の構成ではないが、これを設けることにより、第１パッド３１の腐食を抑制することができる。

【００７９】

さらに、第２パッド３２と層間絶縁膜２５の端縁との間に数μｍ～数十μｍ程度の隙間を設けるようにしたので、各端子１７ａにＦＰＣ等の外部回路を接続する際に、数μｍ程度の導電性粒子が、層間絶縁膜２５の端縁に沿って並ぶことによるリーク不良の発生を回避することができる。よって、ＦＰＣ等の外部回路を接続する際のズレに対するマージンを確保できることとなる。

【００８０】

《発明の実施形態１》

図８及び図９は、本発明の実施形態１を示している。

【００８１】

図８は、本実施形態１のＴＦＴ基板の一部を拡大して示す平面図である。図９は、図８におけるⅨ－Ⅸ線断面を含む断面図である。尚、以降の各実施形態では、図１～図６と同

10

20

30

40

50

じ部分については同じ符号を付して、その詳細な説明を省略する。

【0082】

上記参考例1では、隣り合う端子17a間にのみ反射層40を設けたのに対し、本実施形態1では、端子17a上にも反射層40を配置するようにしたものである。

【0083】

すなわち、図8に示すように、本実施形態1における反射層40は、上記参考例1と同様に、層間絶縁膜25の端縁に沿って断続的に配置されると共に、各端子17aをそれぞれ端子17aの幅方向に跨いで形成されている。隣り合う反射層40同士の間隔は、例えば3 μ m以上設けることが好ましい。このことにより、FPC等の外部回路を接続する際のズレに対するマージンを確保することができる。

10

【0084】

上記ガラス基板10の表面には、上記参考例1と同様に、第1パッド31が所定の間隔で形成されると共に、第1パッド31の一部を覆うようにゲート絶縁膜14が形成されている。ゲート絶縁膜14には、図8に示すように、第1パッド31上で当該第1パッド31に沿って延びるスリット状のコンタクト部33が貫通形成されている。そうして、ゲート絶縁膜14上に設けられた第2パッド32は、コンタクト部33を介して第1パッド31に接続されている。

【0085】

また、ゲート絶縁膜14上には、第1半導体層28が形成されている。第1半導体層28の一部は、層間絶縁膜25に重なっている。

20

【0086】

第1半導体層28の表面には第2半導体層29及び第1メタル層41が積層され、その第2半導体層29及び第1メタル層41の各一部が層間絶縁膜25に重なっている。さらに、第1メタル層41の表面における層間絶縁膜25に重なっている領域には、第2メタル層42が積層されている。

【0087】

さらに、第2メタル層42の表面には保護膜26の一部がゲート絶縁膜14上から乗り上がって積層されている。そうして、図9に示すように、第2メタル層42、保護膜26、及び層間絶縁膜25の各側面は、全体として連続した1つの側面を構成している。

【0088】

一方、第1半導体層28の表面には、上記保護膜26が設けられている側とは反対側の端部において、上記第2パッド32の端部が第1パッド31上から乗り上がって積層されている。

30

【0089】

本実施形態1におけるTF T基板11を製造する場合には、第1半導体層28及び第2半導体層29をゲート絶縁膜14上に形成した後に、その第2半導体層29の表面に例えばTi層からなる第1メタル層41を形成する。次に、第1メタル層41の一部の表面に、Al層からなる第2メタル層42を形成する。第2メタル層42は、上記参考例1と同様に、保護膜26及び層間絶縁膜25と共に、フォトリソグラフィ及びエッチングによって形成する。

40

【0090】

その後、上記参考例1と同様に、ITO等の画素電極材料35及びレジスト36を一樣に堆積させ、レジスト36を露光する。このとき、層間絶縁膜25の端縁近傍領域において、レジスト36を透過した露光の光が反射層40によって反射されるため、当該反射層40上のレジスト36が、他の部分に比べて十分に露光される。

【0091】

こうして、画素電極15を層間絶縁膜25上に形成すると共に、第2パッド32を第1パッド31上に形成して、TF T基板11を製造する。

【0092】

－実施形態1の効果－

50

したがって、本実施形態 1 によっても、反射層 40 の一部が隣り合う各端子 17 a 間に配置されているため、上記参考例 1 と同様に、反射層 40 が設けられた層間絶縁膜 25 の端縁近傍領域において、レジスト 36 の残渣及び画素電極材料 35 の残渣の発生を防止できるため、隣り合う各端子 17 a 間の短絡を抑制することができる。そのことに加え、反射層 40 を容易に薄く形成できるため、外部回路の各端子 17 a への接続を容易にすることができる。

【0093】

《発明の参考例 2》

図 10～図 12 は、本発明の参考例 2 を示している。

【0094】

図 10 は、本参考例 2 の TFT 基板の一部を拡大して示す平面図である。図 11 は、図 10 における XI-XI 線断面を含む断面図である。図 12 は、図 10 における XII-XII 線断面を含む断面図である。

【0095】

上記参考例 1 では、隣り合うゲート端子 17 a 同士の間、ソース配線 18 と同じ材料からなる反射層 40 を形成したのに対し、本参考例 2 では、隣り合うゲート端子 17 a 同士の間、ゲート配線 17 と同じ材料からなる反射層 40 を形成するようにしている。

【0096】

ゲート端子 17 a は、上記参考例 1 と同様の構成であって、図 10 及び図 12 に示すように、ガラス基板 10 上に形成された第 1 パッド 31 と、一部が第 1 パッド 31 の表面に積層された第 2 パッド 32 とにより構成されている。第 1 パッド 31 は、ゲート配線 17 と同じ材料により構成される一方、第 2 パッド 62 は、画素電極 15 と同じ材料である ITO 等によって構成されている。そして、第 2 パッド 32 は、ゲート絶縁膜 14 に形成されたコンタクト部 33 を介して、第 1 パッド 31 に接続されている。

【0097】

ゲート絶縁膜 14 には、層間絶縁膜 25 の端縁を含む領域に第 1 半導体層 28 が積層されている。第 1 半導体層 28 は、例えば $0.2\ \mu\text{m}$ 以下の厚みに形成されている。第 1 半導体層 28 の表面には上記保護膜 26 の一部がゲート絶縁膜 14 上から乗り上がって積層されている。保護膜 26 の表面には、例えば有機膜からなる層間絶縁膜 25 が比較的大きい厚み（例えば $1\sim 4\ \mu\text{m}$ 程度の厚み）で形成されている。

【0098】

一方、第 1 半導体層 28 の表面には、上記保護膜 26 が設けられている側とは反対側の端部において、上記第 2 パッド 62 の端部が第 1 パッド 61 上から乗り上がって積層されている。また、第 2 パッド 62 と層間絶縁膜 25 の端縁との間には、数 μm ～数十 μm 程度の隙間が設けられている。

【0099】

そして、図 10 及び図 11 に示すように、ガラス基板 10 表面の法線方向から見て、隣り合うゲート端子 17 a 同士の間、少なくとも一部の領域であり、且つ、層間絶縁膜 25 の端縁を含む領域には、光を反射する反射層 40 がそれぞれ設けられている。

【0100】

本参考例 2 における反射層 40 は、ゲート配線 17 と同じ材料により構成され、図 11 に示すように、ガラス基板 10 の表面に形成されると共に、ゲート絶縁膜 14 によって覆われている。そうして、反射層 40 は、ゲート端子 17 a に重ならないで配置されると共に、隣り合うゲート端子 17 a 同士の間、それぞれ別個独立に設けられている。

【0101】

上記 TFT 基板 11 を有する液晶表示装置 1 を製造する場合には、ガラス基板 10 に形成した例えば Ti、Al、及び TiN の各層からなる金属層をフォトリソグラフィ及びエッチングを行うことにより、ゲート配線 17、第 1 パッド 31、及び反射層 40 を、同じ工程で同時に形成する。

【0102】

ここで、金属層は、Ti、Al、及びTiNの積層膜には限られない。Cr又はMoとAl又はAlを含む合金とがこの順に積層された金属層、或いは、Al又はAlを含む合金からなる単層の金属層などであってもよい。また、反射層40の反射効果をより高める観点から、反射率の高いAl層を最上層に設けることが好ましい。

【0103】

次に、上記ゲート配線17、第1パッド31、及び反射層40を覆うようにゲート絶縁膜14を形成した後に、そのゲート絶縁膜14に第1半導体層28及びコンタクト部33を形成する。その後、上記参考例1と同様に、ゲート絶縁膜14上に保護膜26及び層間絶縁膜25を形成する。

【0104】

次に、画素電極15をフォトリソグラフィ及びエッチングにより形成する。すなわち、上記参考例1と同様に、層間絶縁膜25を覆うようにガラス基板10上の全体にITO等からなる画素電極材料35を堆積させ、さらにこの画素電極材料35の全体を覆うようにレジスト36を形成する(図4参照)。そうして、このレジスト36をフォトマスク(不図示)を介して露光し、現像することによりレジスト36のマスクを形成する。

【0105】

その後、レジスト36のマスクから露出している画素電極材料35をエッチングにより除去することで、所定形状の画素電極15を層間絶縁膜25の表面に形成すると共に、第2パッド32を第1パッド31の表面に形成する。

【0106】

本参考例2では、層間絶縁膜25の端縁近傍領域において、レジスト36、第1半導体層28及びゲート絶縁膜14を透過した露光の光が、反射層40によって反射されるため、当該反射層40上のレジスト36が、他の部分に比べて十分に露光される。こうして、TFT基板11を製造する。

【0107】

－参考例2の効果－

したがって、本参考例2によっても、ガラス基板10の表面の法線方向から見て、隣り合うゲート端子17a同士の間の領域であり且つ層間絶縁膜25の端縁を含む領域に、反射層40を配置するようにしたので、反射層40で反射した光によって、当該反射層40が設けられている層間絶縁膜25の端縁近傍領域におけるレジスト36を十分に露光できるため、上記参考例1と同様の効果を得ることができる。

【0108】

そのことに加え、反射層40の全体をゲート絶縁膜14によって覆うようにしたので、仮に外部回路等の他の部材が接触したとしても、反射層40を介した電氣的短絡を防止することができる。

【0109】

《発明の参考例3》

図13は、本発明の参考例3を示している。

【0110】

図13は、本参考例3のTFT基板の一部を拡大して示す平面図である。尚、図13におけるXI-XI線断面図は図11に相当する。また、図13におけるXII-XII線断面図は図12に相当する。

【0111】

上記参考例2では、反射層40を隣り合うゲート端子17a同士の間に島状に形成したのに対し、本参考例3は、反射層40をゲート端子17aと一体に形成するようにしたものである。

【0112】

すなわち、図13に示すように、反射層40は、第1パッド31と一体に形成されると共に、層間絶縁膜25の端縁を含む領域で当該端縁に沿って延びるように、ゲート端子17aの幅方向両側に突出して形成されている。また、隣り合う反射層40同士の間には、

10

20

30

40

50

それぞれ隙間が設けられている。

【0113】

－参考例3の効果－

したがって、本参考例3においても、隣り合うゲート端子17a同士の間、反射層40の全体をゲート絶縁膜14に覆われた状態で配置するようにしたので、上記参考例2と同様の効果を得ることができる。

【0114】

《発明の参考例4》

図14は、本発明の参考例4を示している。

【0115】

図14は、本参考例4のTF T基板の一部を拡大して示す平面図である。尚、図14におけるXI-XI線断面図は図11に相当する。また、図14におけるXII-XII線断面図は図12に相当する。

【0116】

上記参考例3では、反射層40をゲート端子17aの幅方向両側に突出して形成したのに対し、本参考例4は、反射層40をゲート端子17aの幅方向一方側に突出して形成したものである。

【0117】

－参考例4の効果－

したがって、本参考例4においても、隣り合うゲート端子17a同士の間、反射層40の全体をゲート絶縁膜14に覆われた状態で配置するようにしたので、上記参考例2と同様の効果を得ることができる。

【0118】

《発明の参考例5》

図15は、本発明の参考例5を示している。

【0119】

図15は、本参考例5のTF T基板の一部を拡大して示す平面図である。

【0120】

上記参考例1では、隣り合うゲート端子17a同士の間、ソース配線18と同じ材料からなる反射層40を形成したのに対し、本参考例5は、ゲート配線17と同じ材料からなる反射層40を、隣り合うソース端子18a同士の間形成するようにしたものである。

【0121】

図15に示すように、ソース端子18aは、ゲート端子17aと同様に、ガラス基板10上に形成された第1パッド61と、一部が第1パッド61の表面に積層された第2パッド62とにより構成されている。

【0122】

第1パッド61は、ソース配線18と同じ材料により構成され、例えばA1等の金属層によって構成されている。一方、第2パッド62は、画素電極15と同じ材料であるITO等によって構成され、上記第1パッド61に沿って延びている。

【0123】

ガラス基板10上には、ゲート絶縁膜（不図示）が第1パッド61を覆うように形成されている。ゲート絶縁膜には、図15に示すように、第1パッド61上で当該第1パッド61に沿って延びるスリット状のコンタクト部63が貫通形成されている。そうして、ゲート絶縁膜14上に設けられた第2パッド62は、コンタクト部63を介して第1パッド61に接続されている。

【0124】

ゲート絶縁膜14には、上記参考例1と同様に、層間絶縁膜25の端縁を含む領域に第1半導体層（不図示）が積層されている。第1半導体層の表面には保護膜（不図示）の一部がゲート絶縁膜上から乗り上がって積層されている。一方、第1半導体層の表面には、

10

20

30

40

50

保護膜 26 が設けられている側とは反対側の端部において、第 2 パッド 62 の端部が第 1 パッド 61 上から乗り上がって積層されている。

【0125】

そして、図 15 に示すように、ガラス基板 10 表面の法線方向から見て、隣り合うソース端子 18a 同士の間の少なくとも一部の領域であり、且つ、層間絶縁膜 25 の端縁を含む領域には、光を反射する反射層 40 がそれぞれ設けられている。

【0126】

本参考例 5 における反射層 40 は、上記参考例 2 と同様に、ゲート配線 17 と同じ材料により構成され、ガラス基板 10 の表面に形成されている。さらに、反射層 40 は、ゲート絶縁膜によって覆われている。そうして、反射層 40 は、ソース端子 18a に重ならないで配置されると共に、隣り合うソース端子 18a 同士の間にそれぞれ別個独立に設けられている。

10

【0127】

上記 TFT 基板 11 を有する液晶表示装置 1 を製造する場合には、上記参考例 2 と同様に、ゲート配線 17 及び反射層 40 を、同じ工程で同時に形成する。次に、上記ゲート配線 17 及び反射層 40 を覆うようにゲート絶縁膜を形成した後に、そのゲート絶縁膜に第 1 半導体層及びコンタクト部 63 を形成する。その後、上記参考例 1 と同様に、ゲート絶縁膜上に保護膜及び層間絶縁膜 25 を形成する。

【0128】

次に、上記参考例 2 と同様に、画素電極 15 をフォトリソグラフィ及びエッチングにより形成する。すなわち、ガラス基板 10 の全体に画素電極材料 35 及びレジスト 36 をこの順に堆積させ、レジスト 36 を露光及び現像してフォトマスクを形成する。

20

【0129】

このとき、層間絶縁膜 25 の端縁近傍領域において、レジスト 36 等を透過した露光の光が、反射層 40 によって反射されるため、当該反射層 40 上のレジスト 36 が、他の部分に比べて十分に露光される。

【0130】

－参考例 5 の効果－

したがって、本参考例 5 によっても、ガラス基板 10 の表面の法線方向から見て、隣り合うソース端子 18a 同士の間の領域であり且つ層間絶縁膜 25 の端縁を含む領域に、反射層 40 を配置するようにしたので、反射層 40 で反射した光によって、当該反射層 40 が設けられている層間絶縁膜 25 の端縁近傍領域におけるレジスト 36 を十分に露光できるため、上記参考例 1 と同様の効果を得ることができる。

30

【0131】

そのことに加え、反射層 40 の全体をゲート絶縁膜によって覆うようにしたので、仮に外部回路等の他の部材が接触したとしても、反射層 40 を介した電氣的短絡を防止することができる。

【0132】

《発明の参考例 6》

図 16 は、本発明の参考例 6 を示している。

40

【0133】

図 16 は、本参考例 6 の TFT 基板の一部を拡大して示す平面図である。

【0134】

上記参考例 5 では、反射層 40 を隣り合うソース端子 18a 同士の間に島状に形成したのに対し、本参考例 6 は、島状に形成した反射層 40 を、第 1 パッド 61 が跨ぐように形成したものである。

【0135】

すなわち、図 16 に示すように、複数の反射層 40 が、層間絶縁膜 25 の端縁に沿って所定の間隔で配置されている。そして、各反射層 40 は、ソース端子 18a の第 1 パッド 61 と交差して配置されている。このことにより、反射層 40 は、ガラス基板 10 の法線

50

方向から見て、ソース端子 18 a の幅方向両側に突出している。

【0136】

－参考例 6 の効果－

したがって、本参考例 6 においても、ガラス基板 10 の表面の法線方向から見て、隣り合うソース端子 18 a 同士の間の領域であり且つ層間絶縁膜 25 の端縁を含む領域に、反射層 40 を配置するようにしたので、反射層 40 で反射した光によって層間絶縁膜 25 の端縁近傍領域におけるレジスト 36 を十分に露光できるため、上記参考例 1 と同様の効果を得ることができる。

【0137】

そのことに加え、反射層 40 の全体をゲート絶縁膜によって覆うようにしたので、仮に外部回路等の他の部材が接触したとしても、反射層 40 を介した電氣的短絡を防止することができる。

10

【0138】

《発明の参考例 7》

図 17 は、本発明の参考例 7 を示している。

【0139】

図 17 は、本参考例 7 の T F T 基板の一部を拡大して示す平面図である。

【0140】

上記参考例 6 では、反射層 40 をソース端子 18 a の幅方向両側に突出するように、当該ソース端子 18 a に交差した配置させたのに対し、本参考例 7 は、反射層 40 を、ソース端子 18 a の幅方向一方側に突出するように、配置させたものである。

20

【0141】

すなわち、図 17 に示すように、複数の反射層 40 が、層間絶縁膜 25 の端縁に沿って所定の間隔で配置されている。そして、各反射層 40 は、その一部の領域が第 1 パッド 61 に重なると共に、他の残りの領域が、層間絶縁膜 25 の端縁方向の一方側に、第 1 パッド 61 からはみ出している。このはみ出している側の反射層 40 の端部と、隣のソース端子 18 a との間には、所定の隙間が設けられている。

【0142】

－参考例 7 の効果－

したがって、本参考例 7 においても、隣り合うソース端子 18 a 同士の間に、反射層 40 の全体をゲート絶縁膜 14 に覆われた状態で配置するようにしたので、上記参考例 6 と同様の効果を得ることができる。

30

【0143】

《その他の実施形態》

上記各実施形態では、複数の T F T が形成された T F T 基板 11 を例に挙げて説明したが、本発明はこれに限らず、例えば T F D 等の他のスイッチング素子が複数形成されたアクティブマトリクス基板としてもよい。

【0144】

また、上記各実施形態では、外部回路が接続される端子について説明したが、本発明はこれに限らず、検査信号を入力するための端子等の他の端子についても、同様に本発明を適用することができる。

40

【0145】

また、外部回路は信号を入力するものに限らず、信号を読み取る回路であってもよい。すなわち、X 線センサーやタッチパネル等の他の回路についても適用できる。

【0146】

また、本発明における端子は、ゲート端子やソース端子だけでなく、対向基板 12 の共通電極に対向信号を入力するための端子や、アクティブマトリクス基板にモノリシックに形成された駆動回路に電源信号を入力するための端子等であってもよい。

【0147】

また、上記各実施形態では、隣り合う各端子間にそれぞれ反射層 40 を設けた例につい

50

て説明したが、本発明はこれに限らず、少なくとも1つの端子間に反射層を設けることも可能である。ただし、端子同士の短絡を確実に防止する観点から、各端子間にそれぞれ反射層40を設けることが好ましい。

【0148】

また、上記参考例5～7では、ゲート配線17と同じ材料によって形成した反射層40を、隣り合うソース端子18a同士の間配置した例について説明したが、その他にも、ソース配線18と同じ材料によって形成した反射層40を、隣り合うソース端子18a同士の間配置するようにしてもよい。このようにしても、上記参考例1と同様の効果を得ることができる。

【0149】

10

また、上記参考例2～7では、反射層40の全体をゲート絶縁膜14によって覆うようにしたが、本発明はこれに限らず、他の絶縁膜によって反射層40の全体を覆うようにしてもよい。

【0150】

また、上記各実施形態では、液晶表示装置1を例に挙げて説明したが、本発明はこれに限らず、例えば表示媒体層が発光層である有機EL表示装置等の他の表示装置についても適用することができる。

【産業上の利用可能性】

【0151】

以上説明したように、本発明は、アクティブマトリクス基板及びそれを備えた表示装置について有用である。

20

【符号の説明】

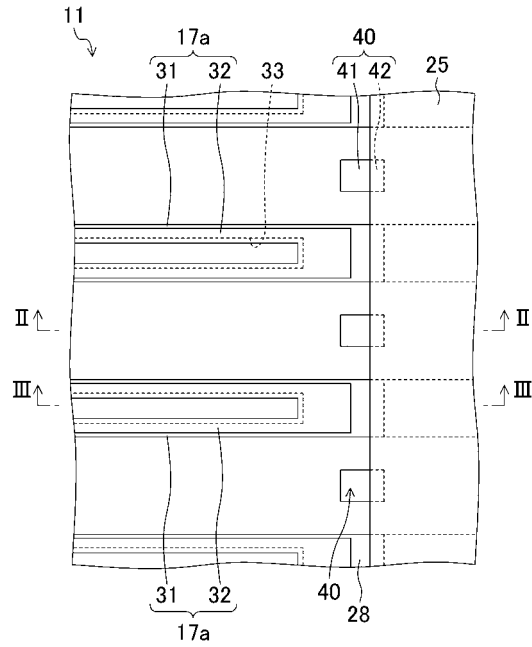
【0152】

1	液晶表示装置
10	ガラス基板（絶縁性基板）
11	TFT基板（アクティブマトリクス基板）
12	対向基板
13	液晶層（表示媒体層）
14	ゲート絶縁膜（絶縁膜）
15	画素電極
17	ゲート配線
17a	ゲート端子
18	ソース配線
18a	ソース端子
19	TFT（スイッチング素子）
25	層間絶縁膜
28	第1半導体層
29	第2半導体層
31	第1パッド（端子）
32	第2パッド（端子）
35	画素電極材料
36	レジスト
40	反射層
41	第1メタル層（反射層）
42	第2メタル層（反射層）

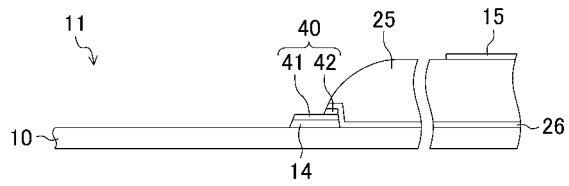
30

40

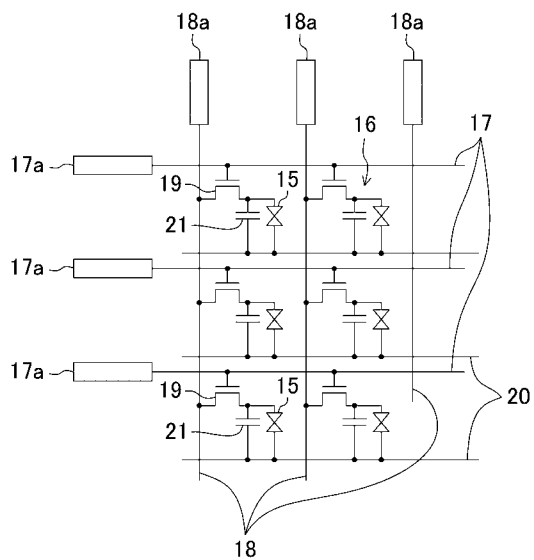
【図 1】



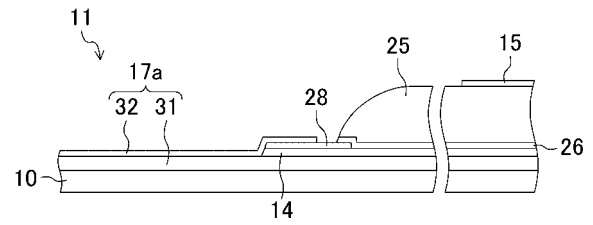
【図 2】



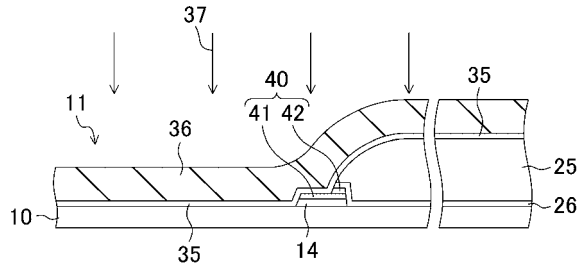
【図 6】



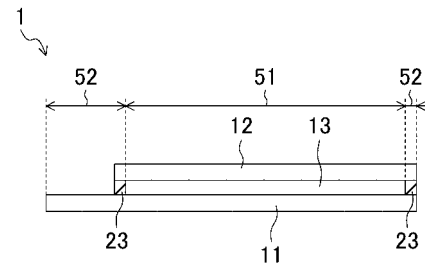
【図 3】



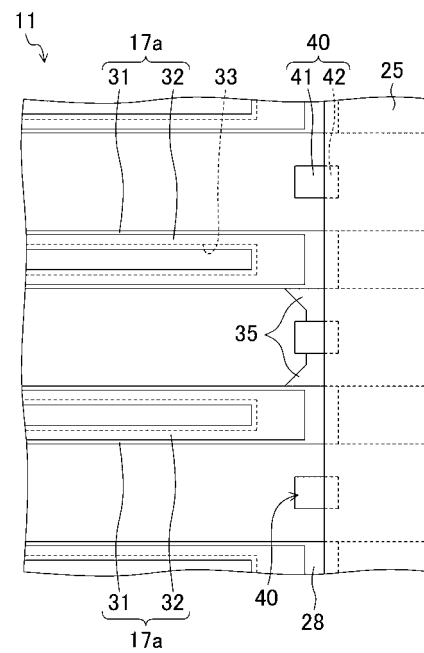
【図 4】



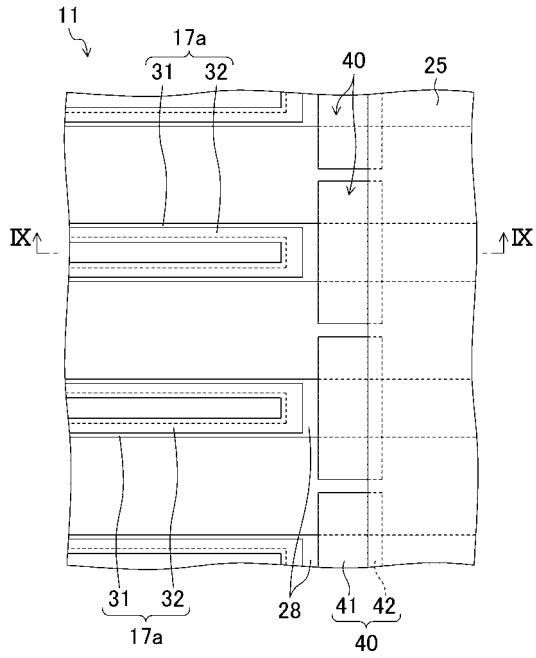
【図 5】



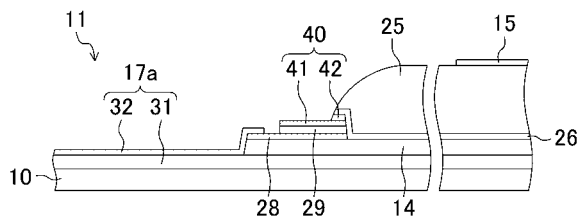
【図 7】



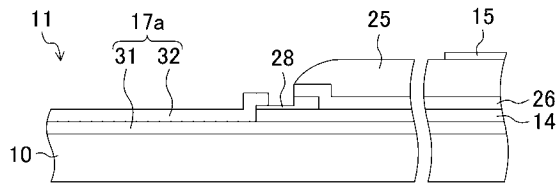
【図 8】



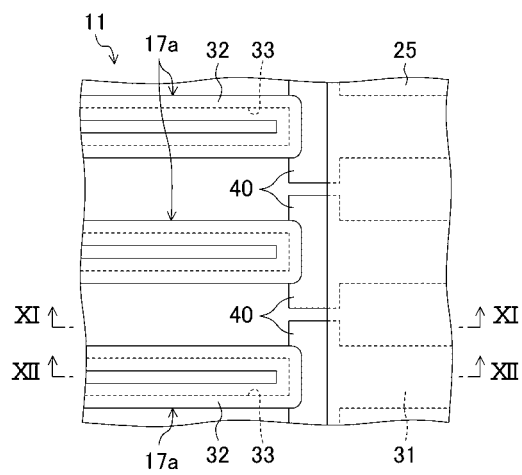
【図 9】



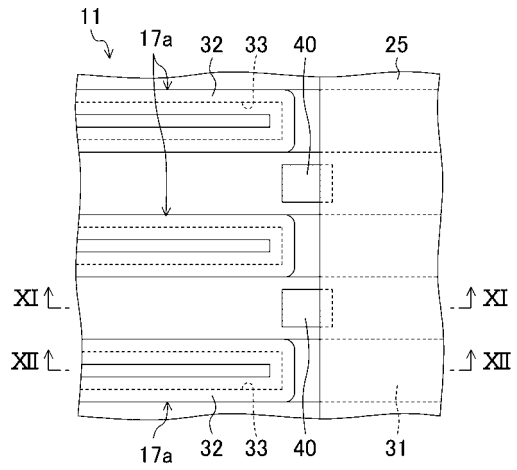
【図 12】



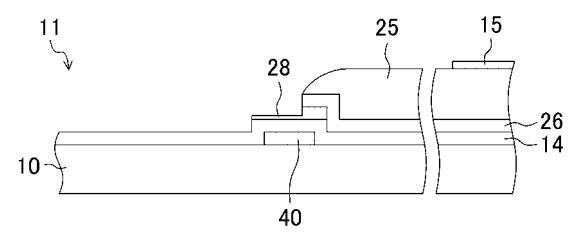
【図 13】



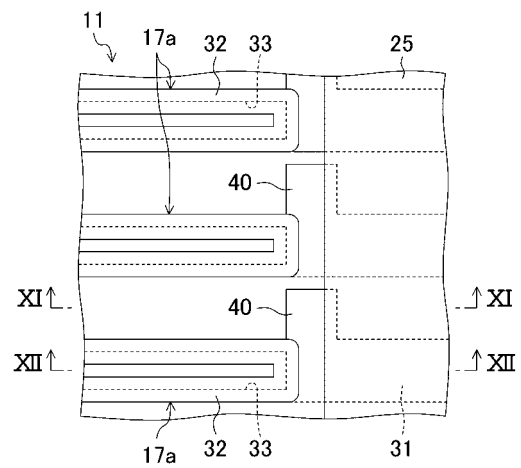
【図 10】



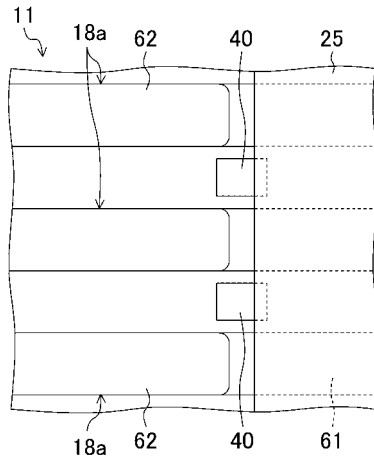
【図 11】



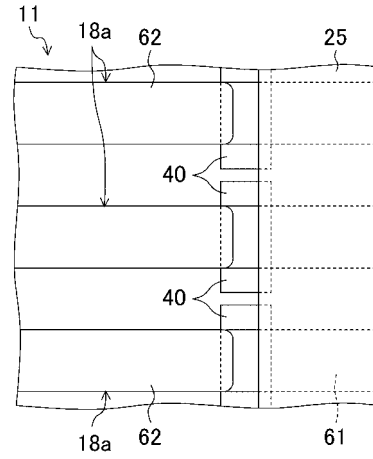
【図 14】



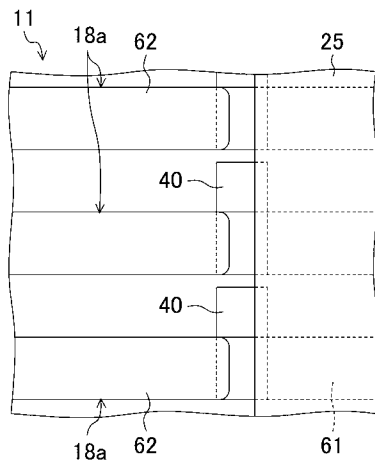
【図 15】



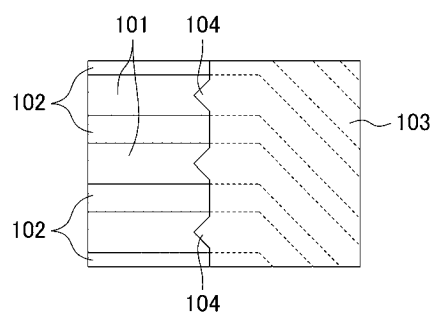
【図 16】



【図 17】



【図 18】



フロントページの続き

審査官 田井 伸幸

(56)参考文献 特開2001-272685 (JP, A)
特開平09-090397 (JP, A)

(58)調査した分野(Int.Cl., DB名)
G09F 9/30
G02F 1/1343
G02F 1/1368