

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年4月2日(02.04.2020)



(10) 国際公開番号

WO 2020/066841 A1

(51) 国際特許分類:
H01L 21/768 (2006.01) H01L 23/532 (2006.01)
H01L 21/3205 (2006.01) H01L 27/146 (2006.01)
H01L 23/522 (2006.01)

(21) 国際出願番号: PCT/JP2019/036791

(22) 国際出願日: 2019年9月19日(19.09.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2018-181956 2018年9月27日(27.09.2018) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

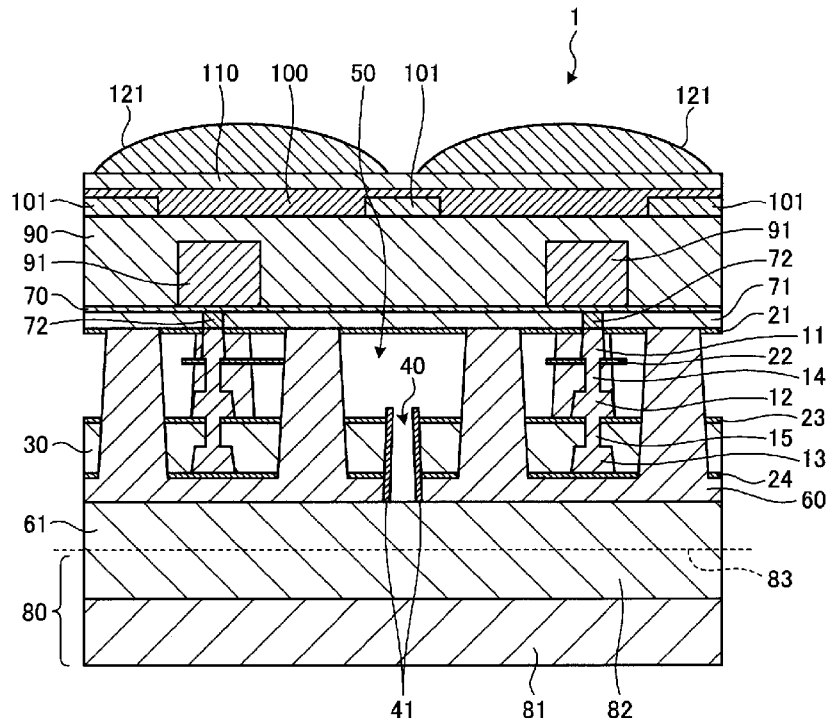
(72) 発明者: 黒鳥 託也 (KUROTORI, Takuya); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 特許業務法人酒井国際特許事務所 (SAKAI INTERNATIONAL PATENT OFFICE); 〒1000013 東京都千代田区霞が関3丁目8番1号 虎の門三井ビルディング Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,

(54) Title: SEMICONDUCTOR DEVICE, SOLID-STATE IMAGING DEVICE AND METHOD FOR PRODUCING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置、固体撮像装置及び半導体装置の製造方法



(57) Abstract: This semiconductor device is provided with: a multilayer wiring layer which is obtained by alternately stacking insulating layers (30) and diffusion prevention layers (21, 22, 23, 24), and which is internally provided with wiring layers (11, 12, 13); a void part (50) which is provided in at least a part of the insulating layers (30); and a support part (60) which is provided in at least a part of the void part (50) so as to support the multilayer wiring layer.

DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

(57) 要約: 半導体装置は、絶縁層 (30) と、拡散防止層 (21, 22, 23, 24) とが交互に積層され、内部に配線層 (11, 12, 13) が設けられた多層配線層と、絶縁層 (30) の少なくとも一部に設けられた空隙部 (50) と、空隙部 (50) の少なくとも一部に設けられ、多層配線層を支持する支持部 (60) と、を備える。

明 細 書

発明の名称：

半導体装置、固体撮像装置及び半導体装置の製造方法

技術分野

[0001] 本開示は、半導体装置、固体撮像装置及び半導体装置の製造方法に関する。

背景技術

[0002] 配線間の容量を低減するために、配線間の材料を除去し、配線間に比誘電率 1 の空隙(エアーギャップとも呼ばれる)を設けた半導体装置が知られている。

[0003] 例えば、特許文献 1 には、エアーギャップ型の多層配線構造を有する半導体装置の上部配線のたわみを少なくすることのできる技術が開示されている。

先行技術文献

特許文献

[0004] 特許文献1：特開 2 0 1 0 — 1 0 8 9 6 6 号公報

発明の概要

発明が解決しようとする課題

[0005] しかしながら、上記の従来技術は、上部配線のたわみを少なくすることを目的としており、プラズマ接合や、Cu-Cu 接合などを行う際に半導体装置に加わる力の機械強度について言及されてない。そのため、特許文献 1 に記載の技術では、十分な機械強度を得ることができない可能性がある。

[0006] そこで、本開示では、十分な機械強度を得ることのできる半導体装置、固体撮像装置及び半導体装置の製造方法を提案する。

課題を解決するための手段

[0007] 上記の課題を解決するために、本開示に係る一形態の半導体装置は、絶縁

層と、拡散防止層とが交互に積層され、内部に配線層が設けられた多層配線層と、前記絶縁層の少なくとも一部に設けられた空隙部と、前記空隙部の少なくとも一部に設けられ、前記多層配線層を支持する支持部と、を備える。

図面の簡単な説明

[0008] [図1]本開示の第1実施形態に係る固体撮像装置の構成の一例を示す模式図である。

[図2]本開示の第1実施形態に係る固体撮像装置を積層方向に切断した断面の構成の一例を示す模式図である。

[図3]本開示の第1実施形態に係る固体撮像装置の製造方法の一例を説明するための模式図である。

[図4]本開示の第1実施形態に係る固体撮像装置の製造方法の一例を説明するための模式図である。

[図5]本開示の第1実施形態に係る固体撮像装置の製造方法の一例を説明するための模式図である。

[図6]本開示の第1実施形態に係る固体撮像装置の製造方法の一例を説明するための模式図である。

[図7]本開示の第1実施形態に係る固体撮像装置の製造方法の一例を説明するための模式図である。

[図8]本開示の第1実施形態に係る固体撮像装置の製造方法の一例を説明するための模式図である。

[図9]本開示の第1実施形態に係るTEGの構成の一例を示す模式図である。

[図10]本開示の第1実施形態に係る固体撮像装置の製造方法の一例を説明するための模式図である。

[図11]本開示の第1実施形態に係る固体撮像装置の支持部の変形例の一例を説明するための模式図である。

[図12]本開示の第1実施形態に係る固体撮像装置の支持部の変形例の一例を説明するための模式図である。

[図13]TEGのレイアウト構成の一例を示す模式図である。

[図14]本開示の実施形態の第1変形例に係る固体撮像装置の製造方法の一例を説明するための模式図である。

[図15]本開示の実施形態の第1変形例に係る固体撮像装置の製造方法の一例を説明するための模式図である。

[図16]本開示の実施形態の第1変形例に係る固体撮像装置の製造方法の一例を説明するための模式図である。

[図17]本開示の実施形態の第1変形例に係る固体撮像装置の製造方法の一例を説明するための模式図である。

[図18]本開示の実施形態の第1変形例に係る固体撮像装置の製造方法の一例を説明するための模式図である。

[図19]本開示の実施形態の第2変形例に係る固体撮像装置の製造方法の一例を説明するための模式図である。

[図20]本開示の実施形態の第2変形例に係る固体撮像装置の製造方法の一例を説明するための模式図である。

[図21]本開示の実施形態の第2変形例に係る固体撮像装置の製造方法の一例を説明するための模式図である。

[図22]本開示の実施形態の第2変形例に係る固体撮像装置の製造方法の一例を説明するための模式図である。

[図23]本開示の実施形態の第2変形例に係る固体撮像装置の製造方法の一例を説明するための模式図である。

発明を実施するための形態

[0009] 以下に、本開示の実施形態について図面に基づいて詳細に説明する。なお、以下の各実施形態において、同一の部位には同一の符号を付することにより重複する説明を省略する。

[0010] また、以下に示す項目順序に従って本開示を説明する。

1. 第1実施形態

1-1. 固体撮像装置の構成例

1-2. 固体撮像装置の断面の構成

1－3．固体撮像装置の製造方法

1－4．支持部の変形例

2．第2実施形態

2－1．固体撮像装置の製造方法

[0011] (1．第1実施形態)

[1－1．固体撮像装置の構成例]

まず、図1を用いて、本開示の実施形態に係る固体撮像装置の構成について説明する。図1は、本開示の実施形態に係る固体撮像装置の積層構造を説明するための模式図である。

[0012] 図1に示すように、固体撮像装置1は、例えば、画素アレイ部2と、画素駆動回路3と、DAC(Digital to Analog Converter)4と、垂直駆動回路5と、タイミング生成回路6と、出力部7とを備える。

[0013] 画素アレイ部2には、複数の画素2aが2次元アレイ状に配列されている。画素2aは、それぞれ、光電変換部と、複数のトランジスタから構成される。

[0014] 画素駆動回路3は、例えば、画素2aを構成する画素回路を駆動する。

[0015] DAC4は、例えば、時間経過に応じて電圧が単調減少する参照信号を生成する。DAC4は、例えば、生成した参照信号を画素2aに出力する。

[0016] 垂直駆動回路5は、例えば、画素2a内で生成されたデジタルの画素信号を、タイミング生成回路6から供給されるタイミング信号に基づいて、所定の順番で出力部7に出力させる制御を行う。

[0017] タイミング生成回路6は、例えば、各種のタイミング信号を生成する。タイミング生成回路6は、例えば、生成した各種のタイミング信号を、画素駆動回路3、DAC4及び垂直駆動回路5などに出力する。

[0018] [1－2．固体撮像装置の断面の構成]

図2を用いて、本実施形態に係る固体撮像装置1の断面の構造について説明する。図2は、本実施形態に係る固体撮像装置1の断面の構造の一例を示す模式図である。なお、以下では、固体撮像装置の構成について説明するが

、これは例示では、本開示を限定するものではない。本開示は、複数の絶縁層に複数の配線層が形成された、種々の半導体装置に適用することができる。

[0019] 図2に示すように、固体撮像装置1は、第1配線層11と、第2配線層12と、第3配線層13と、第1拡散防止層21と、第2拡散防止層22と、第3拡散防止層23と、第4拡散防止層24と、絶縁層30と、スルーホール40からウェットエッチングで絶縁層30の少なくとも一部を除去することで形成された空隙部(エアーギャップ)50と、支持部60とを備える。第1配線層11と、第2配線層12とは、第1ビアホール14で電氣的に接続されている。第2配線層12と、第3配線層13とは、第2ビアホール15で電氣的に接続されている。第1配線層11～第3配線層13と、第1拡散防止層21～第4拡散防止層24と、絶縁層30とが形成されている領域は、多層配線層とも呼ばれる。多層配線層は、例えば、支持基板80に搭載されている。支持基板80は、シリコンウェハ81と、シリコンウェハ81の表面に形成された酸化膜82とからなる。この場合、例えば、支持基板80は、支持部60の表面に形成された酸化膜61と、酸化膜82とをプラズマ接合することで多層配線層に搭載される。接合面83が、多層配線層と、支持基板80の接合面である。さらに、多層配線層の図2における上部には、例えば、イメージセンサ用の搭載基板70が設けられており、搭載基板70と、第1配線層11とは、酸化膜71に設けられたコンタクトプラグ72によって電氣的に接続されている。

[0020] 搭載基板70には、半導体基板90が搭載されている。半導体基板90には、画素ごとにフォトダイオード91が形成されている。なお、多層配線層には、フォトダイオード91に蓄積された電荷を読み出す複数のトランジスタが形成されている。半導体基板90の上部には、例えば、図示しない透明絶縁膜が設けられている。透明絶縁膜は、例えば、光を透過させることのできる絶縁性を有する膜であって、屈折率が半導体基板90の半導体領域よりも小さな材料である。透明絶縁膜の上部には、遮光膜101が形成されてい

る。遮光膜 101 は、上部に形成されたカラーフィルタ層 110 に設けられている画素の境界領域に設けられている。遮光膜 101 の材料としては、光を遮光することのできる材料であれば特に制限はない。遮光膜 101 を含む透明絶縁膜の上部には、平坦化膜 100 が設けられている。平坦化膜 100 の材料としては、例えば、樹脂などの有機材料を用いることができる。平坦化膜 100 の上部には、例えば、赤、緑、または青のカラーフィルタ層 110 が画素ごとに形成されている。カラーフィルタ層 110 は、例えば、顔料や染料などの色素を含んだ感光性樹脂を回転塗布することによって形成される。カラーフィルタ層 110 の上部には、オンチップレンズ 121 が画素ごとに形成されている。オンチップレンズ 121 は、例えば、スチレン系樹脂、アクリル系樹脂、スチレン-アクリル共重合系樹脂、またはシロキサン系樹脂などの樹脂系材料で形成される。

[0021] なお、搭載基板 70 の上部の構成について概略的に説明したが、これは例示であり、本開示を限定するものではない。本開示では、搭載基板 70 の構成は、任意の構成とすることができる。

[0022] 次に、多層配線層の構成について、より詳細に説明する。

[0023] 固体撮像装置 1 は、第 1 拡散防止層 21～第 4 拡散防止層 24 と、絶縁層 30 とが交互に積層された構造を有している。この場合、第 1 配線層 11～第 3 配線層 13 とは、第 1 拡散防止層 21～第 4 拡散防止層 24 とで区切られた絶縁層 30 の各層に設けられている。ここで、図 2 に示す固体撮像装置 1 は、3 層構造を有しているが、これは例示であり、本開示を限定するものではない。本開示では、固体撮像装置 1 は、例えば、3 層以上の配線層が積層されていてもよい。また、本開示では、固体撮像装置 1 は、例えば、配線層が 3 層よりも少なくてもよい。

[0024] 第 1 配線層 11～第 3 配線層 13 は、固体撮像装置 1 に設けられた各素子の中で電流または電圧を伝達する。第 1 配線層 11～第 3 配線層 13 は、例えば、導電性の比較的高い金属材料で形成される。例えば、第 1 配線層 11～第 3 配線層 13 は、銅、タングステン、またはアルミニウムで形成されて

いる。また、第1配線層11～第3配線層13は、銅、タングステン、またはアルミニウムを含む合金で形成されていてもよい。第1配線層11～第3配線層13の表面には、バリア性が高いバリアメタル層が形成されていてもよい。バリアメタル層は、タンタル、チタン、ルテニウム、コバルト、またはマンガンなどの金属で形成される。また、バリアメタル層は、タンタル、チタン、ルテニウム、コバルト、またはマンガンなどの窒化物または酸化物で形成されてもよい。

[0025] 第1ビアホール14と、第2ビアホール15とは、異なる絶縁層に設けられた配線層を互いに電氣的に接続する。具体的には、第1ビアホール14は、第1配線層11と、第2配線層12とを電氣的に接続する。第2ビアホール15は、第2配線層12と、第3配線層13とを電氣的に接続する。第1ビアホール14と、第2ビアホール15とは、例えば、第1配線層11～第3配線層13と同様の金属で形成されている。第1ビアホール14と、第2ビアホール15との表面には、第1配線層11～第3配線層13と同様にバリアメタル層が形成されていてもよい。

[0026] 第1拡散防止層21～第4拡散防止層24は、絶縁層30の各層を挟持するように設けられている。第1拡散防止層21～第4拡散防止層24は、第1配線層11～第3配線層13を構成する金属原子の表面拡散を抑制する。また、第1拡散防止層21～第4拡散防止層24は、上層の部材を加工する際に、ストッパーとして機能する。第1拡散防止層21～第4拡散防止層24は、例えば、絶縁層30よりもエッチング耐性の高い絶縁材料で構成されている。具体的には、第1拡散防止層21～第4拡散防止層24は、例えば、 SiN_x （窒化シリコン）、 SiCN （炭化窒化シリコン）、 SiON （酸化窒化シリコン）、 SiC （炭化シリコン）などの絶縁材料で構成される。

[0027] 絶縁層30は、固体撮像装置1を構成する層形成材料である。絶縁層30は、第1配線層11～第3配線層13を互いに電氣的に絶縁する。絶縁層30は、第1拡散防止層21～第4拡散防止層24よりも、エッチングが容易な絶縁材料で構成されている。絶縁層30は、例えば、 SiO_x などの絶縁材

料で構成される。

[0028] スルーホール40は、多層配線層のいずれか一方の表面に設けられた絶縁層30から第1拡散防止層21～第4拡散防止層24の少なくとも1層を貫通して設けられる。スルーホール40は、矩形状であってもよい、円形状であってもよい。

[0029] 側壁保護膜41は、スルーホール40の内側に設けられる。側壁保護膜41は、スルーホール40によって露出した絶縁層30を、ウェットエッチングから保護する。側壁保護膜41は、空隙部50を形成する際に、第3配線層13が設けられている領域の絶縁層30を保護する。そのため、側壁保護膜41は、例えば、絶縁層30よりもエッチング耐性の高い絶縁材料で構成されている。具体的には、側壁保護膜41は、 SiN_x 、 SiCN 、 SiON 、 SiC などの絶縁材料で構成される。

[0030] 空隙部50は、絶縁層30の少なくとも一部に形成された中空領域である。空隙部50は、具体的には後述するが、スルーホール40からエッチング液を導入し、第1配線層11及び第2配線層12が設けられている絶縁層30をウェットエッチングすることで形成されている。言い換えれば、空隙部50は、第1配線層11及び第2配線層12が形成されている領域に設けられている。空隙部50は、第1配線層11及び第2配線層12が形成されている空間を中空にすることで、比誘電率を1にする。これにより、空隙部50は、第1配線層11と、第2配線層12との間の配線間容量を低減することができる。そのため空隙部50は、絶縁層30の全体に渡って形成されていることが好ましい。

[0031] 支持部60は、空隙部50の少なくとも一部に設けられている。具体的には、支持部60は、多層配線層の機械的な強度を向上させるように設けられている。このような支持部60は、1つのみ設けられていてもよいし、複数設けられていてもよい。支持部60は、例えば、柱形状を有しており、多層配線層を構成する絶縁層30を支えるように設けられている。この場合、支持部60は、機械的強度が予め定めた閾値を下回る箇所に、ピンポイントに

設けられていてもよい。また、支持部60は、例えば、多層配線層の上部から下部に渡って設けられていてもよい。

[0032] 具体的には後述するが、支持部60は、ウェットエッチングに対するエッチング耐性の比較的高い材料で構成されている。支持部60は、例えば、 SiN_x 、 SiCN 、 SiON 、 SiC などの絶縁材料で構成されている。また、支持部60は、エッチング耐性が確保できる材料であれば、金属で構成されていてもよい。

[0033] 本実施形態では、多層配線層に支持部60を設けることで、多層配線層の機械的強度を十分に確保することができる。具体的には、支持部60は、プラズマ接合や、 $\text{Cu}-\text{Cu}$ 接合などを行う際に多層配線層に加わる力によって、多層配線層が破壊されてしまうことを防止する。

[0034] 搭載基板70は、各種の半導体から構成される基板であり、例えば、多結晶、単結晶、またはアモルファスのシリコンの基板であってもよい。上述したように、本実施形態では、搭載基板70にはフォトダイオード91などの各種の半導体素子が搭載されている。

[0035] コンタクトプラグ72は、搭載基板の表面に設けられた酸化膜71の内部形成されており、搭載基板70に搭載された半導体素子などの電極や配線と、第1配線層11とを電氣的に接続する。コンタクトプラグ72は、例えば、第1ビアホール14及び第2ビアホール15と同様の金属で構成されている。

[0036] [1-3. 固体撮像装置の製造方法]

次に、図3～図11を用いて、本実施形態に係る固体撮像装置の製造方法について説明する。図3～図11は、本実施形態に係る固体撮像装置の製造方法を説明するための模式図である。

[0037] まず、搭載基板70上に、絶縁層30を形成する。ここで、搭載基板70には、集積回路として信号処理を行うための各種のトランジスタや、拡散層が形成されているものとする。そして、図示されていないが、絶縁層30上に第1拡散防止層21を形成し、その上にさらに絶縁層30を形成する。次に

、リソグラフィと、ドライエッチングを得て、第1配線層11を形成するための孔を形成する。そして、例えば、タングステンCVD (Chemical Vapor Deposition) で穴を埋め込み、CMP (Chemical Mechanical Polishing) で平坦化することで第1配線層11が形成される。これを繰り返すことで、第3配線層13まで形成する。なお、第1配線層11の上部に第2拡散防止層22を形成した後、第2拡散防止層22にスルーホールを形成する。言い換えれば、第2拡散防止層22を除去する。第3配線層13を形成した後に、スルーホールは絶縁層30で製膜する。また、第2拡散防止層22には、第1配線層11と、第2配線層12とを電氣的に接続する第1ビアホール14とを形成する。また、第3拡散防止層23には、第2配線層12と、第3配線層13とを電氣的に接続する第2ビアホール15とを形成する。

[0038] そして、図3に示すように、絶縁層30に対して、RDV (Rapid Deep Via) 31を形成する(ステップS101)。具体的には、RDV31は、絶縁層30に対して、リソグラフィと、ドライエッチングを実行することで形成する。この時、RDV31のサイズ(直径)は、例えば、100～150nmである。RDV31の深さは、第1配線層11から第3配線層13までの絶縁層30の厚みとなり、例えば、1350～1700nmとなる。この場合、RDV31の直径と、深さとのアスペクト比は、9～17となる。

[0039] 次に、図4に示すように、Cyclic-CVDや、ALD (Atomic Layer Deposition) などを用いて空隙部を形成するための、ウェットエッチングに使用する薬液に対するエッチング耐性(例えば、フッ素化合物に対する耐性)を持つ材料で、RDV31を埋め込む(ステップS102)。具体的には、RDV31には、SiN、SiCN、SiCO、SiC膜を埋め込むことで、支持部60を形成する。この場合、機械強度が確保できるのであれば、支持部60の内部に空隙が入ってもよい。また、ウェットエッチングに対するエッチング耐性が確保できれば、RDV31に金属を埋め込んで、支持部60を形成してもよい。

[0040] 次に、図5に示すように、支持部60の表面から第3配線層13が形成さ

れている絶縁層30に対して、リソグラフィと、ドライエッチングを実行することで、スルーホール40を形成する(ステップS103)。

[0041] 次に、図6に示すように、スルーホール40の内部に側壁保護膜41を形成し、底面をエッチバックして、スルーホール40の深さを第1配線層11及び第2配線層12が形成されている層まで深くする(ステップS104)。側壁保護膜41は、例えば、ALD法などによって形成することができる。上述したように、側壁保護膜41は、例えば、ウェットエッチングに対するエッチング耐性を持つ、SiN、SiCN、SiCO、SiCなどで形成される。

[0042] 次に、図7に示すように、スルーホール40からエッチング液を導入して、第1配線層11及び第2配線層12が形成されている少なくとも1層の絶縁層30を除去することによって、空隙部50を形成する(ステップS105)。図7に示すように、支持部60は、ウェットエッチングに耐性を持つ材料で構成されているため、ウェットエッチングでは除去されない。これにより、空隙部50において、柱状の支持部60が形成される。

[0043] 図8は、図7に示す固体撮像装置1を上部から構造を示している。図8には、RDV31が形成されていた位置が示されている。図8には、RDV31が10個形成されていたことが示されているが、これは例示であり、本開示を限定するものではない。本開示では、形成するRDV31の数は、所望の機械強度などに応じて、任意に設定することができる。また、RDV31を形成する位置についても特に制限はなく、所望の機械強度などに応じて、任意の位置に形成すればよい。言い換えれば、本開示では、支持部60のレイアウトの自由度が高められている。

[0044] 次に、図9に示すように、支持部60の上部表面に酸化膜61を比較的厚く形成し、例えば、CMPなどによって平坦化する。そして、シリコンウェハ81上に酸化膜82が形成された支持基板80と接合する(ステップS106)。具体的には、支持部60上の酸化膜61と、シリコンウェハ81上の酸化膜82とをプラズマ接合することで、支持基板80を、固体撮像装置

1の下側の支持基板として接合する。図9には、プラズマ接合による接合面83が示されている。

[0045] 次に、図10に示すように、イメージセンサなどの搭載基板70を薄肉化する(ステップS107)。具体的には、搭載基板70に対して、グラインダで研磨したり、CMPで研磨したりすることで、搭載基板70を薄肉化する。この時、支持部60が多層配線層を補強する構造になっているため、グラインダや、CMPに対する機械強度を確保することができる。言い換えれば、支持部60は、グラインダや、CMPに対する衝撃に耐えられるように設けられていればよい。

[0046] そして、搭載基板70を薄肉化した後、フォトダイオード91などを配置することで、図1に図示の、固体撮像装置1が形成される。

[0047] なお、上記では、支持部60は、柱形状であるものとして説明したが、これは例示であり、本開示を限定するものではない。

[0048] 図11と、図12と、図13とを用いて、支持部60の変形例に係る支持部60Aについて説明する。図11は、支持部60Aの上面の構成の一例を示す模式図である。図12は、支持部60Aの断面の構成の一例を示す模式図である。図13は、TEG(Test Element Group)のレイアウト構成の一例を示す模式図である。

[0049] 図11には、ガードリング領域62と、スクライブライン63とが示されている。本実施形態の変形例では、スクライブライン63をウェットエッチングに対するエッチング耐性を持つ材料で埋め込むことによって、支持部60Aを形成している。

[0050] 図12には、支持部60Aの断面の構成が示されている。図12に示すように、支持部60Aは、スクライブライン63に沿って形成されている。すなわち、支持部60Aは、例えば、第1配線層11と、第2配線層12と、第3配線層13とを、囲うように形成されている。

[0051] 図13にはTEGレイアウト200が示されている。支持部60Aを形成するために、例えば、TEGチップ210の周囲のスクライブライン形成部

220をトレンチ加工で形成した溝部に変更する。そして、変更された溝部に、ウェットエッチングに対するエッチング耐性を持つ材料を埋め込むことによって、支持部60Aを形成する。これにより、TEGチップ210の周囲(全体)が支持部60Aで覆われるので、機械強度を確保することができる。また、支持部60Aは、周囲を覆っていることから、その内部の空隙部50の構成を自由に設計できるようになる。これにより、各配線層のレイアウトの自由度を向上させることができる。

[0052] スクライブライン63のサイズは、例えば、 $10\mu\text{m}\sim 100\mu\text{m}$ である。この場合、スクライブライン63の深さは、例えば、 $1350\sim 1700\text{nm}$ となる。すなわち、サイズと、深さとの、アスペクト比が1よりも小さいので、CVDによってスクライブライン63にウェットエッチングに対するエッチング耐性を持つ材料で埋め込むことができる。

[0053] [1-4. 支持部の変形例]

第1実施形態では、ステップS103において、支持部60と共に絶縁層30にスルーホールを形成しているが、これは例示であり、本開示を限定するものではない。

[0054] 図14に示すように、ステップS102の後、絶縁層30の上部に形成された支持部60は、除去してもよい(ステップS103A)。この場合、絶縁層30の上部に形成された支持部60は、例えば、エッチバックで除去する。絶縁層30の上部に形成された支持部60を除去することで、固体撮像装置1の内部に存在する誘電率の比較的高い材料を低減することができる。

[0055] 次に、図15に示すように、ステップS103と同様の方法で、スルーホール40を形成する(ステップS104A)。

[0056] 次に、図16に示すように、ステップS104と同様の方法で、スルーホール40の内部に側壁保護膜41を形成し、底面をエッチバックする(ステップS105A)。

[0057] 図17は、図16の状態の固体撮像装置1を上面から見た模式図である。図17に示すように、固体撮像装置1の上部は、第4拡散防止層24が露出

している。そして、R D V 3 1 にのみ支持部 6 0 が埋め込まれている。

[0058] 次に、図 1 8 に示すように、ステップ S 1 0 5 と同様の方法で、絶縁層 3 0 を除去し、空隙部 5 0 を形成する(ステップ S 1 0 6 A)。

[0059] 次に、図 1 9 に示すように、ステップ S 1 0 6 と同様の方法で、支持基板 8 0 を接合する。そして、ステップ S 1 0 7 と同様の方法で、イメージセンサなどの搭載基板 7 0 を薄肉化する(ステップ S 1 0 7 A)。変形例の場合であっても、搭載基板 7 0 を薄肉化した後、フォトダイオード 9 1などを配置することで、図 1 に図示の、固体撮像装置 1 が形成される。

[0060] (2. 第 2 実施形態)

[2-1. 固体撮像装置の製造方法]

次に、図 2 0 ~ 図 2 3 を用いて、本開示の第 2 実施形態に係る固体撮像装置の製造方法について説明する。図 2 0 ~ 図 2 3 は、本開示の第 2 実施形態に係る固体撮像装置の製造方法を説明するための模式図である。

[0061] 第 2 実施形態に係る固体撮像装置の製造方法は、第 1 実施形態の変形例に係る固体撮像層の製造方法と比較すると、ステップ S 1 0 6 A までは同じなので、説明は省略する。

[0062] 図 2 0 に示すように、ステップ S 1 0 6 A の後、絶縁層 3 0 の上部には C u (銅)パッド 1 4 3 を含む C u 配線層 1 4 0 が設けられる(ステップ S 1 0 7 B)。具体的には、C u 配線層 1 4 0 は、シリコンウェハ 1 4 1 と、酸化膜 1 4 2 と、酸化膜 1 4 2 の内部に設けられた C u パッド 1 4 3 とを有する。この場合、第 1 配線層 1 1 は、C u パッド 1 4 3 と電氣的に接続されている。ここで、絶縁層 3 0 の上部の支持部 6 0 は除去されているので、C u パッド 1 4 3 を形成したとしても、信号伝達の遅延は防止される。

[0063] 図 2 1 は、図 1 8 に示す C u 配線層 1 4 0 を上部から見た模式図である。図 2 1 に示すように、C u 配線層 1 4 0 は、複数の C u パッド 1 4 3 を有している。なお、図 2 1 に示す、C u パッド 1 4 3 の配置は例示であり、本開示を限定するものではない。また、図 2 1 に示す、C u パッド 1 4 3 の数は例示であり、本開示を限定するものではない。本開示は、C u パッド 1 4 3

の配置や数は、設計に応じて任意に変更することができる。

[0064] 次に、図22に示すように、Cu配線層140は、固体撮像装置の支持基板150に結合される(ステップS108B)、具体的には、支持基板150は、シリコンウェハ151と、酸化膜152と、複数のCuパッド153とを含んでいる。この場合、Cu配線層140のCuパッド143と、支持基板150のCuパッド153とを、Cu-Cu結合することで、Cu配線層140と、支持基板150とが結合される。

[0065] そして、図23に示すように、ステップS107と同様の方法で、イメージセンサなどの搭載基板70を薄肉化する(ステップS109B)。第2実施形態の場合であっても、搭載基板70を薄肉化した後、フォトダイオード91などを配置することで、図1に図示の、固体撮像装置1が形成される。

[0066] 上述のとおり、本開示は、プラズマ接合及びCu-Cu接合のいずれの方法で固体撮像装置1を製造する場合にも適用することができる。

[0067] なお、本技術は以下のような構成も取ることができる。

(1)

絶縁層と、拡散防止層とが交互に積層され、内部に配線層が設けられた多層配線層と、

前記絶縁層の少なくとも一部に設けられた空隙部と、

前記空隙部の少なくとも一部に設けられ、前記多層配線層を支持する支持部と、

を備える半導体装置。

(2)

前記支持部は、前記絶縁層と、前記拡散防止層との積層方向に沿った、柱形状を有する、

前記(1)に記載の半導体装置。

(3)

前記支持部は、前記多層配線層に渡って設けられている、

前記(1)または(2)に記載の半導体装置。

(4)

前記支持部は、前記空隙部を形成する際のウェットエッチングで使用される液体に耐性を持つ耐性部材で形成されている、

前記(1)～(3)のいずれか1つに記載の半導体装置。

(5)

前記支持部は、SiN、SiC、およびSiCOのいずれかで形成されている、

前記(4)に記載の半導体装置。

(6)

前記支持部は、金属で形成されている、

前記(4)に記載の半導体装置。

(7)

前記空隙部は、複数の前記絶縁層に渡って設けられている、

前記(1)～(6)のいずれか1つに記載の半導体装置。

(8)

前記多層配線層にプラズマ接合された半導体基板をさらに備える、

前記(1)～(7)のいずれか1つに記載の半導体装置。

(9)

前記多層配線層にCu-Cu接合された半導体基板をさらに備える、

前記(1)～(8)のいずれか1つに記載の半導体装置。

(10)

絶縁層と、拡散防止層とが交互に積層され、内部に配線層が設けられた多層配線層と、

前記絶縁層の少なくとも一部に設けられた空隙部と、

前記空隙部の少なくとも一部に設けられた支持部と、

前記多層配線層の表面に設けられた基板と、

前記基板に配置された光電変換部と、

を備える固体撮像装置。

(1 1)

絶縁層と、拡散防止層とが交互に積層され、内部に配線層が設けられた多層配線層を形成し、

前記多層配線層に穴部を形成し、

前記穴部にウェットエッチングで使用する液体に耐性を持つ耐性部材で埋め込むとともに、前記多層配線層の穴部が形成されている側の表面に前記耐性部材で耐性部材層を形成する、

半導体装置の製造方法。

(1 2)

前記耐性部材の表面から少なくとも 1 つ以上の前記絶縁層を挿通させてスルーホールを形成し、

前記スルーホールの直下の少なくとも 1 つ以上の絶縁層をウェットエッチングして、空隙部を形成する、

前記(1 1)に記載の半導体装置の製造方法。

(1 3)

前記多層配線層と、半導体基板とをプラズマ接合する、

前記(1 2)に記載の半導体装置の製造方法。

(1 4)

前記耐性部材層をエッチバックして除去し、

前記耐性部材の表面から少なくとも 1 つ以上の前記絶縁層を挿通させてスルーホールを形成し、

前記スルーホールの直下の少なくとも 1 つ以上の絶縁層をウェットエッチングして、空隙部を形成する、

前記(1 1)に記載の半導体装置の製造方法。

(1 5)

前記多層配線層と、半導体基板とをCu-Cu接合する、

前記(1 4)に記載の半導体装置の製造方法。

符号の説明

- [0068]
- 1 固体撮像装置
 - 2 画素アレイ部
 - 2 a 画素
 - 3 画素駆動回路
 - 4 D A C (Digital to Analog Converter)
 - 5 垂直駆動回路
 - 6 タイミング生成回路
 - 7 出力部
 - 1 1 第1配線層
 - 1 2 第2配線層
 - 1 3 第3配線層
 - 1 4 第1ビアホール
 - 1 5 第2ビアホール
 - 2 1 第1拡散防止層
 - 2 2 第2拡散防止層
 - 2 3 第3拡散防止層
 - 2 4 第4拡散防止層
 - 3 0 絶縁層
 - 4 0 スルーホール
 - 4 1 側壁保護膜
 - 5 0 空隙部
 - 6 0 支持部
 - 6 1 酸化膜
 - 7 0 搭載基板
 - 7 1 酸化膜
 - 7 2 コンタクトプラグ
 - 8 0 支持基板
 - 8 1、1 4 1、1 5 1 シリコンウェハ

8 2、1 4 2、1 5 2 酸化膜

9 0 半導体基板

9 1 フォトダイオード

1 0 0 平坦化膜

1 0 1 遮光膜

1 1 0 カラーフィルタ層

1 2 1 オンチップレンズ

1 4 0 C u 配線層

1 4 3、1 5 3 C u パッド

1 5 0 支持基板

請求の範囲

- [請求項1] 絶縁層と、拡散防止層とが交互に積層され、内部に配線層が設けられた多層配線層と、
前記絶縁層の少なくとも一部に設けられた空隙部と、
前記空隙部の少なくとも一部に設けられ、前記多層配線層を支持する支持部と、
を備える半導体装置。
- [請求項2] 前記支持部は、前記絶縁層と、前記拡散防止層との積層方向に沿った、柱形状を有する、
請求項1に記載の半導体装置。
- [請求項3] 前記支持部は、前記多層配線層に渡って設けられている、
請求項2に記載の半導体装置。
- [請求項4] 前記支持部は、前記空隙部を形成する際のウェットエッチングで用いられる液体に耐性を持つ耐性部材で形成されている、
請求項1に記載の半導体装置。
- [請求項5] 前記支持部は、SiN、SiC、およびSiCOのいずれかで形成されている、
請求項4に記載の半導体装置。
- [請求項6] 前記支持部は、金属で形成されている、
請求項4に記載の半導体装置。
- [請求項7] 前記空隙部は、複数の前記絶縁層に渡って設けられている、
請求項1に記載の半導体装置。
- [請求項8] 前記多層配線層にプラズマ接合された半導体基板をさらに備える、
請求項1に記載の半導体装置。
- [請求項9] 前記多層配線層にCu-Cu接合された半導体基板をさらに備える、
請求項1に記載の半導体装置。
- [請求項10] 絶縁層と、拡散防止層とが交互に積層され、内部に配線層が設けら

れた多層配線層と、

前記絶縁層の少なくとも一部に設けられた空隙部と、

前記空隙部の少なくとも一部に設けられた支持部と、

前記多層配線層の表面に設けられた基板と、

前記基板に配置された光電変換部と、

を備える固体撮像装置。

[請求項11] 絶縁層と、拡散防止層とが交互に積層され、内部に配線層が設けられた多層配線層を形成し、

前記多層配線層に穴部を形成し、

前記穴部にウェットエッチングで使用する液体に耐性を持つ耐性部材で埋め込むとともに、前記多層配線層の穴部が形成されている側の表面に前記耐性部材で支持部を形成する、

半導体装置の製造方法。

[請求項12] 前記支持部の表面から少なくとも1つ以上の前記絶縁層を挿通させてスルーホールを形成し、

前記スルーホールの直下の少なくとも1つ以上の絶縁層をウェットエッチングして、空隙部を形成する、

請求項11に記載の半導体装置の製造方法。

[請求項13] 前記多層配線層と、半導体基板とをプラズマ接合する、

請求項12に記載の半導体装置の製造方法。

[請求項14] 前記支持部をエッチバックして除去し、

前記耐性部材の表面から少なくとも1つ以上の前記絶縁層を挿通させてスルーホールを形成し、

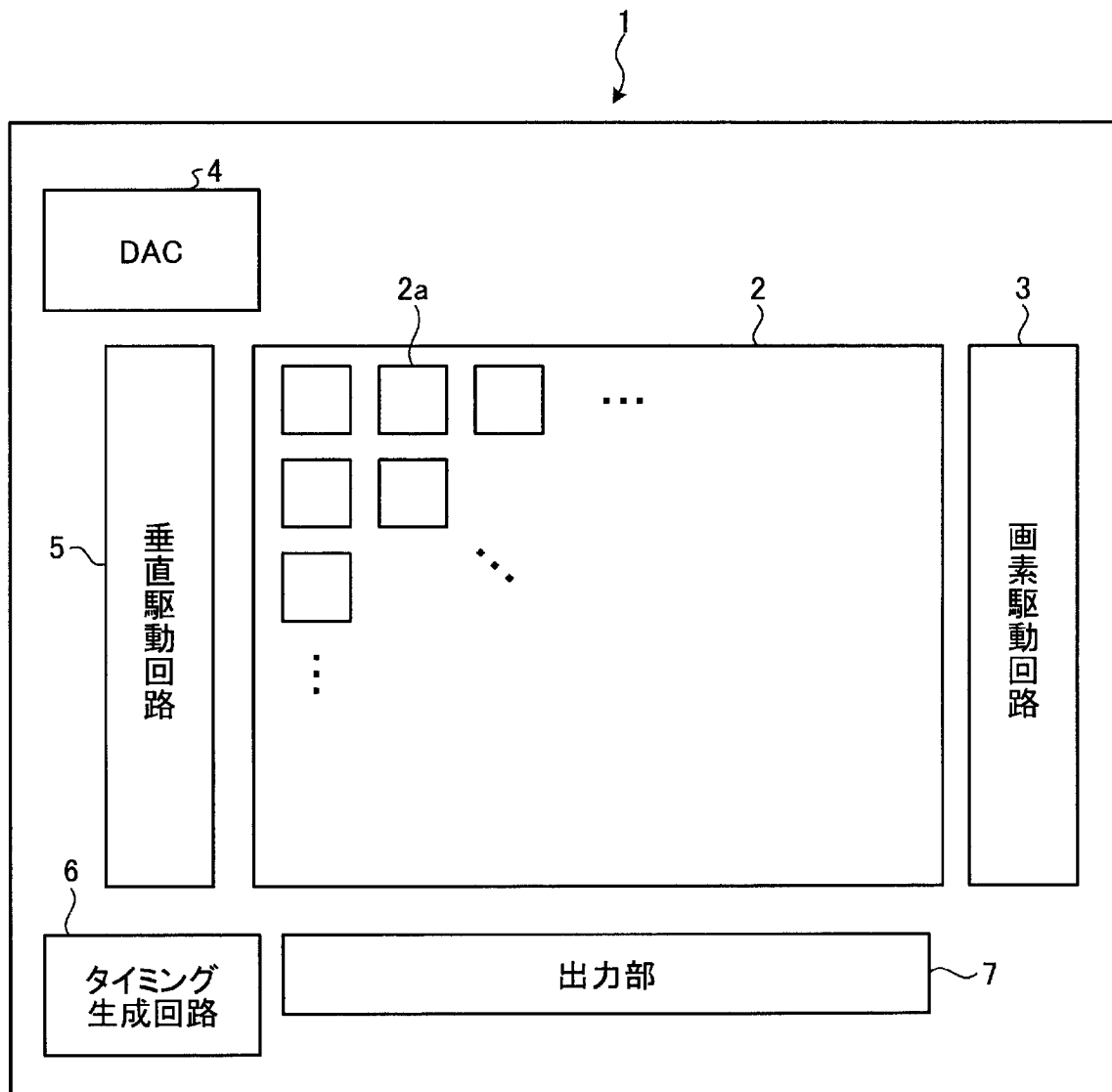
前記スルーホールの直下の少なくとも1つ以上の絶縁層をウェットエッチングして、空隙部を形成する、

請求項11に記載の半導体装置の製造方法。

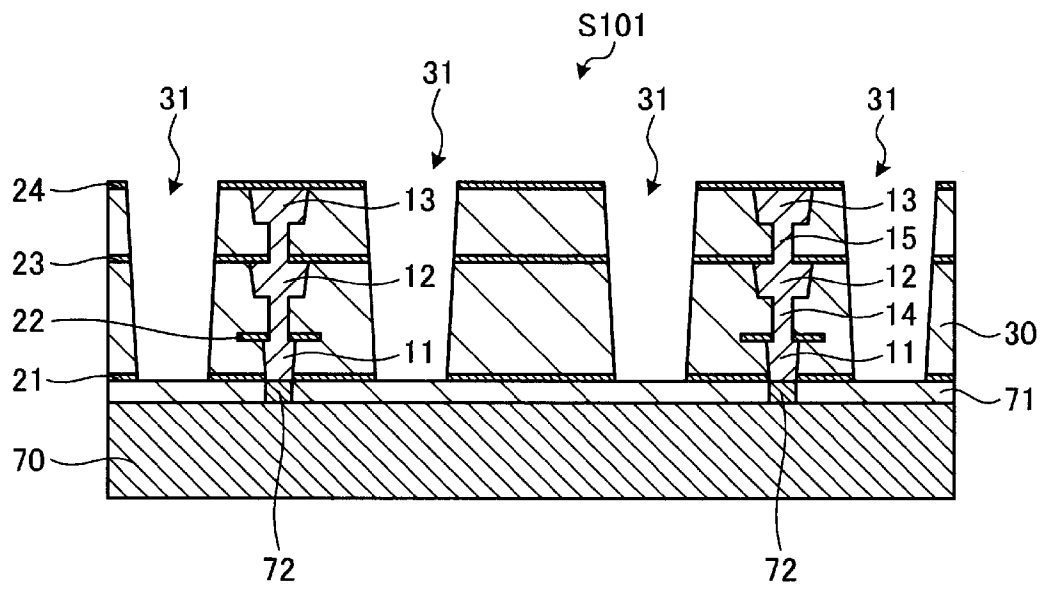
[請求項15] 前記多層配線層と、半導体基板とをCu-Cu接合する、

請求項14に記載の半導体装置の製造方法。

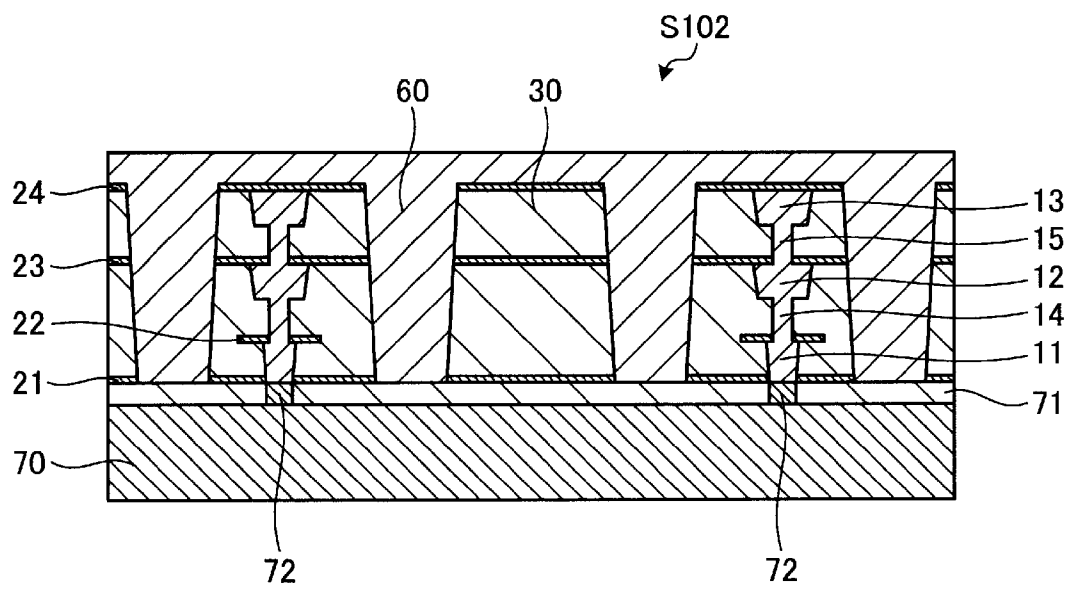
[図1]

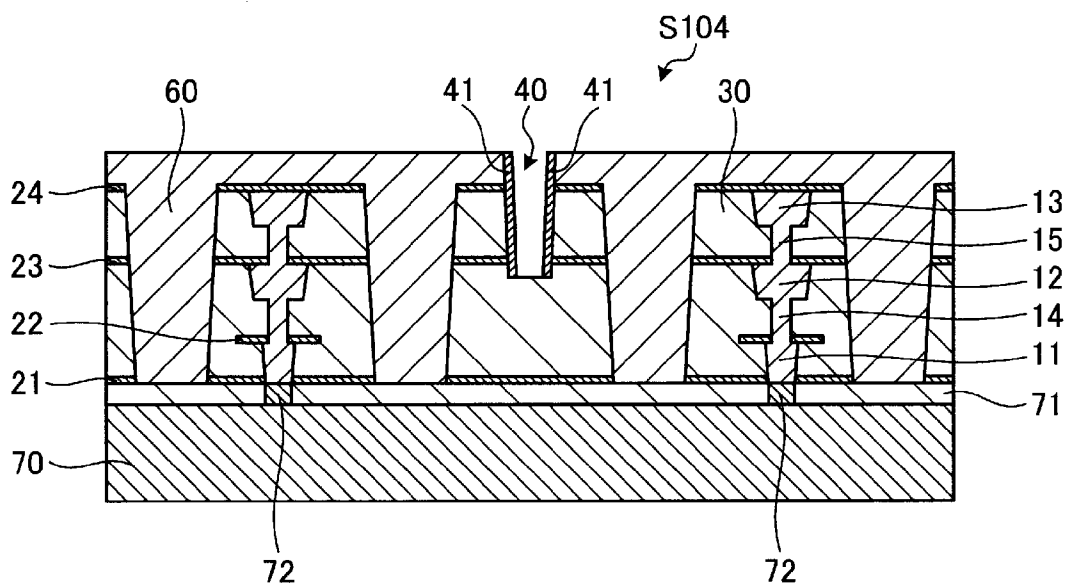


[図3]

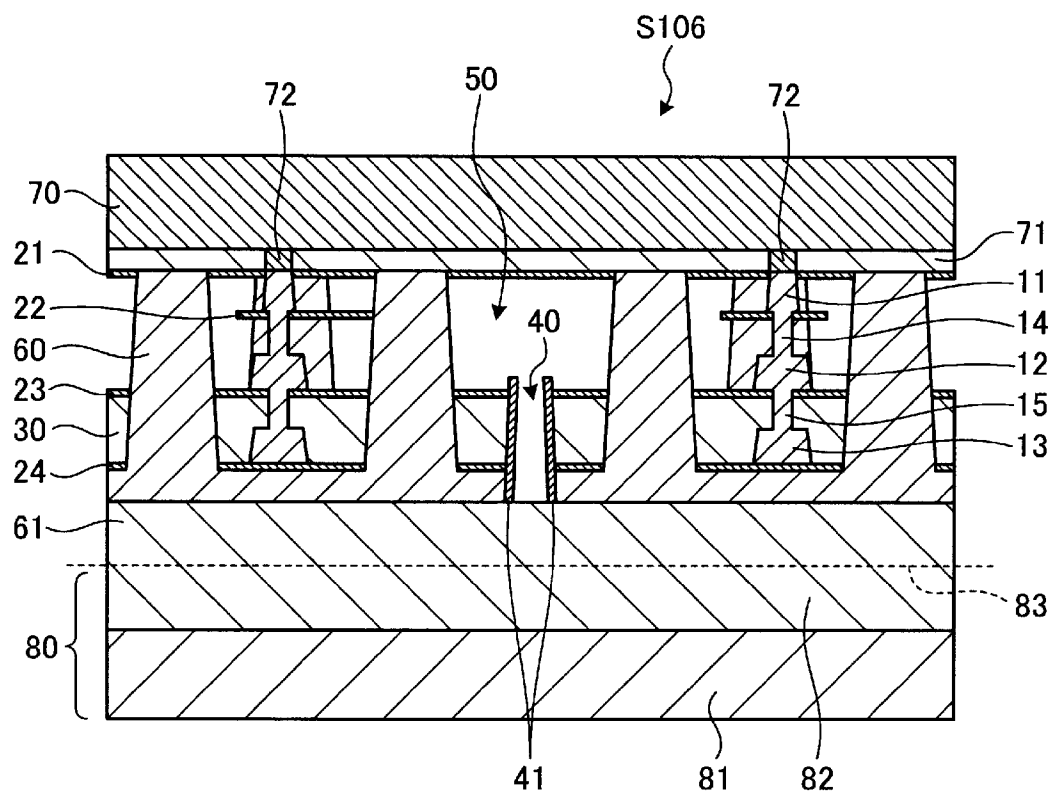


[図4]

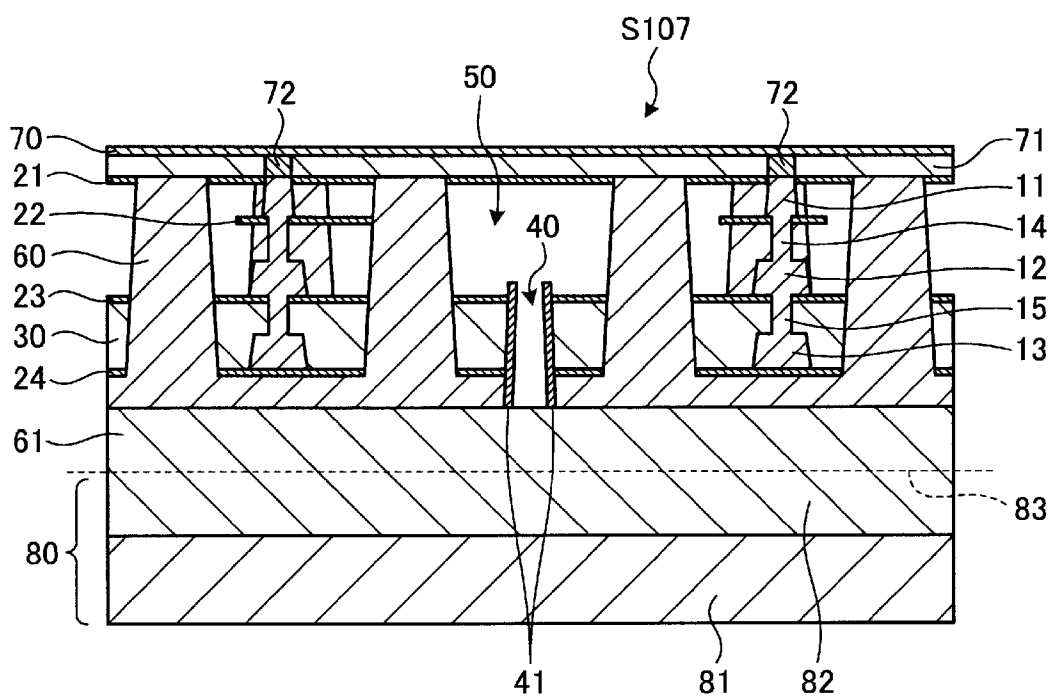




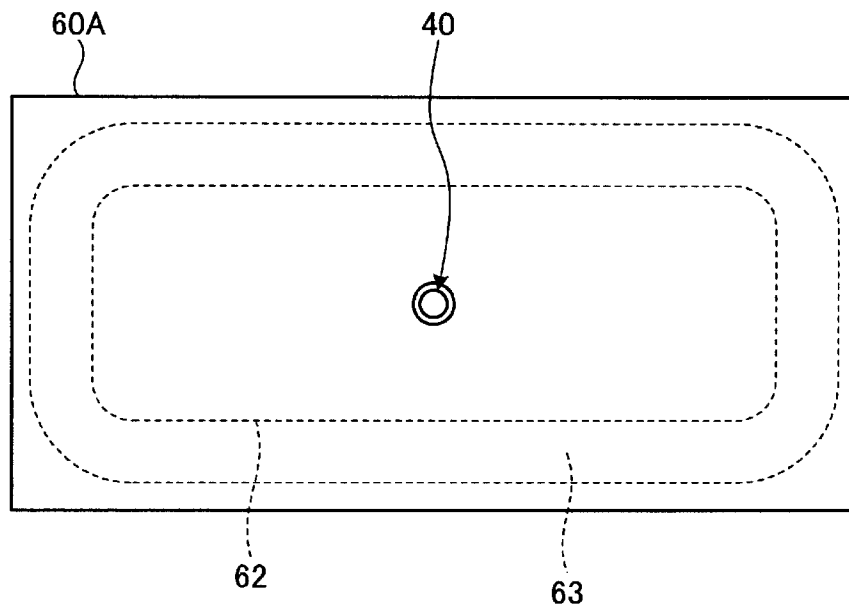
[図9]



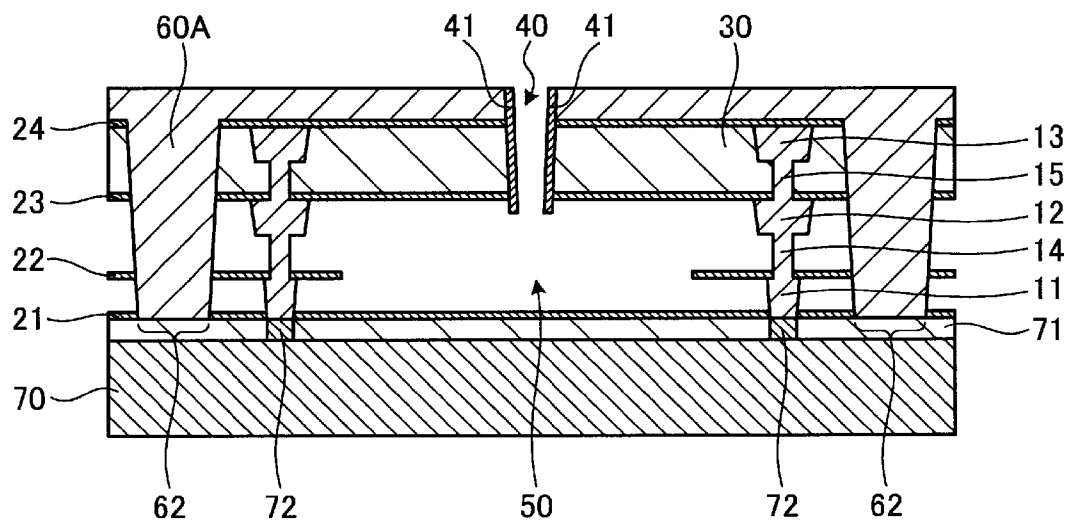
[図10]



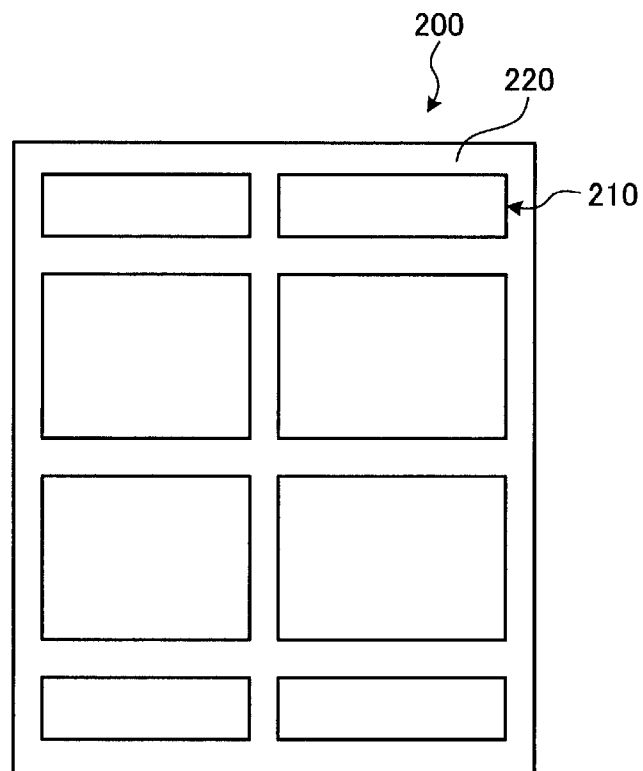
[図11]



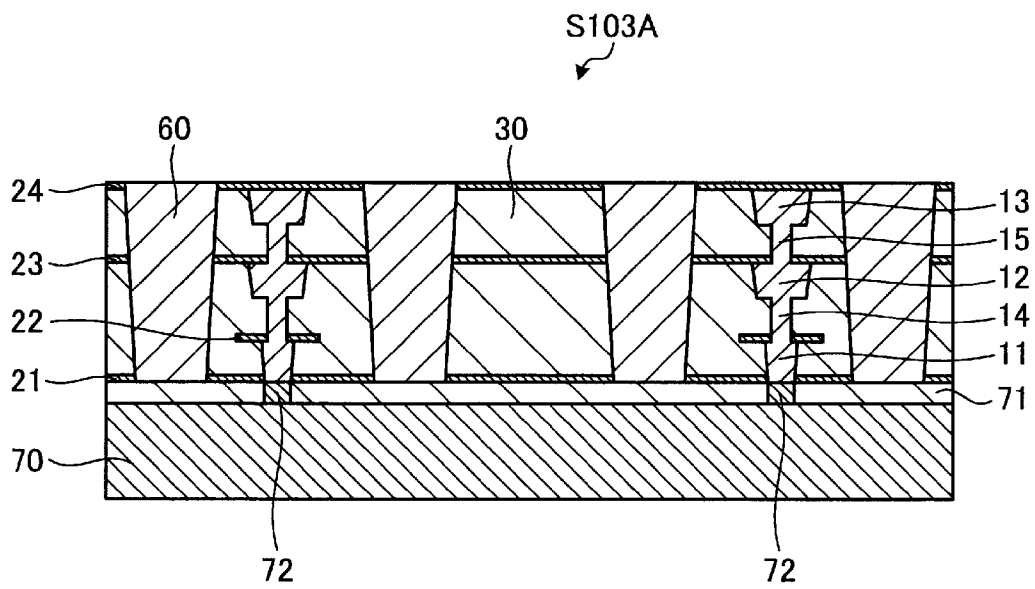
[図12]



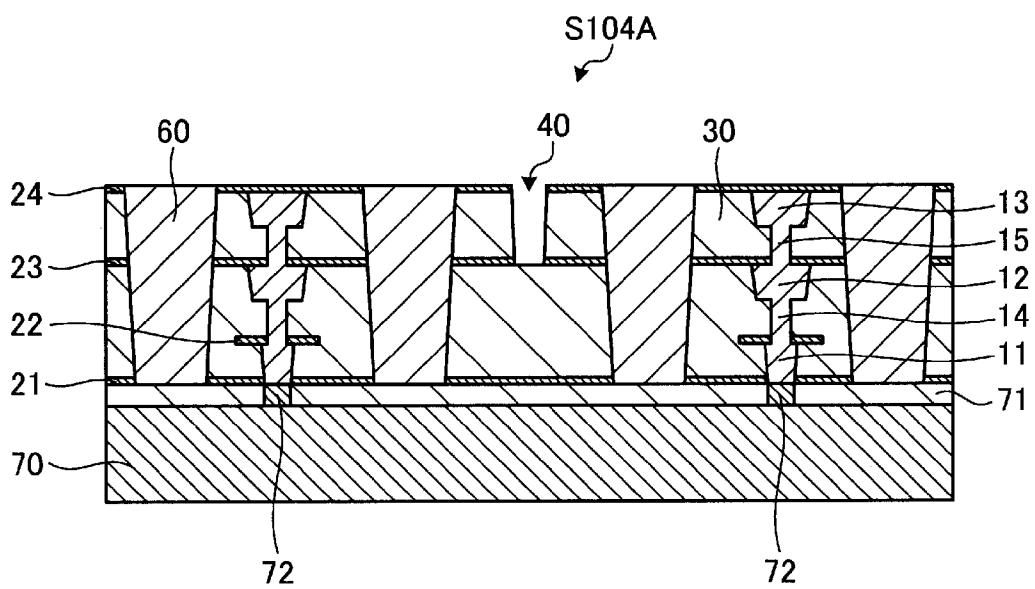
[図13]



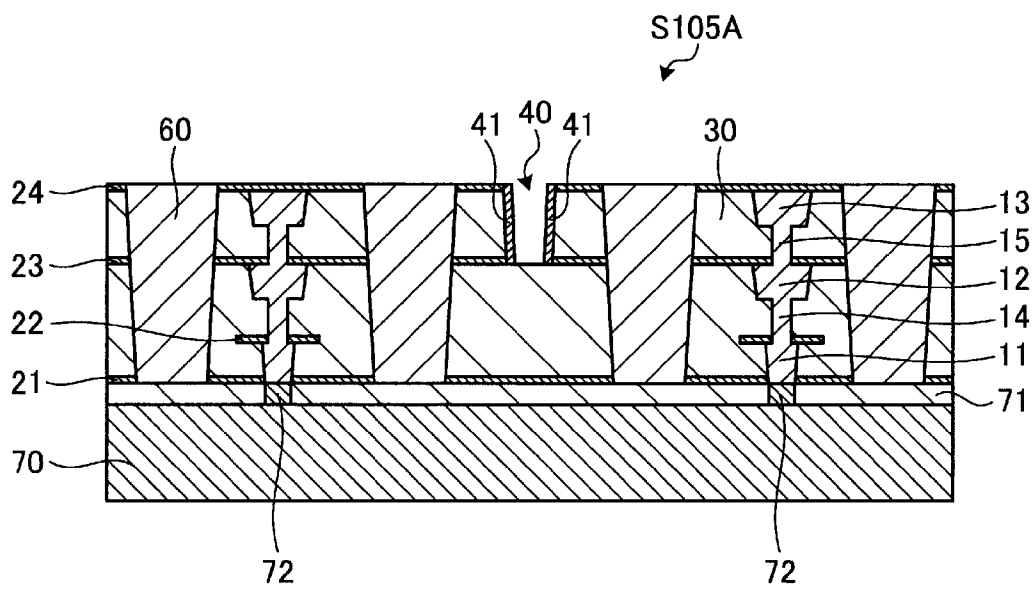
[図14]



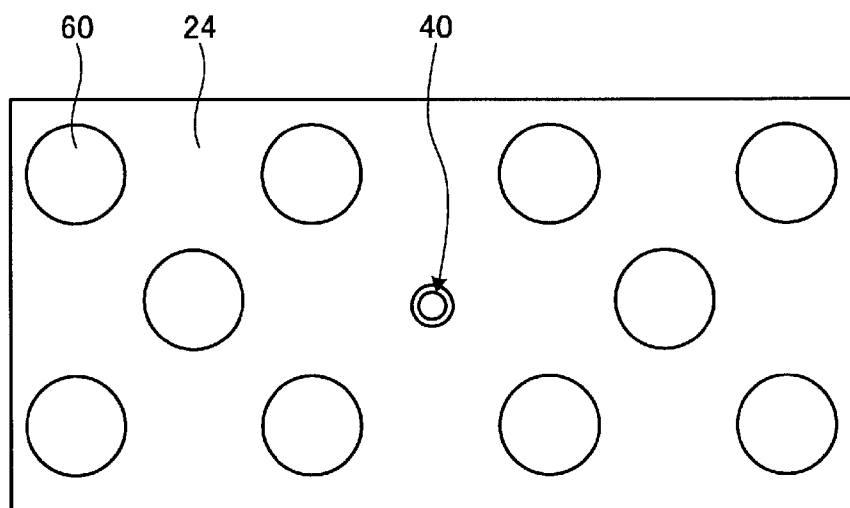
[図15]



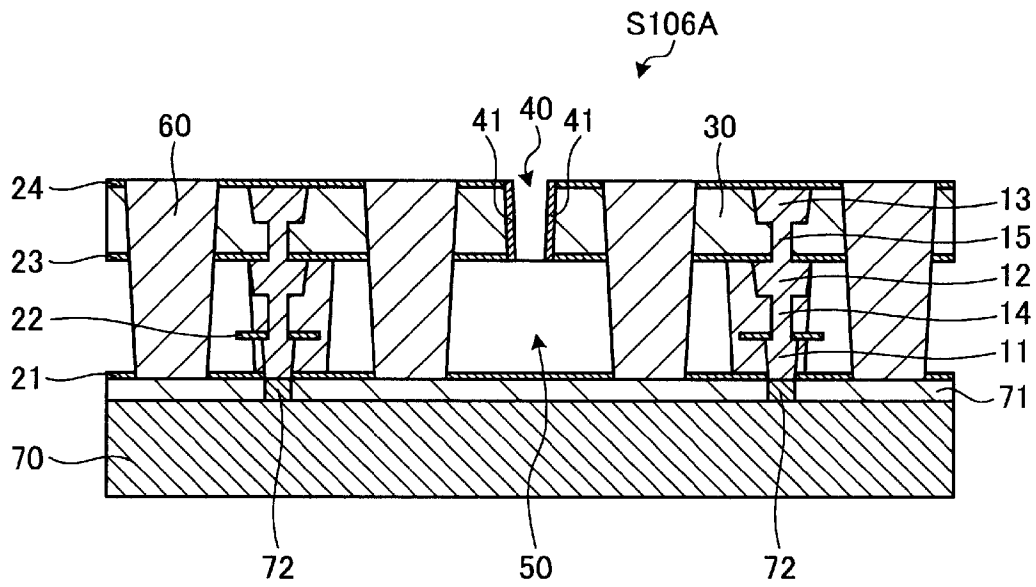
[図16]



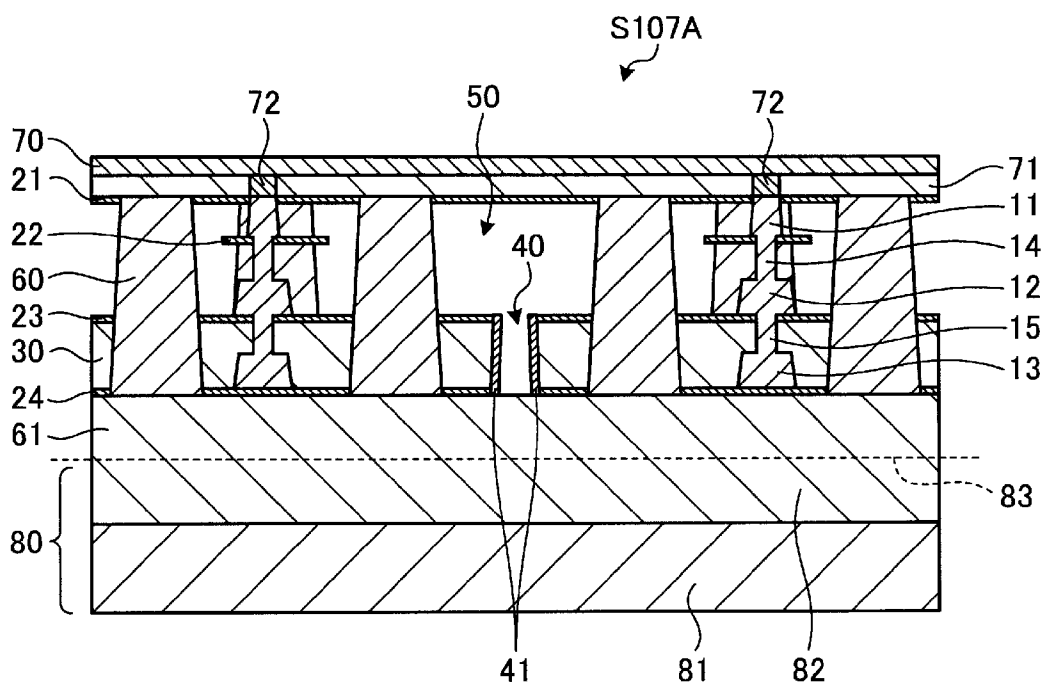
[図17]



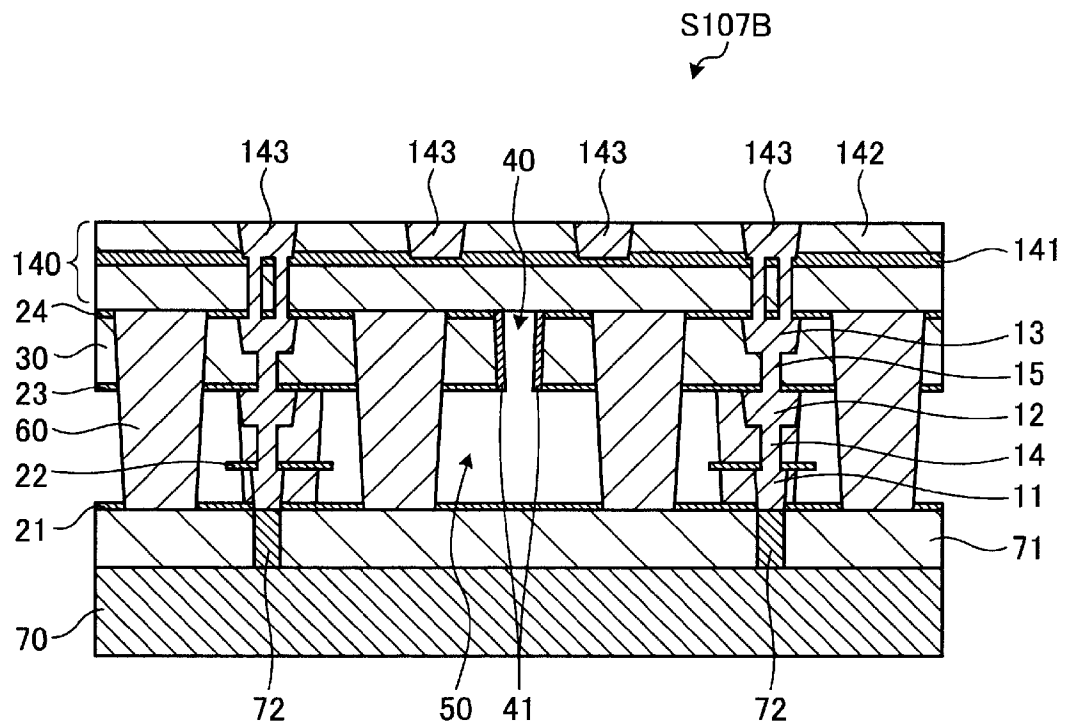
[図18]



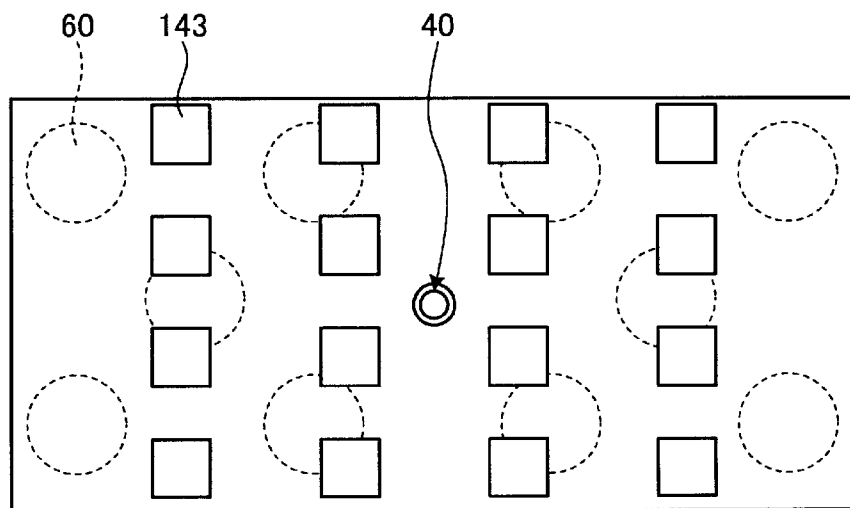
[図19]



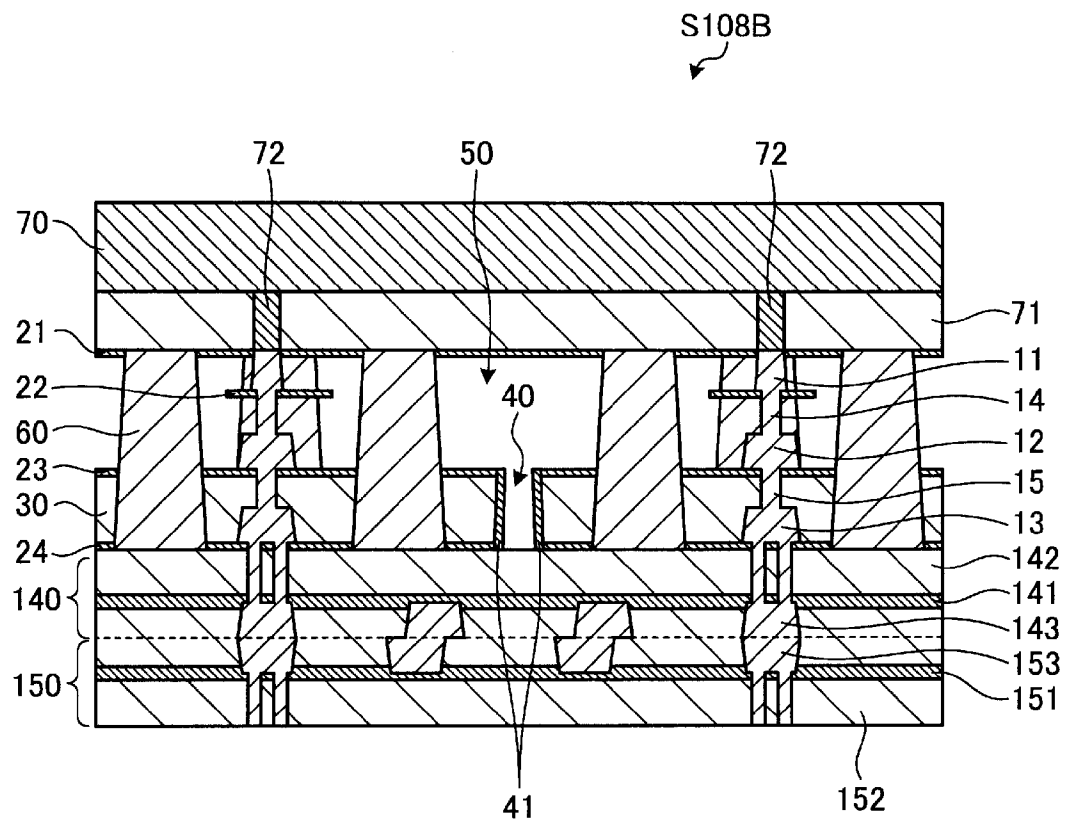
[図20]



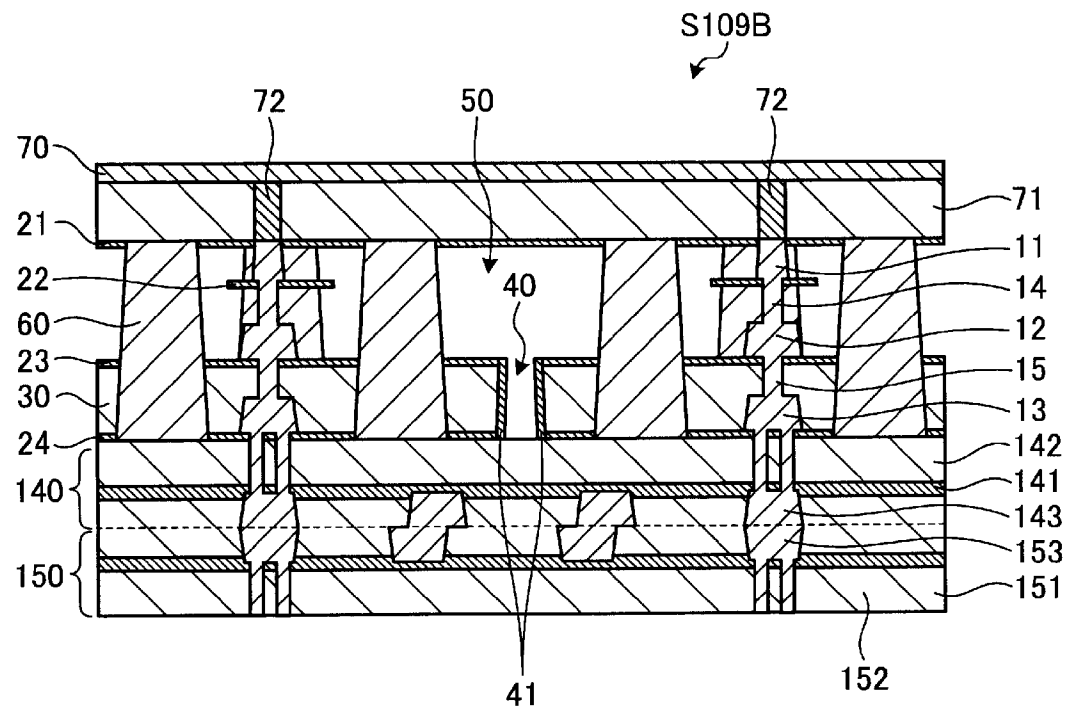
[図21]



[図22]



[図23]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/036791

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L21/768 (2006.01) i, H01L21/3205 (2006.01) i,
H01L23/522 (2006.01) i, H01L23/532 (2006.01) i, H01L27/146 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L21/768, H01L21/3205, H01L23/522, H01L23/532, H01L27/146

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2009-123775 A (ROHM CO., LTD.) 04 June 2009, paragraphs [0015]-[0034], fig. 1-4 & US 2009/0121356 A1, paragraphs [0056]-[0091], fig. 1-4	1, 2 8-10 3-7, 11-15
X Y A	JP 2006-19401 A (RENESAS TECHNOLOGY CORP.) 19 January 2006, paragraphs [0041]-[0069], [0098]-[0104], fig. 2, 4 (Family: none)	1, 2, 4, 5, 7 8-10 3, 6, 11-15

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
13 November 2019 (13.11.2019)

Date of mailing of the international search report
26 November 2019 (26.11.2019)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/036791

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2018-101699 A (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 28 June 2018, paragraphs [0082]-[0091], fig. 16 & WO 2018/116559 A1, paragraphs [0082]-[0091], fig. 16 & CN 110073492 A	8-10 11-15
A	WO 2018/037667 A1 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 01 March 2018, entire text, all drawings & US 2019/0181168 A1, entire text, all drawings & EP 3506342 A1 & CN 109328395 A & KR 10-2019-0040934 A	1-15
A	JP 11-97530 A (NEC CORP.) 09 April 1999, entire text, all drawings (Family: none)	1-15
A	JP 2002-76116 A (KOBE STEEL, LTD.) 15 March 2002, entire text, all drawings (Family: none)	1-15

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L21/768(2006.01)i, H01L21/3205(2006.01)i, H01L23/522(2006.01)i, H01L23/532(2006.01)i, H01L27/146(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L21/768, H01L21/3205, H01L23/522, H01L23/532, H01L27/146

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2009-123775 A (ローム株式会社) 2009.06.04, 段落 [0015]-[0034], 図 1-4 & US 2009/0121356 A1, 段落[0056]-[0091], 図 1-4	1, 2 8-10 3-7, 11-15
X Y A	JP 2006-19401 A (株式会社ルネサステクノロジ) 2006.01.19, 段落 [0041]-[0069], [0098]-[0104], 図 2, 4 (ファミリーなし)	1, 2, 4, 5, 7 8-10 3, 6, 11-15

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

13.11.2019

国際調査報告の発送日

26.11.2019

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号 100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

佐藤 靖史

電話番号 03-3581-1101 内線 3559

50

5895

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2018-101699 A (ソニーセミコンダクタソリューションズ株式会社) 2018.06.28, 段落[0082]-[0091], 図 16 & WO 2018/116559 A1, 段落[0082]-[0091], 図 16 & CN 110073492 A	8-10 11-15
A	WO 2018/037667 A1 (ソニーセミコンダクタソリューションズ株式会社) 2018.03.01, 全文, 全図 & US 2019/0181168 A1, 全文, 全図 & EP 3506342 A1 & CN 109328395 A & KR 10-2019-0040934 A	1-15
A	JP 11-97530 A (日本電気株式会社) 1999.04.09, 全文, 全図 (ファミリーなし)	1-15
A	JP 2002-76116 A (株式会社神戸製鋼所) 2002.03.15, 全文, 全図 (ファミリーなし)	1-15