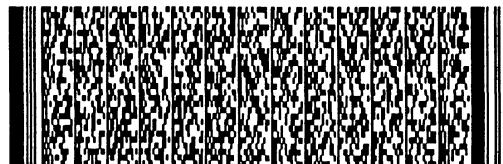
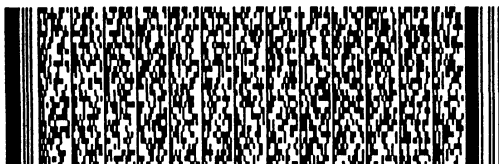


申請日期: 92.7.29	IPC分類 H01L 29/112
申請案號: 92120623	

(以上各欄由本局填註)

發明專利說明書 200423403

一、 發明名稱	中文	可同時具有部分空乏電晶體與完全空乏電晶體之晶片
	英文	CHIP INCORPORATING PARTIALLY-DEPLETED AND FULLY-DEPLETED TRANSISTORS AND METHOD OF FABRICATING THE SAME.
二、 發明人 (共6人)	姓名 (中文)	1. 楊育佳 2. 陳豪育
	姓名 (英文)	1. Yee-Chia Yeo 2.
	國籍 (中英文)	1. 美國 US 2. 中華民國 TW
	住居所 (中文)	1. 新竹科學工業園區理興六路6號 2. 高雄市苓雅區樂仁路120巷1號
	住居所 (英文)	1. No. 6, Li-Hsin Rd. 6, Science-Based Industrial Park, Hsin-Chu, Taiwan, R. O. C. 2.
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 台灣積體電路製造股份有限公司
	名稱或姓名 (英文)	1. Taiwan Semiconductor Manufacturing Co., Ltd.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹科學工業園區園區新竹市力行六路八號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. NO. 8, Li-Hsin Rd. 6, Science-Based Industrial Park Hsin-Chu, Taiwan 300-77, R. O. C.
	代表人 (中文)	1. 張忠謀
	代表人 (英文)	1. Chung-Mou Chang



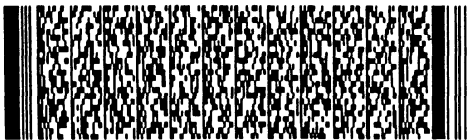
0503-9837TWf(N1) : TSMC2003-0111;felicia.ptd

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共6人)	姓 名 (中文)	3. 黃健朝 4. 李文欽 5. 楊富量
	姓 名 (英文)	3. 4. Wen-Chin Lee 5. Fu-Liang Yang
	國 籍 (中英文)	3. 中華民國 TW 4. 中華民國 TW 5. 中華民國 TW
	住居所 (中 文)	3. 新竹市東區公園里光復路二段467巷32號6樓之1 4. 新竹市明湖路1050巷358號1樓 5. 新竹市大學路68號7樓-3
	住居所 (英 文)	3. 4. 5.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	

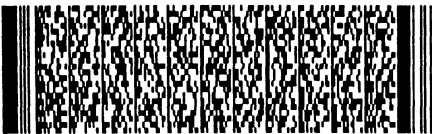


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共6人)	姓 名 (中 文)	6. 胡正明
	姓 名 (英 文)	6. Chenming Hu
	國 籍 (中 英 文)	6. 美國 US
	住居所 (中 文)	6. 美國, 加州94507, 阿拉摩, 拜博道2060號
	住居所 (英 文)	6. 2060 Pebble Drive, Alamo, CA 94507, U. S. A.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	
	名稱或 姓 名 (英 文)	
	國 籍 (中 英 文)	
	住居所 (營 業 所) (中 文)	
	住居所 (營 業 所) (英 文)	
	代表人 (中 文)	
	代表人 (英 文)	



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

美國 US

2003/04/30

10/426,566

有

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

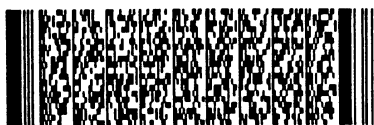
☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。

五、發明說明 (1)

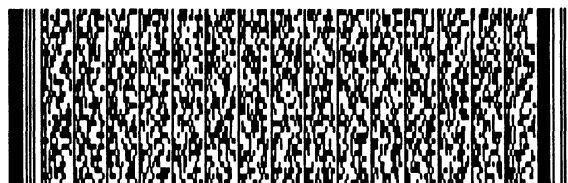
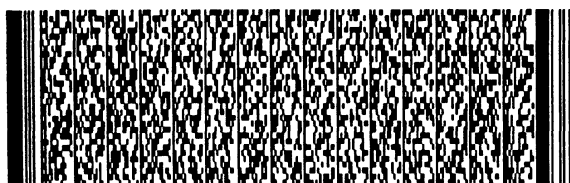
發明所屬之技術領域

本發明係有關於一種半導體積體電路技術，且特別是有關於一種可同時具有部分空乏電晶體與完全空乏電晶體之晶片及其製作方法。

先前技術

隨著半導體集積度的增加，半導體元件的尺寸必須隨之縮小。而為了提供更良好的元件性能，絕緣層上覆矽 (silicon on insulator; SOI) 的半導體基底被提出來，絕緣層上覆矽 (semiconductor on insulator; SOI) 之積體電路元件係將傳統之元件 (active devices) 設置於一絕緣層上有半導體層之晶圓 (silicon on insulator wafer) 上，上述晶圓例如為一絕緣層上有矽之晶圓 (silicon on insulator wafer)。絕緣層上覆矽 (SOI) 具有以下優點 (1) 降低短通道效應 (Short Channel Effect) (2) 消除閉鎖現象 (Latch-up Effect) (3) 降低寄生汲極/源極電容 (Parasitic Source/Drain Capacitance) (4) 減少軟錯效應 (Soft Error Effect) (5) 降低基材漏電流 (Substrate Leakage Current) (6) 製程簡化容易與矽晶製程相容 ... 等等。因此，藉由 SOI 技術可形成具有較佳速度表現、較高積集度以及較低消耗功率之積體電路元件。

絕緣層上覆矽 (SOI) 又可分為部分空乏絕緣層上覆矽 (partially-depleted SOI) 與完全空乏絕緣層上覆矽



五、發明說明 (2)

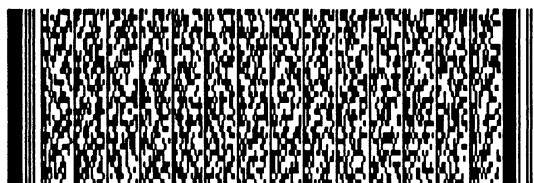
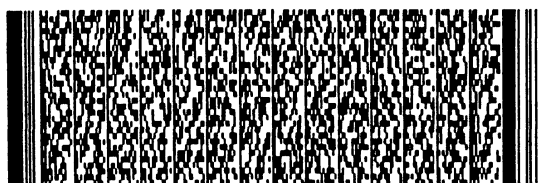
(fully-depleted SOI) 兩種。部分空乏金氧半導體場效應電晶體(metal-oxide-semiconductor field effect transistors ; MOSFET)的通道區厚度大於最大空乏層寬度，而部分空乏金氧半導體場效應電晶體(metal-oxide-semiconductor field effect transistors ; MOSFET)的通道區厚度小於最大空乏層寬度。部分空乏金氧半導體場效應電晶體(PD MOSFET)的電荷載子會累積在汲極/源極附近的通道區下方矽層基底內，造成通道區電位改變，而產生浮體效應(floating body effect)，進而造成電流的突變(kink)，導致元件功能退化。

改善浮體效應的方法之一為將通道區下方的矽層基底外接一電性導體，以蒐集衝擊離子化(impact ionization)所產生的電流，針對這方面技術已有許多方法被提出來，但仍有許多缺點有待改進。美國專利第4946799號與第6387739號都是揭示有關改善浮體效應的方法。

克服浮體效應的另一種有效方法，便是採用完全空乏金氧半導體場效應電晶體(FD MOSFET)。

美國專利第6222234號提供一種於單一基底上製作完全空乏金氧半導體場效應電晶體(FD MOSFET)與部分空乏金氧半導體場效應電晶體(PD MOSFET)的方法。

美國專利第6414355號與第6448114號都揭示有關於厚度不均勻的絕緣層上覆矽基底之半導體技術。



五、發明說明 (3)

美國專利第6448114號更是揭示將完全空乏金氧半導體場效應電晶體(FD MOSFET)製作於一厚度較薄的矽層基底，而部分空乏金氧半導體場效應電晶體(PD MOSFET)則製作於一厚度較厚的矽層基底。

然而，完全空乏金氧半導體場效應電晶體的矽層基底厚度較薄或被施以離子摻雜。製作完全空乏金氧半導體場效應電晶體(FD MOSFET)需要選擇性磊晶(selective epitaxy)，技術尚未發展成熟，不僅良率不佳，並且價格昂貴，急需發展更佳的製造技術。

有鑑於此，為了解決上述問題，本發明主要目的在於提供一種可同時具有部分空乏電晶體與完全空乏電晶體之晶片，可適用於絕緣層上覆矽基底之單一晶片。

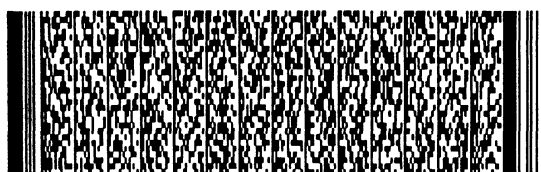
發明內容

本發明之目的之一在於提供一種可同時具有部分空乏電晶體與完全空乏電晶體之晶片，具有新的完全空乏電晶體結構，以提供良好的元件功能。

本發明之目的之二在於提供一種可同時具有部分空乏電晶體與完全空乏電晶體之晶片的製作方法，可運用習知既有的半導體製程技術，步驟不複雜，容易掌控。

本發明主要提出兩種不同型態的完全空乏電晶體，並且將完全空乏電晶體與部分空乏電晶體整合於單一晶片上。

本發明之第一主要特徵在於透過調整閘極層的長度，



五、發明說明 (4)

以決定平面電晶體是完全空乏或是部份空乏。完全空乏電晶體的閘極層長度較部分空乏電晶體的閘極層長度為長。如此一來，在單一晶片上就可同時製備完全空乏電晶體與部分空乏電晶體。

為獲致上述之目的，本發明提出一種可同時具有部分空乏電晶體與完全空乏電晶體之晶片，主要係包括：

一半導體基底；一完全空乏平面電晶體，具有一長閘極層，且設置於上述半導底基底上；以及一部份空乏平面電晶體，具有一短閘極層，且設置於上述半導底基底上；其中上述長閘極層之長度大於上述短閘極層。

如前所述，上述半導體基底可由一依序堆疊之一第一矽層、一絕緣層與一第二矽層所構成。

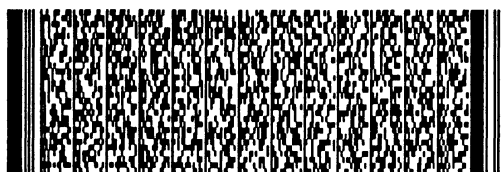
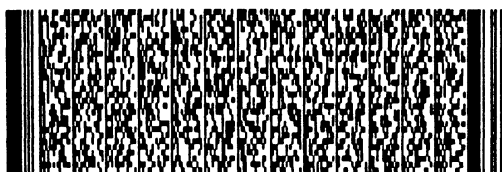
如前所述，上述完全空乏平面電晶體下方之上述第二矽層具有濃度大體為 $10^{16} \sim 10^{18} \text{ cm}^{-3}$ 之摻雜物，而上述部分空乏平面電晶體下方之上述第二矽層具有濃度大體為 $10^{18} \sim 2 \times 10^{19} \text{ cm}^{-3}$ 之摻雜物。

如前所述，上述完全空乏平面電晶體之上述長閘極層的長度大於寬度，而上述部分空乏平面電晶體之上述短閘極層的寬度大於長度。

如前所述，上述第二矽層之厚度大體為 $10 \sim 2000 \text{ \AA}$ 。

如前所述，上述完全空乏平面電晶體之上述長閘極層的長度大體為 $120 \sim 1000 \text{ nm}$ ，而上述部分空乏平面電晶體之上述短閘極層的長度大體為 $9 \sim 100 \text{ nm}$ 。

如前所述，本發明之晶片更包括：一多重閘極電晶



五、發明說明 (5)

體，設置於上述半導體基底上方。上述多重閘極電晶體可以為完全空乏，上述多重閘極電晶體之寬度小於70nm。

本發明之第二主要特徵在於透過調整電晶體主動區的寬度，以決定電晶體是完全空乏或是部份空乏。完全空乏電晶體的主動區寬度較部分空乏電晶體的主動區寬度為窄。不斷地減少主動區的寬度，可以形成一多重閘極電晶體，當該多重閘極電晶體的主動區寬度減少至小於空乏區寬度的兩倍時，該多重閘極電晶體便是完全空乏。如此一來，在單一晶片上就可同時製備完全空乏電晶體與部分空乏電晶體。

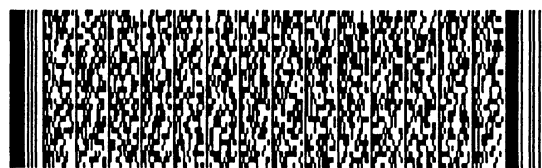
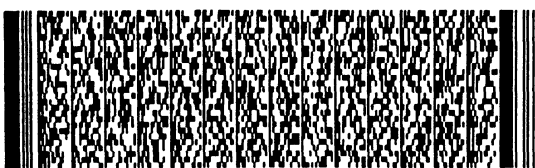
為獲致上述之目的，本發明提出一種可同時具有部分空乏電晶體與完全空乏電晶體之晶片，主要包括：

一半導體基底；以及一多重閘極電晶體，設置於上述半導體基底上。上述多重閘極電晶體，包括：

一鰭形半導體層，位於上述半導體基底上，其中上述鰭形半導體層具有一源極、一汲極以及位於上述源極和上述汲極之間之一通道區，且上述鰭形半導體層中具有一應變；

一閘極介電層，位於上述鰭形半導體層之上述通道區表面；以及

一閘極電極，位於上述閘極介電層上，並包覆對應於上述通道區之上述鰭形半導體層之兩側壁和一頂面；其中，上述鰭形半導體層之寬度小於空乏區最大寬度的兩倍。



五、發明說明 (6)

如前所述，本發明之晶片包括：一平面電晶體，設置於上述半導體基底上。上述平面電晶體可以為完全空乏，也可以為部分空乏。當上述平面電晶體為完全空乏，則具有一長閘極層，且上述長閘極層的長度大於寬度，上述長閘極層的長度大體為120~1000nm。當上述平面電晶體為部份空乏，則具有一短閘極層，且上述短閘極層的長度小於寬度，上述短閘極層的長度大體為9~100nm。

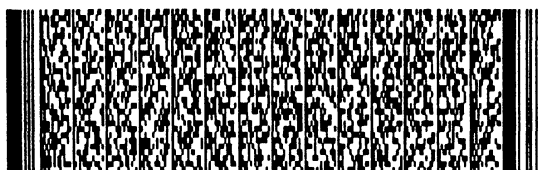
根據本發明，上述多重閘極電晶體為完全空乏，上述鰭形半導體層之寬度小於70nm。上述鰭形半導體層之厚度大體為20~1000 Å。

如前所述，上述多重閘極電晶體更可包括：一應力膜層，位於上述源極和上述汲極上。上述應力膜層的材質可包括氮化矽。

如前所述，上述鰭形半導體層可具有圓滑化之上部邊角(rounded corner)，上述圓滑化之上部邊角的半徑大體為200 Å。

如前所述，上述鰭形半導體層中之上述應變為沿上述源極至上述汲極方向之拉伸應變。上述鰭形半導體層中之上述拉伸應變量為0.1%至2%。

如前所述，上述閘極介電層的材質例如為氧化矽、氮氧化矽、或相對電容率(relative permittivity)大於5之介電材質。上述相對電容率大於5之介電材質可以為氧化鋁(Al_2O_3)、氧化鈦(HfO_2)、氮氧化矽鈦(HfSiN_xO_y)、矽化鈦(HfSi_4)、氧化鋯(ZrO_2)、矽化鋯



五、發明說明 (7)

(ZrSi_4) 或氧化鋁(La_2O_3)。

如前所述，上述閘極介電層的等效氧化層厚度例如為 $3\sim 100\text{ \AA}$ 。上述鰭形半導體層的側壁之上上述閘極介電層的厚度可以不同於頂部之厚度，例如：上述鰭形半導體層的側壁之上上述閘極介電層的厚度小於頂部之厚度，則上述鰭形半導體層的頂部之上上述閘極介電層的等效氧化層厚度約小於 $20\text{ \AA}$ 。

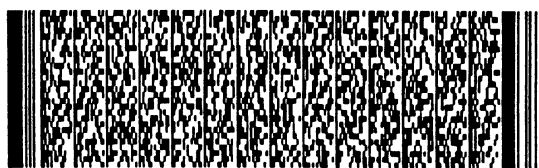
如前所述，上述閘極電極為一金屬、一金屬矽化物或一金屬氮化物，其材質包括一多晶矽或一多晶鍺。

如前所述，上述多重閘極電晶體更包括：一間隔物，設置於上述閘極電極沿上述汲極與上述源極方向的兩側壁上。上述間隔物沿著上述汲極與上述源極之延伸寬度大體為 $500\text{ \AA}$ 。

如前所述，上述閘極電極之閘極長度小於 65 nm 。

如前所述，本發明之晶片更包括：一隔離區，包圍於上述多重閘極電晶體周圍，以提供電性隔離。上述隔離區係可以由一絕緣物所構成，則上述鰭形半導體層表面與上述隔離區表面之高度差大體為 $200\sim 400\text{ \AA}$ 。上述隔離區也可以藉由一平台式隔離達成電性隔離，則上述鰭形半導體層表面與上述平台式隔離表面之高度差大體為 $200\sim 400\text{ \AA}$ 。

合併前述第一主要特徵與第二主要特徵，本發明又提出一種可同時具有部分空乏電晶體與完全空乏電晶體之晶片，主要包括：



五、發明說明 (8)

一半導體基底；一平面電晶體，設置於上述半導體基底上；以及一多重閘極電晶體，設置於上述半導體基底上。上述多重閘極電晶體包括：

一鰭形半導體層，位於上述半導體基底上，其中上述鰭形半導體層具有一源極、一汲極以及位於上述源極和上述汲極之間之一通道區，且上述鰭形半導體層中具有一應變；

一閘極介電層，位於上述鰭形半導體層之上述通道區表面；以及

一閘極電極，位於上述閘極介電層上，並包覆對應於上述通道區之上述鰭形半導體層之兩側壁和一頂面。

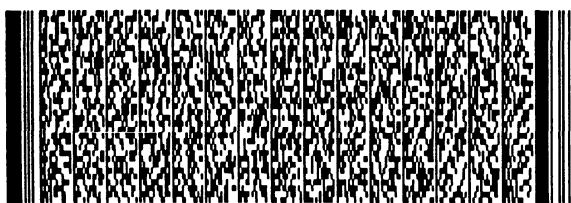
為獲上述目的，本發明更提出一種可同時具有部分空乏電晶體與完全空乏電晶體之晶片的製作方法，包括：

首先，提供一半導體基底。然後，形成一平面電晶體於上述半導體基底上方。並且，形成一多重閘極電晶體於上述半導體基底上方，其中上述多重閘極電晶體包括：

一鰭形半導體層，位於上述半導體基底上，其中上述鰭形半導體層具有一源極、一汲極以及位於上述源極和上述汲極之間之一通道區，且上述鰭形半導體層中具有一應變；

一閘極介電層，位於上述鰭形半導體層之上述通道區表面；以及

一閘極電極，位於上述閘極介電層上，並包覆對應於上述通道區之上述鰭形半導體層之兩側壁和一頂面。



五、發明說明 (9)

為使本發明之上述目的、特徵和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

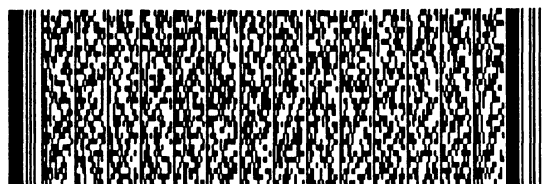
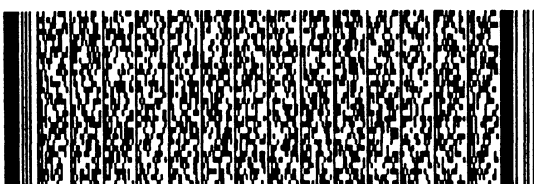
實施方式

本發明將一部份空乏絕緣層上覆矽與一完全空乏絕緣層上覆矽電晶體同時整合於一晶片上，並且增大應變效應，以改善超大(ultra-scaled)積體電路的載子遷移率(carrier mobility)與元件功能。

本發明提供兩種不同結構的完全空乏電晶體，利用兩種手段1. 調整通道的長度並且配合調整通道摻雜的濃度，2. 調整主動區的寬度，來達成備製部分空乏(PD)電晶體與完全空乏(FD)電晶體於單一晶片上，如此一來，就可以在一厚度薄的矽層上，備製出部分空乏電晶體與完全空乏電晶體。

以下將配合第1A圖至第1G圖之立體圖，詳細說明本發明之可同時具有部分空乏電晶體與完全空乏電晶體之晶片及其製作方法。

請先參照第1F圖，說明本發明之可同時具有部分空乏電晶體與完全空乏電晶體之晶片結構之一較佳實施例。根據本發明之晶片主要包括：一半導體基底102、設置於半導體基底102上之至少一平面電晶體120、130、設置於半導體基底102上之一多重閘極電晶體140。其中，平面電晶體120、130可以為部分空乏電晶體120，也可以為完全空



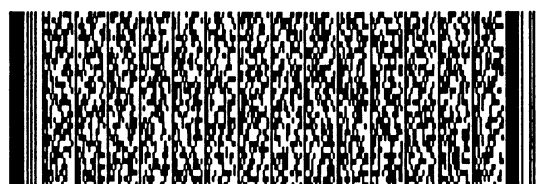
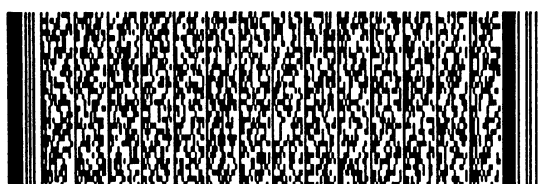
五、發明說明 (10)

乏電晶體130。多重閘極電晶體140係為完全空乏電晶體。

部分空乏平面電晶體120如同一般習知平面電晶體，包括：設置於半導體基底102上之一閘極層122b、設置於閘極層122b與半導體基底102之間之一閘極介電層124b、設置於閘極層122b側壁之一間隔物(spacer)126b以及形成於閘極層122b外側之半導體基底102表面之汲極與源極S/D。閘極層122b的長度小於寬度。閘極層122b的長度大體為40~60nm。

根據本發明之第一主要技術特徵，即延長閘極層122b的長度，可使平面電晶體由部份空乏轉變成完全空乏。便獲得完全空乏平面電晶體130，包括：設置於半導體基底102上之一閘極層122c、設置於閘極層122c與半導體基底102之間之一閘極介電層124c、設置於閘極層122c側壁之一間隔物126b以及形成於閘極層122c外側之半導體基底102表面之汲極與源極S/D。完全空乏平面電晶體130的閘極層120c長度較部分空乏平面電晶體120的閘極層122b長度為長。閘極層120c的長度大於寬度。閘極層120c的長度大體為120~1000nm。值得注意的是，這裡所指的閘極層長度，係指與沿著汲極經由通道(channel)至源極的方向相互平行的方向之尺寸，即為第1F圖中之LL'方向的尺寸，也就是熟知此技藝人士所指的通道長度。

另外，半導體基底102係由一依序堆疊之一第一矽層102、一絕緣層104與一第二矽層106所構成。絕緣層104例如為埋入式氧化矽層，第二矽層106之厚度大體為10~2000

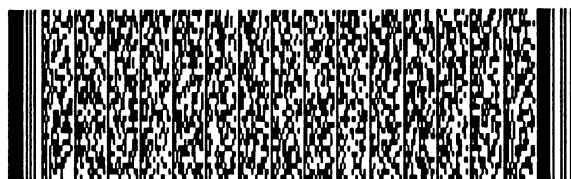
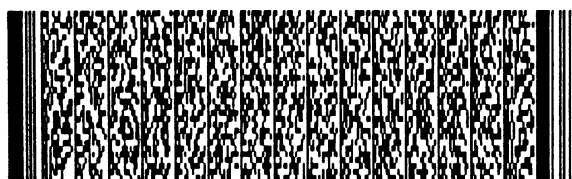


五、發明說明 (11)

A。完全空乏平面電晶體130下方之第二矽層106具有濃度大體為 $10^{16} \sim 10^{18} \text{ cm}^{-3}$ 之摻雜物，而部分空乏平面電晶體120下方之第二矽層106具有濃度大體為 $10^{18} \sim 2 \times 10^{19} \text{ cm}^{-3}$ 之摻雜物。

根據本發明之第二主要特徵，縮窄電晶體主動區的寬度，可使平面電晶體由部份空乏轉變為完全空乏。便獲得完全空乏平面電晶體140，包括：一鰭形半導體層106a、一閘極介電層124a、一閘極電極122a、一汲極與源極S/D以及一間隔物126a。其中，鰭形半導體層106a，位於半導體基底102上，其中鰭形半導體層106a具有一源極/汲極S/D以及位於源極/汲極S/D之間之一通道區。另外，閘極介電層124a，位於鰭形半導體層122a之通道區表面。並且，閘極電極122a，位於閘極介電層124a上，並包覆對應於通道區之鰭形半導體層122a之兩側壁和一頂面。完全空乏多重閘極電晶體140的寬度(也就是其主動區寬度)較部分空乏平面電晶體120的寬度為窄。值得注意的是，這裡所指的電晶體寬度，係指與前述閘極層長度同一平面且垂直於閘極層長度方向之空間尺寸，即為第1F圖中之WW'方向的尺寸。當多重閘極電晶體140的主動區寬度減少至小於其空乏區最大寬度的兩倍時，則多重閘極電晶體140便是完全空乏。

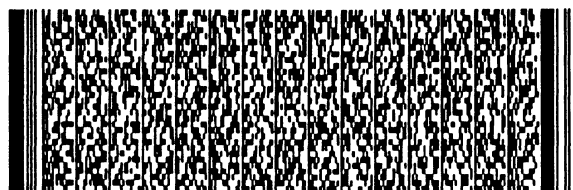
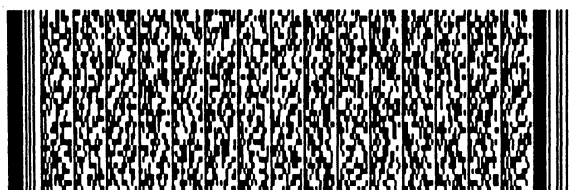
根據本發明之完全空乏多重閘極電晶體140，鰭形半導體層106a之寬度小於70nm。並且，請參照第1G圖，多重閘極電晶體140更包括：一應力膜層150，位於源極和汲極



五、發明說明 (12)

S/D 上，使源極和汲極 S/D 具有一應變，其中應力膜層 150 的材質包括氮化矽，此應變可為沿上述源極至上述汲極方向之拉伸應變，拉伸應變量約為 0.1% 至 2%。鰭形半導體層 106a 具有圓滑化之上部邊角(rounded corner)，其厚度大體為 20~1000 Å，圓滑化之上部邊角的半徑大約為 200 Å。再者，閘極介電層 124a 的材質例如為氧化矽、氮氧化矽、或相對電容率 (relative permittivity) 大於 5 之介電材質，其中相對電容率大於 5 之介電材質包括氧化鋁 (Al_2O_3)、氧化鈦 (HfO_2)、氮氧化矽鈦 (HfSiN_xO_y)、矽化鈦 (HfSi_4)、氧化鋯 (ZrO_2)、矽化鋯 (ZrSi_4) 或氧化釷 (La_2O_3)。閘極介電層 124a 的等效氧化層厚度可為 3~100 Å。並且，鰭形半導體層 106a 的側壁之閘極介電層 124a 的厚度可以不同於頂部之厚度，鰭形半導體層 106a 的側壁之閘極介電層 124a 的厚度最好小於頂部之厚度，頂部之閘極介電層 124a 的等效氧化層厚度例如小於 20 Å。再者，閘極電極 122a 可為一金屬、一金屬矽化物或一金屬氮化物，其材質包括一多晶矽或一多晶鍺，其長度約小於 65nm。另外，多重閘極電晶體 140 更包括：一間隔物 126a，設置於閘極電極 140 沿汲極與源極 S/D 方向的兩側壁上，其寬度大約為 500 Å。

根據本發明之晶片上更包括：材質例如為絕緣物之一隔離區 (STI)，包圍各電晶體 120、130、140 周圍，以提供電性隔離，而隔離區 (STI) 可以由一絕緣物所構成，本發明之多重閘極電晶體 140 周圍之隔離區 (STI) 絕緣層厚度可



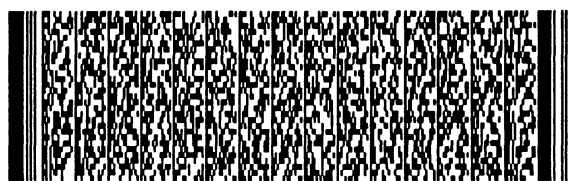
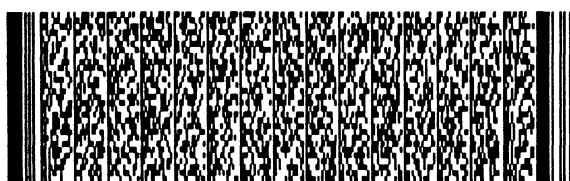
五、發明說明 (13)

以較其他區域隔離區絕緣物為薄，使得鰭形半導體層106a表面與隔離區(STI)表面之高度差大約為200~400 Å，甚至多重閘極電晶體140隔離區的絕緣物可以完全去除，再此定義為一平台式隔離(mesa isolation)，而在後段製程製作內連線線時，會填入內層介電層，以達成電性隔離，如此鰭形半導體層106a表面與平台式隔離表面之高度差大體為200~400 Å。

如此一來，在單一晶片上就可同時製備完全空乏電晶體130、140與部分空乏電晶體120，而完全空乏電晶體可以由具有長閘極層之平面電晶體130所構成，也可以由具有窄主動區寬度的多重閘極電晶體140所構成。為了清楚起見，本實施例之晶片共包括了3種型態電晶體，並非一晶片必須同時皆包括此3種型態電晶體，熟知此技藝人士可視實際需求調整晶片上前述電晶體的種類數及其組合，例如：單一晶片包括一部分空乏平面電晶體與一完全空乏平面電晶體、單一晶片包括一部分空乏平面電晶體與一完全空乏多重閘極電晶體或單一晶片包括一部分空乏平面電晶體、完全空乏平面電晶體與一完全空乏多重閘極電晶體…等，在此並不加以設限。

以下請參照第1A圖至第1G圖，說明本發明之可同時具有部分空乏電晶體與完全空乏電晶體之晶片製作方法之一較佳實施例。

請參照第1A圖，首先提供一半導體基底102，可以為一半導體層/絕緣層疊置型基底，例如為一矽層/氧化矽層

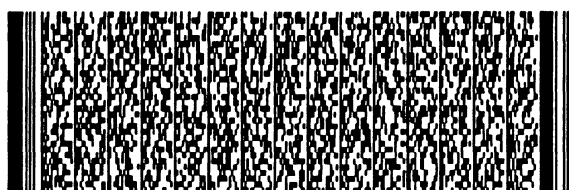
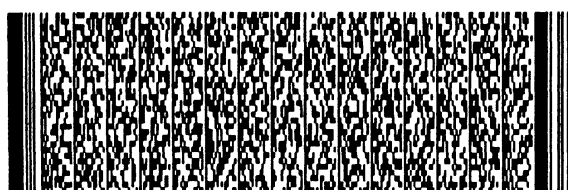


五、發明說明 (14)

疊置型基底 (silicon on insulator substrate ; SOI substrate) 108，其包括一第一矽層102、一絕緣層104和一第二矽層106，其中絕緣層104例如為埋入式氧化矽層。在此實施例中係以該種型式之基底為例，當然半導體層的材質和絕緣層的材質並不限定於此，例如矽鍺亦可做為半導體層。

接著請參照第1B圖，於第二矽層106中預計形成平面電晶體120、130之區域定義出主動區矽層106b、106c，且在預計形成多重閘極電晶體140之區域定義出鰭形矽層 (silicon fins) 106a，以做為通道層之用。其中鰭形矽層106a的寬度小於70nm，高度約為20~1000 Å。完全空乏平面電晶體130之閘極層長度約為120~1000nm。並且第二矽層106被施以摻雜物。預計形成完全空乏平面電晶體130之第二矽層106c具有濃度大體為 $10^{16} \sim 10^{18} \text{ cm}^{-3}$ 之摻雜物，而預計形成部分空乏平面電晶體120之第二矽層106b具有濃度大體為 $10^{18} \sim 2 \times 10^{19} \text{ cm}^{-3}$ 之摻雜物。部分空乏平面電晶體120之閘極層122b的長度大約為9~100nm。完全空乏平面電晶體130之閘極層120c的長度大體為120~1000nm，定義主動區時需做應對調整。

定義第二矽層106的方法例如是於第二矽層106上形成一罩幕層，並以該罩幕層為蝕刻罩幕，以將該罩幕層的圖案轉移至其下方之第二矽層106中。此罩幕層可為光阻層 (photoresist layer)、能量敏感層 (energy sensitive layer)、氧化矽層、氮化矽層、或其他材質



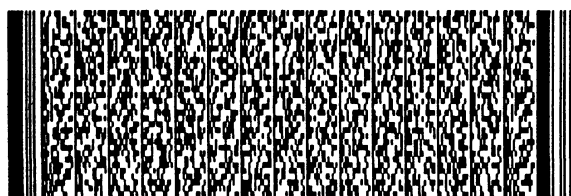
五、發明說明 (15)

之罩幕層。

接著，可對鰭形矽層106a進行側表面平滑化處理，以降低鰭形矽層106a側表面之粗糙度。側表面平滑化處理的方法為犧牲性氧化處理和側壁處理，其中側壁處理的方法例如是在1000 C含氫(H₂)的環境下進行高溫回火。當鰭形矽層106a的側表面經犧牲性氧化處理時，會於表面氧化生成一層氧化矽，藉此修復表面於蝕刻過程中所受到的傷害，並將上部邊角圓滑化，如第2圖所示，再將氧化矽移除。表面平滑化的目的在於使元件具有好的載子遷移率，以及利於後續形成可靠度佳的閘極介電層。將鰭形半導體層106a上部邊角圓滑化I，可以避免因為應力集中於角落所導致缺陷傳播和延伸的問題，可以使閘極電流穩定。缺陷可能是由於製程不良率或元件退化所產生的。

接著，將具有乾淨且平整表面之圖案化第二矽層106a、106b、106c上方的罩幕層移除。移除的方法可為電漿蝕刻或濕蝕刻，濕蝕刻所使用的蝕刻劑可為稀釋的氫氟酸(DHF)。在此蝕刻過程中，圖案化第二矽層106a、106b、106c底部可能發生底切(undercut)或凹槽(notch)。

接著，如第1C圖所示，形成一淺溝槽隔離物(shallow trench isolation; STI)於圖案化矽層106a、106b、106c周圍之半導體基底102表面。例如先全面性以適當沉積法，例如化學氣相沉積(chemical vapor deposition; CVD)形成一材質例如為氧化物的隔離物於半

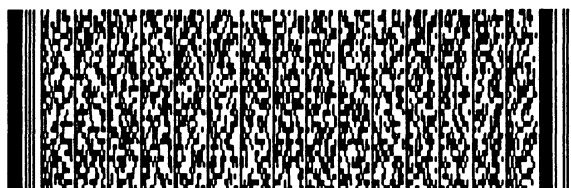
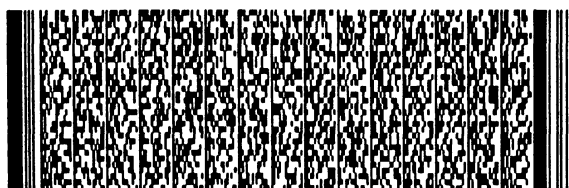


五、發明說明 (16)

導體基底102表面，然後經過化學機械研磨與選擇性蝕刻，將部份隔離物去除，僅留下平面電晶體120、130、140之圖案化矽層106a、106b、106c周圍隔離物，以做為電晶體之間的淺溝槽隔離物(STI)，其中多重閘極電晶體140周圍的隔離物STI厚度較其他區域隔離區絕緣物為薄，使得鰭形半導體層106a表面與隔離區(STI)表面之高度差大約為200~400 Å，甚至多重閘極電晶體140隔離區的絕緣物可以完全去除，以平台式隔離(mesa isolation)做電性隔離。

接著，如第1D圖所示，分別於圖案化第二矽層106a、106b、106c表面形成一層閘極介電層124a、124b、124c，平面電晶體120、130之閘極介電層124b、124c係形成於圖案化第二矽層106b、106c頂部，而多重閘極介電層140之閘極介電層124a形成於鰭形矽層106a的頂部與側壁，其形成方法例如是熱氧化法、化學氣相沈積法、濺鍍等，其材質可為氧化矽、或氮氧化矽。通常，鰭形矽層106a的側壁和頂部之閘極介電層124a具有不同的厚度，通常是頂部之閘極介電層124a的厚度較側壁為厚，其厚度約為3埃至100埃，較佳的是10埃以下，頂部部份的厚度較佳的是20埃以下；或者為高介電常數的材質，例如氧化鋁(Al_2O_3)、氧化鈦(HfO_2)、氧化鋯(ZrO_2)、或其他類似此性質者，其等效氧化層厚度(equivalent oxide thickness)約為3至100埃。

接著，形成一層導電層於閘極介電層124a、124b、



五、發明說明 (17)

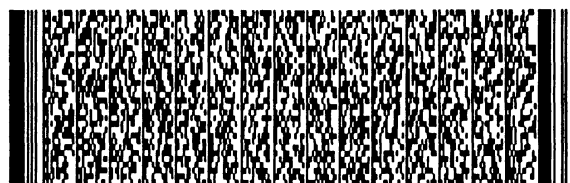
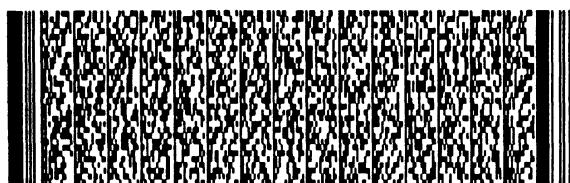
124c 上，其材質可為多晶矽、多晶矽鍺、耐火金屬 (refractory metal)、類金屬化合物、或其他導電材質，其中耐火金屬可為鉬 (Mo)、鎢 (W) 等，類金屬化合物可為氮化鈦。

接著，於導電層上覆蓋一圖案化罩幕層，並藉由蝕刻，將圖案化罩幕層的圖案轉移至導電層中，以形成閘極電極 122a、122b、122c，平面電晶體 120、130 之閘極層 122b、122c 形成於閘極介電層 124b、124c 上方，而多重閘極電晶體 140 之閘極層 122a 則形成於閘極介電層 124a 上，並包覆對應於通道區之鰭形半導體層 106a 之兩側壁和一頂面，如第 1E 圖所示。以材質為多晶矽的導電層以及材質為氮氧化矽的閘極介電層 124a、124b、124c 為例，其蝕刻條件例如是含氯和溴的蝕刻氣體進行電漿蝕刻，其多晶矽對氮氧化矽的蝕刻選擇比超過 2000。

在完成閘極電極 122a、122b、122c 的定義後，則移除其上方之圖案化罩幕層。

接著，進行源極/汲極的淡摻雜製程，其形成方法例是以離子植入、電漿侵入式離子植入 (plasma immersion ion implantation, PIII)、或是其他的技術來進行。

接著，藉由沈積以及選擇性非等向性地蝕刻介電材質，以於閘極電極 122a、122b、122c 之側壁形成間隙壁 126a、126b、126c，間隙壁 126 的材質可為氮化矽或氧化矽，如第 1F 圖所示。之後進行源極/汲極的濃摻雜製程，其形成方法例是以離子植入、電漿侵入式離子植入、固體

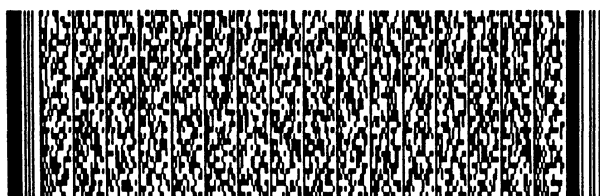


五、發明說明 (18)

源擴散 (solid source diffusion) 、或是其他的技術。在此步驟中，亦可以根據需要，同時將離子摻雜入閘極電極122a、122b、122c，藉此提高其導電性。任何植入的傷害或非晶化可藉由後續高溫回火製程而獲得改善。經過上述之源極/汲極的淡摻雜製程和濃摻雜製程後，於閘極電極122a、122b、122c兩側的圖案化第二矽層106a、106b、106c中形成具有淺摻雜汲極結構 (lightly doped drain) LDD之源極/汲極S/D。並且，平面電晶體120、130之圖案化矽層106b、106c的通道區可以施以一super halo佈植，由於部分空乏電晶體120之通道長度短，所以通道兩側之super halo佈植區域會在通道中間區域重疊。

接著，為了降低源極/汲極S/D的片電阻，可以在源極/汲極S/D表面形成一層導電層，意即，此導電層形成於鰭形矽層106a的頂部和側壁以及圖案化矽層106b、106c之汲極/源極S/D表面。導電層的材質例如是以自動對準金屬矽化物製程 (self-aligned silicide process, salicide process) 形成之金屬矽化物，例如矽化鈷。該材質亦可為金屬、多晶矽、或是磊晶矽。

之後，沈積一層高應力膜層150覆蓋於多重閘極電晶體140之閘極電極122a上，其厚度約為50~1000埃，如第16圖所示。由於鰭形矽層106a和高應力膜層150兩者之間的熱膨脹係數 (thermal expansion coefficient) 及楊氏係數 (Young's modulus) 有很大的差異，使得在經過半導體製程中所需的高溫沈積或熱回火製程後，高應力膜層



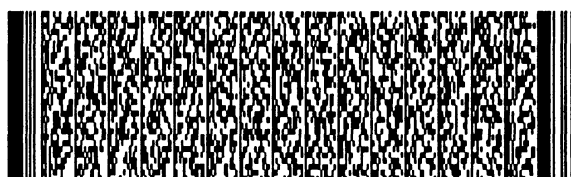
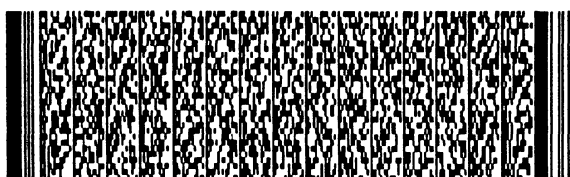
五、發明說明 (19)

150 自高溫降溫時的收縮速度和鰭形矽層106a的收縮速度會有很大的差異，因此會將應力導入鰭形矽層106a的通道區中，產生的應力可能是數百MPa甚至超過1GPa。

如果高應力膜層150的熱膨脹係數小於鰭形矽層106a，則鰭形矽層106a會感受到壓縮應變 (compressive strain)。若高應力膜層150施與通道區的應變為壓縮應變，則電洞載子的遷移率可獲得提昇。因此，覆蓋於高應力膜層150下方之閘極電極122a和源極/汲極S/D構成之電晶體為PMOS電晶體。上述之應變係指沿源極至汲極方向之壓縮應變，鰭形矽層106a中之壓縮應變強度為0.1%至2%，較佳的是1%至2%，應力約為-500~1500MPa，其中負值代表係一壓縮應力，則正值代表係一拉伸應力。

如果高應力膜層150的熱膨脹係數大於鰭形矽層26a，則鰭形矽層106a會感受到拉伸應變 (tensile strain)。若高應力膜層150施與通道區的應變為拉伸應變，則電子和電洞載子兩者的遷移率均可獲得提昇。因此，覆蓋於高應力膜層150下方之閘極電極122a和源極/汲極S/D構成之電晶體可為PMOS電晶體和NMOS電晶體。上述之應變係指沿源極至汲極方向之拉伸應變，鰭形矽層106a中之拉伸應變強度為0.1%至2%，較佳的是1%至2%。

就高應力膜層150而言，藉由控制形成的條件，可以調整所形成的膜層之應力大小，根據研究，可控制應力的因素有溫度、壓力或製程氣體的流速比。舉例而言，利用電漿增強型化學氣相沈積的氮化矽 (plasma-enhanced



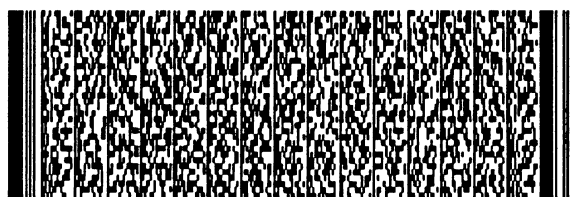
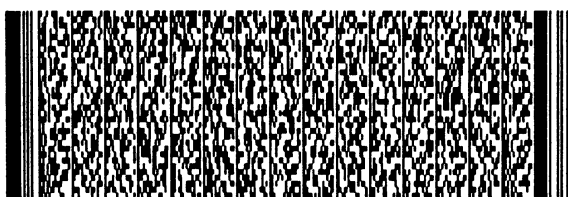
五、發明說明 (20)

chemical vapor deposited silicon nitride) 可以導入至通道區中的應力可為拉伸應力或壓縮應力，端視沈積的條件而定。此外，若選擇氧化矽製備高應力膜層150，還可以藉由改變摻雜的物質及摻雜的濃度來改變其熱膨脹係數及楊氏係數，可以摻雜的物質例如是銻 (Ga)、氮 (N) 或耐火的金屬 (refractory metal)。

發明功效

當主動區的寬度 W 越小，則應力膜層與鰭狀半導體基底接觸的面積則越大，因此，應力效應會隨著主動區寬度 W 的減少而增強。如第2A圖與第2B圖所示，當主動區寬度 W 由1200nm(第2A圖)減少至110nm(第2B圖)，在電晶體關閉狀態(off-state)下，漏電流(leakage)約為300nA/mm，應變感應驅動電流由10%增加到17%。

關於通道長度、主動區寬度與完全空乏電晶體、部分空乏電晶體之間的關係，經由實驗，得到以下結果。第3A圖與第3B圖係顯示部分空乏電晶體與完全空乏電晶體之主動區寬度 W 與通道長度 L_g 的關係示意圖。第3A圖係一N型電晶體的實驗結果，平面部分空乏電晶體與平面完全空乏電晶體的主動區大於50nm，而非平面式多重閘極完全空乏電晶體的主動區寬度小於50nm。第3B圖係一P型電晶體的實驗結果。在主動區寬度固定的情況下，欲將部分空乏電晶體轉變成完全空乏電晶體的方法為增加閘極長度。另外，當主動區寬度小於50nm以下，便會形成多重閘極電晶體。



五、發明說明 (21)

第3B圖中P型電晶體可形成部分空乏的範圍較第3A圖中N型電晶體可形成部分空乏的範圍為小。這是因為P形電晶體中的衝擊離子化引發寄生雙極化反應(impact ionization induced parasitic bipolar action)較弱。

發明優點

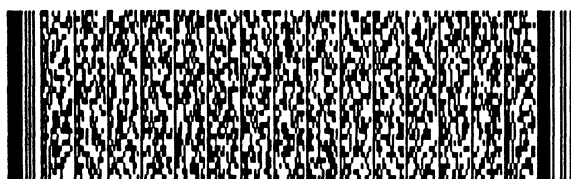
1. 根據本發明之具有長通道的完全空乏平面電晶體或多重閘極完全空乏電晶體皆可有效克服浮體效應(floating body effect)的問題。

2. 根據本發明之多重閘極電晶體，可視為三個並聯的電晶體，分別位於鰭形矽層兩側及頂面。該結構可有效提高元件的電流量，並且無須縮短通道長度，可以有效控制短通道效應(short-channel effect)。

3. 根據本發明之應力膜層，可使應力導入通道區中，以提高載子的遷移率，進而提升元件的操作效能。

4. 本發明之具有多重閘極及應變的通道層之電晶體，藉由其垂直型的結構，使電晶體的積集度可以有效地提昇

本發明雖以較佳實施例揭露如上，然其並非用以限定本發明的範圍，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可做各種的更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

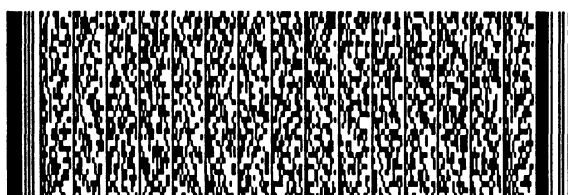
第1A圖至第1G圖係顯示本發明之可同時具有部分空乏電晶體與完全空乏電晶體之晶片的製作方法之一較佳實施例之製程立體圖。

第2A圖與第2B圖係顯示不同主動區寬度之電晶體的電性分析結果。

第3A圖與第3B圖係顯示不同主動區寬度與不同通道長度之下，部分空乏電晶體與完全空乏電晶體之的關係示意圖。

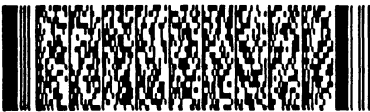
符號說明

- 108~半導體基底；
- 120~部分空乏平面電晶體；
- 130~完全空乏平面電晶體；
- 140~多重閘極電晶體；
- 122a、122b、122c~閘極層；
- 124a、124b、124c~閘極介電層；
- 126a、126b、126c~間隔物；
- S/D~汲極/源極；
- 102~第一矽層；
- 104~絕緣層；
- 106~第二矽層；
- 106a~鰭形半導體層；
- 150~應力膜層；
- STI~隔離區；



圖式簡單說明

106b、106c~圖案化第二矽層。



四、中文發明摘要 (發明名稱：可同時具有部分空乏電晶體與完全空乏電晶體之晶片)

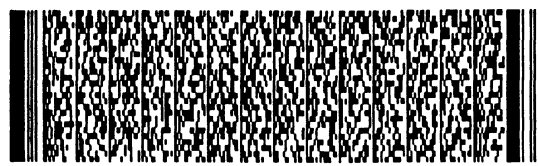
本發明主要提出兩種不同型態的完全空乏電晶體，並且將完全空乏電晶體與部分空乏電晶體整合於單一晶片上。可透過調整閘極層的長度，以決定平面電晶體是完全空乏或是部份空乏。完全空乏電晶體的閘極層長度較部分空乏電晶體的閘極層長度為長。或是透過調整電晶體主動區的寬度，以決定電晶體是完全空乏或是部份空乏。完全空乏電晶體的主動區寬度較部分空乏電晶體的主動區寬度為窄。不斷地減少主動區的寬度，可以形成一多重閘極電晶體，當該多重閘極電晶體的主動區寬度減少至小於空乏區寬度的兩倍時，該多重閘極電晶體便是完全空乏。如此一來，在單一晶片上就可同時製備完全空乏電晶體與部分空乏電晶體。

伍、(一)、本案代表圖為：第1F圖

(二)、本案代表圖之元件代表符號簡單說明：

六、英文發明摘要 (發明名稱：CHIP INCORPORATING PARTIALLY-DEPLETED AND FULLY-DEPLETED TRANSISTORS AND METHOD OF FABRICATING THE SAME.)

A chip incorporating partially-depleted and fully-depleted transistors. The chip comprises a semiconductor substrate, a partially-depleted transistor, and a fully-depleted transistor. The partially-depleted transistor deposited on the semiconductor substrate has a short gate layer. The fully-depleted transistor deposited on the semiconductor substrate has a long gate layer. A

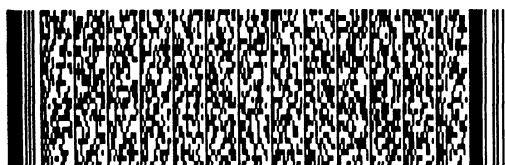


四、中文發明摘要 (發明名稱：可同時具有部分空乏電晶體與完全空乏電晶體之晶片)

120~部分空乏平面電晶體；
130~完全空乏平面電晶體；
140~多重閘極電晶體；
122a、122b、122c~閘極層；
124a、124b、124c~閘極介電層；
126a、126b、126c~間隔物；
S/D~汲極/源極；
104~絕緣層；
106a~鰭形半導體層；
STI~隔離區；
106b、106c~圖案化第二矽層。

六、英文發明摘要 (發明名稱：CHIP INCORPORATING PARTIALLY-DEPLETED AND FULLY-DEPLETED TRANSISTORS AND METHOD OF FABRICATING THE SAME.)

method of fabricating such chip is also disclosed.



六、申請專利範圍

1. 一種可同時具有部分空乏電晶體與完全空乏電晶體之晶片，包括：

一半導體基底；

一完全空乏平面電晶體，具有一長閘極層，且設置於上述半導體基底上；以及

一部分空乏平面電晶體，具有一短閘極層，且設置於上述半導體基底上；

其中上述長閘極層之長度大於上述短閘極層。

2. 如申請專利範圍第1項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述半導體基底係由一依序堆疊之一第一矽層、一絕緣層與一第二矽層所構成。

3. 如申請專利範圍第2項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述完全空乏平面電晶體下方之上述第二矽層具有濃度大體為 $10^{16} \sim 10^{18} \text{ cm}^{-3}$ 之摻雜物。

4. 如申請專利範圍第2項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述部分空乏平面電晶體下方之上述第二矽層具有濃度大體為 $10^{18} \sim 2 \times 10^{19} \text{ cm}^{-3}$ 之摻雜物。

5. 如申請專利範圍第2項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述第二矽層之厚度大體為 $10 \sim 2000 \text{ \AA}$ 。

6. 如申請專利範圍第1項所述之可同時具有部分空乏



六、申請專利範圍

電晶體與完全空乏電晶體之晶片，其中上述完全空乏平面電晶體之上述長閘極層的長度大於寬度。

7. 如申請專利範圍第1項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述部分空乏平面電晶體之上述短閘極層的寬度大於長度。

8. 如申請專利範圍第1項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述完全空乏平面電晶體之上述長閘極層的長度大體為120~1000nm。

9. 如申請專利範圍第1項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述部分空乏平面電晶體之上述短閘極層的長度大體為9~100nm。

10. 如申請專利範圍第1項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中更包括：一多重閘極電晶體，設置於上述半導體基底上方。

11. 如申請專利範圍第10項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述多重閘極電晶體係完全空乏，上述多重閘極電晶體之寬度小於70nm。

12. 如申請專利範圍第10項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述多重閘極電晶體，包括：

一鰭形半導體層，位於上述半導體基底上，其中上述鰭形半導體層具有一源極、一汲極以及位於上述源極和上述汲極之間之一通道區，且上述鰭形半導體層中具有一應變；



六、申請專利範圍

一閘極介電層，位於上述鰭形半導體層之上述通道區表面；以及

一閘極電極，位於上述閘極介電層上，並包覆對應於上述通道區之上述鰭形半導體層之兩側壁和一頂面。

13. 如申請專利範圍第12項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中更包括：一應力膜層，位於上述源極和上述汲極上。

14. 如申請專利範圍第13項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述應力膜層的材質包括氮化矽。

15. 如申請專利範圍第12項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述鰭形半導體層之厚度大體為20~1000 Å。

16. 如申請專利範圍第12項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述鰭形半導體層之寬度大體為20~1000 Å。

17. 如申請專利範圍第12項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述鰭形半導體層具有圓滑化之上部邊角(rounded corner)。

18. 如申請專利範圍第12項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述鰭形半導體層中之上述應變為沿上述源極至上述汲極方向之拉伸應變。

19. 如申請專利範圍第18項所述之可同時具有部分空



六、申請專利範圍

乏電晶體與完全空乏電晶體之晶片，其中上述鰭形半導體層中之上述拉伸應變量為0.1%至2%。

20. 如申請專利範圍第12項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述閘極介電層的材質為氧化矽、氮氧化矽、或相對電容率 (relative permittivity) 大於5之介電材質。

21. 如申請專利範圍第20項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述相對電容率大於5之介電材質為氧化鋁 (Al_2O_3)、氧化鈦 (HfO_2)、氮氧化矽鈦 (HfSiN_xO_y)、矽化鈦 (HfSi_4)、氧化鋯 (ZrO_2)、矽化鋯 (ZrSi_4) 或氧化釷 (La_2O_3)。

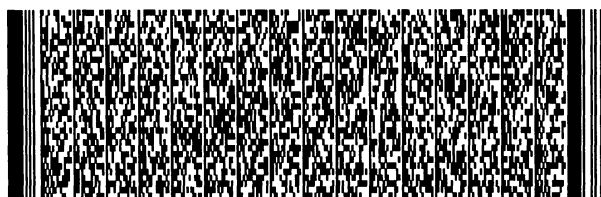
22. 如申請專利範圍第12項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述閘極介電層的等效氧化層厚度為3~100 Å。

23. 如申請專利範圍第12項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述鰭形半導體層的側壁之上述閘極介電層的厚度不同於頂部之厚度。

24. 如申請專利範圍第12項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述鰭形半導體層的側壁之上述閘極介電層的厚度小於頂部之厚度。

25. 如申請專利範圍第12項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述鰭形半導體層的頂部之上述閘極介電層的等效氧化層厚度小於20 Å。

26. 如申請專利範圍第12項所述之可同時具有部分空



六、申請專利範圍

乏電晶體與完全空乏電晶體之晶片，其中上述閘極電極為一金屬、一金屬矽化物或一金屬氮化物，其材質包括一多晶矽或一多晶鍺。

27. 如申請專利範圍第12項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中更包括：一間隔物，設置於上述閘極電極沿上述汲極與上述源極方向的兩側壁上。

28. 如申請專利範圍第12項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述間隔物沿著上述汲極與上述源極之延伸寬度大體為 $100\sim 800\text{ \AA}$ 。

29. 如申請專利範圍第12項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述閘極電極之閘極長度小於 65 nm 。

30. 如申請專利範圍第12項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中更包括：一隔離區，包圍於上述多重閘極電晶體周圍，以提供電性隔離。

31. 如申請專利範圍第30項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述隔離區係由一絕緣物所構成。

32. 如申請專利範圍第30項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述鰭形半導體層表面與上述隔離區表面之高度差大體為 $200\sim 1000\text{ \AA}$ 。

33. 如申請專利範圍第30項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述隔離區係藉



六、申請專利範圍

由一平台式隔離達成電性隔離。

34. 一種可同時具有部分空乏電晶體與完全空乏電晶體之晶片，包括：

一半導體基底；以及

一多重閘極電晶體，設置於上述半導體基底上，包括：

一鰭形半導體層，位於上述半導體基底上，其中上述鰭形半導體層具有一源極、一汲極以及位於上述源極和上述汲極之間之一通道區，且上述鰭形半導體層中具有一應變；

一閘極介電層，位於上述鰭形半導體層之上述通道區表面；以及

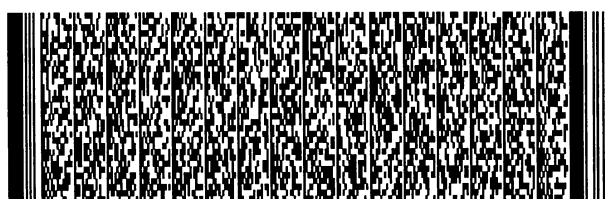
一閘極電極，位於上述閘極介電層上，並包覆對應於上述通道區之上述鰭形半導體層之兩側壁和一頂面；

其中，上述鰭形半導體層之寬度小於空乏區最大寬度的兩倍。

35. 如申請專利範圍第34項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中更包括：一平面電晶體，設置於上述半導體基底上。

36. 如申請專利範圍第35項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述平面電晶體係完全空乏。

37. 如申請專利範圍第36項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述平面電晶體



六、申請專利範圍

具有一長閘極層，且上述長閘極層的長度大於寬度。

38. 如申請專利範圍第37項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述長閘極層的長度大體為120~1000nm。

39. 如申請專利範圍第35項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述平面電晶體係部份空乏。

40. 如申請專利範圍第39項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述平面電晶體具有一短閘極層，且上述短閘極層的長度小於寬度。

41. 如申請專利範圍第40項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述短閘極層的長度大體為9~100nm。

42. 如申請專利範圍第34項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述半導體基底係由一依序堆疊之一第一矽層、一絕緣層與一第二矽層所構成。

43. 如申請專利範圍第36項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述平面電晶體下方之上述第二矽層具有濃度大體為 $10^{16} \sim 10^{18} \text{ cm}^{-3}$ 之摻雜物。

44. 如申請專利範圍第39項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述平面電晶體下方之上述第二矽層具有濃度大體為 $10^{18} \sim 2 \times 10^{19} \text{ cm}^{-3}$ 之摻



六、申請專利範圍

雜物。

45. 如申請專利範圍第42項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述第二矽層之厚度大體為 $10\sim 2000\text{ \AA}$ 。

46. 如申請專利範圍第34項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述多重閘極電晶體係完全空乏，上述鰭形半導體層之寬度小於 70 nm 。

47. 如申請專利範圍第34項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述多重閘極電晶體更包括：一應力膜層，位於上述源極和上述汲極上。

48. 如申請專利範圍第47項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述應力膜層的材質包括氮化矽。

49. 如申請專利範圍第34項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述鰭形半導體層之厚度大體為 $20\sim 1000\text{ \AA}$ 。

50. 如申請專利範圍第34項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述鰭形半導體層具有圓滑化之上部邊角(rounded corner)。

51. 如申請專利範圍第50項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述圓滑化之上部邊角的半徑大體為 $200\text{ \AA}$ 。

52. 如申請專利範圍第34項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述鰭形半導體



六、申請專利範圍

層中之上述應變為沿上述源極至上述汲極方向之拉伸應變。

53. 如申請專利範圍第52項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述鰭形半導體層中之上述拉伸應變量為0.1%至2%。

54. 如申請專利範圍第34項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述閘極介電層的材質為氧化矽、氮氧化矽、或相對電容率 (relative permittivity) 大於5之介電材質。

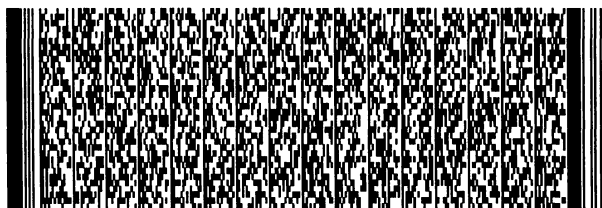
55. 如申請專利範圍第54項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述相對電容率大於5之介電材質為氧化鋁 (Al_2O_3)、氧化鈦 (HfO_2)、氮氧化矽鈦 (HfSiN_xO_y)、矽化鈦 (HfSi_4)、氧化鋇 (ZrO_2)、矽化鋇 (ZrSi_4) 或氧化釷 (La_2O_3)。

56. 如申請專利範圍第34項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述閘極介電層的等效氧化層厚度為3~100 Å。

57. 如申請專利範圍第34項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述鰭形半導體層的側壁之上述閘極介電層的厚度不同於頂部之厚度。

58. 如申請專利範圍第34項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述鰭形半導體層的側壁之上述閘極介電層的厚度小於頂部之厚度。

59. 如申請專利範圍第34項所述之可同時具有部分空



六、申請專利範圍

乏電晶體與完全空乏電晶體之晶片，其中上述鰭形半導體層的頂部之上述閘極介電層的等效氧化層厚度小於 $20\text{ \AA}$ 。

60. 如申請專利範圍第34項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述閘極電極為一金屬、一金屬矽化物或一金屬氮化物，其材質包括一多晶矽或一多晶鍺。

61. 如申請專利範圍第34項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述多重閘極電晶體更包括：一間隔物，設置於上述閘極電極沿上述汲極與上述源極方向的兩側壁上。

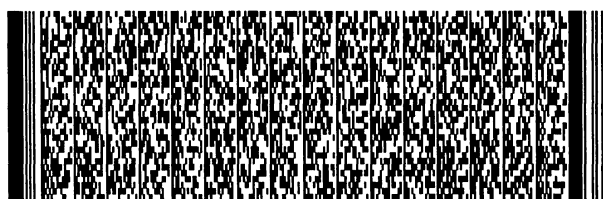
62. 如申請專利範圍第61項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述間隔物沿著上述汲極與上述源極之延伸寬度大體為 $100\sim 800\text{ \AA}$ 。

63. 如申請專利範圍第34項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述閘極電極之閘極長度小於 65 nm 。

64. 如申請專利範圍第34項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中更包括：一隔離區，包圍於上述多重閘極電晶體周圍，以提供電性隔離。

65. 如申請專利範圍第64項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述隔離區係由一絕緣物所構成。

66. 如申請專利範圍第64項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述鰭形半導體



六、申請專利範圍

層表面與上述隔離區表面之高度差大體為200~1000 Å。

67. 如申請專利範圍第34項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述隔離區係藉由一平台式隔離達成電性隔離。

68. 如申請專利範圍第67項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述鰭形半導體層表面與上述平台式隔離表面之高度差大體為200~1000 Å。

69. 一種可同時具有部分空乏電晶體與完全空乏電晶體之晶片，包括：

一半導體基底；

一平面電晶體，設置於上述半導體基底上；以及

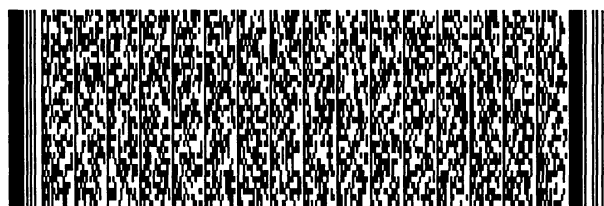
一多重閘極電晶體，設置於上述半導體基底上，上述多重閘極電晶體包括：

一鰭形半導體層，位於上述半導體基底上，其中上述鰭形半導體層具有一源極、一汲極以及位於上述源極和上述汲極之間之一通道區，且上述鰭形半導體層中具有一應變；

一閘極介電層，位於上述鰭形半導體層之上述通道區表面；以及

一閘極電極，位於上述閘極介電層上，並包覆對應於上述通道區之上述鰭形半導體層之兩側壁和一頂面。

70. 如申請專利範圍第69項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述平面電晶體



六、申請專利範圍

係完全空乏。

71. 如申請專利範圍第70項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述平面電晶體具有一長閘極層，且上述長閘極層的長度大於寬度。

72. 如申請專利範圍第71項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述長閘極層的長度大體為120~1000nm。

73. 如申請專利範圍第69項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述平面電晶體係部份空乏。

74. 如申請專利範圍第73項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述平面電晶體具有一短閘極層，且上述短閘極層的長度小於寬度。

75. 如申請專利範圍第74項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述短閘極層的長度大體為9~100nm。

76. 如申請專利範圍第69項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述半導體基底係由一依序堆疊之一第一矽層、一絕緣層與一第二矽層所構成。

77. 如申請專利範圍第70項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述平面電晶體下方之上述第二矽層具有濃度大體為 $10^{16} \sim 10^{18} \text{ cm}^{-3}$ 之摻雜物。



六、申請專利範圍

78. 如申請專利範圍第73項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述平面電晶體下方之上述第二矽層具有濃度大體為 $10^{18} \sim 2 \times 10^{19} \text{ cm}^{-3}$ 之摻雜物。

79. 如申請專利範圍第76項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述第二矽層之厚度大體為 $10 \sim 2000 \text{ \AA}$ 。

80. 如申請專利範圍第69項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述多重閘極電晶體係完全空乏，上述鰭形半導體層之寬度小於 70 nm 。

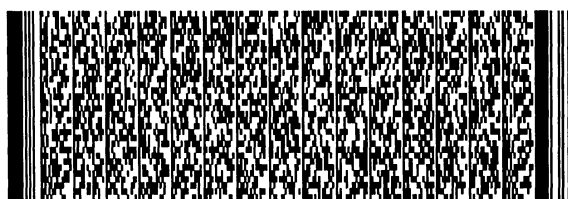
81. 如申請專利範圍第69項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述多重閘極電晶體更包括：一應力膜層，位於上述源極和上述汲極上。

82. 如申請專利範圍第81項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述應力膜層的材質包括氮化矽。

83. 如申請專利範圍第69項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述鰭形半導體層之厚度大體為 $20 \sim 1000 \text{ \AA}$ 。

84. 如申請專利範圍第69項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述鰭形半導體層具有圓滑化之上部邊角(rounded corner)。

85. 如申請專利範圍第84項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述圓滑化之上



六、申請專利範圍

部邊角的半徑大體為200 Å。

86. 如申請專利範圍第69項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述鰭形半導體層中之上述應變為沿上述源極至上述汲極方向之拉伸應變。

87. 如申請專利範圍第86項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述鰭形半導體層中之上述拉伸應變量為0.1%至2%。

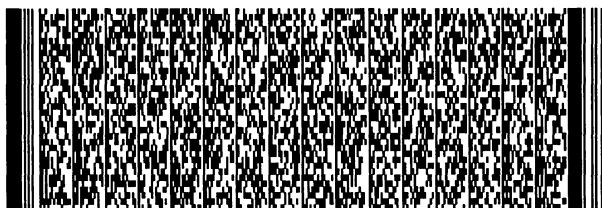
88. 如申請專利範圍第69項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述閘極介電層的材質為氧化矽、氮氧化矽、或相對電容率 (relative permittivity) 大於5之介電材質。

89. 如申請專利範圍第88項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述相對電容率大於5之介電材質為氧化鋁 (Al_2O_3)、氧化鈦 (HfO_2)、氮氧化矽鈦 (HfSiN_xO_y)、矽化鈦 (HfSi_4)、氧化鋯 (ZrO_2)、矽化鋯 (ZrSi_4) 或氧化釧 (La_2O_3)。

90. 如申請專利範圍第69項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述閘極介電層的等效氧化層厚度為3~100 Å。

91. 如申請專利範圍第69項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述鰭形半導體層的側壁之上述閘極介電層的厚度不同於頂部之厚度。

92. 如申請專利範圍第69項所述之可同時具有部分空



六、申請專利範圍

乏電晶體與完全空乏電晶體之晶片，其中上述鰭形半導體層的側壁之上述閘極介電層的厚度小於頂部之厚度。

93. 如申請專利範圍第69項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述鰭形半導體層的頂部之上述閘極介電層的等效氧化層厚度小於 $20\text{ \AA}$ 。

94. 如申請專利範圍第69項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述閘極電極為一金屬、一金屬矽化物或一金屬氮化物，其材質包括一多晶矽或一多晶鍺。

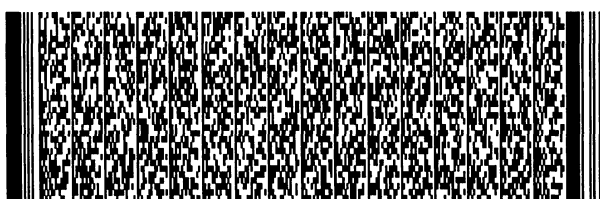
95. 如申請專利範圍第69項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述多重閘極電晶體更包括：一間隔物，設置於上述閘極電極沿上述汲極與上述源極方向的兩側壁上。

96. 如申請專利範圍第95項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述間隔物沿著上述汲極與上述源極之延伸寬度大體為 $100\sim 800\text{ \AA}$ 。

97. 如申請專利範圍第69項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述閘極電極之閘極長度小於 65 nm 。

98. 如申請專利範圍第69項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中更包括：一隔離區，包圍於上述多重閘極電晶體周圍，以提供電性隔離。

99. 如申請專利範圍第98項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述隔離區係由



六、申請專利範圍

一 絕緣物所構成。

100. 如申請專利範圍第99項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述鰭形半導體層表面與上述隔離區表面之高度差大體為200~1000 Å。

101. 如申請專利範圍第99項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述隔離區係藉由一平台式隔離達成電性隔離。

102. 如申請專利範圍第101項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述鰭形半導體層表面與上述平台式隔離表面之高度差大體為200~1000 Å。

103. 如申請專利範圍第69項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述鰭形半導體層之寬度小於空乏區最大寬度的兩倍。

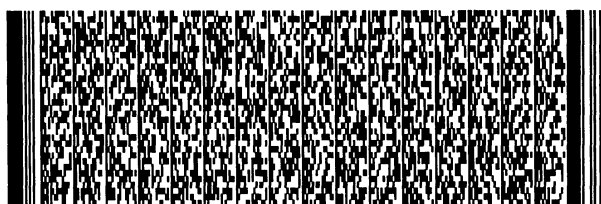
104. 一種可同時具有部分空乏電晶體與完全空乏電晶體之晶片的製作方法，包括：

提供一半導體基底；

形成一平面電晶體於上述半導體基底上方；以及

形成一多重閘極電晶體於上述半導體基底上方，其中上述多重閘極電晶體包括：

一鰭形半導體層，位於上述半導體基底上，其中上述鰭形半導體層具有一源極、一汲極以及位於上述源極和上述汲極之間之一通道區，且上述鰭形半導體層中具有一應變；



六、申請專利範圍

一 閘極介電層，位於上述鰭形半導體層之上述通道區表面；以及

一 閘極電極，位於上述閘極介電層上，並包覆對應於上述通道區之上述鰭形半導體層之兩側壁和一頂面。

105. 如申請專利範圍第104項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述平面電晶體係完全空乏。

106. 如申請專利範圍第105項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述平面電晶體具有一長閘極層，且上述長閘極層的長度大於寬度。

107. 如申請專利範圍第106項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述長閘極層的長度大體為120~1000nm。

108. 如申請專利範圍第104項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述平面電晶體係部份空乏。

109. 如申請專利範圍第108項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述平面電晶體具有一短閘極層，且上述短閘極層的長度小於寬度。

110. 如申請專利範圍第109項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述短閘極層的長度大體為9~100nm。

111. 如申請專利範圍第104項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述半導體基



六、申請專利範圍

底係由一依序堆疊之一第一矽層、一絕緣層與一第二矽層所構成。

112. 如申請專利範圍第105項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述平面電晶體下方之上述第二矽層具有濃度大體為 $10^{16} \sim 10^{18} \text{ cm}^{-3}$ 之摻雜物。

113. 如申請專利範圍第108項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述平面電晶體下方之上述第二矽層具有濃度大體為 $10^{18} \sim 2 \times 10^{19} \text{ cm}^{-3}$ 之摻雜物。

114. 如申請專利範圍第111項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述第二矽層之厚度大體為 $10 \sim 2000 \text{ \AA}$ 。

115. 如申請專利範圍第104項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述多重閘極電晶體係完全空乏，上述鰭形半導體層之寬度小於 70 nm 。

116. 如申請專利範圍第104項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述多重閘極電晶體更包括：一應力膜層，位於上述源極和上述汲極上。

117. 如申請專利範圍第116項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述應力膜層的材質包括氮化矽。

118. 如申請專利範圍第104項所述之可同時具有部分



六、申請專利範圍

空乏電晶體與完全空乏電晶體之晶片，其中上述緒形半導體層之厚度大體為20~1000 Å。

119. 如申請專利範圍第104項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述緒形半導體層具有圓滑化之上部邊角(rounded corner)。

120. 如申請專利範圍第119項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述圓滑化之上部邊角的半徑大體為200 Å。

121. 如申請專利範圍第104項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述緒形半導體層中之上述應變為沿上述源極至上述汲極方向之拉伸應變。

122. 如申請專利範圍第121項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述緒形半導體層中之上述拉伸應變量為0.1%至2%。

123. 如申請專利範圍第104項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述閘極介電層的材質為氧化矽、氮氧化矽、或相對電容率(relative permittivity)大於5之介電材質。

124. 如申請專利範圍第123項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述相對電容率大於5之介電材質為氧化鋁(Al_2O_3)、氧化鈦(HfO_2)、氮氧化矽鈦(HfSiN_xO_y)、矽化鈦(HfSi_4)、氧化鋯(ZrO_2)、矽化鋯(ZrSi_4)或氧化釷(La_2O_3)。



六、申請專利範圍

125. 如申請專利範圍第104項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述閘極介電層的等效氧化層厚度為3~100 Å。

126. 如申請專利範圍第104項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述鰭形半導體層的側壁之上閘極介電層的厚度不同於頂部之厚度。

127. 如申請專利範圍第104項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述鰭形半導體層的側壁之上閘極介電層的厚度小於頂部之厚度。

128. 如申請專利範圍第104項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述鰭形半導體層的頂部之上閘極介電層的等效氧化層厚度小於20 Å。

129. 如申請專利範圍第104項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述閘極電極為一金屬、一金屬矽化物或一金屬氮化物，其材質包括一多晶矽或一多晶鍺。

130. 如申請專利範圍第104項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述多重閘極電晶體更包括：一間隔物，設置於上述閘極電極沿上述汲極與上述源極方向的兩側壁上。

131. 如申請專利範圍第130項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述間隔物沿著上述汲極與上述源極之延伸寬度大體為100~800 Å。



六、申請專利範圍

132. 如申請專利範圍第104項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述閘極電極之閘極長度小於65nm。

133. 如申請專利範圍第104項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中更包括：一隔離區，包圍於上述多重閘極電晶體周圍，以提供電性隔離。

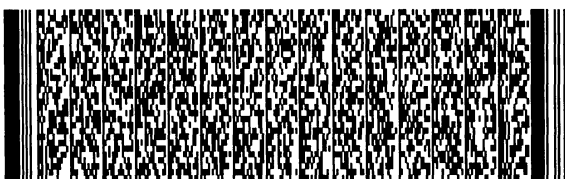
134. 如申請專利範圍第133項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述隔離區係由一絕緣物所構成。

135. 如申請專利範圍第134項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述鰭形半導體層表面與上述隔離區表面之高度差大體為200~1000 Å。

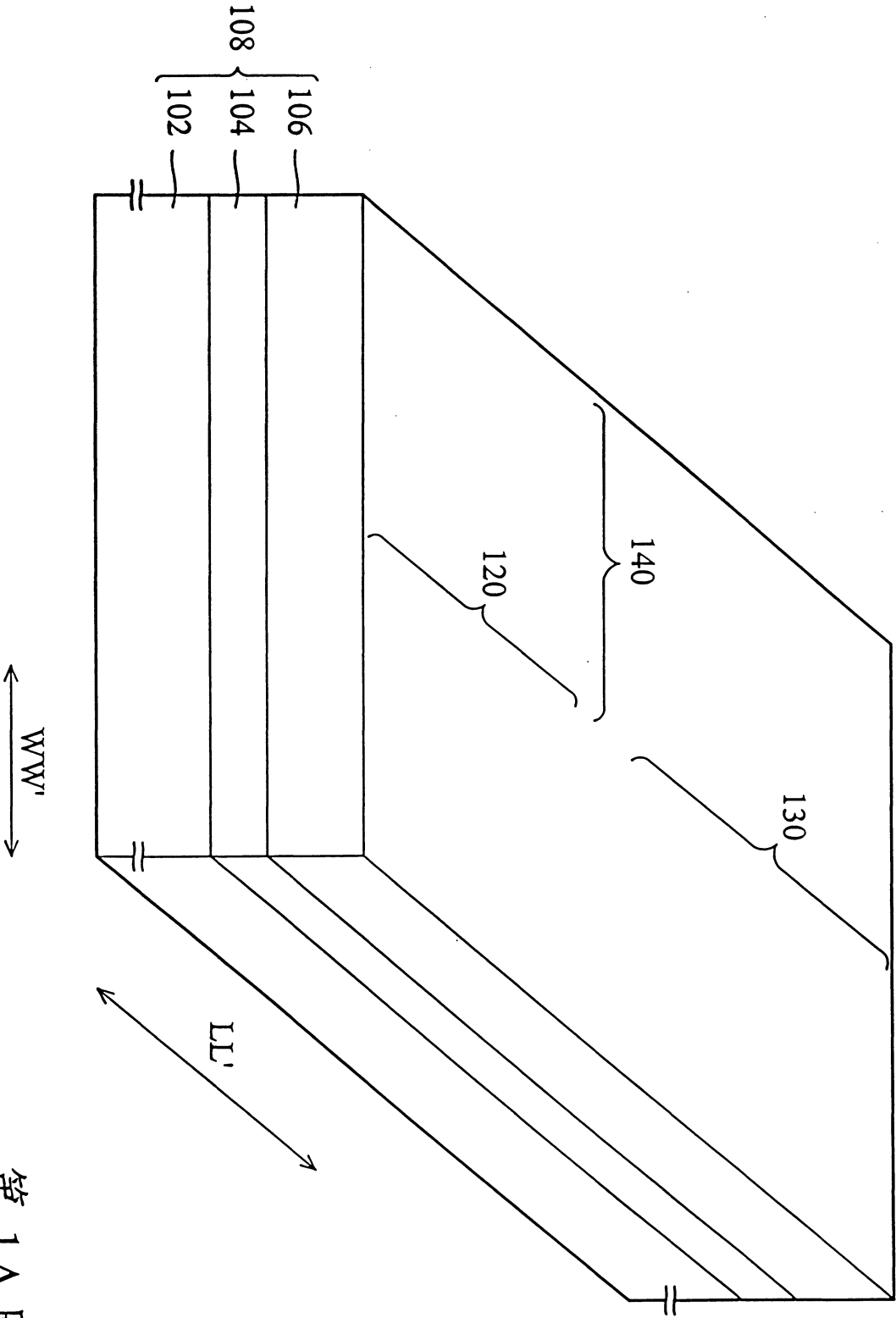
136. 如申請專利範圍第133項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述隔離區係藉由一平台式隔離達成電性隔離。

137. 如申請專利範圍第136項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述鰭形半導體層表面與上述平台式隔離表面之高度差大體為200~1000 Å。

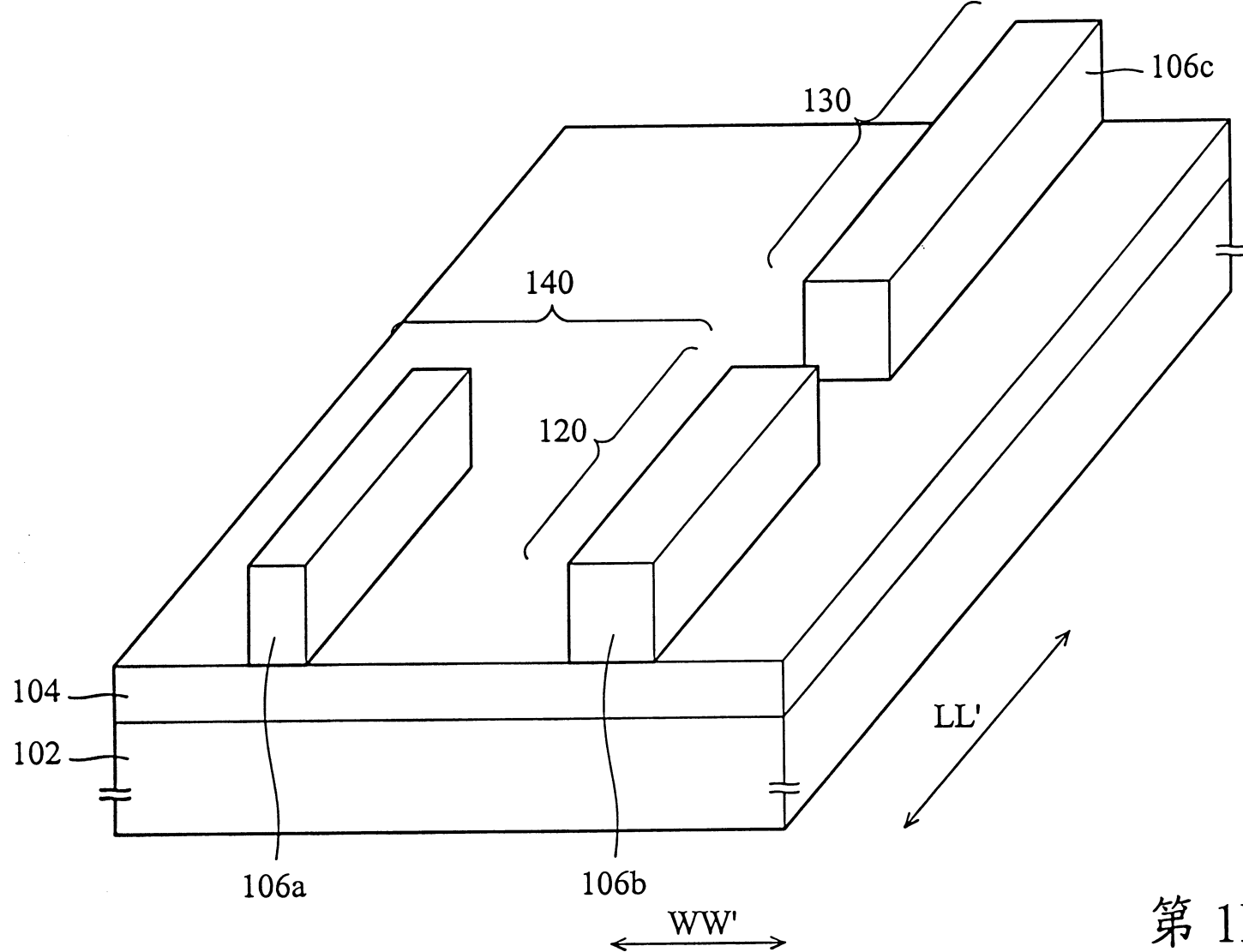
138. 如申請專利範圍第104項所述之可同時具有部分空乏電晶體與完全空乏電晶體之晶片，其中上述鰭形半導體層之寬度小於空乏區最大寬度的兩倍。



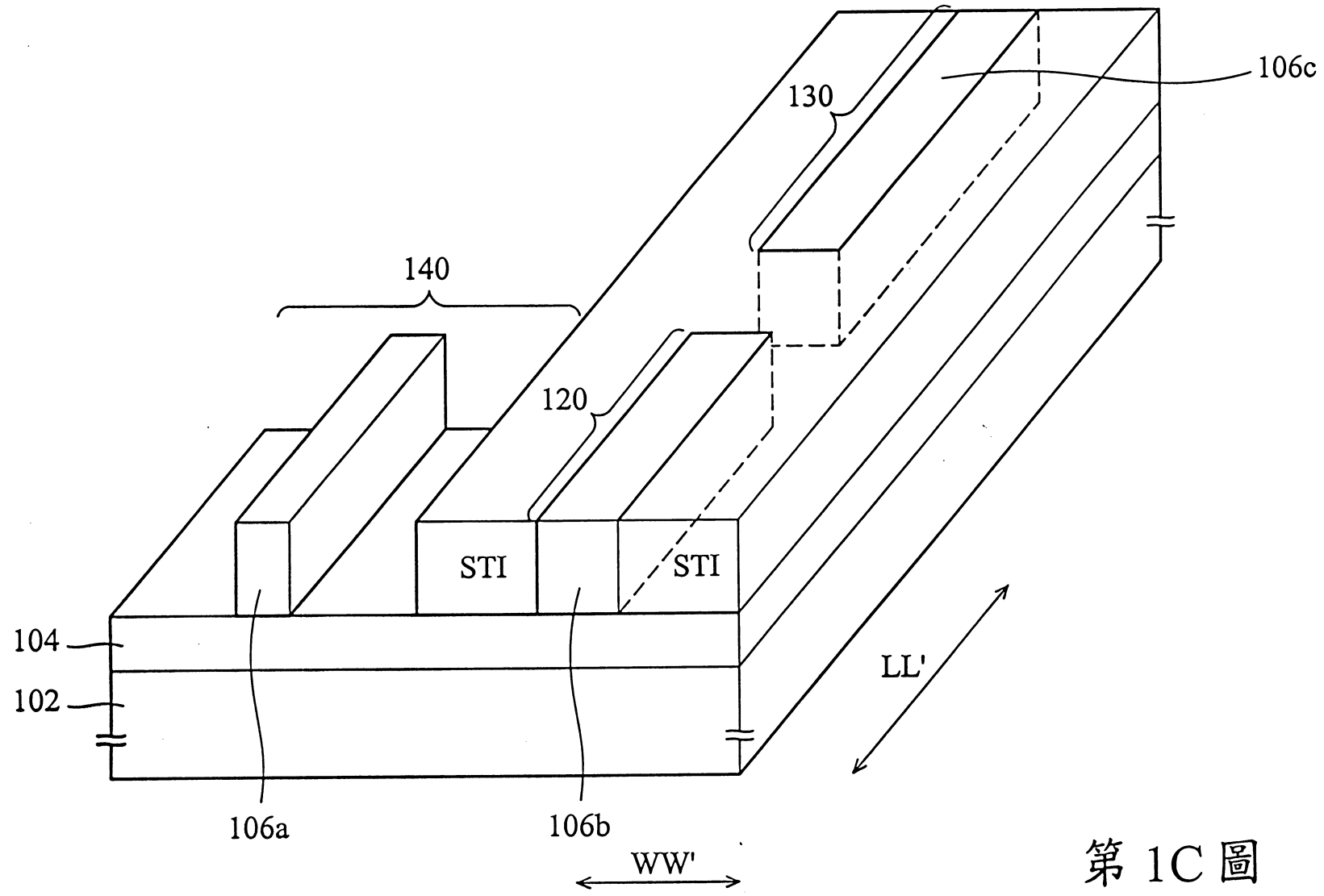
9210623



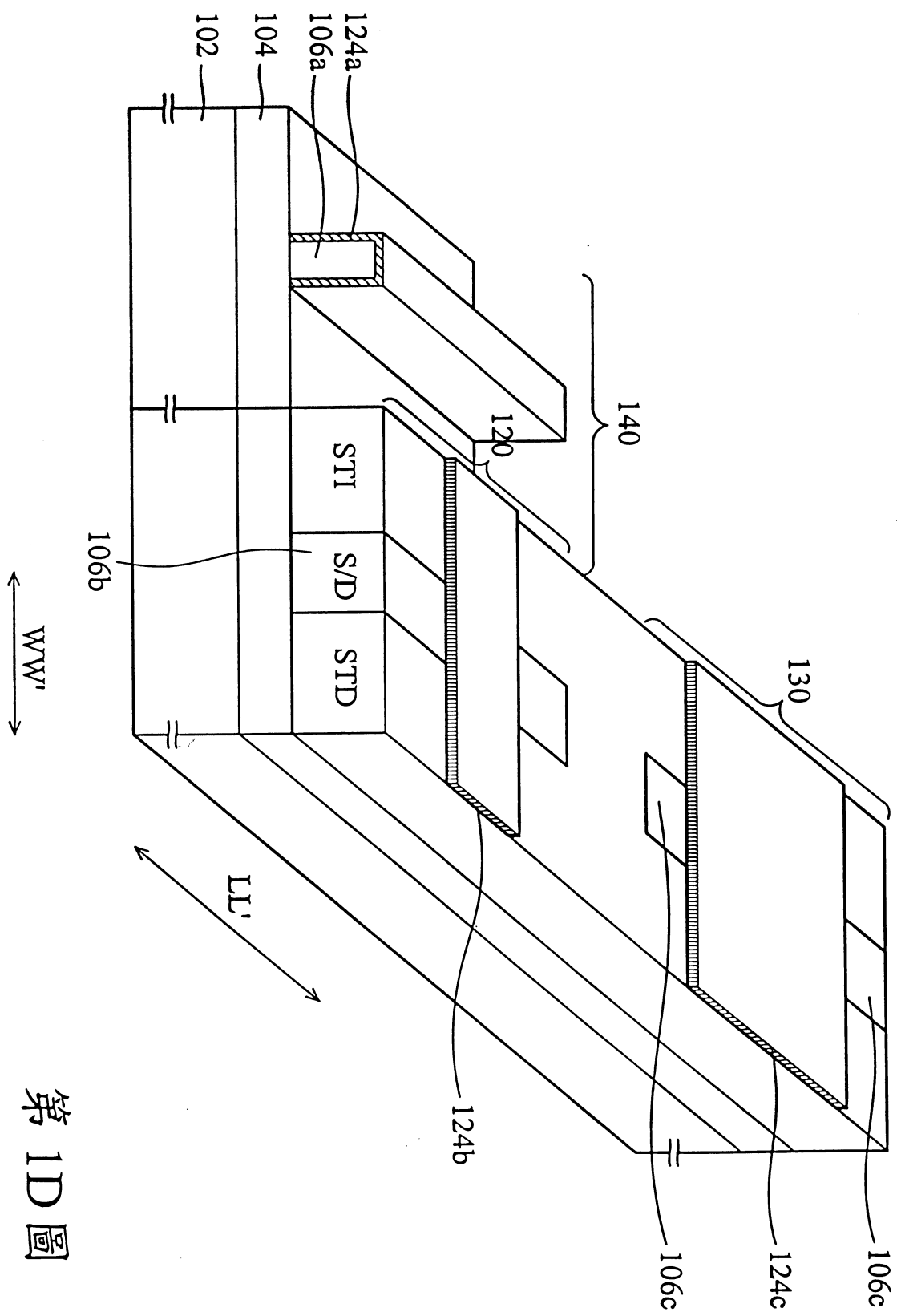
第 1A 圖



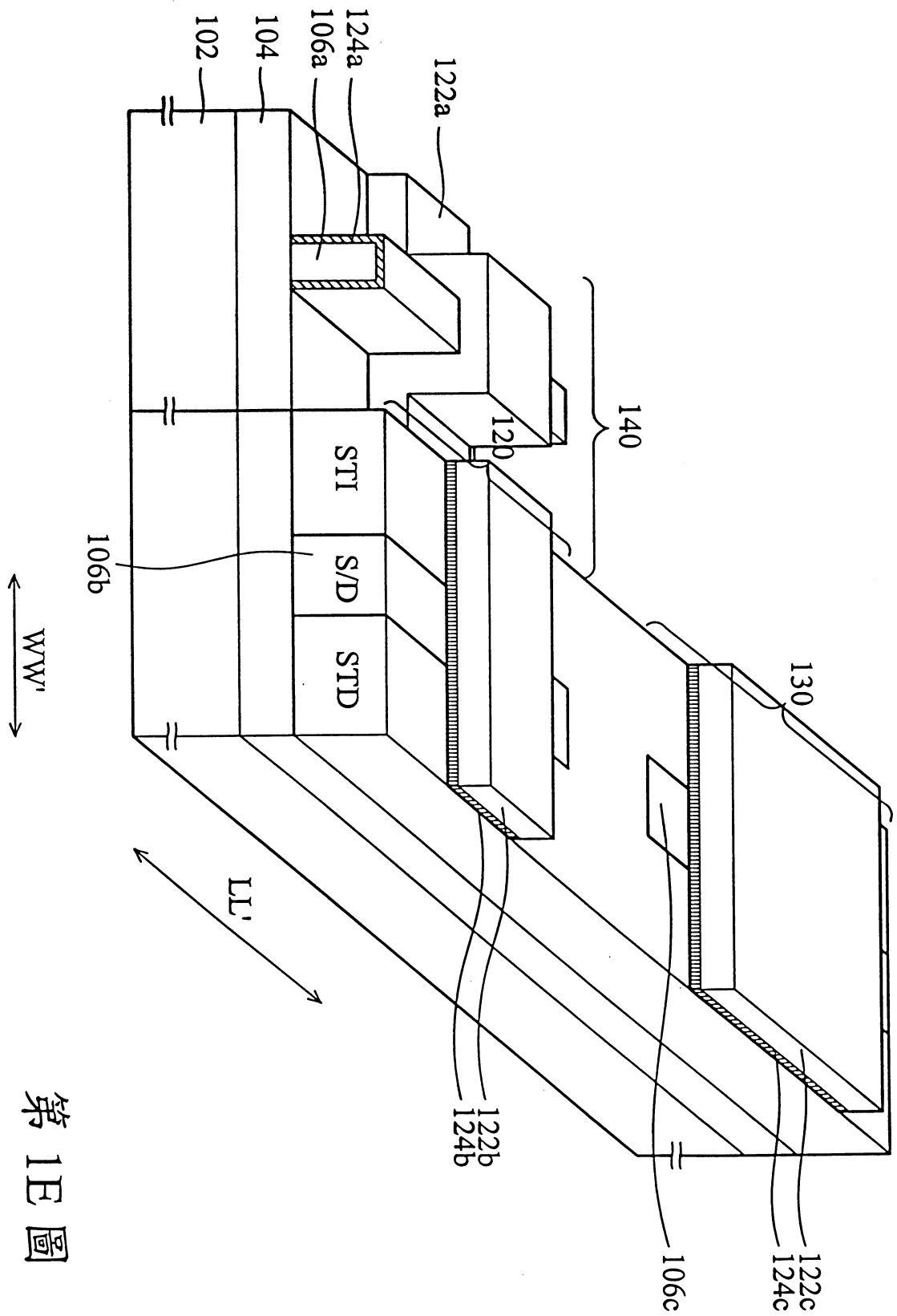
第 1B 圖



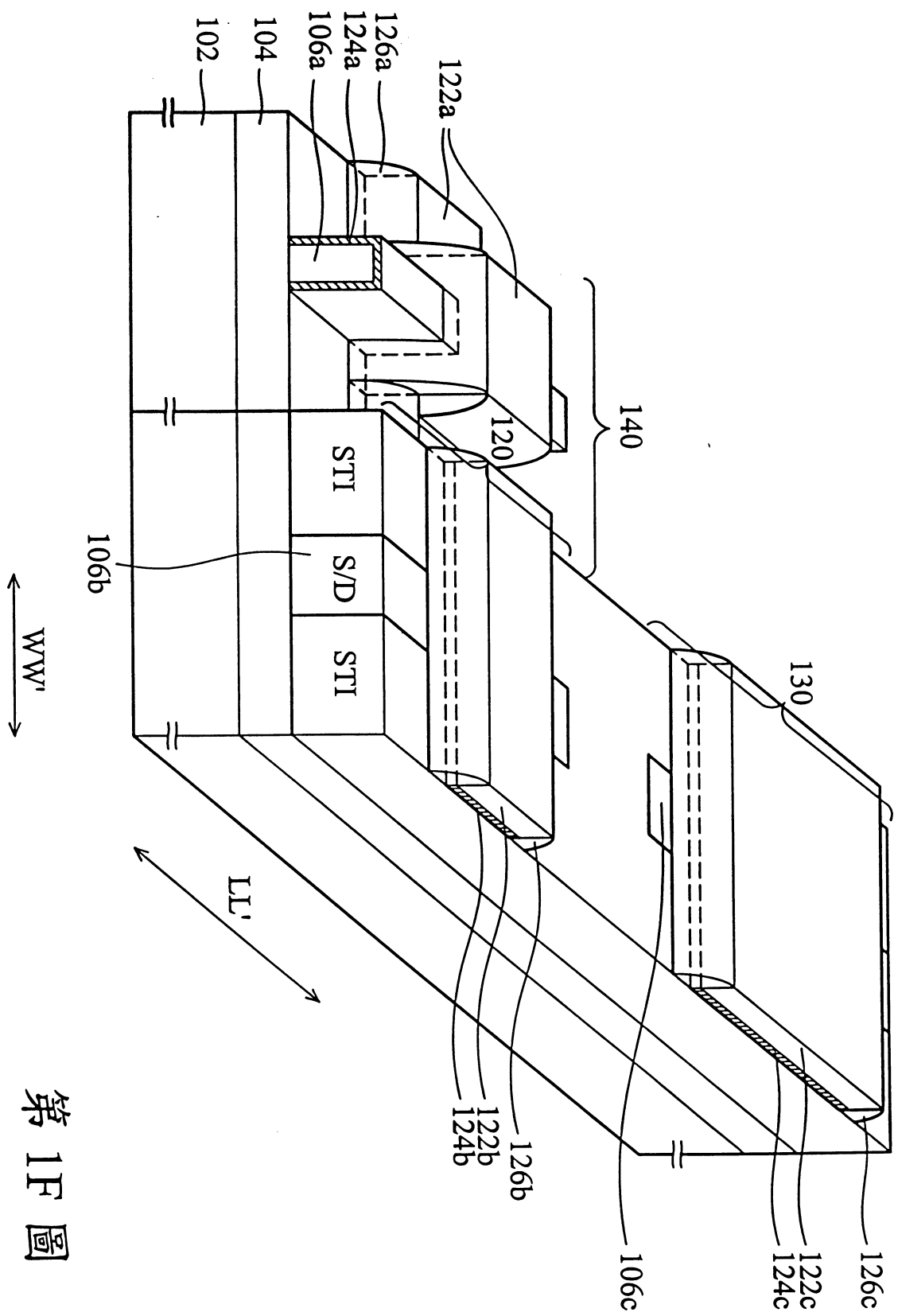
第 1C 圖



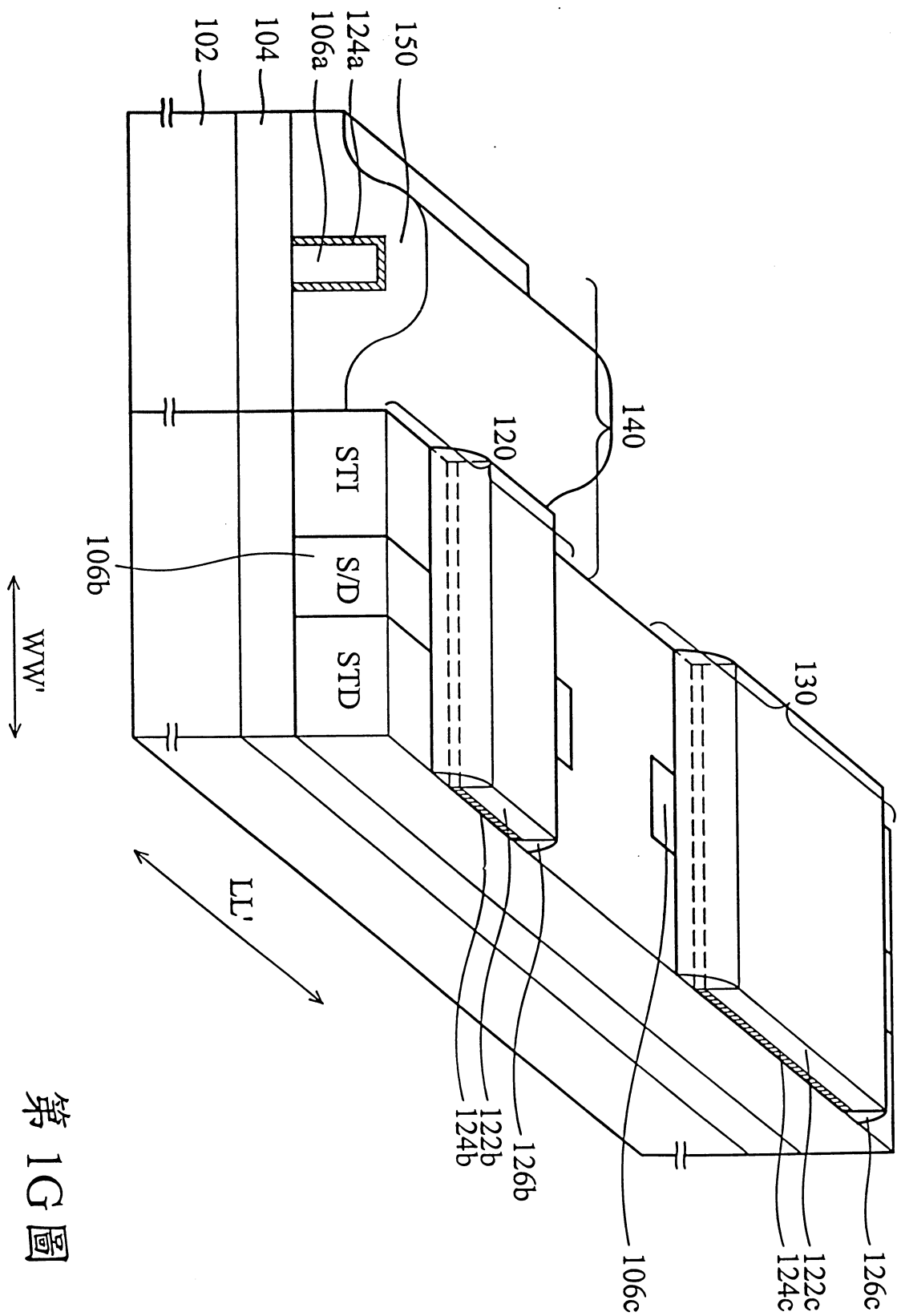
第 1D 圖



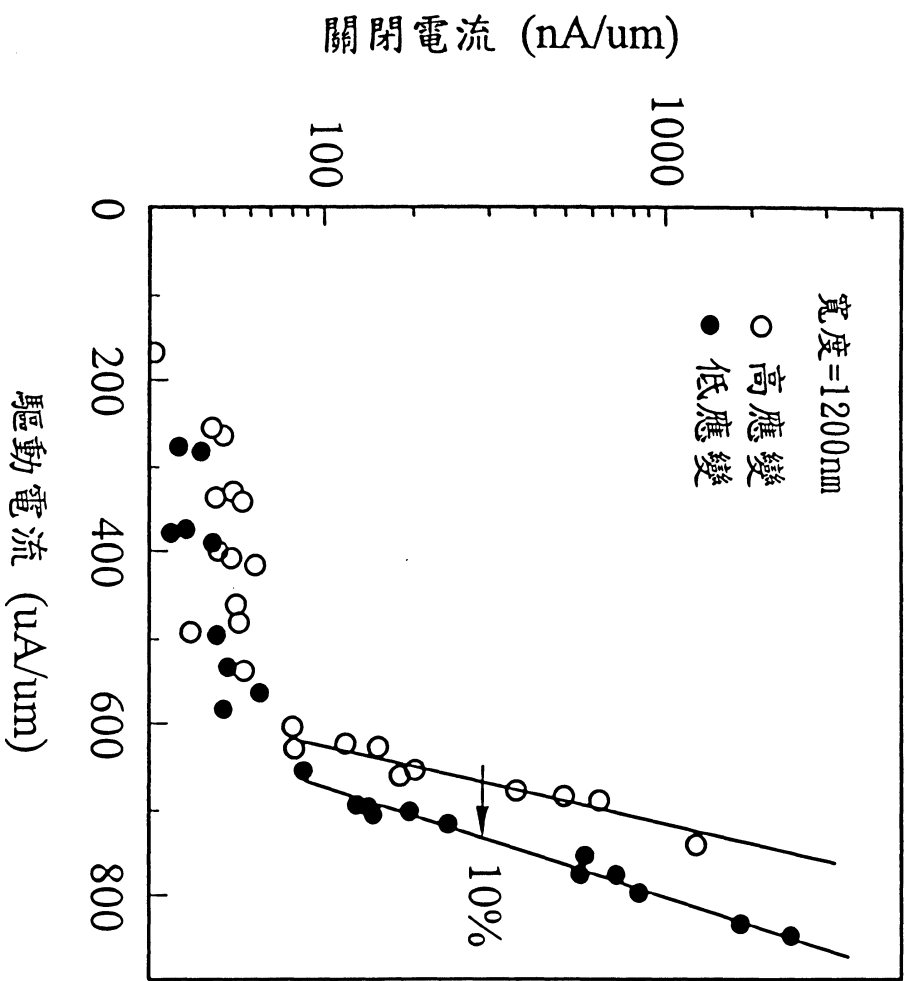
第 1E 圖



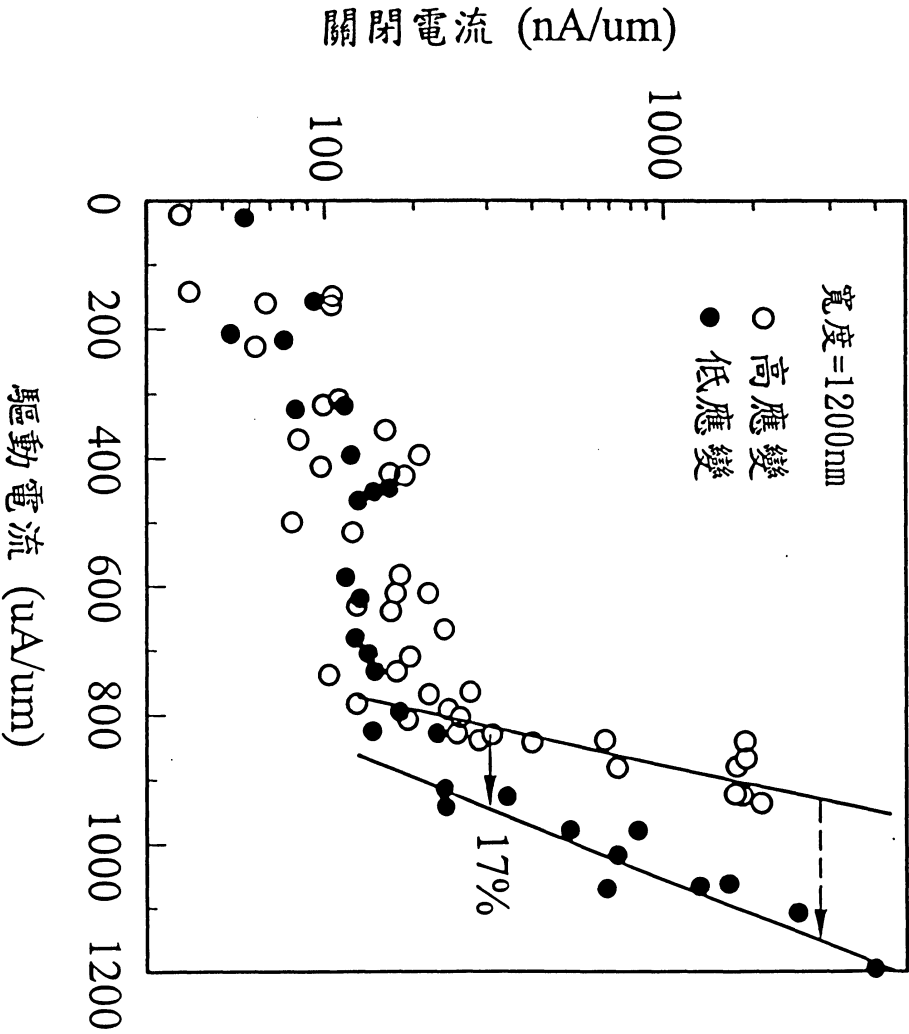
第一圖



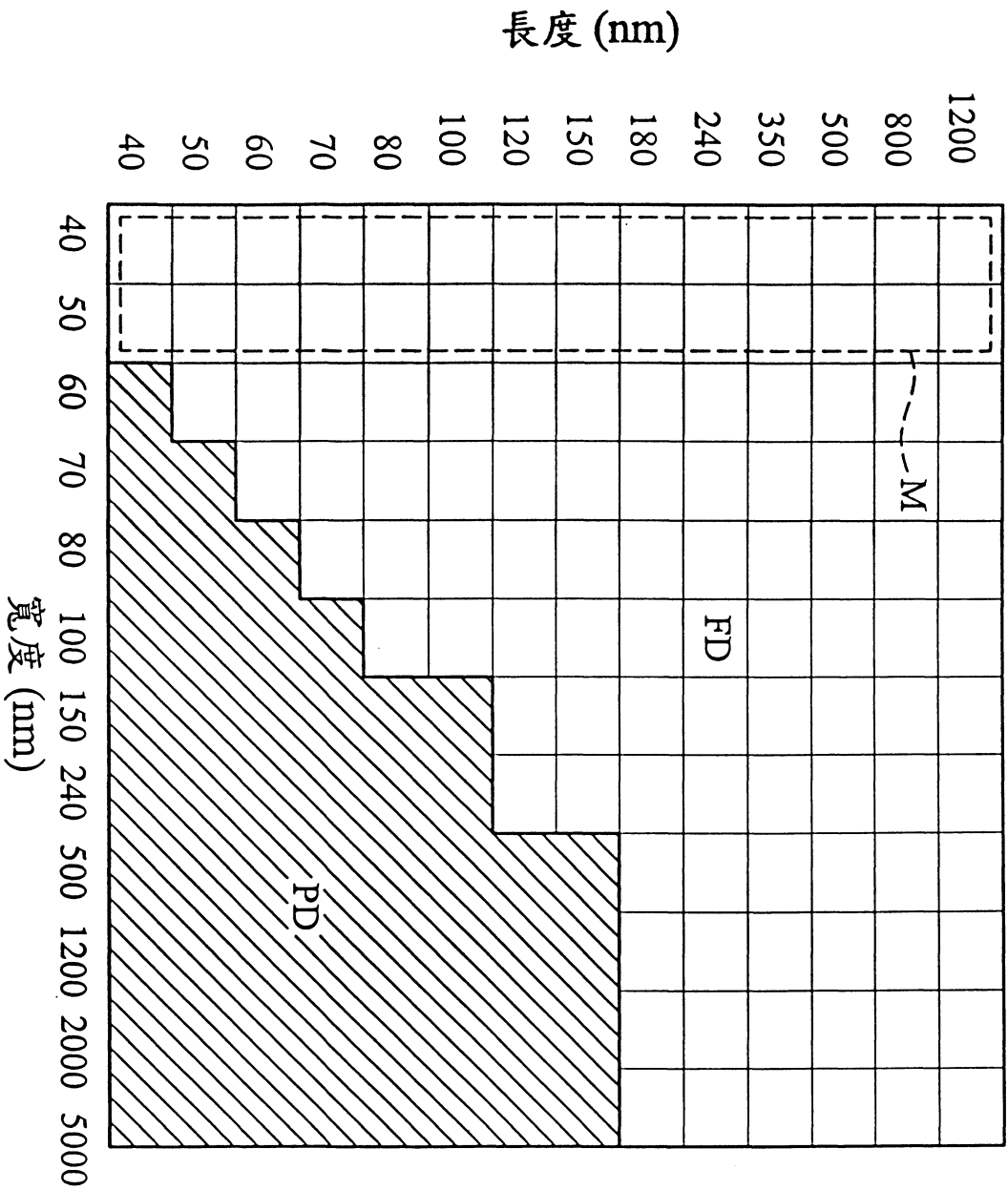
第 1G 圖



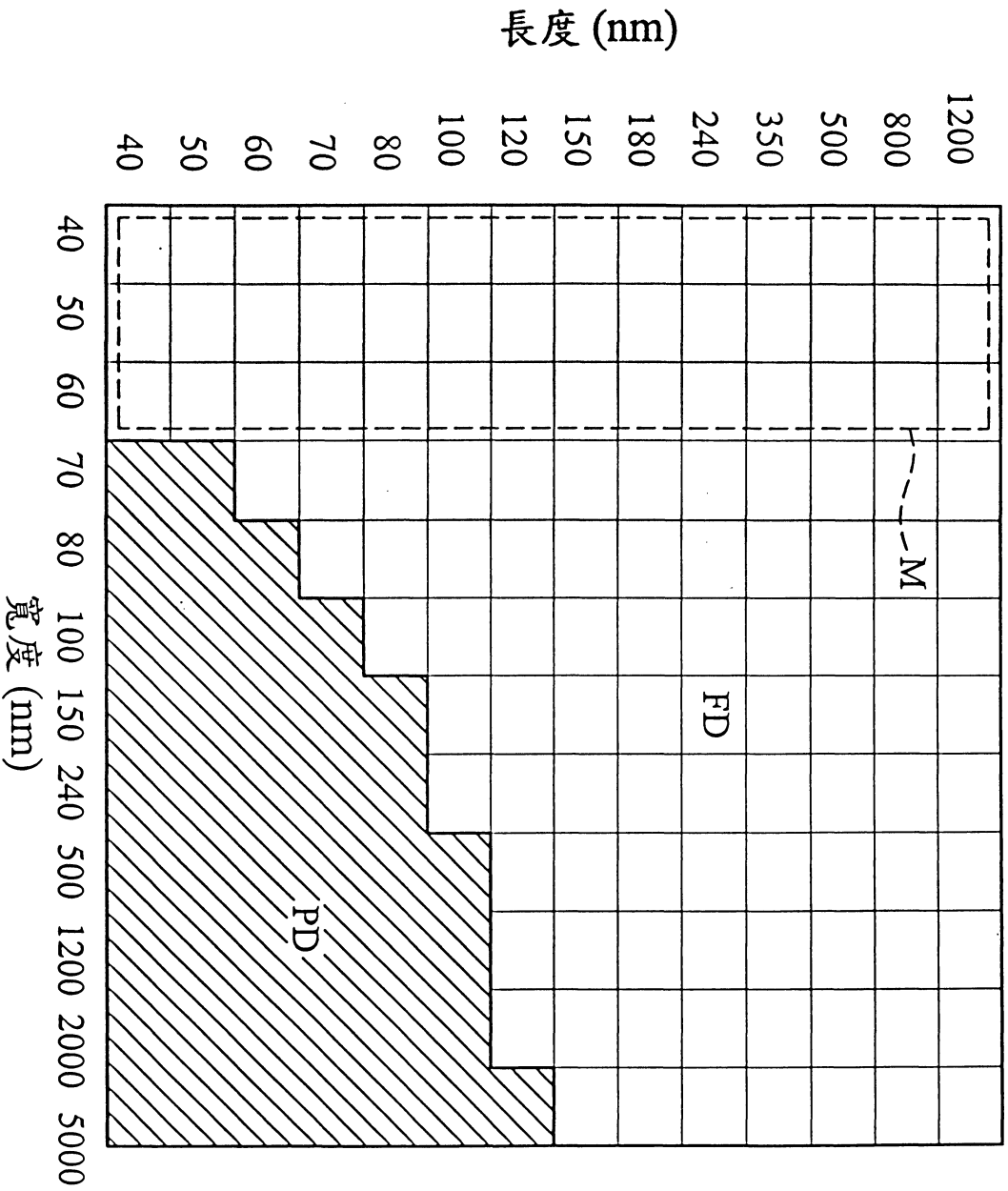
第2A圖



第 2B 圖



第 3A 圖



第 3B 圖