

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年10月3日(03.10.2024)



(10) 国際公開番号

WO 2024/203256 A1

- (51) 国際特許分類:
H01L 27/146 (2006.01) H01L 21/76 (2006.01)
- (21) 国際出願番号: PCT/JP2024/009442
- (22) 国際出願日: 2024年3月11日(11.03.2024)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2023-048849 2023年3月24日(24.03.2023) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).
- (72) 発明者: 今井 慎一(IMAI Shinichi); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 野中 信(NONAKA Shin); 〒2430014 神奈川県厚木市旭町四丁目14番1

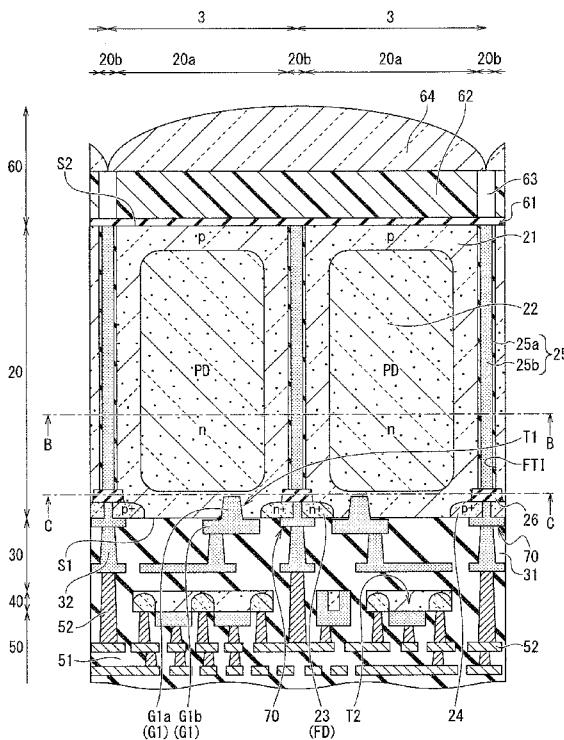
号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 塩山 正真(SHIOYAMA Tadamasa); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 田中 秀 ▲ て つ ▼, 外 (TANAKA Hidetetsu et al.); 〒1056032 東京都港区虎ノ門四丁目3番1号 城山トラストタワー32階 弁理士法人日栄国際特許事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: LIGHT DETECTION DEVICE AND ELECTRONIC APPARATUS

(54) 発明の名称: 光検出装置及び電子機器



(57) Abstract: Provided is a light detection device adapted for miniaturization. The light detection device is provided with: a first semiconductor layer of which one surface is an element formation surface and the other surface is a light incident surface, and which includes a plurality of cell regions arranged in a matrix along a row direction and a column direction in a plan view; a trench isolation wall partitioning the cell regions; and an insulating region which is provided at the end of the trench isolation wall closer to the element formation surface, and that, in a plan view, has a dimension along the width direction greater than the dimension along the length direction of the trench isolation wall, the insulating region being made of an insulating material. A photoelectric conversion part is configured in the cell regions. The cell regions include a first semiconductor region provided on a surface opposite to a surface on the trench isolation wall side of the insulating region.



ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

(57) 要約: 微細化に対応した光検出装置を提供する。光検出装置は、一方の面が素子形成面であり他方の面が光入射面であり、且つ平面視で行方向及び列方向に沿ってマトリクス状に配列された複数のセル領域を有した第1半導体層と、セル領域同士の間を区画しているトレンチ分離壁と、トレンチ分離壁の素子形成面寄りの端部に設けられ、平面視で、幅方向に沿った寸法がトレンチ分離壁の幅方向に沿った寸法より大きく、且つ絶縁材料からなる絶縁領域と、を備え、セル領域には光電変換部が構成されていて、セル領域は、絶縁領域のトレンチ分離壁側の面とは反対側の面に設けられた第1半導体領域を含む。

明 細 書

発明の名称：光検出装置及び電子機器

技術分野

[0001] 本技術（本開示に係る技術）は、光検出装置及び電子機器に関し、特に、微細化に対応した光検出装置及び電子機器に関する。

背景技術

[0002] 近年、画素のさらなる微細化が望まれている。画素の微細化に伴い、半導体領域を区画する分離構造としてトレンチ分離を用いる場合がある（例えば特許文献1）。

先行技術文献

特許文献

[0003] 特許文献1：特開2022-55356号公報

発明の概要

発明が解決しようとする課題

[0004] 画素のさらなる微細化は、容易に実現できるとは限らなかった。

[0005] 本技術は、微細化に対応した光検出装置及び電子機器を提供することを目的とする。

課題を解決するための手段

[0006] 本技術の一態様に係る光検出装置は、一方の面が素子形成面であり他方の面が光入射面であり、且つ平面視で行方向及び列方向に沿ってマトリクス状に配列された複数のセル領域を有した第1半導体層と、上記セル領域同士の間を区画しているトレンチ分離壁と、上記トレンチ分離壁の上記素子形成面寄りの端部に設けられ、平面視で、幅方向に沿った寸法が上記トレンチ分離壁の幅方向に沿った寸法より大きく、且つ絶縁材料からなる絶縁領域と、を備え、上記セル領域には光電変換部が構成されていて、上記セル領域は、上記絶縁領域の上記トレンチ分離壁側の面とは反対側の面に設けられた第1半導体領域を含む。

[0007] 本技術の一態様に係る電子機器は、上記光検出装置と、上記光検出装置に被写体からの像光を結像させる光学系と、を備える。

図面の簡単な説明

[0008] [図1]本技術の第1実施形態に係る光検出装置の一構成例を示すチップレイアウト図である。

[図2]本技術の第1実施形態に係る光検出装置の一構成例を示すブロック図である。

[図3]本技術の第1実施形態に係る光検出装置の画素の等価回路図である。

[図4A]本技術の第1実施形態に係る光検出装置が有する画素の断面構成を示す縦断面図である。

[図4B]図4AのB-B切断線に沿って断面視した時の断面構成を示す横断面図である。

[図4C]図4AのC-C切断線に沿って断面視した時の断面構成を示す横断面図である。

[図4D]第1実施形態に係る第1半導体層の第1の面側における、電極と、電荷蓄積領域と、コンタクト領域と、第1半導体領域と、第2半導体領域と、の位置関係を示す説明図である。

[図4E]図4Dの一部分を拡大して示す部分拡大図である。

[図4F]図4DのA-A切断線に沿った平面で断面視した時の断面構成の一部を拡大して示す縦断面図である。

[図4G]図4DのD-D切断線に沿って断面視した時の断面構成を示す縦断面図である。

[図4H]第1実施形態に係る胴部を平面視した平面図である。

[図5A]本技術の第1実施形態に係る光検出装置の製造方法を示す工程断面図である。

[図5B]図5Aに引き続く工程断面図である。

[図5C]図5Bに引き続く工程断面図である。

[図5D]図5Cに引き続く工程断面図である。

[図5E]図5Dに引き続く工程断面図である。

[図5F]図5Eに引き続く工程断面図である。

[図5G]図5Fに引き続く工程断面図である。

[図5H]図5Gに引き続く工程断面図である。

[図5I]図5Hに引き続く工程断面図である。

[図5J]図5Iに引き続く工程断面図である。

[図6]比較例に係る光検出装置が有する電極及び電荷蓄積領域の断面構成を示す縦断面図である。

[図7A]本技術の第1実施形態の変形例1に係る光検出装置が有する第1半導体層の第1の面側における、電極と、電荷蓄積領域と、第1半導体領域と、第2半導体領域と、の位置関係を示す説明図である。

[図7B]図7AのE-E切断線に沿って断面視した時の断面構成を示す縦断面図である。

[図8A]本技術の第1実施形態の変形例1に係る光検出装置の製造方法を示す工程断面図である。

[図8B]図8Aに引き続く工程断面図である。

[図9A]図8Bに示す工程で使用するレジストパターンの開口の平面形状を示す平面図である。

[図9B]本技術の第1実施形態の変形例1に係る光検出装置において、セル領域の角部のみにシリコンがエピタキシャル成長された様子を示す説明図である。

[図10]平面視において、第1実施形態の変形例2に係る光検出装置1が有するゲート電極及び電極を示す説明図である。

[図11]平面視において、第1実施形態の変形例3に係る光検出装置1が有するゲート電極及び電極を示す説明図である。

[図12]平面視において、第1実施形態の変形例4に係る光検出装置1が有するゲート電極及び電極を示す説明図である。

[図13]平面視において、第1実施形態の変形例5に係る光検出装置1が有す

る電極を示す説明図である。

[図14A]本技術の第2実施形態に係る光検出装置において、胴部を横切る切断線に沿った平面で電極と、電荷蓄積領域と、絶縁領域と、を断面視した断面構成を示す縦断面図である。

[図14B]本技術の第2実施形態に係る光検出装置において、平面視における電荷蓄積領域と電極との間の位置関係及び寸法関係を示す説明図である。

[図15A]本技術の第2実施形態に係る光検出装置の製造方法を示す工程断面図である。

[図15B]図15Aに引き続く工程断面図である。

[図15C]図15Bに引き続く工程断面図である。

[図15D]図15Cに引き続く工程断面図である。

[図15E]図15Dに引き続く工程断面図である。

[図16]比較例に係る光検出装置が有するゲート電極及び電荷蓄積領域の、平面視における位置関係を示す説明図である。

[図17]本技術の第2実施形態に係る光検出装置が有するゲート電極及び電荷蓄積領域の、平面視における位置関係を示す説明図である。

[図18A]本技術の第2実施形態の変形例1に係る光検出装置が有するゲート電極及び電荷蓄積領域の、平面視における位置関係を示す説明図である。

[図18B]本技術の第2実施形態の変形例1に係る光検出装置が有するゲート電極及び電荷蓄積領域の、平面視における位置関係を示す説明図である。

[図19A]本技術の第2実施形態の変形例2に係る光検出装置の製造方法を示す工程断面図である。

[図19B]図19Aに引き続く工程断面図である。

[図20A]本技術の第3実施形態に係る光検出装置が有する位相差検出部の断面構成を示す縦断面図である。

[図20B]本技術の第3実施形態に係る位相差検出部の第1の面側における、第1半導体領域と、第1トレンチ分離壁と、の位置関係を示す説明図である。

[図20C]図20BのG-G切断線に沿って断面視した時の断面構成を示す縦断

面図である。

[図20D]本技術の第3実施形態に係る2行2列に配列された4つの位相差検出部の、第1の面側における構成を示す説明図である。

[図21]本技術の第3実施形態に係る光検出装置の製造方法において、第1の面S1側からエッチングにより溝を形成する際に用いられるレジストパターンを示す平面図である。

[図22]本技術の第3実施形態に係る光検出装置の製造方法において、形成された絶縁領域の平面視における形状及び位置を示している。

[図23]本技術の第3実施形態に係る光検出装置の製造方法において、エピタキシャル成長により形成された第1半導体領域を示す縦断面図である。

[図24]比較例に係る光検出装置が有する画素の断面構成を示す縦断面図である。

[図25A]本技術の第3実施形態の変形例1に係る2行2列に配列された4つの位相差検出部の、第1の面側における構成を示す説明図である。

[図25B]図25AのG-G切断線に沿って断面視した時の断面構成を示す縦断面図である。

[図26]本技術の第3実施形態の変形例1に係る光検出装置の製造方法において、絶縁膜の不要な部分を除去して絶縁領域を得るためのエッチバックを行う際に用いられるレジストパターンを示す平面図である。

[図27]本技術の第3実施形態の変形例2に係る光検出装置が有する電荷蓄積領域の、第1の面S1側における平面構成を示す説明図である。

[図28]本技術の第3実施形態の変形例3に係る光検出装置が有する電荷蓄積領域の、第1の面S1側における平面構成を示す説明図である。

[図29]電子機器の概略的な構成の一例を示すブロック図である。

発明を実施するための形態

[0009] 以下、本技術を実施するための好適な形態について図面を参照しながら説明する。なお、以下に説明する実施形態は、本技術の代表的な実施形態の一例を示したものであり、これにより本技術の範囲が狭く解釈されることはな

い。

[0010] 以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。ただし、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。又、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることはもちろんである。又、本技術を説明するのに適した図面を採用しているため、図面相互間において構成の相違がある場合がある。

[0011] また、以下に示す実施形態は、本技術の技術的思想を具体化するための装置や方法を例示するものであって、本技術の技術的思想は、構成部品の材質、形状、構造、配置等を下記のものに特定するものでない。本技術の技術的思想は、特許請求の範囲に記載された請求項が規定する技術的範囲内において、種々の変更を加えることができる。また、以下の説明における上下等の方向の定義は、単に説明の便宜上の定義であって、本開示の技術的思想を限定するものではない。例えば、対象を 90° 回転して観察すれば上下は左右に変換して読まれ、 180° 回転して観察すれば上下は反転して読まれることは勿論である。

[0012] 説明は以下の順序で行う。

1. 第1実施形態
2. 第2実施形態
3. 第3実施形態
4. 第4実施形態

電子機器への応用例

[0013] [第1実施形態]

この実施形態では、裏面照射型のCMOS (Complementary Metal Oxide Semiconductor) イメージセンサである光検出装置に本技術を適用した一例について説明する。

[0014] 《光検出装置の全体構成》

まず、光検出装置 1 の全体構成について説明する。図 1 に示すように、本技術の第 1 実施形態に係る光検出装置 1 は、平面視したときの二次元平面形状が方形状の半導体チップ 2 を主体に構成されている。すなわち、光検出装置 1 は、半導体チップ 2 に搭載されている。この光検出装置 1 は、図 29 に示すように、光学系（光学レンズ）102 を介して被写体からの像光（入射光 106）を取り込み、撮像面上に結像された入射光 106 の光量を画素単位で電気信号に変換して画素信号として出力する。

[0015] 図 1 に示すように、光検出装置 1 が搭載された半導体チップ 2 は、互いに交差する X 方向及び Y 方向を含む二次元平面において、中央部に設けられた方形状の画素領域 2A と、この画素領域 2A の外側に画素領域 2A を囲むようにして設けられた周辺領域 2B とを備えている。画素領域 2A は、例えば図 29 に示す光学系 102 により集光される光を受光する受光面である。そして、画素領域 2A には、X 方向及び Y 方向を含む二次元平面において複数の画素 3 が行列状に配置されている。換言すれば、画素 3 は、二次元平面内で互いに交差する X 方向（例えば行方向）及び Y 方向（例えば列方向）のそれぞれの方向に繰り返し配置されている。なお、本実施形態においては、一例として X 方向と Y 方向とが直交している。また、X 方向と Y 方向との両方に直交する方向が Z 方向（厚み方向、積層方向）である。また、Z 方向に垂直な方向が水平方向である。

[0016] 図 1 に示すように、周辺領域 2B には、複数のボンディングパッド 14 が配置されている。複数のボンディングパッド 14 の各々は、例えば、半導体チップ 2 の二次元平面における 4 つの辺の各々の辺に沿って配列されている。複数のボンディングパッド 14 の各々は、半導体チップ 2 を外部装置と電氣的に接続する際に用いられる入出力端子である。

[0017] <ロジック回路>

図 2 に示すように、半導体チップ 2 は、ロジック回路 13 を備えている。ロジック回路 13 は、垂直駆動回路 4、カラム信号処理回路 5、水平駆動回路 6、出力回路 7 及び制御回路 8 などを含んでいる。ロジック回路 13 は、

電界効果トランジスタとして、例えば、 n チャネル導電型のMOSFET（Metal Oxide Semiconductor Field Effect Transistor）及び p チャネル導電型のMOSFETを有するCMOS（Complementary MOS）回路で構成されている。

[0018] 垂直駆動回路4は、例えばシフトレジスタによって構成されている。垂直駆動回路4は、所望の画素駆動線10を順次選択し、選択した画素駆動線10に画素3を駆動するためのパルスを供給し、各画素3を行単位で駆動する。即ち、垂直駆動回路4は、画素領域2Aの各画素3を行単位で順次垂直方向に選択走査し、各画素3の光電変換素子が受光量に応じて生成した信号電荷に基づく画素3からの画素信号を、垂直信号線11を通してカラム信号処理回路5に供給する。

[0019] カラム信号処理回路5は、例えば画素3の列毎に配置されており、1行分の画素3から出力される信号に対して画素列毎にノイズ除去等の信号処理を行う。例えばカラム信号処理回路5は、画素固有の固定パターンノイズを除去するためのCDS（Correlated Double Sampling：相関2重サンプリング）及びAD（Analog Digital）変換等の信号処理を行う。カラム信号処理回路5の出力段には水平選択スイッチ（図示せず）が水平信号線12との間に接続されて設けられる。

[0020] 水平駆動回路6は、例えばシフトレジスタによって構成されている。水平駆動回路6は、水平走査パルスをカラム信号処理回路5に順次出力することによって、カラム信号処理回路5の各々を順番に選択し、カラム信号処理回路5の各々から信号処理が行われた画素信号を水平信号線12に出力させる。

[0021] 出力回路7は、カラム信号処理回路5の各々から水平信号線12を通して順次に供給される画素信号に対し、信号処理を行って出力する。信号処理としては、例えば、バッファリング、黒レベル調整、列ばらつき補正、各種デジタル信号処理等を用いることができる。

[0022] 制御回路8は、垂直同期信号、水平同期信号、及びマスタクロック信号に

基づいて、垂直駆動回路 4、カラム信号処理回路 5、及び水平駆動回路 6 等の動作の基準となるクロック信号や制御信号を生成する。そして、制御回路 8 は、生成したクロック信号や制御信号を、垂直駆動回路 4、カラム信号処理回路 5、及び水平駆動回路 6 等に出力する。

[0023] <画素>

図 3 は、画素 3 の一構成例を示す等価回路図である。図示の例では、複数の画素 3 が、1 つの読出し回路 15 を共有している。より具体的には、4 つの画素 3 が、1 つの読出し回路 15 を共有している。画素 3 のそれぞれは、光電変換素子 P D と、光電変換素子 P D で光電変換された信号電荷を電荷蓄積領域 F D に転送する転送トランジスタ T R と、電荷蓄積領域（フローティングディフュージョン：Floating Diffusion）F D と、を備えている。読出し回路 15 は、電荷蓄積領域 F D の後段に接続されている。

[0024] 光電変換素子 P D は、受光量に応じた信号電荷を生成する。光電変換素子 P D はまた、生成された信号電荷を一時的に蓄積（保持）する。光電変換素子 P D は、カソード側が転送トランジスタ T R のソース領域と電氣的に接続され、アノード側が基準電位線（例えばグラウンド）と電氣的に接続されている。光電変換素子 P D としては、例えばフォトダイオードが用いられている。

[0025] 転送トランジスタ T R のドレイン領域は、電荷蓄積領域 F D と電氣的に接続されている。転送トランジスタ T R のゲート電極は、画素駆動線 10（図 2 参照）のうちの転送トランジスタ駆動線と電氣的に接続されている。

[0026] 電荷蓄積領域 F D は、光電変換素子 P D から転送トランジスタ T R を介して転送された信号電荷を一時的に蓄積して保持する。

[0027] 読出し回路 15 は、電荷蓄積領域 F D に蓄積された信号電荷を読み出し、信号電荷に基づく画素信号を出力する。読出し回路 15 は、これに限定されないが、画素トランジスタとして、例えば、増幅トランジスタ A M P と、選択トランジスタ S E L と、リセットトランジスタ R S T と、を備えている。これらのトランジスタ（A M P，S E L，R S T）は、例えば、酸化シリコ

ン膜（ SiO_2 膜）からなるゲート絶縁膜と、ゲート電極と、ソース領域及びドレイン領域として機能する一対の主電極領域と、を有するMOSFETで構成されている。また、これらのトランジスタとしては、ゲート絶縁膜が窒化シリコン膜（ Si_3N_4 膜）、或いは窒化シリコン膜及び酸化シリコン膜などの積層膜からなるMISFET（Metal Insulator Semiconductor FET）でも構わない。

[0028] 増幅トランジスタAMPは、ソース領域が選択トランジスタSELのドレイン領域と電氣的に接続され、ドレイン領域が電源線Vdd及びリセットトランジスタのドレイン領域と電氣的に接続されている。そして、増幅トランジスタAMPのゲート電極は、電荷蓄積領域FD及びリセットトランジスタRSTのソース領域と電氣的に接続されている。

[0029] 選択トランジスタSELは、ソース領域が垂直信号線11（VSL）と電氣的に接続され、ドレインが増幅トランジスタAMPのソース領域と電氣的に接続されている。そして、選択トランジスタSELのゲート電極は、画素駆動線10（図2参照）のうちの選択トランジスタ駆動線と電氣的に接続されている。

[0030] リセットトランジスタRSTは、ソース領域が電荷蓄積領域FD及び増幅トランジスタAMPのゲート電極と電氣的に接続され、ドレイン領域が電源線Vdd及び増幅トランジスタAMPのドレイン領域と電氣的に接続されている。リセットトランジスタRSTのゲート電極は、画素駆動線10（図2参照）のうちのリセットトランジスタ駆動線と電氣的に接続されている。

[0031] <<光検出装置の具体的な構成>>

次に、光検出装置1の具体的な構成について、図4Aから図4Hまでを用いて説明する。なお、図面によっては、バリアメタル層及びトランジスタのゲート絶縁膜の記載を省略している場合がある。

[0032] <光検出装置の積層構造>

図4Aは、図4B及び図4C等のA-A切断線に沿って断面視した時の断面構成を示す横断面図である。図4Aに示すように、光検出装置1（半導体

チップ2)は、例えば、一方の面が第1の面S1であり他方の面が第2の面S2である第1半導体層20と、第1配線層30と、第2半導体層40と、第2配線層50と、図示を省略した第3半導体層と、をその順で積層した積層構造を有する。また、光検出装置1(半導体チップ2)は、第2の面S2側に光入射面側積層体60を有する。

[0033] <第1半導体層>

第1半導体層20は、半導体基板で構成されている。第1半導体層20は、これには限定されないが、例えば、主に単結晶シリコン(Si)基板で構成されている。なお、第1の面S1を素子形成面又は主面と呼び、第2の面S2を光入射面又は裏面と呼ぶこともある。第1半導体層20の画素領域2Aに相当する部分には、平面視で行方向及び列方向に沿ってマトリクス状に配列された複数のセル領域20aが設けられている。セル領域20aは、画素3毎に設けられている。例えば、分離領域20bで区画された島状のセル領域20aが画素3毎に設けられている。なお、画素3の数は、図4Aに限定されるものではない。

[0034] セル領域20aには、半導体領域21と、半導体領域22とが構成されている。半導体領域21は、第1導電型(例えばp型)又は真正半導体(i型)であり、本実施形態では第1導電型(例えばp型)として、説明する。半導体領域22は第2導電型(例えばn型)である。そして、セル領域20aには、図3に示した光電変換素子PDが構成されていて、入射した光を光電変換し、信号電荷を生成する。以下、半導体領域22を、光電変換部22と呼ぶ場合がある。

[0035] 図4Aに示すように、セル領域20aには、第2導電型(例えばn型)の半導体領域23と、第1導電型(例えばp型)の半導体領域24とが構成されている。半導体領域23は、図3に示した電荷蓄積領域FDに相当する。以下、半導体領域23を電荷蓄積領域FDと呼ぶ。電荷蓄積領域FDは、光電変換部22より不純物濃度が高い拡散領域である。半導体領域24は、半導体領域21を基準電位に固定するための配線が接続されるコンタクト領域

である。以下、半導体領域 24 をコンタクト領域 24 と呼ぶ。コンタクト領域 24 は、半導体領域 21 より不純物濃度が高い拡散領域である。電荷蓄積領域 F D 及びコンタクト領域 24 は、厚み方向において第 1 の面 S 1 寄りの位置に設けられていて、第 1 の面 S 1 に臨んでいても良い。また、セル領域 20 a は、図 4 D に示す第 1 半導体領域 20 a 1 を含む。第 1 半導体領域 20 a 1 については、別途詳細に説明する。

[0036] 図 4 A に示すように、セル領域 20 a には、例えば、トランジスタ T 1 が設けられている。トランジスタ T 1 は、第 1 半導体層 20 の第 1 の面 S 1 寄りの位置に設けられている。トランジスタ T 1 は、例えば、図 3 に示した転送トランジスタ T R である。以下、トランジスタ T 1 を転送トランジスタ T 1 と呼ぶ。

[0037] 図 4 A に示すように、分離領域 20 b には、セル領域 20 a 同士の間を区画する分離構造が設けられている。分離構造は、不純物分離構造及びトレンチ分離壁等の公知の構造であっても良い。本実施形態では、分離構造が図 4 A に示すトレンチ分離壁 25 であるとして説明する。トレンチ分離壁 25 は、第 1 半導体層 20 の分離領域 20 b に厚み方向に沿って溝 F T I を形成し、溝 F T I 内に分離材料を埋め込んだトレンチ構造である。トレンチ分離壁 25 は、例えば、厚み方向に沿って第 1 の面 S 1 から第 2 の面 S 2 まで延在した溝 F T I 内に分離材料を埋め込んだ F T I (Full Trench Isolation) 構造である。

[0038] 分離材料は、絶縁膜や金属などの公知の材料であっても良い。本実施形態では、トレンチ分離壁 25 は、ポリシリコン 25 b と、絶縁膜 25 a とを含んで構成されている。絶縁膜 25 a は、ポリシリコン 25 b と半導体領域 21 との間を絶縁している。図 4 B は、図 4 A の B-B 切断線に沿って断面視した時の断面構成を示す横断面図である。図 4 B に示すように、トレンチ分離壁 25 は、行方向及び厚み方向に沿って延在する部分と列方向及び厚み方向に沿って延在する部分とを有している。そして、行方向及び厚み方向に沿って延在する部分と列方向及び厚み方向に沿って延在する部分とが交差して

いる。行方向及び厚み方向に沿って延在する部分と列方向及び厚み方向に沿って延在する部分とが交差する部分を、交差領域と呼ぶ。図4Bに示す例では、トレンチ分離壁25は、平面視で行方向及び列方向に沿って格子状に設けられている。トレンチ分離壁25の幅方向に沿った寸法は、W1である。

[0039] 図4Dに示すように、電荷蓄積領域FDは、これには限定されないが、例えば、平面視でセル領域20aの角部に設けられている。より具体的には、1つの読出し回路15を共有している2行2列の4つのセル領域20aにおいて、平面視で、電荷蓄積領域FDは、セル領域20aの互いに対向する角部に設けられている。また、コンタクト領域24は、これには限定されないが、例えば、平面視でセル領域20aの角部に設けられている。より具体的には、コンタクト領域24は、セル領域20aの角部のうち電荷蓄積領域FDが設けられた角部とは異なる角部に設けられている。2行2列の4つのセル領域20aにおいて、平面視で、コンタクト領域24は、セル領域20aの互いに対向する角部に設けられている。

[0040] <絶縁領域>

図4Aに示すように、トレンチ分離壁25の第1の面S1寄りの端部には、絶縁材料からなる絶縁領域26が設けられている。絶縁領域26は、一方の面（第2の面S2寄りの面）がトレンチ分離壁25の第1の面S1寄りの端部に接している。図4Cは、図4AのC-C切断線に沿って断面視した時の断面構成を示す横断面図である。図4Cに示すように、絶縁領域26は、平面視で、セル領域20a同士の間を区画するように行方向及び列方向に沿って延在している。平面視で、絶縁領域26は、トレンチ分離壁25に沿って設けられ且つトレンチ分離壁25に重なっている。より具体的には、平面視で、トレンチ分離壁25の全体は、絶縁領域26に重なっている。また、絶縁領域26は、平面視でトレンチ分離壁25が設けられた場所全体に対して設けられている。絶縁領域26の幅方向に沿った寸法はW2であり、トレンチ分離壁25の幅方向に沿った寸法W1より大きい（ $W2 > W1$ ）。絶縁領域26を構成する絶縁材料は、これには限定されないが、酸化シリコン（

S i O₂) 等の材料を挙げることができる。

[0041] 図4 Gは、図4 DのD-D切断線に沿って断面視した時の断面構成を示す縦断面図である。図4 D及び図4 Gに示すように、絶縁領域26の第1の面S1寄りの面には、セル領域20a同士の間を区画するように行方向及び列方向に沿って延在した細幅絶縁領域27が設けられている。

[0042] 図4 Fは、図4 DのA-A切断線に沿った平面で断面視した時の断面構成の一部を拡大して示す縦断面図である。図4 Fに示すように、電荷蓄積領域FDが設けられている位置では、細幅絶縁領域27が除去されて、電極70が設けられている。平面視でコンタクト領域24が設けられている位置についても同様の構成を有するため、図示及び説明を省略する場合がある。以下、コンタクト領域24と電荷蓄積領域FDとのうちの電荷蓄積領域FDを例に説明する。コンタクト領域24については、電荷蓄積領域FDをコンタクト領域24と読み替えれば良い。

[0043] <第1半導体領域>

図4 F及び図4 Gに示すように、第1半導体領域20a1は、厚み方向において、絶縁領域26と第1の面S1との間に設けられていて、一方の面が絶縁領域26の第1の面S1寄りの面に接し、他方の面が第1の面S1に臨んでいる。より具体的には、第1半導体領域20a1は、セル領域20aのうち、絶縁領域26の第1の面S1寄りの面に設けられた部分であり、且つ平面視で絶縁領域26と重なる部分である。

[0044] 図4 Dは、第1の面S1側から第1半導体層20を平面視した場合のセル領域20aを示す図である。図4 Dに示すように、第1半導体領域20a1は、セル領域20a毎に設けられている。より具体的には、第1半導体領域20a1は、平面視で第1の面S1側から観察すると、セル領域20aの縁部全体に亘って設けられている。隣接するセル領域20aの第1半導体領域20a1同士は、間隔を空けて設けられていて、互いに接触していない。なお、セル領域20aのうち、平面視で絶縁領域26より内側にある部分を第2半導体領域20a2と呼び、第1半導体領域20a1と区別する。

[0045] 図4Dに示すように、電荷蓄積領域FDは、セル領域20aのうち第1半導体領域20a1の少なくとも一部を含む領域に構成されている。より具体的には、電荷蓄積領域FDは、セル領域20aのうち第1半導体領域20a1と第2半導体領域20a2との両方を含む領域に構成されている。

[0046] <電極>

図4Aに示すように、光検出装置1は電極70を有している。電極70には、電荷蓄積領域FDに電氣的に接続された電極70と、コンタクト領域24に電氣的に接続された電極70とがあるが、両者の構成は同様なので、ここでは、電荷蓄積領域FDに電氣的に接続された電極70を例として説明する。

[0047] 電極70は、読出し回路15に接続された配線と各画素3の電荷蓄積領域FDとを接続する電極であり、1つの読出し回路15を共有する複数（本実施形態では4つ）の画素3に対して1つ設けられている。図4Eに示すように、電極70は、胴部71と胴部71の一方の端部に一方の面が接続された頭部72とを有する。図4Fに示すように、胴部71の他方の端部は、絶縁領域26の第1の面S1寄りの面（すなわち、トレンチ分離壁25側とは反対側の面）に接していて、電極70は、胴部71の側面及び頭部72の一方の面（第1半導体層20側の面）を介して、電荷蓄積領域FDに接している。より具体的には、電極70の胴部71の側面及び頭部72の一方の面は、第1半導体領域20a1のうち電荷蓄積領域FDが構成された部分に接している。なお、これは、電極70の胴部71の側面及び頭部72の一方の面が、電荷蓄積領域FDが構成された第2半導体領域20a2に接することを排除するものではない。胴部71の側面とは、胴部71の一方の端部と他方の端部とを接続する面である。そして、頭部72の他方の面は第1配線層30に臨んでいて、配線32が接続されている。また、図4E及び図4Fに示すように、頭部72は水平方向に沿って板状に延在し、頭部72の一方の面の面積は胴部71の一方の端部の面積より大きい。そのため、図4Fに示すように、縦断面視で頭部72は胴部71から水平方向に張り出して、電荷蓄積

領域FDに接することができる。図4Dに示すように、平面視で、電極70は電荷蓄積領域FD同士が対向した位置に設けられている。そして胴部71は、図4Eに示すように、セル領域20a同士の間、より具体的には電荷蓄積領域FD同士の間を分離（区画）している。

[0048] 1つの電極70は、1つの読出し回路15を共有する複数の電荷蓄積領域FDに接している。より具体的には、1つの電極70は、それぞれ異なるセル領域20aに設けられた複数（本実施形態では4つ）の電荷蓄積領域FDに接している。図4Hに示すように、胴部71は、行方向及び厚み方向に沿って延在する第1延在部分71xと、列方向及び厚み方向に沿って延在する第2延在部分71yと、を有する。平面視で、第1延在部分71xと第2延在部分71yとは、互いに中央部で交差し、より具体的には直交している。この交差している部分を交差部分71cと呼ぶ。そして、第1延在部分71xと第2延在部分71yとにより構成された胴部71の4つの凹角部のそれぞれに、電荷蓄積領域FDが接している。

[0049] 図4Fは、図4DのA-A切断線に沿った平面で断面視した時の断面構成の一部を示す縦断面図である。図4Fの縦断面視における胴部71を介して対向する2つの電荷蓄積領域FD同士の間を距離とし、絶縁領域26の水平方向に沿った寸法をaとした場合、距離bは寸法aより小さい（ $b < a$ ）という関係を満たす。また、縦断面視における頭部72の水平方向に沿った寸法をcとした場合、寸法cは距離b以上（ $b \leq c$ ）という関係を満たす。寸法cと距離bとが等しい場合、頭部72には胴部71から張り出す部分が設けられていないことになる。

[0050] なお、A-A切断線とは異なる切断線に沿った平面で交差部分71cを断面視した場合であっても、距離bと、寸法aと、寸法cとの関係は同じである。また、平面視で、交差部分71cを横切らず、第1延在部分71x又は第2延在部分71yを横切る切断線に沿った平面で光検出装置1を縦断面視した場合の断面構成においても、距離bと、寸法aと、寸法cとの関係は同じである。

[0051] 電極 70 を構成する材料は、公知の導電性材料である。電極 70 を構成する材料は、アルミニウム (Al)、銅 (Cu)、タングステン (W) などの公知の金属材料であっても良い。本実施形態では、電極 70 がポリシリコン (Poly-Si) により構成されているとして、説明する。

[0052] なお、コンタクト領域 24 に電氣的に接続された電極 70 をコンタクト電極 70 と呼び、電荷蓄積領域 FD に電氣的に接続された電極 70 と区別する場合がある。その場合、コンタクト電極 70 の胴部 71 及び頭部 72 を、コンタクト胴部 71 及びコンタクト頭部 72 と呼ぶ。

[0053] <転送トランジスタ>

図 4 A 及び図 4 E に示すように、転送トランジスタ T1 は、セル領域 20 a 毎に設けられている。転送トランジスタ T1 は、光電変換部 22 内で生成された信号電荷を電荷蓄積領域 FD に転送可能なトランジスタである。例えば、転送トランジスタ T1 がオンした場合に光電変換部 22 と電荷蓄積領域 FD との間が導通し、信号電荷が電荷蓄積領域 FD に転送される。そして、転送トランジスタ T1 がオフした場合に光電変換部 22 と電荷蓄積領域 FD との間の導通が遮断される。

[0054] 転送トランジスタ T1 は、ゲート電極 G1 を有する。図 4 A に示すように、ゲート電極 G1 は、セル領域 20 a 内に埋設され且つ厚み方向に延在する柱状の第 1 部分 G1 a と、第 1 配線層 30 内に設けられ、第 1 部分 G1 a の第 1 の面 S1 寄りの端部に接続され、且つ水平方向に板状に延在する第 2 部分 G1 b とを有する。なお、図 4 A 等の図面では、第 1 部分 G1 a とセル領域 20 a との間を絶縁するゲート絶縁膜の図示は、省略されている。

[0055] <第 1 配線層>

図 4 A に示すように、第 1 配線層 30 は、一方の面が第 1 半導体層 20 に接し、他方の面が第 2 配線層 50 に接した多層配線層である。第 1 配線層 30 は、これには限定されないが、例えば、絶縁膜 31 と、絶縁膜 31 内に設けられた配線 32 を有する。配線 32 は、主に厚み方向に延在する縦配線と、主に水平方向に延在する横配線とを含む。絶縁膜 31 は、例えば酸化シリ

コン (SiO_2) 膜、窒化シリコン (Si_3N_4) 膜、酸窒化シリコン (SiON) 膜等の公知の絶縁膜を複数層積層した構成である。配線 32 は、例えばポリシリコン等の半導体材料、銅 (Cu)、タングステン (W)、アルミニウム (Al) 等の金属材料など、公知の導電性材料である。

[0056] <第2半導体層>

第2半導体層 40 は、半導体基板で構成されている。第2半導体層 40 は、これには限定されないが、例えば、単結晶シリコン基板で構成されていて、一方の面が第1配線層 30 に接し、他方の面が第2配線層 50 に接している。第2半導体層 40 には、トランジスタ T2 が複数設けられている。トランジスタ T2 は、例えば、図3に示した読出し回路 15 を構成するトランジスタを含んでいる。

[0057] <第2配線層>

第2配線層 50 は、一方の面が第2半導体層 40 に接し、他方の面が図示を省略した第3半導体層に接した多層配線層である。第2配線層 50 は、これには限定されないが、例えば、複数層積層された絶縁膜 51 と、絶縁膜 51 内に設けられた配線 52 を有する。配線 52 は、主に厚み方向に延在する縦配線と、主に水平方向に延在する横配線とを含む。縦配線は、図4Aに示すように、第2半導体層を貫通する貫通配線を含んでいても良い。配線 52 は、主に厚み方向に延在する縦配線と、主に水平方向に延在する横配線とを含む。絶縁膜 51 は、例えば酸化シリコン (SiO_2) 膜、窒化シリコン (Si_3N_4) 膜、酸窒化シリコン (SiON) 膜等の公知の絶縁膜を複数層積層した構成である。配線 52 は、例えばポリシリコン等の半導体材料、銅 (Cu)、タングステン (W)、アルミニウム (Al) 等の金属材料など、公知の導電性材料である。

[0058] 配線 52 及び第1配線層 30 の配線 32 により、例えば、電荷蓄積領域 F D に接続された電極 70 の頭部 72 と増幅トランジスタ AMP とを接続する電気経路、及びコンタクト領域 24 に接続された電極 70 の頭部 72 に基準電位を供給する電気経路等の電気経路が構成されている。

[0059] <第3半導体層>

図示を省略する第3半導体層は、半導体基板で構成されている。第3半導体層は、これには限定されないが、例えば、単結晶シリコン基板で構成されていて、一方の面が第2配線層50に接している。第3半導体層には、例えば、図2に示したロジック回路13を構成するトランジスタが設けられている。

[0060] <光入射面側積層体>

光入射面側積層体60は、これには限定されないが、例えば、平坦化膜61と、カラーフィルタ62、遮光壁63、マイクロレンズ（オンチップレンズ）64と、を第2の面S2側からその順で積層した積層構造を有する。平坦化膜61は、公知の絶縁材料又は公知の樹脂材料で構成されていて、これには限定されないが、例えば、酸化シリコンで構成されていても良い。カラーフィルタ62は、セル領域20aへの入射光を色分離する。遮光壁63は、カラーフィルタ62は、例えば樹脂性の材料で構成されている。カラーフィルタ62同士の間には、迷光を遮光する遮光壁63が設けられている。マイクロレンズ64は、例えば樹脂性の材料で構成されている。

[0061] <光検出装置の製造方法>

以下、図5Aから図5Jまでを参照して、光検出装置1の製造方法について説明する。なお、本実施形態では、主に絶縁領域26と、電荷蓄積領域FDと、電極70との形成方法について説明し、それ以外の部分については説明を省略する。

[0062] まず、図5Aに示すように、公知の方法により、第1半導体層20wの第1の面S1側から、溝FT1に埋め込まれたトレンチ分離壁25を形成する。トレンチ分離壁25の外周には、第1導電（例えばp型）のピニング領域28が設けられている。その後、第1の面S1に対して、絶縁膜m1、絶縁膜m2、及び絶縁膜m3を、その順で成膜する。絶縁膜m1及び絶縁膜m3は、例えば酸化シリコン膜であり、絶縁膜m1は熱酸化により形成しても良い。絶縁膜m2は、例えば窒化シリコン膜である。

[0063] 次に、STI (Shallow Trench Isolation) の技術を用いて、絶縁領域 26 を形成する。具体的には、まず、図 5 B に示すように、公知のリソグラフィ技術及びエッチング技術を用いて、平面視でトレンチ分離壁 25 に重なるように、第 1 の面 S1 側から溝 STI を形成する。溝 STI は、平面視でトレンチ分離壁 25 に重なる位置に格子状に設けられている。その際、まずレジストパターンをマスクとして絶縁膜 m1, m2, m3 をエッチングし、それらの絶縁膜をハードマスクとして溝 STI を形成する。溝 STI は、絶縁膜 m1, m2, m3 を貫通し、第 1 半導体層 20w 内まで達している。そして、溝 STI を形成する際に、トレンチ分離壁 25 の第 1 の面 S1 寄りの部分が除去される。平面視で、溝 STI の幅方向の寸法は、溝 FTI (トレンチ分離壁 25) の幅方向の寸法より大きくしている。溝 STI は、平面視でトレンチ分離壁 25 が設けられた場所全体に対して設けられている。そして、溝 STI の底面には、トレンチ分離壁 25 が露出している。

[0064] その後、図 5 C に示すように、溝 STI の内部を埋めるように、絶縁膜 m4 を成膜する。絶縁膜 m4 は、例えば、酸化シリコン膜である。そして、図 5 D に示すように、全面エッチバックを行い、絶縁膜 m4 の不要な部分を除去する。そして、溝 STI の底部に残った絶縁膜 m4 が絶縁領域 26 を構成する。なお、絶縁膜 m3 は、全面エッチバックの際に除去される。絶縁膜 m2 のエッチングレートは、絶縁膜 m4 及び絶縁膜 m3 のエッチングレートより低く、エッチングされても僅かである。また、このエッチバックにより、溝 STI の側壁に、第 1 半導体層 20w を構成する半導体が露出する。溝 STI の側壁に露出した半導体面を、面 20c と呼ぶ。

[0065] 次に、図 5 E に示すように、面 20c に対してシリコンをエピタキシャル成長させて、第 1 半導体領域 20a1 を得る。エピタキシャル成長された第 1 半導体領域 20a1 は、これには限定されないが、例えば、真正半導体 (i 型) であるが、設計に応じて p 型又は n 型であっても良い。また、第 1 半導体領域 20a1 の導電型は、設計に応じて第 2 半導体領域 20a2 又は半導体領域 21 と同じ導電型に形成されても良いし、異なる導電型に形成され

ても良い。シリコンは、半導体からなる面20cに対して選択的にエピタキシャル成長され、例えば絶縁膜等半導体以外の材料からなる面には成長しない。また、エピタキシャル成長は、対向する面20cに成長した第1半導体領域20a1同士がつかないように、成長時間を制御しながら行う。

[0066] その後、図5Fに示すように、第1半導体領域20a1を覆い且つ第1半導体領域20a1同士の間の隙間を埋めるように、絶縁膜m5を成膜する。そして、公知の化学機械研磨（CMP）法、エッチバック等の公知の方法により、絶縁膜m5の余分な部分及び絶縁膜m1、m2を除去する。これにより、図5Gに示すように、第1半導体領域20a1同士の間に残った絶縁膜m5が細幅絶縁領域27を構成し、第1半導体領域20a1及び第1の面S1が露出する。

[0067] 次に、図5Hに示すように、露出面にレジストパターンR1を形成する。レジストパターンR1は、電荷蓄積領域FDを形成する位置に開口を有する。開口からは、第1半導体領域20a1と第2半導体領域20a2との両方が露出している。そして、レジストパターンR1をイオン注入マスクとして、半導体をn型にする公知の不純物を選択的にイオン注入することにより、電荷蓄積領域FDを形成する。その後、レジストパターンR1を除去する。図示は省略するが、コンタクト領域24についても同様に形成する。ただし、注入する不純物は、半導体をp型にする公知の不純物である。

[0068] そして、図5Iに示すように、公知のリソグラフィ技術及びエッチング技術を用いて、平面視で電極70を設ける位置の細幅絶縁領域27を除去する。その後、図5Jに示すように、第1の面S1を覆い且つ第1半導体領域20a1同士の間の隙間を埋めるように、公知の成膜技術によりポリシリコン膜を成膜する。そして、公知のリソグラフィ技術及びエッチング技術を用いポリシリコン膜の余分な部分をエッチングして電極70を得る。これ以降は公知の製造方法を用いて処理を続けることにより、光検出装置1がほぼ完成する。そして、光検出装置1を個片化することにより、半導体チップ2を得る。

[0069] 《第1実施形態の主な効果》

以下、第1実施形態の主な効果を説明するが、その前に、図6に示す比較例に係る光検出装置について説明する。比較例においては、トレンチ分離壁25の第1の面S1寄りの端部には、絶縁膜が埋め込まれたシャロートレンチ26Aが設けられている。そして、4つの電荷蓄積領域FDは、シャロートレンチ26Aにより区画されている。電極70Aは、水平方向に延在する板状の部材のみからなり、第1半導体層20側の面を介して、4つの電荷蓄積領域FDに接触している。

[0070] 画素3が微細化されると、電荷蓄積領域FD及び電極70Aの寸法も小さくすることが求められる。しかし、電荷蓄積領域FD及び電極70Aの寸法が小さくなると、電荷蓄積領域FDと電極70Aとの接触面積が減少し、接触抵抗が高くなる可能性があった。これにより、電荷蓄積領域FDと電極70Aとの電氣的接続が劣化する可能性があった。

[0071] これに対して、本技術の第1実施形態に係る光検出装置1は、胴部71と胴部71の一方の端部に一方の面が接続された頭部72とを有した電極70を備え、セル領域20aのうち第1半導体領域20a1の一部を含む領域には、電荷蓄積領域FDが構成されていて、胴部71の他方の端部は、絶縁領域26の一方の面（第1の面S1寄りの面）に接し、電極70は、胴部71の側面と頭部72の一方の面とを介して、電荷蓄積領域FDに接している。このように、本技術の第1実施形態に係る光検出装置1では、頭部72の一方の面に加えて胴部71の側面においても電荷蓄積領域FDに接するので、電荷蓄積領域FDと電極70との接触面積が減少するのを抑制でき、電荷蓄積領域FDと電極70との電氣的接続が劣化するのを抑制できる。これにより、画素3が微細化された場合であっても、電荷蓄積領域FDと電極70との電氣的接続が劣化するのを抑制できる。

[0072] また、本技術の第1実施形態に係る光検出装置1では、セル領域20aは、絶縁領域26のトレンチ分離壁25側の面とは反対側の面に設けられた第1半導体領域20a1を含む。これにより、第1の面S1側においてセル領

域 20a が占める領域を絶縁領域 26 上まで増やすことができ、増えた領域に亘って電荷蓄積領域 FD を構成することができるので、電荷蓄積領域 FD の寸法が小さくなることを抑制できる。そのため、電荷蓄積領域 FD と電極 70 との接触面積が減少するのを抑制でき、電荷蓄積領域 FD と電極 70 との電氣的接続が劣化するのを抑制できる。これにより、画素 3 が微細化された場合であっても、電荷蓄積領域 FD と電極 70 との電氣的接続が劣化するのを抑制できる。

[0073] また、第 1 の面 S1 側においてセル領域 20a が占める領域を絶縁領域 26 上まで増やすことができるので、電極 70 と電荷蓄積領域 FD との重ね合わせマージンが小さくなるのを抑制できる。また、第 1 の面 S1 側においてセル領域 20a が占める領域を絶縁領域 26 上まで増やすことができるので、ゲート電極 G1 の配置の自由度が上がる。

[0074] また、本技術の第 1 実施形態に係る光検出装置 1 では、胴部 71 の側面と頭部 72 の一方の面とは、第 1 半導体領域 20a1 のうち電荷蓄積領域 FD が構成された部分に接している。電極 70 が、第 1 半導体領域 20a1 に構成された電荷蓄積領域 FD に接しているので、電極 70 の寸法、より具体的には頭部 72 の平面視の寸法が大きくなるのを抑制しつつ、電荷蓄積領域 FD と電極 70 との接触面積が減少するのを抑制できる。換言すると、頭部 72 の平面視の寸法が同じであれば、電荷蓄積領域 FD と電極 70 との接触面積を増やすことができる。

[0075] また、本技術の第 1 実施形態に係る光検出装置 1 では、コンタクト領域 24 についても、上述の電荷蓄積領域 FD と同じ効果を有する。

[0076] なお、本実施形態において、図 4E に示すように、頭部 72 は、第 1 半導体領域 20a1 と第 2 半導体領域 20a2 とのうちの第 1 半導体領域 20a1 のみにおいて電荷蓄積領域 FD に接していたが、頭部 72 は第 1 半導体領域 20a1 と第 2 半導体領域 20a2 との両方において電荷蓄積領域 FD に接していても良い。

[0077] 《第 1 実施形態の変形例》

以下、第1実施形態の変形例について、説明する。

[0078] <変形例1>

第1実施形態に係る光検出装置1では、図4Dに示すように、第1半導体領域20a1は、第1の面S1において、セル領域20aの縁部全体に亘って設けられていたが、本技術はこれには限定されない。図7Aに示す第1実施形態の変形例1に係る光検出装置1では、第1半導体領域20a1は、第1の面S1において、セル領域20aの角部にのみ設けられている。角部以外の部分は、図7Bに示すように、第1半導体領域20a1が設けられていない。図7AのA-A切断線に沿った平面で光検出装置1を縦断面視した断面構成は、図4Fと同じである。図7Bは、図7AのE-E切断線に沿った平面で光検出装置1を縦断面視した断面構成を示す。図7Bに示すように、セル領域20aの角部以外の領域には、第1半導体領域20a1が設けられていない。図7Aに示すように、電荷蓄積領域FDは、セル領域20aの1つの角部に対して設けられた第1半導体領域20a1の全ての領域を含む半導体領域に構成されている。

[0079] 以下、図8A、図8B、図9A、及び図9Bを参照して、光検出装置1の製造方法について説明する。なお、本変形例では、上述の第1実施形態に係る製造方法と異なる部分についてのみ、説明する。図5Cに示す工程まで、上述の第1実施形態に係る製造方法と同じである。その後、図8Aに示すように、CMP法により、絶縁膜m4の不要な部分及び絶縁膜m3を除去する。そして、図8Bに示すように、絶縁膜m2の露出面に対してレジストパターンR2を形成する。レジストパターンR2は、図8B及び図9Aに示すように、電荷蓄積領域FD又はコンタクト領域24が設けられる位置に開口R2aを有する。そして、エッチバックは、開口R2aから露出した絶縁膜m4について行い、絶縁膜m4のうちレジストに覆われた部分はエッチバックされない。なお、絶縁膜m2のエッチングレートは、絶縁膜m4及び絶縁膜m3のエッチングレートより低く、エッチングされても僅かである。そして、図8Bに示すように、溝ST1の底部に残った絶縁膜m4が絶縁領域26

を構成する。その後、レジストパターンR 2を除去する。

[0080] 次に、図8Bに示した面20cに対してシリコンをエピタキシャル成長させて、第1半導体領域20a1を得る。なお、絶縁膜m4のうちレジストパターンR 2により保護されてエッチバックされなかった部分は、図7Bに示すように、セル領域20aの側面を覆っている。そのため、図9Bに示すように、角部にのみシリコンがエピタキシャル成長され、角部以外にはシリコンがエピタキシャル成長されない。

[0081] この第1実施形態の変形例1に係る光検出装置1であっても、上述の第1実施形態に係る光検出装置1と同様の効果が得られる。

[0082] また、第1実施形態の変形例1に係る光検出装置1では、電荷蓄積領域F D又はコンタクト領域24が設けられるセル領域20aの角部において、第1の面S1側にセル領域20aが占める領域を絶縁領域26上まで増やすことができ、増えた領域に亘って電荷蓄積領域F Dを構成することができるので、電荷蓄積領域F Dの寸法が小さくなることを抑制できる。そのため、電荷蓄積領域F Dと電極70との接触面積が減少するのを抑制でき、電荷蓄積領域F Dと電極70との電氣的接続が劣化するのを抑制できる。これにより、画素3が微細化された場合であっても、電荷蓄積領域F Dと電極70との電氣的接続が劣化するのを抑制できる。

[0083] <変形例2>

図10に示す第1実施形態の変形例2に係る光検出装置1では、ゲート電極G1は、形状が方形であっても良く、平面視の面積が第1実施形態の場合より大きくても良い。また、平面視で、電極70の頭部72は、八角形ではなく方形であっても良い。また、図10に示す画素は、位相差を検出する位相差検出部であっても良い。なお、図10では、電荷蓄積領域F Dの図示を省略している。この第1実施形態の変形例2に係る光検出装置1であっても、上述の第1実施形態に係る光検出装置1と同様の効果が得られる。

[0084] <変形例3>

図11に示す第1実施形態の変形例3に係る光検出装置1は、上述の変形

例 1 と変形例 2 との組み合わせである。より具体的には、図 1 1 に示すように、第 1 半導体領域 2 0 a 1 はセル領域 2 0 a の角部のみに設けられていて、ゲート電極 G 1 及び頭部 7 2 は上述の変形例 2 と同じである。なお、図 1 1 では、電荷蓄積領域 F D の図示を省略している。この第 1 実施形態の変形例 3 に係る光検出装置 1 であっても、上述の第 1 実施形態に係る光検出装置 1 と同様の効果が得られる。

[0085] <変形例 4>

図 1 2 に示す第 1 実施形態の変形例 4 に係る光検出装置 1 では、電極 7 0 の頭部 7 2 は平面視で楕円形であり、第 1 半導体領域 2 0 a 1 はセル領域 2 0 a の角部のみに設けられている。なお、図 1 2 では、電荷蓄積領域 F D の図示を省略している。この第 1 実施形態の変形例 4 に係る光検出装置 1 であっても、上述の第 1 実施形態に係る光検出装置 1 と同様の効果が得られる。

[0086] <変形例 5>

図 1 3 に示す第 1 実施形態の変形例 5 に係る光検出装置 1 では、電極 7 0 の頭部 7 2 は平面視で円形であり、第 1 半導体領域 2 0 a 1 はセル領域 2 0 a の角部のみに設けられている。なお、図 1 3 では、電荷蓄積領域 F D の図示を省略している。この第 1 実施形態の変形例 5 に係る光検出装置 1 であっても、上述の第 1 実施形態に係る光検出装置 1 と同様の効果が得られる。

[0087] <変形例 6>

第 1 実施形態及びその変形例では、光検出装置 1（半導体チップ 2）は、例えば、第 1 半導体層 2 0 と、第 2 半導体層 4 0 と、図示を省略した第 3 半導体層との三層の半導体層を有していたが、本技術はこれには限定されない。第 1 実施形態の変形例 6 に係る光検出装置 1 では、三層の半導体層のうちの第 1 半導体層 2 0 と第 3 半導体層との二層のみを有していても良い。その場合、第 2 半導体層 4 0 に構成された素子は、第 1 半導体層 2 0 等に構成されればよい。この第 1 実施形態の変形例 6 に係る光検出装置 1 であっても、上述の第 1 実施形態に係る光検出装置 1 と同様の効果が得られる。

[0088] [第 2 実施形態]

図14A及び図14Bに示す本技術の第2実施形態について、以下に説明する。本第2実施形態に係る光検出装置1は、電荷蓄積領域FDが占める領域の大きさが異なる。それ以外の光検出装置1の構成は、基本的に上述の第1実施形態の光検出装置1と同様の構成になっている。すでに説明した構成要素については、同じ符号を付してその説明を省略する。なお、図14Aは、胴部71を横切る切断線に沿った平面で電極70と、電荷蓄積領域FDと、絶縁領域26と、を断面視した断面構成を示す縦断面図である。本実施形態では、図14Aは、一例として、図14Bに示す胴部71の第1延在部分71xを横切る切断線に沿った平面で電極70を断面視した断面構成を示す縦断面図である。

[0089] 電荷蓄積領域FDは、セル領域20aのうち第1半導体領域20a1のみからなる領域に構成されている。より具体的には、電荷蓄積領域FDは、第1半導体領域20a1と第2半導体領域20a2とのうち第1半導体領域20a1のみからなる領域に構成されていて、第2半導体領域20a2には構成されていない。そして、平面視で電荷蓄積領域FDの全体が絶縁領域26に重なっていて、電荷蓄積領域FDの第2の面S2側の面が絶縁領域26に接している。すなわち、本実施形態の電荷蓄積領域FDが占める領域は、第1実施形態の電荷蓄積領域FDが占める領域より小さい。そのため、本実施形態に係る電荷蓄積領域FDの不純物濃度は、第1実施形態に係る電荷蓄積領域FDの不純物濃度より、高く設けている。電荷蓄積領域FDが占める領域が小さくなっても、不純物濃度を高くすることにより、電荷を蓄積する性能が劣化するのを抑制できる。また、電荷蓄積領域FDが占める領域が小さくなることにより電荷蓄積領域FDと電極70との接触面積が減少しても、不純物濃度を高くすることにより、接触抵抗が大きくなることを抑制できる。

[0090] 電荷蓄積領域FDは、第1半導体領域20a1のみからなる領域に構成されている。そのため、図14Aの縦断面視において、絶縁領域26の水平方向に沿った寸法である寸法aと、胴部71を介して対向する2つの電荷蓄積

領域 F D 同士の間距離である距離 b と、電荷蓄積領域 F D の水平方向に沿った寸法である寸法 d と、の関係は、 $a \geq 2d + b$ で表すことができる。すなわち、寸法 d の 2 倍の値に距離 b の値を加えて得られた値は、寸法 a と同じ又はそれより小さい。換言すると、 $2d + b$ は、胴部 71 を介して対向する 2 つの電荷蓄積領域 F D が水平方向に沿って占める幅である。

[0091] また、図 14 A 及び図 14 B に示すように、平面視で、頭部 72 は電荷蓄積領域 F D の全体に重なっている。すなわち、上述の距離 b 及び寸法 d と、頭部 72 の水平方向に沿った寸法である寸法 c と、の関係は、 $c \geq 2d + b$ で表すことができる。すなわち、寸法 c は、寸法 d の 2 倍の値に距離 b の値を加えて得られた値と同じ又はそれより大きい。また、寸法 c の値が定められている場合には、上式を満たすように距離 b 及び寸法 d を決めれば良い。

[0092] また、寸法 c の下限値は、これには限定されないが、例えば、トレンチ分離壁 25 の幅と同じ幅であっても良い。また、寸法 d の下限値は、これには限定されないが、例えば、寸法 c の $1/4$ から $1/5$ までの範囲にあっても良い。

[0093] なお、平面に沿った縦断面図であれば、図 14 A とは異なる断面構成においても、寸法 a と、距離 b と、寸法 c と、寸法 d と、の関係は同じである。

[0094] 《光検出装置の製造方法》

以下、図 15 A から図 15 E までを参照して、光検出装置 1 の製造方法について説明する。なお、本変形例では、上述の第 1 実施形態に係る製造方法と異なる部分についてのみ、説明する。また、以下の説明では第 1 実施形態に係る製造方法の説明に用いた図面についても、適宜参照する。

[0095] 図 5 E まで、上述の第 1 実施形態に係る製造方法と同じである。その後、図 15 A に示すように、露出面に、開口 R5a を有するレジストパターン R5 を形成する。そして、レジストパターン R5 をイオン注入のマスクとして、第 1 の面 S1 側から、半導体を n 型にする公知の不純物を注入する。レジストパターン R5 を構成するレジストは、エピタキシャル成長により得られた第 1 半導体領域 20a1 のうちの一部を覆っている。そして、開口 R5a

から、第1半導体領域20a1のうちの他の一部が露出している。このような開口R5aを介して不純物をイオン注入することにより、電荷蓄積領域FDを、第1実施形態の場合と比べて狭い領域に設けることができる。また、電荷蓄積領域FDを狭い領域に形成するには、ドーズ量を高くしてイオン注入する必要がある。本実施形態では、平面視で開口R5a全体が絶縁領域26に重なっている。すなわち、平面視で絶縁領域26の第1の面S1側の面に重なる半導体領域に、不純物を注入する。そのため、電荷蓄積領域FDの不純物濃度を上げるために不純物のドーズ量を高くした場合であっても、不純物の進行が絶縁領域26により遮られ、それより深い位置に達し難い。これにより、電荷蓄積領域FDを形成したい領域に高濃度で不純物を留めることができ、微細且つ不純物濃度が高濃度な電荷蓄積領域FDを形成できる。

[0096] 次に、図15Bに示すように、電荷蓄積領域FD同士の間を埋めるように、露出面に対して絶縁膜m5を成膜する。そして、CMP法により絶縁膜m5の余分な部分を除去し、その後、絶縁膜m2を除去し、図15Cに示す状態を得る。そして、図15Dに示すように、エッチバックにより、絶縁膜m1と、絶縁膜m5の余分な部分とを除去する。電荷蓄積領域FD同士の間には絶縁膜m5の一部が残されていて、以下、この残された絶縁膜m5と絶縁領域26とをあわせて絶縁領域26と呼ぶ。次に、図15Eに示すように、電荷蓄積領域FDに接するように、電極70を形成する。これ以降の処理は、第1実施形態で説明した処理と同じであり、説明を省略する。

[0097] <<第2実施形態の主な効果>>

以下、第2実施形態の主な効果を説明するが、その前に、図16に示す比較例に係る光検出装置について説明する。図16に示すように、平面視で、電荷蓄積領域FDとゲート電極G1が有する柱状の第1部分G1aとの間の距離が小さくなり過ぎると、電荷蓄積領域FDと第1部分G1aとの間の電界強度が大きくなってFD白点が悪化する可能性があった。しかし、電荷蓄積領域FDと第1部分G1aとの間の距離を広げるために電荷蓄積領域FD及び電極70Aを微細化すると、電荷蓄積領域FDと電極70Aとの接触面

積が減少し、接触抵抗が高くなる可能性があった。これにより、電荷蓄積領域 F D と電極 7 0 A との電氣的接続が劣化する可能性があった。

[0098] これに対して、本技術の第 2 実施形態に係る光検出装置 1 は、上述の第 1 実施形態に係る光検出装置 1 と同様の効果が得られる。

[0099] また、本技術の第 2 実施形態に係る光検出装置 1 では、電荷蓄積領域 F D はセル領域 2 0 a のうち第 1 半導体領域 2 0 a 1 のみからなる領域に構成されていて、平面視で電荷蓄積領域 F D の全体が絶縁領域 2 6 に重なっている。これにより、微細且つ不純物濃度が高濃度な電荷蓄積領域 F D を形成できる。そのため、本技術の第 2 実施形態に係る光検出装置 1 では、図 1 7 に示すように、比較例と比べて電荷蓄積領域 F D と第 1 部分 G 1 a との間の距離を広げることができる。これにより、電荷蓄積領域 F D と第 1 部分 G 1 a との間の電界強度が大きくなるのを抑制でき、F D 白点が悪化するのを抑制できる。また、不純物濃度が高濃度な電荷蓄積領域 F D を形成できるので、電荷蓄積領域 F D が占める領域が小さくなくても電荷を蓄積する性能が劣化するのを抑制でき、電荷蓄積領域 F D と電極 7 0 との接触面積が減少しても両者の間の接触抵抗が大きくなることを抑制できる。

[0100] また、本技術の第 2 実施形態に係る光検出装置 1 では、縦断面視において、胴部 7 1 を介して対向する 2 つの電荷蓄積領域 F D 同士の間の距離を b とし、頭部 7 2 の水平方向に沿った寸法を c とし、電荷蓄積領域 F D の水平方向に沿った寸法を d とした場合、 $c \geq 2d + b$ の関係を満たす。すなわち、平面視で、頭部 7 2 は電荷蓄積領域 F D の全体に重なっているので、電荷蓄積領域 F D が占める領域が小さくなくても、電荷蓄積領域 F D に対して電極 7 0 の頭部 7 2 を有効に接触させることができる。なお、電荷蓄積領域 F D と電極 7 0 との接触面積が第 1 実施形態の場合と同じであれば、本実施形態の方が電荷蓄積領域 F D の不純物濃度が高いので、接触抵抗を第 1 実施形態の場合より小さくすることができる。また、電荷蓄積領域 F D と電極 7 0 との接触面積が第 1 実施形態の場合より小さくても、本実施形態の方が電荷蓄積領域 F D の不純物濃度が高いので、接触抵抗が大きくなるのを抑制できる。

。

[0101] また、本技術の第2実施形態に係る光検出装置1では、縦断面視において、胴部71を介して対向する2つの電荷蓄積領域FDが水平方向に沿って占める幅は、同断面視における絶縁領域26の水平方向に沿った寸法以下である。このように、複数の電荷蓄積領域FDに対して1つの電極70を設ける場合であっても、微細且つ不純物濃度が高濃度な電荷蓄積領域FDを形成できる。

[0102] ≪第2実施形態の変形例≫

以下、第2実施形態の変形例について、説明する。

[0103] <変形例1>

図18Aに示す第2実施形態の変形例1に係る光検出装置1は、第1実施形態の変形例1と第2実施形態との組み合わせである。より具体的には、図18Aに示すように、第1半導体領域20a1は、セル領域20aの角部のみに設けられていて、そのような第1半導体領域20a1に対して、第2実施形態の電荷蓄積領域FDが設けられている。本変形例においても、寸法aと、距離bと、寸法cと、寸法dと、の関係は同じである。また、電極70と、電荷蓄積領域FDと、第1半導体領域20a1との位置関係及び大小関係は、図18Bに示す関係であっても良い。この第2実施形態の変形例1に係る光検出装置1であっても、上述の第2実施形態に係る光検出装置1と同様の効果が得られる。

[0104] <変形例2>

第2実施形態の変形例2に係る光検出装置1は、製造方法において第2実施形態と異なる。以下、図19A及び図19Bを参照して、本変形例に係る光検出装置1の製造方法について説明する。なお、本変形例では、上述の第1実施形態及び第2実施形態に係る製造方法と異なる部分についてのみ、説明する。また、以下の説明では第1実施形態に係る製造方法の説明に用いた図面についても、適宜参照する。

[0105] 図5Dまで、上述の第1実施形態に係る製造方法と同じである。その後、

図19Aに示すように、面20cに対してシリコンをエピタキシャル成長させて、第1半導体領域20a1の一部を得る。エピタキシャル成長された第1半導体領域20a1は、これには限定されないが、例えば、真正半導体（i型）であるが、設計に応じてp型又はn型であっても良い。また、第1半導体領域20a1の導電型は、設計に応じて第2半導体領域20a2又は半導体領域21と同じ導電型に形成されても良いし、異なる導電型に形成されても良い。

[0106] 次に、図19Bに示すように、さらにシリコンをエピタキシャル成長させて、第1半導体領域20a1の残りの部分を得る。その際、半導体をn型にする公知の不純物を注入しながらシリコンをエピタキシャル成長させる。これにより、n型の第1半導体領域20a1を形成することができ、形成されたn型の領域を電荷蓄積領域FDとすることができる。これ以降は、第2実施形態の製造方法と同じであるので、説明を省略する。この第2実施形態の変形例2に係る光検出装置1であっても、上述の第2実施形態に係る光検出装置1と同様の効果が得られる。

[0107] また、この第2実施形態の変形例1に係る光検出装置1では、レジストパターンR5を形成する必要が無く、リソグラフィ工程を減らす事ができる。

[0108] <変形例3>

第2実施形態の変形例3に係る光検出装置1は、縦断面視した場合の絶縁領域26の形状が平板状であり、図4F等を示す第1実施形態に係る絶縁領域26の形状と同じである。この第2実施形態の変形例3に係る光検出装置1であっても、上述の第2実施形態に係る光検出装置1と同様の効果が得られる。

[0109] [第3実施形態]

図20Aから図20Dまでに示す本技術の第3実施形態について、以下に説明する。本第3実施形態に係る光検出装置1は、位相差検出部80を含む。それ以外の光検出装置1の構成は、基本的に上述の第1実施形態の光検出装置1と同様の構成になっている。すでに説明した構成要素については、同

じ符号を付してその説明を省略する。なお、図20Aは図20BのF－F切断線に沿って断面視した時の断面構成を示す縦断面図であり、図20Cは図20BのG－G切断線に沿って断面視した時の断面構成を示す縦断面図であり、図20Bは、第1の面S1における各構成要素の位置関係を示す説明図である。

[0110] なお、本実施形態に係る図面においては、第1半導体領域20a1と第2半導体領域20a2とを区別して描いている。また、本実施形態に係る図面においては、第1導電型（例えばp型）、第2導電型（例えばn型）、i型等の半導体の導電型を互いに区別せずに描いている。また、本実施形態に係る図面においては、主に第1半導体層20を中心に描いており、他の半導体層及び配線層等の図示を省略している場合がある。本実施形態に係る図面においては、光検出装置1の一部分のみを描いていて、図示を省略した部分がある。また、本実施形態に係る図面においては、第1半導体領域20a1の形状をより分かりやすく示すために、電極70等第1半導体領域20a1に接するように設けられる電極や配線の記載を省略している。また、本実施形態のトレンチ分離壁25は、第1実施形態の場合と同様にポリシリコン25bと、絶縁膜25aとを含んで構成されているが、本実施形態に係る図面では、絶縁膜25aの図示を省略している。

[0111] 図20Aに示すように、位相差検出部80は、隣り合う複数（本実施形態では2つ）のセル領域20aを含んでいる。なお、紙面右側のセル領域20aと紙面左側のセル領域20aとを互いに区別するために、紙面右側のセル領域をセル領域20aRと呼び、紙面左側のセル領域をセル領域20aLと呼ぶ。両者を区別しない場合には、単にセル領域20aと呼ぶ。光検出装置1は、位相差検出部80を用いて、どの方向から光が入射したかを判定する。より具体的には、光検出装置1は、セル領域20aRに蓄積された信号電荷量と、セル領域20aLに蓄積された信号電荷量とを比較して、どの方向から光が入射したかを判定する。例えば、セル領域20aRに蓄積された信号電荷量の方がセル領域20aLに蓄積された信号電荷量より多い場合には

、光は紙面左側から斜めに光検出装置 1 に入射したことが分かる。

[0112] また、位相差検出部 80 は、セル領域 20aR とセル領域 20aL との間で信号電荷が移動可能な経路 PH を有する。経路 PH は、オーバーフローパスと呼ばれる場合がある。セル領域 20aR とセル領域 20aL とのうちの一方のセル領域で信号電荷が飽和した場合、一方のセル領域から他方のセル領域へ、経路 PH を介して信号電荷が移動する、すなわちオーバーフローする。位相差検出部 80 は、1 つの画素 3 としても機能することができる。位相差検出部 80 が画素 3 としても機能する場合、セル領域 20aR に蓄積された信号電荷量とセル領域 20aL に蓄積された信号電荷量との和である加算信号を、画素信号として出力する。そのため、一方のセル領域で先に信号電荷が飽和した場合に信号電荷が他方のセル領域へオーバーフローすることにより、信号電荷の一部が捨てられるのを抑制できる。これにより、光量と加算信号との線形性が劣化するのを抑制できる。

[0113] トレンチ分離壁 25 のうち、位相差検出部 80 内の 2 つのセル領域 20a (セル領域 20aR、セル領域 20aL) 同士の間位置する部分を、他の部分と区別するために第 1 トレンチ分離壁 25c と呼ぶ。第 1 トレンチ分離壁 25c と他のトレンチ分離壁 25 とを区別しない場合、単にトレンチ分離壁 25 と呼ぶ。図 20A 及び図 20B に示すように、第 1 半導体領域 20a1 は、平面視で第 1 トレンチ分離壁 25c に重なる位置に設けられていて、位相差検出部 80 内のセル領域 20aR とセル領域 20aL とを接続している。より具体的には、セル領域 20aR に含まれる第 1 半導体領域 20a1 とセル領域 20aL に含まれる第 1 半導体領域 20a1 とが、平面視で第 1 トレンチ分離壁 25c に重なる位置において互いに接続されて 1 つになっている。そして、経路 PH は、平面視で第 1 トレンチ分離壁 25c に重なる位置に設けられた第 1 半導体領域 20a1 に構成されている。経路 PH が構成された第 1 半導体領域 20a1 の導電型は、設計に対応した導電型であれば良い。

[0114] 図 20C に示すように、第 1 トレンチ分離壁 25c の第 1 の面 S1 側の端

部は、一部分が他の部分より厚み方向に沿って窪んでいて、絶縁領域 26 及び第 1 半導体領域 20a1 は、第 1 トレンチ分離壁 25c の端部のうち窪んだ部分 25d にのみ設けられている。

[0115] 図 20D は、2 行 2 列に配列された 4 つの位相差検出部 80 を示している。平面視で、4 つの位相差検出部 80 の互いに対向する角部には、電荷蓄積領域 FD が構成された第 1 半導体領域 20a1 が設けられている。なお、本実施形態では、電極 70 の図示を省略している。電荷蓄積領域 FD が構成された第 1 半導体領域 20a1 は、平面視で四角の環状であり、位相差検出部 80 の角部にある 4 つのセル領域 20a の、互いに対向する角部同士を接続している。なお、経路 PH が構成された第 1 半導体領域 20a1 と電荷蓄積領域 FD が構成された第 1 半導体領域 20a1 と区別するために、経路 PH が構成された第 1 半導体領域 20a1 を第 1 半導体領域 20a1 PH と呼び、電荷蓄積領域 FD が構成された第 1 半導体領域 20a1 を第 1 半導体領域 20a1 FD と呼ぶ場合がある。両者を区別しない場合、単に第 1 半導体領域 20a1 と呼ぶ。第 1 半導体領域 20a1 FD についても、第 1 半導体領域 20a1 PH と同様に、トレンチ分離壁 25 の窪んだ部分 25d に設けられている。また、光検出装置 1 は、電荷蓄積領域 FD と同様の構成を有するコンタクト領域 24 を有していても良く、上述の説明において電荷蓄積領域 FD をコンタクト領域 24 と読み替えれば良い。電極 70 を第 1 半導体領域 20a1 FD に対して設ける場合、電極 70 の胴部 71 を、環状の第 1 半導体領域 20a1 FD の中空部を埋めるように柱状にしても良い。

[0116] 《光検出装置の製造方法》

以下、図 21 から図 23 までを参照して、光検出装置 1 の製造方法について説明する。なお、本実施形態では、上述の第 1 実施形態に係る製造方法と異なる部分についてのみ、説明する。また、以下の説明で参照される縦断面図は、図 20B の F-F 切断線に沿った縦断面図の一部を示している。また、以下の説明では第 1 実施形態に係る製造方法の説明に用いた図面についても、適宜参照する。

[0117] 図5Aに示す工程まで、上述の第1実施形態に係る製造方法と同じである。その後、図21に示すように、公知のリソグラフィ技術及びエッチング技術を用いて、平面視でトレンチ分離壁25に重なるように、第1の面S1側から溝ST1を形成する。その際、まずレジストパターンR3を形成し、レジストパターンR3をマスクとして絶縁膜m1, m2, m3をエッチングし、それらの絶縁膜をハードマスクとして溝ST1を形成しても良い。なお、上述の第1実施形態では溝ST1を平面視で格子状に形成していたが、本実施形態では、開口R3a1及び開口R3a2を有するレジストパターンR3を用いて、方形の領域に対してのみ溝ST1を形成する。レジストパターンR3の開口R3a1は平面視で第1半導体領域20a1PHを形成する位置に設けられていて、開口R3a2は平面視で第1半導体領域20a1FDを形成する位置に設けられている。

[0118] その後、図5Cに示すように、溝ST1の内部を埋めるように、絶縁膜m4を成膜し、図5Dに示すように、全面エッチバックを行い、絶縁膜m4の不要な部分を除去する。そして、溝ST1の底部に残った絶縁膜m4が絶縁領域26を構成する。図22は、絶縁領域26の平面視における形状及び位置を示している。そして、図5D及び図22に示す面20cに対してシリコンをエピタキシャル成長させて、図23に示す第1半導体領域20a1を得る。なお、面20cは、溝ST1の側壁に露出した半導体面である。なお、エピタキシャル成長は、上述の第1実施形態においては対向する面20cに成長した第1半導体領域20a1同士がつかないように制御していたが、本実施形態では、図23に示すように、対向する面20cに成長した第1半導体領域20a1同士がつかないように制御している。これにより、セル領域20aRとセル領域20aLとが第1半導体領域20a1PHにより電氣的に接続され、第1半導体領域20a1FDが環状になる。

[0119] エピタキシャル成長された第1半導体領域20a1は、これには限定されないが、例えば、真正半導体(i型)であるが、設計に応じてp型又はn型であっても良い。また、第1半導体領域20a1の導電型は、設計に応じて

第2半導体領域20a2又は半導体領域21と同じ導電型に形成されても良いし、異なる導電型に形成されても良い。これ以降の処理は、第1実施形態で説明した処理及び公知の位相差検出部80の製造方法と同じであり、説明を省略する。

[0120] 《第3実施形態の主な効果》

以下、第3実施形態の主な効果を説明するが、その前に、画素3の微細化及び図24に示す比較例について説明する。位相差検出部80内の2つのセル領域20a同士の間には不純物分離構造を設けることにより、厚み方向において第1の面S1側にオーバーフローパスである経路PHを設けることができる。しかし、画素のさらなる微細化が望まれており、位相差検出部80をより微細化する場合には、2つのセル領域20a同士の間には不純物分離構造を設けることが容易ではなくなる可能性がある。その場合、図24の比較例に示すように、2つのセル領域20a同士の間を第1トレンチ分離壁25cで分離することが求められる。そして、厚み方向においてオーバーフローパスである経路PHをカラーフィルタ62寄りの位置に設ける可能性がある。そのため、平面視で経路PHに重なる第1トレンチ分離壁25cの高さを、他のトレンチ分離壁25eの高さと異なる高さに形成する必要がある、安定した高さ制御が容易ではない可能性がある。また、セル領域20aR及びセル領域20aLの一方のセル領域において生成された信号電荷が他方のセル領域に移動して、分離特性が劣化する可能性がある。また、第1トレンチ分離壁25cが酸化シリコンで形成されている場合、入射光Lは、屈折率が低いマイクロレンズ64及びカラーフィルタ62を通過した後、屈折率が高い半導体からなる経路PHを通過し、その後再び屈折率が低い第1トレンチ分離壁25cに入射する。その場合、入射光Lは、低屈折率領域、高屈折率領域、低屈折率領域に進み、特に高屈折率領域の経路PHから低屈折率の第1トレンチ分離壁25cに入射する際に光の反射や散乱が生じる可能性がある。

[0121] これに対して、本技術の第3実施例に係る光検出装置1では、経路PHは

、絶縁領域 26 の第 1 トレンチ分離壁 25 c 側の面とは反対側の面に設けられた第 1 半導体領域 20 a 1 P H に構成されている。このように、画素 3 が微細化された場合であっても、経路 P H を第 2 の面 S 2 寄りの位置ではなく第 1 の面 S 1 寄りの位置に設けることができる。そのため、厚み方向において、第 1 トレンチ分離壁 25 c のカラーフィルタ 6 2 側の端部の位置を、他のトレンチ分離壁 25 のカラーフィルタ 6 2 側の端部の位置に揃えることができ、分離特性が劣化するのを抑制できる。また、カラーフィルタ 6 2 側に高屈折率の経路 P H が設けられていないので、入射光 L の反射や散乱が大きくなるのを抑制できる。また、第 1 トレンチ分離壁 25 c のカラーフィルタ 6 2 側の端部の位置を、他のトレンチ分離壁 25 のカラーフィルタ 6 2 側の端部の位置に揃えることができるので、第 1 の面 S 1 側から第 1 トレンチ分離壁 25 c と他のトレンチ分離壁 25 とを形成する際に、全てのトレンチ分離壁を同じ深さで形成することができ、製造の負荷が大きくなるのを抑制できる。

[0122] また、本技術の第 3 実施例に係る光検出装置 1 は、第 1 トレンチ分離壁 25 c の第 1 の面 S 1 寄りの端部と第 1 半導体領域 20 a 1 P H との間に設けられ且つ絶縁材料からなる絶縁領域 26 を有する。絶縁領域 26 が第 1 トレンチ分離壁 25 c と第 1 半導体領域 20 a 1 P H との間に介在しているので、トレンチ分離壁 25 がポリシリコン等の導電体からなる部分を有する場合、トレンチ分離壁 25 の導電部分と経路 P H とを電氣的に絶縁できる。また、経路 P H における信号電荷の流れを、主に水平方向に集中させることができる。また、絶縁領域 26 を設けることにより、第 1 半導体領域 20 a 1 と例えば光電変換部 22 等の他の半導体領域との不純物濃度の濃度差を明確にすることができる。

[0123] また、この第 3 実施形態に係る光検出装置 1 であっても、上述の第 1 実施形態に係る光検出装置 1 又は第 2 実施形態に係る光検出装置 1 と同様に、第 1 半導体領域 20 a 1 の少なくとも一部を含む領域に、電荷蓄積領域 F D とコンタクト領域 24 とを構成することができる。

[0124] なお、絶縁領域 26 は、第 1 実施形態に係る図 4 C に示すように、平面視で格子状に設けても良い。

[0125] ≪第 3 実施形態の変形例≫

以下、第 3 実施形態の変形例について、説明する。

[0126] <変形例 1>

図 25 A 及び図 25 B に示す第 3 実施形態の変形例 1 に係る光検出装置 1 では、第 1 トレンチ分離壁 25 c の窪んだ部分 25 d の側壁 25 f と第 1 半導体領域 20 a 1 P H との間には、絶縁材料からなる絶縁分離領域 29 が設けられている。また、トレンチ分離壁 25 の窪んだ部分 25 d の側壁 25 f と第 1 半導体領域 20 a 1 F D との間には、絶縁材料からなる絶縁分離領域 29 が設けられている。絶縁分離領域 29 を構成する材料は、公知の絶縁材料である。絶縁分離領域 29 は、絶縁領域 26 を構成する材料と同じ材料により構成されていても良い。

[0127] 以下、図 26 を参照して、光検出装置 1 の製造方法について説明する。なお、本変形例では、上述の第 3 実施形態に係る製造方法と異なる部分についてのみ、説明する。より具体的には、本変形例に係る製造方法は、図 5 C に示すように、溝 S T 1 の内部を埋めるように、絶縁膜 m 4 を成膜する工程までは、第 3 実施形態に係る製造方法と同じである。その後、図示は省略するが、例えば C M P 法により絶縁膜 m 4 の余分な部分と絶縁膜 m 3 とを除去する。これにより、絶縁膜 m 2 が露出する。

[0128] 次に、図 26 に示すように、公知のリソグラフィ技術により、開口 R 4 a 1, R 4 a 2 を有するレジストパターン R 4 を形成する。開口 R 4 a 1 は平面視で第 1 半導体領域 20 a 1 P H を形成する位置に設けられていて、開口 R 4 a 2 は平面視で第 1 半導体領域 20 a 1 F D を形成する位置に設けられている。そして、開口 R 4 a 1, R 4 a 2 から露出する部分をエッチバックして、絶縁膜 m 4 の不要な部分を除去し、絶縁領域 26 を得る。図 26 において、開口 R 4 a 1, R 4 a 2 の形状と、図 21 に示すレジストパターン R 3 の開口 R 3 a 1, R 3 a 2 の形状とを比較している。なお、平面視におい

て、開口 R 3 a 1, R 3 a 2 の大きさは、トレンチ分離壁 2 5 の窪んだ部分 2 5 d の大きさと同じである。開口 R 4 a 1 は、第 1 トレンチ分離壁 2 5 c の延在方向（Y 方向）に沿った方向の寸法が開口 R 3 a 1 より小さい。そのため、窪んだ部分 2 5 d に埋め込まれた絶縁膜 m 4 のうち Y 方向に沿った両端は、レジストにより覆われていて、エッチバックされずに残る。これにより、第 1 半導体領域 2 0 a 1 と第 1 トレンチ分離壁 2 5 c の窪んだ部分 2 5 d の側壁 2 5 f との間に絶縁分離領域 2 9 を設けることができる。また、開口 R 4 a 1 は、第 1 トレンチ分離壁 2 5 c の幅方向（X 方向）に沿った方向の寸法が開口 R 3 a 1 より大きく、開口 R 4 a 1 には絶縁膜 m 2 と絶縁膜 m 4 とが露出している。エッチバックでは、絶縁膜 m 2 と絶縁膜 m 4 とのエッチングレートの違いにより、たとえ絶縁膜 m 2 がエッチングされたとしても、僅かである。

[0129] 開口 R 4 a 2 は、平面視でトレンチ分離壁 2 5 が交差する位置に設けられている。そのため、X 方向及び Y 方向の両方向の端部において絶縁膜 m 4 を残すように、開口 R 4 a 2 の形状及び寸法を決めている。また、半導体面にシリコンをエピタキシャル成長させる必要があるので、面 2 0 c に対しては絶縁膜 m 4 を残さないように、開口 R 4 a 2 を広げている。より具体的には、開口 R 4 a 2 の角部においては X 方向及び Y 方向に沿った寸法を開口 R 3 a 2 より大きくし、角部同士の間では、少なくともトレンチ分離壁 2 5 より幅が広い領域では X 方向及び Y 方向に沿った寸法を開口 R 3 a 2 より小さくしている。これにより、第 1 半導体領域 2 0 a 1 と第 1 トレンチ分離壁 2 5 c の窪んだ部分 2 5 d の側壁 2 5 f との間に絶縁分離領域 2 9 を設けることができる。

[0130] この第 3 実施形態の変形例 1 に係る光検出装置 1 であっても、上述の第 3 実施形態に係る光検出装置 1 と同様の効果が得られる。また、第 3 実施形態の変形例 1 に係る光検出装置 1 では、トレンチ分離壁 2 5 の窪んだ部分 2 5 d の側壁 2 5 f と第 1 半導体領域 2 0 a 1 との間に絶縁材料からなる絶縁分離領域 2 9 を設けている。そのため、トレンチ分離壁 2 5 が有するポリシリ

コン材料が絶縁分離領域 29 に覆われた状態でシリコンをエピタキシャル成長させることができ、側壁 25 f と面 20 c とのうちの面 20 c のみにシリコンを成長させることができる。これにより、トレンチ分離壁 25 の側壁 25 f にシリコン結晶が異常成長するのを抑制できる。

[0131] <変形例 2>

図 27 に示す第 3 実施形態の変形例 2 に係る光検出装置 1 では、電荷蓄積領域 F D が構成された第 1 半導体領域 20 a 1 F D が環状ではなく、第 1 実施形態の場合と同様に、セル領域 20 a 毎に設けられた 4 つの部分からなる。なお、第 1 半導体領域 20 a 1 F D には、電荷蓄積領域 F D の代わりにコンタクト領域 24 が設けられていても良い。

[0132] 第 1 半導体領域 20 a 1 F D を 4 つの部分に分けて設けるためには、図 21 に示すレジストパターン R 3 の開口 R 3 a 1 及び開口 R 3 a 2 のうち、開口 R 3 a 2 の X 方向に沿った寸法及び Y 方向に沿った寸法を、開口 R 3 a 1 の X 方向（トレンチ分離壁 25 の幅方向）に沿った寸法より大きくすれば良い。それにより、対向する面 20 c に成長した第 1 半導体領域 20 a 1 同士がつながるまでに要する時間は、第 1 半導体領域 20 a 1 F D を設ける位置で、第 1 半導体領域 20 a 1 P H を設ける位置より、長くすることができる。これにより、1 つにつながった第 1 半導体領域 20 a 1 P H が得られた時点で、第 1 半導体領域 20 a 1 F D はまだつながっていない状態のままであり、図 27 に示す第 1 半導体領域 20 a 1 F D が得られる。

[0133] この第 3 実施形態の変形例 2 に係る光検出装置 1 であっても、上述の第 3 実施形態に係る光検出装置 1 と同様の効果が得られる。また、第 3 実施形態の変形例 2 に係る光検出装置 1 では、第 1 実施形態と同様の形状を有する電極 70 を設けることができる。

[0134] <変形例 3>

図 28 に示す第 3 実施形態の変形例 3 に係る光検出装置 1 では、電荷蓄積領域 F D が構成された第 1 半導体領域 20 a 1 F D が環状につながっていて、且つ中央部に十字状に隙間があっても良い。

[0135] この第3実施形態の変形例3に係る光検出装置1であっても、上述の第3実施形態に係る光検出装置1と同様の効果が得られる。また、第3実施形態の変形例3に係る光検出装置1では、第1実施形態と同様の形状を有する電極70を設けることができる。

[0136] <変形例4>

第3実施形態では、トレンチ分離壁25は、ポリシリコン25bと、絶縁膜25aとを含んで構成されていたが、本技術はこれには限定されない。第3実施形態の変形例4に係る光検出装置1が有するトレンチ分離壁25は、例えば酸化シリコンのような公知の絶縁膜のみにより構成されていても良い。

[0137] この第3実施形態の変形例4に係る光検出装置1であっても、上述の第3実施形態に係る光検出装置1と同様の効果が得られる。また、本変形例では、トレンチ分離壁25が、経路PHより屈折率が低い酸化シリコンのみにより構成されていて、その端部が第2の面S2側に臨んでいて、且つカラーフィルタ62側に高屈折率の経路PHが設けられていない。そのため、マイクロレンズ64、カラーフィルタ62、トレンチ分離壁25の順で通過する光を考えた場合、光は、経路PHより低屈折率のマイクロレンズ64及びカラーフィルタ62を通過した後、高屈折率の領域を介さず直接トレンチ分離壁25に入射する。これにより、光が低屈折率領域から低屈折率領域に入射するので、トレンチ分離壁25に入射する際の光の反射や散乱を抑制することができる。

[0138] [第4実施形態]

<1. 電子機器への応用例>

次に、図29に示す本技術の第4実施形態に係る電子機器100について説明する。電子機器100は、固体撮像装置101と、光学レンズ102と、シャッタ装置103と、駆動回路104と、信号処理回路105とを備えている。電子機器100は、これに限定されないが、例えば、カメラ等の電子機器である。また、電子機器100は、固体撮像装置101として、上述

の光検出装置 1 を備えている。

[0139] 光学レンズ（光学系）102は、被写体からの像光（入射光106）を固体撮像装置101の撮像面上に結像させる。これにより、固体撮像装置101内に一定期間にわたって信号電荷が蓄積される。シャッタ装置103は、固体撮像装置101への光照射期間及び遮光期間を制御する。駆動回路104は、固体撮像装置101の転送動作及びシャッタ装置103のシャッタ動作を制御する駆動信号を供給する。駆動回路104から供給される駆動信号（タイミング信号）により、固体撮像装置101の信号転送を行う。信号処理回路105は、固体撮像装置101から出力される信号（画素信号）に各種信号処理を行う。信号処理が行われた映像信号は、メモリ等の記憶媒体に記憶され、或いはモニタに出力される。

[0140] このような構成により、電子機器100では、固体撮像装置101において絶縁領域26のトレンチ分離壁25側の面とは反対側の面に設けられた第1半導体領域20a1を含むので、映像信号の画質の向上を図ることができる。

[0141] なお、電子機器100は、カメラに限られるものではなく、他の電子機器であっても良い。例えば、携帯電話機等のモバイル機器向けカメラモジュール等の撮像装置であっても良い。

[0142] また、電子機器100は、固体撮像装置101として、第1実施形態から第3実施形態まで、及びそれら実施形態の変形例のいずれかに係る光検出装置1、又は第1実施形態から第3実施形態まで、及びそれら実施形態の変形例のうちの少なくとも2つの組み合わせに係る光検出装置1を備えることができる。

[0143] [その他の実施形態]

上記のように、本技術は第1実施形態から第4実施形態までによって記載したが、この開示の一部をなす論述及び図面は本技術を限定するものであると理解すべきではない。この開示から当業者には様々な代替の実施形態、実施例及び運用技術が明らかとなろう。

[0144] 例えば、第1実施形態から第4実施形態までにおいて説明したそれぞれの技術的思想を互いに組み合わせることも可能である。例えば、上述の第1実施形態の変形例6に係る光検出装置1は半導体層を二層のみ備えていたが、このような技術的思想を、第2実施形態及び第3実施形態に記載の光検出装置1に適用することができる。また、例えば、上述の第3実施形態に係る光検出装置1は位相差検出部80を備えていたが、このような技術的思想を、第1実施形態及び第2実施形態に記載の光検出装置1に適用する等、それぞれの技術的思想に沿った種々の組み合わせが可能である。

[0145] また、本技術は、上述したイメージセンサとしての固体撮像装置の他、ToF (Time of Flight) センサともよばれる距離を測定する測距センサなども含む光検出装置全般に適用することができる。測距センサは、物体に向かって照射光を発光し、その照射光が物体の表面で反射され返ってくる反射光を検出し、照射光が発光されてから反射光が受光されるまでの飛行時間に基づいて物体までの距離を算出するセンサである。この測距センサの構造として、上述した画素3の構造を採用することができる。

[0146] また、例えば、上述の構成要素を構成するとして挙げられた材料は、添加物や不純物等を含んでいても良い。

[0147] このように、本技術はここでは記載していない様々な実施形態等を含むことは勿論である。したがって、本技術の技術的範囲は上記の説明から妥当な特許請求の範囲に記載された発明特定事項によってのみ定められるものである。

[0148] また、本明細書に記載された効果はあくまでも例示であって限定されるものではなく、また他の効果があっても良い。

[0149] なお、本技術は、以下のような構成としてもよい。

(1)

一方の面が素子形成面であり他方の面が光入射面であり、且つ平面視で方向及び列方向に沿ってマトリクス状に配列された複数のセル領域を有した第1半導体層と、

前記セル領域同士の間を区画しているトレンチ分離壁と、
前記トレンチ分離壁の前記素子形成面寄りの端部に設けられ、平面視で、
幅方向に沿った寸法が前記トレンチ分離壁の幅方向に沿った寸法より大きく、
且つ絶縁材料からなる絶縁領域と、を備え、
前記セル領域には光電変換部が構成されていて、
前記セル領域は、前記絶縁領域の前記トレンチ分離壁側の面とは反対側の
面に設けられた第1半導体領域を含む、
光検出装置。

(2)

胴部と前記胴部の一方の端部に一方の面が接続された頭部とを有した電極
を備え、

前記セル領域のうち前記第1半導体領域の少なくとも一部を含む領域には
、電荷蓄積領域が構成されていて、

前記胴部の他方の端部は、前記絶縁領域の前記素子形成面寄りの面に接し
、

前記電極は、前記胴部の側面と前記頭部の一方の面とを介して、前記電荷
蓄積領域に接している、

(1)に記載の光検出装置。

(3)

前記胴部の側面と前記頭部の一方の面とは、前記電荷蓄積領域が構成され
た前記第1半導体領域に接している、(2)に記載の光検出装置。

(4)

前記電極は、それぞれ異なる前記セル領域に設けられた複数の前記電荷蓄
積領域に接している、(2)又は(3)に記載の光検出装置。

(5)

縦断面視において、前記胴部を介して対向する2つの前記電荷蓄積領域同
士の間の距離を b とし、前記絶縁領域の水平方向に沿った寸法を a とした場
合、 $b < a$ の関係を満たす、(4)に記載の光検出装置。

(6)

前記縦断面視において、前記頭部の水平方向に沿った寸法を c とした場合、 $b \leq c$ の関係を満たす、(5)に記載の光検出装置。

(7)

2行2列の4つの前記セル領域において、平面視で、前記電荷蓄積領域は、前記セル領域の互いに対向する角部に設けられていて、

前記胴部は、行方向及び厚み方向に沿って延在する第1延在部分と、列方向及び厚み方向に沿って延在し且つ平面視で前記第1延在部分に交差する第2延在部分とを有し、

前記電荷蓄積領域は、前記第1延在部分と前記第2延在部分とにより構成された凹角部で前記胴部に接している、(4)から(6)のいずれかに記載の光検出装置。

(8)

コンタクト胴部と前記コンタクト胴部の一方の端部に一方の面が接続されたコンタクト頭部とを有したコンタクト電極を備え、

前記セル領域のうち前記第1半導体領域の少なくとも一部を含む領域には、前記コンタクト電極を介して基準電位に固定されたコンタクト領域が構成されていて、

前記コンタクト胴部の他方の端部は、前記絶縁領域の前記素子形成面寄りの面に接し、

前記コンタクト電極は、前記コンタクト胴部の側面及び前記コンタクト頭部の一方の面を介して、前記コンタクト領域に接している、

(2)から(7)のいずれかに記載の光検出装置。

(9)

前記絶縁領域は、平面視で前記トレンチ分離壁が設けられた場所全体に対して設けられている、(2)から(8)のいずれかに記載の光検出装置。

(10)

前記第1半導体領域は、前記素子形成面において、前記セル領域の縁部全

体に亘って設けられている、(2)から(9)のいずれかに記載の光検出装置。

(11)

前記第1半導体領域は、前記素子形成面において、前記セル領域の角部にのみ設けられている、(2)から(9)のいずれかに記載の光検出装置。

(12)

前記電荷蓄積領域は前記セル領域のうち前記第1半導体領域のみからなる領域に構成されていて、平面視で前記電荷蓄積領域の全体が前記絶縁領域に重なっている、(2)から(11)のいずれかに記載の光検出装置。

(13)

縦断面視において、前記胴部を介して対向する2つの前記電荷蓄積領域同士の間距離を b とし、前記頭部の水平方向に沿った寸法を c とし、前記電荷蓄積領域の水平方向に沿った寸法を d とした場合、 $c \geq 2d + b$ の関係を満たす、(12)に記載の光検出装置。

(14)

縦断面視において、前記胴部を介して対向する2つの前記電荷蓄積領域が水平方向に沿って占める幅は、同断面視における前記絶縁領域の水平方向に沿った寸法以下である、(12)又は(13)に記載の光検出装置。

(15)

隣り合う2つの前記セル領域と、隣り合う2つの前記セル領域同士の間で信号電荷が移動可能な経路とを有する位相差検出部を有し、

前記トレンチ分離壁のうち前記位相差検出部内の2つの前記セル領域同士の間に位置する部分を第1トレンチ分離壁とした場合、前記第1半導体領域は、平面視で前記第1トレンチ分離壁に重なる位置に設けられていて、前記位相差検出部内の2つの前記セル領域同士を接続し、

前記経路は、前記第1半導体領域に構成されている、

(1)に記載の光検出装置。

(16)

前記第 1 トレンチ分離壁の前記素子形成面側の端部は、一部分が他の部分より厚み方向に沿って窪んでいて、

前記絶縁領域及び前記第 1 半導体領域は、前記端部のうち窪んだ部分にのみ設けられている、(15)に記載の光検出装置。

(17)

前記第 1 トレンチ分離壁の前記窪んだ部分の側壁と前記第 1 半導体領域との間には、絶縁材料からなる絶縁分離領域が設けられている、(16)に記載の光検出装置。

(18)

前記トレンチ分離壁の前記素子形成面側の端部は、一部分が他の部分より厚み方向に沿って窪んでいて、

前記絶縁領域及び前記第 1 半導体領域は、前記端部のうち窪んだ部分にのみ設けられていて、

前記第 1 半導体領域には、前記電荷蓄積領域、又は基準電位に固定されたコンタクト領域が構成されている、(2)から(8)、及び(12)から(17)のいずれかに記載の光検出装置。

(19)

前記トレンチ分離壁の前記窪んだ部分の側壁と前記第 1 半導体領域との間には、絶縁材料からなる絶縁分離領域が設けられている、(18)に記載の光検出装置。

(20)

光検出装置と、前記光検出装置に被写体からの像光を結像させる光学系と、を備え、

前記光検出装置は、

一方の面が素子形成面であり他方の面が光入射面であり、且つ平面視で行方向及び列方向に沿ってマトリクス状に配列された複数のセル領域を有した第 1 半導体層と、

前記セル領域同士の間を区画しているトレンチ分離壁と、

前記トレンチ分離壁の前記素子形成面寄りの端部に設けられ、平面視で、幅方向に沿った寸法が前記トレンチ分離壁の幅方向に沿った寸法より大きく、且つ絶縁材料からなる絶縁領域と、を備え、

前記セル領域には光電変換部が構成されていて、

前記セル領域は、前記絶縁領域の前記トレンチ分離壁側の面とは反対側の面に設けられた第1半導体領域を含む、

電子機器。

[0150] 本技術の範囲は、図示され記載された例示的な実施形態に限定されるものではなく、本技術が目的とするものと均等な効果をもたらす全ての実施形態をも含む。さらに、本技術の範囲は、請求項により画される発明の特徴の組み合わせに限定されるものではなく、全ての開示されたそれぞれの特徴のうち特定の特徴のあらゆる所望する組み合わせによって画されうる。

符号の説明

- [0151] 1 光検出装置
- 20 第1半導体層
- 20a, 20aL, 20aR セル領域
- 20a1, 20a1FD, 20a1PH 第1半導体領域
- 20b 分離領域
- 24 コンタクト領域（半導体領域）
- 25 トレンチ分離壁
- 25c 第1トレンチ分離壁
- 25d 窪んだ部分
- 25f 側壁
- 26 絶縁領域
- 29 絶縁分離領域
- 70 電極
- 70 コンタクト電極
- 71 胴部

7 1 コントラクト部

7 1 x 第 1 延在部分

7 1 y 第 2 延在部分

7 2 頭部

7 2 コントラクト頭部

8 0 位相差検出部

1 0 0 電子機器

1 0 2 光学系

a 寸法

b 距離

c 寸法

d 寸法

F D 電荷蓄積領域

P H 経路

W 1 , W 2 寸法

請求の範囲

- [請求項1] 一方の面が素子形成面であり他方の面が光入射面であり、且つ平面視で行方向及び列方向に沿ってマトリクス状に配列された複数のセル領域を有した第1半導体層と、
- 前記セル領域同士の間を区画しているトレンチ分離壁と、
- 前記トレンチ分離壁の前記素子形成面寄りの端部に設けられ、平面視で、幅方向に沿った寸法が前記トレンチ分離壁の幅方向に沿った寸法より大きく、且つ絶縁材料からなる絶縁領域と、を備え、
- 前記セル領域には光電変換部が構成されていて、
- 前記セル領域は、前記絶縁領域の前記トレンチ分離壁側の面とは反対側の面に設けられた第1半導体領域を含む、
- 光検出装置。
- [請求項2] 胴部と前記胴部の一方の端部に一方の面が接続された頭部とを有した電極を備え、
- 前記セル領域のうち前記第1半導体領域の少なくとも一部を含む領域には、電荷蓄積領域が構成されていて、
- 前記胴部の他方の端部は、前記絶縁領域の前記素子形成面寄りの面に接し、
- 前記電極は、前記胴部の側面と前記頭部の一方の面とを介して、前記電荷蓄積領域に接している、
- 請求項1に記載の光検出装置。
- [請求項3] 前記胴部の側面と前記頭部の一方の面とは、前記電荷蓄積領域が構成された前記第1半導体領域に接している、請求項2に記載の光検出装置。
- [請求項4] 前記電極は、それぞれ異なる前記セル領域に設けられた複数の前記電荷蓄積領域に接している、請求項2に記載の光検出装置。
- [請求項5] 縦断面視において、前記胴部を介して対向する2つの前記電荷蓄積領域同士の間隔を b とし、前記絶縁領域の水平方向に沿った寸法

を a とした場合、 $b < a$ の関係を満たす、請求項 4 に記載の光検出装置。

[請求項6] 前記縦断面視において、前記頭部の水平方向に沿った寸法を c とした場合、 $b \leq c$ の関係を満たす、請求項 5 に記載の光検出装置。

[請求項7] 2 行 2 列の 4 つの前記セル領域において、平面視で、前記電荷蓄積領域は、前記セル領域の互いに対向する角部に設けられていて、
前記胴部は、行方向及び厚み方向に沿って延在する第 1 延在部分と、列方向及び厚み方向に沿って延在し且つ平面視で前記第 1 延在部分に交差する第 2 延在部分とを有し、
前記電荷蓄積領域は、前記第 1 延在部分と前記第 2 延在部分とにより構成された凹角部で前記胴部に接している、請求項 4 に記載の光検出装置。

[請求項8] コンタクト胴部と前記コンタクト胴部の一方の端部に一方の面が接続されたコンタクト頭部とを有したコンタクト電極を備え、
前記セル領域のうち前記第 1 半導体領域の少なくとも一部を含む領域には、前記コンタクト電極を介して基準電位に固定されたコンタクト領域が構成されていて、
前記コンタクト胴部の他方の端部は、前記絶縁領域の前記素子形成面寄りの面に接し、
前記コンタクト電極は、前記コンタクト胴部の側面及び前記コンタクト頭部の一方の面を介して、前記コンタクト領域に接している、
請求項 2 に記載の光検出装置。

[請求項9] 前記絶縁領域は、平面視で前記トレンチ分離壁が設けられた場所全体に対して設けられている、請求項 2 に記載の光検出装置。

[請求項10] 前記第 1 半導体領域は、前記素子形成面において、前記セル領域の縁部全体に亘って設けられている、請求項 2 に記載の光検出装置。

[請求項11] 前記第 1 半導体領域は、前記素子形成面において、前記セル領域の角部にのみ設けられている、請求項 2 に記載の光検出装置。

- [請求項12] 前記電荷蓄積領域は前記セル領域のうち前記第1半導体領域のみからなる領域に構成されていて、平面視で前記電荷蓄積領域の全体が前記絶縁領域に重なっている、請求項2に記載の光検出装置。
- [請求項13] 縦断面視において、前記胴部を介して対向する2つの前記電荷蓄積領域同士の間距離を b とし、前記頭部の水平方向に沿った寸法を c とし、前記電荷蓄積領域の水平方向に沿った寸法を d とした場合、 $c \geq 2d + b$ の関係を満たす、請求項12に記載の光検出装置。
- [請求項14] 縦断面視において、前記胴部を介して対向する2つの前記電荷蓄積領域が水平方向に沿って占める幅は、同断面視における前記絶縁領域の水平方向に沿った寸法以下である、請求項12に記載の光検出装置。
- [請求項15] 隣り合う2つの前記セル領域と、隣り合う2つの前記セル領域同士の間で信号電荷が移動可能な経路とを有する位相差検出部を有し、
前記トレンチ分離壁のうち前記位相差検出部内の2つの前記セル領域同士の上に位置する部分を第1トレンチ分離壁とした場合、前記第1半導体領域は、平面視で前記第1トレンチ分離壁に重なる位置に設けられていて、前記位相差検出部内の2つの前記セル領域同士を接続し、
前記経路は、前記第1半導体領域に構成されている、
請求項1に記載の光検出装置。
- [請求項16] 前記第1トレンチ分離壁の前記素子形成面側の端部は、一部分が他の部分より厚み方向に沿って窪んでいて、
前記絶縁領域及び前記第1半導体領域は、前記端部のうち窪んだ部分にのみ設けられている、請求項15に記載の光検出装置。
- [請求項17] 前記第1トレンチ分離壁の前記窪んだ部分の側壁と前記第1半導体領域との間には、絶縁材料からなる絶縁分離領域が設けられている、請求項16に記載の光検出装置。
- [請求項18] 前記トレンチ分離壁の前記素子形成面側の端部は、一部分が他の部

分より厚み方向に沿って窪んでいて、

前記絶縁領域及び前記第1半導体領域は、前記端部のうち窪んだ部分にのみ設けられていて、

前記第1半導体領域には、前記電荷蓄積領域、又は基準電位に固定されたコンタクト領域が構成されている、請求項2に記載の光検出装置。

[請求項19] 前記トレンチ分離壁の前記窪んだ部分の側壁と前記第1半導体領域との間には、絶縁材料からなる絶縁分離領域が設けられている、請求項18に記載の光検出装置。

[請求項20] 光検出装置と、前記光検出装置に被写体からの像光を結像させる光学系と、を備え、

前記光検出装置は、

一方の面が素子形成面であり他方の面が光入射面であり、且つ平面視で行方向及び列方向に沿ってマトリクス状に配列された複数のセル領域を有した第1半導体層と、

前記セル領域同士の間を区画しているトレンチ分離壁と、

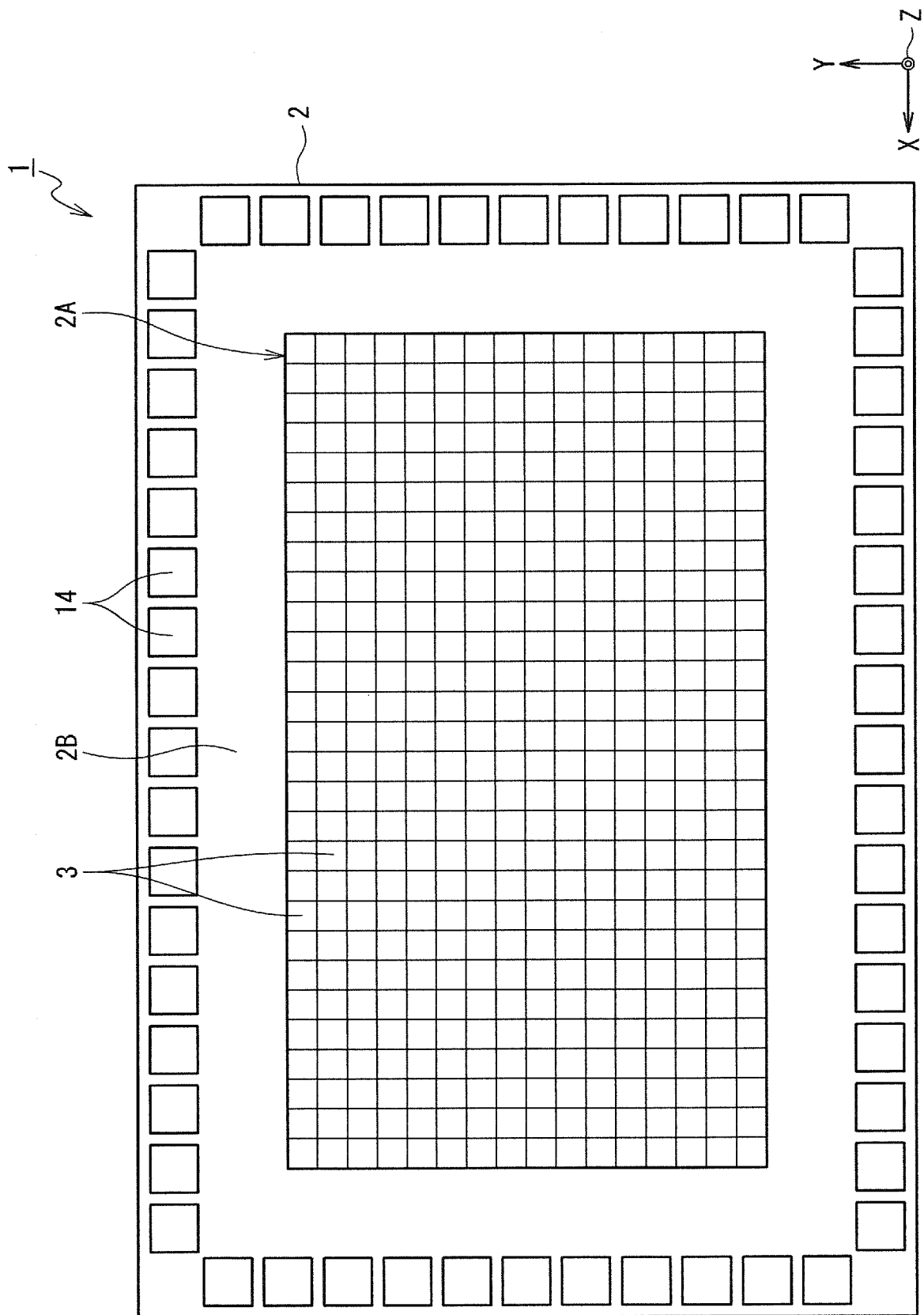
前記トレンチ分離壁の前記素子形成面寄りの端部に設けられ、平面視で、幅方向に沿った寸法が前記トレンチ分離壁の幅方向に沿った寸法より大きく、且つ絶縁材料からなる絶縁領域と、を備え、

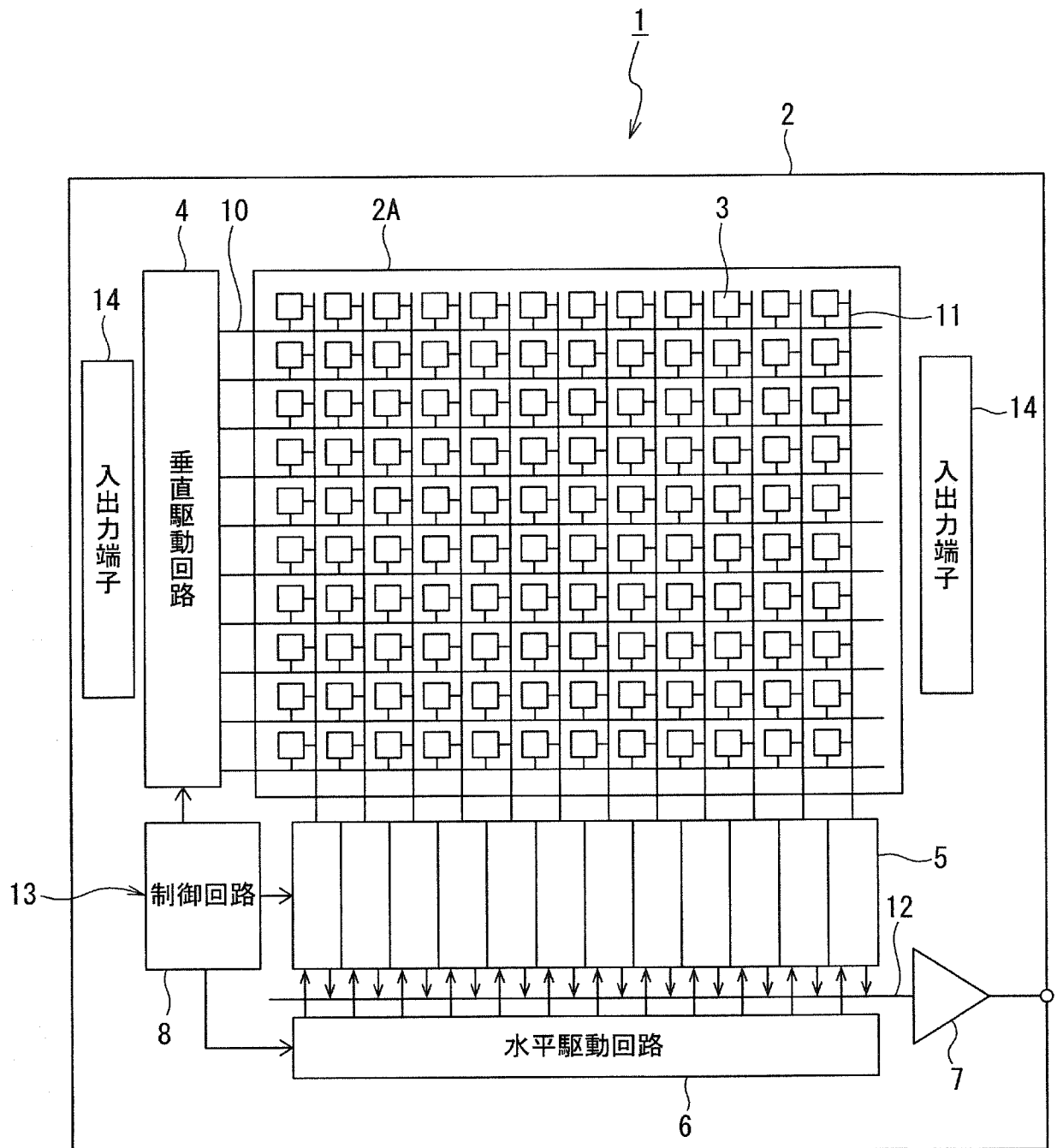
前記セル領域には光電変換部が構成されていて、

前記セル領域は、前記絶縁領域の前記トレンチ分離壁側の面とは反対側の面に設けられた第1半導体領域を含む、

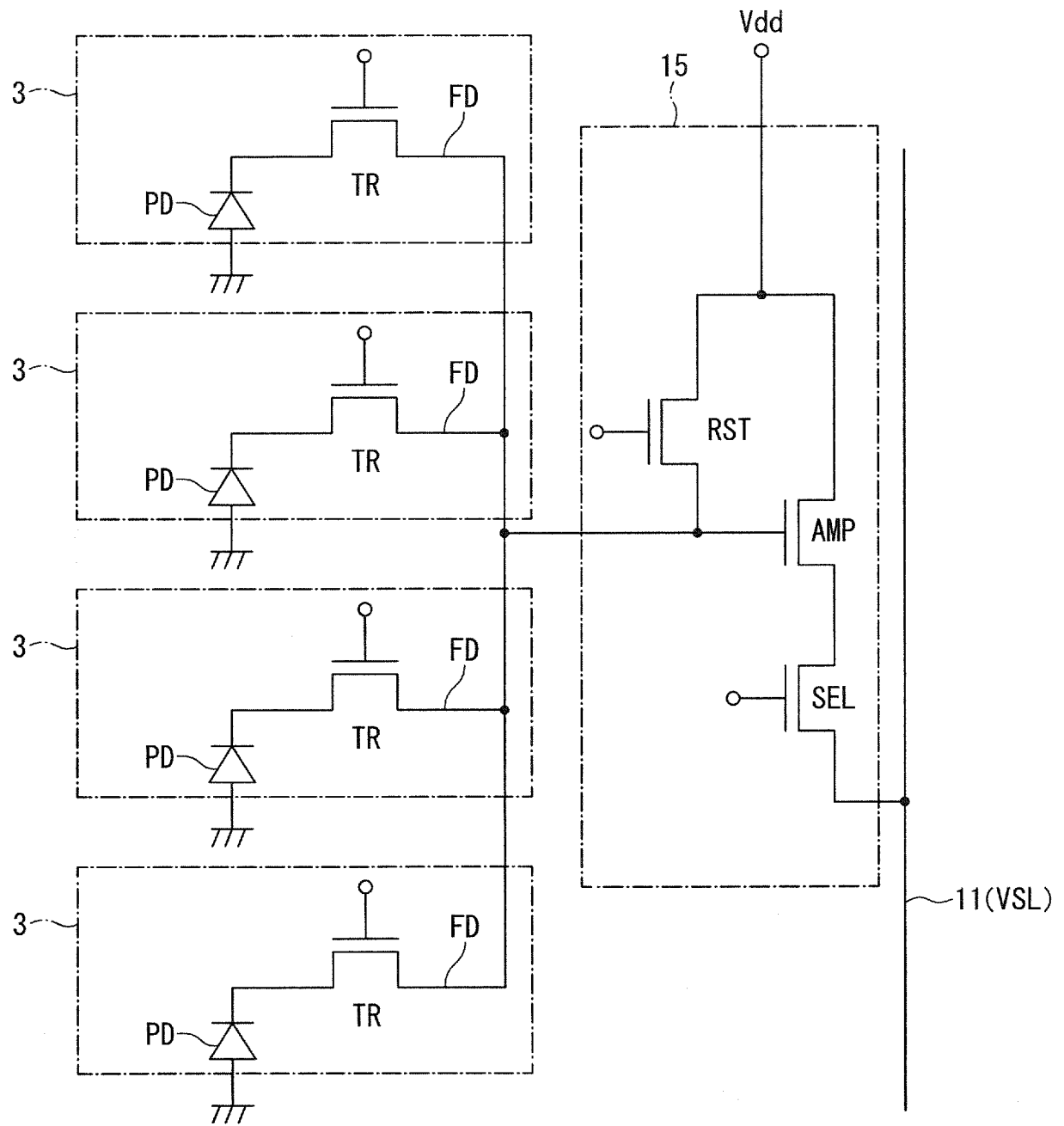
電子機器。

[図1]

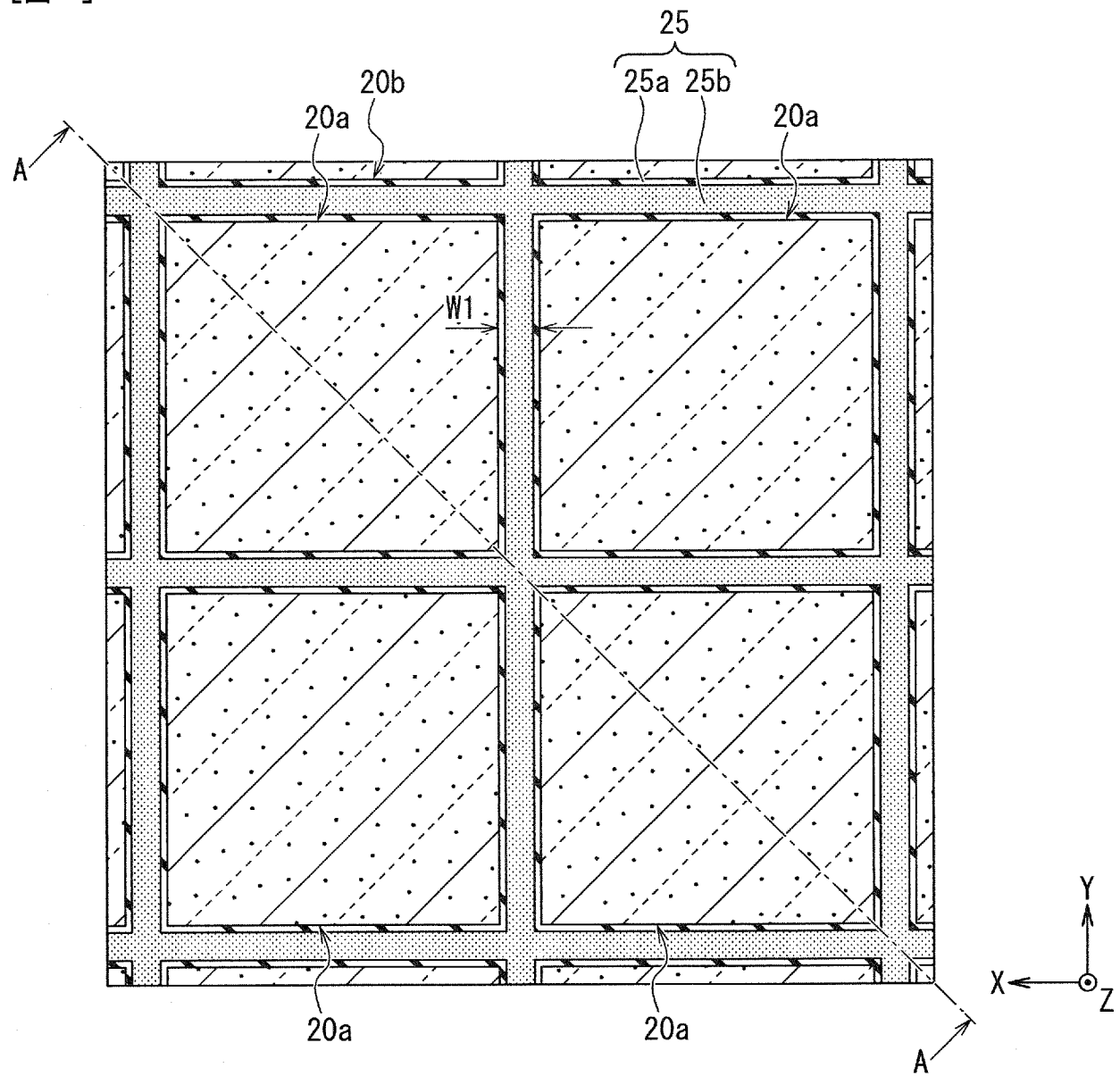




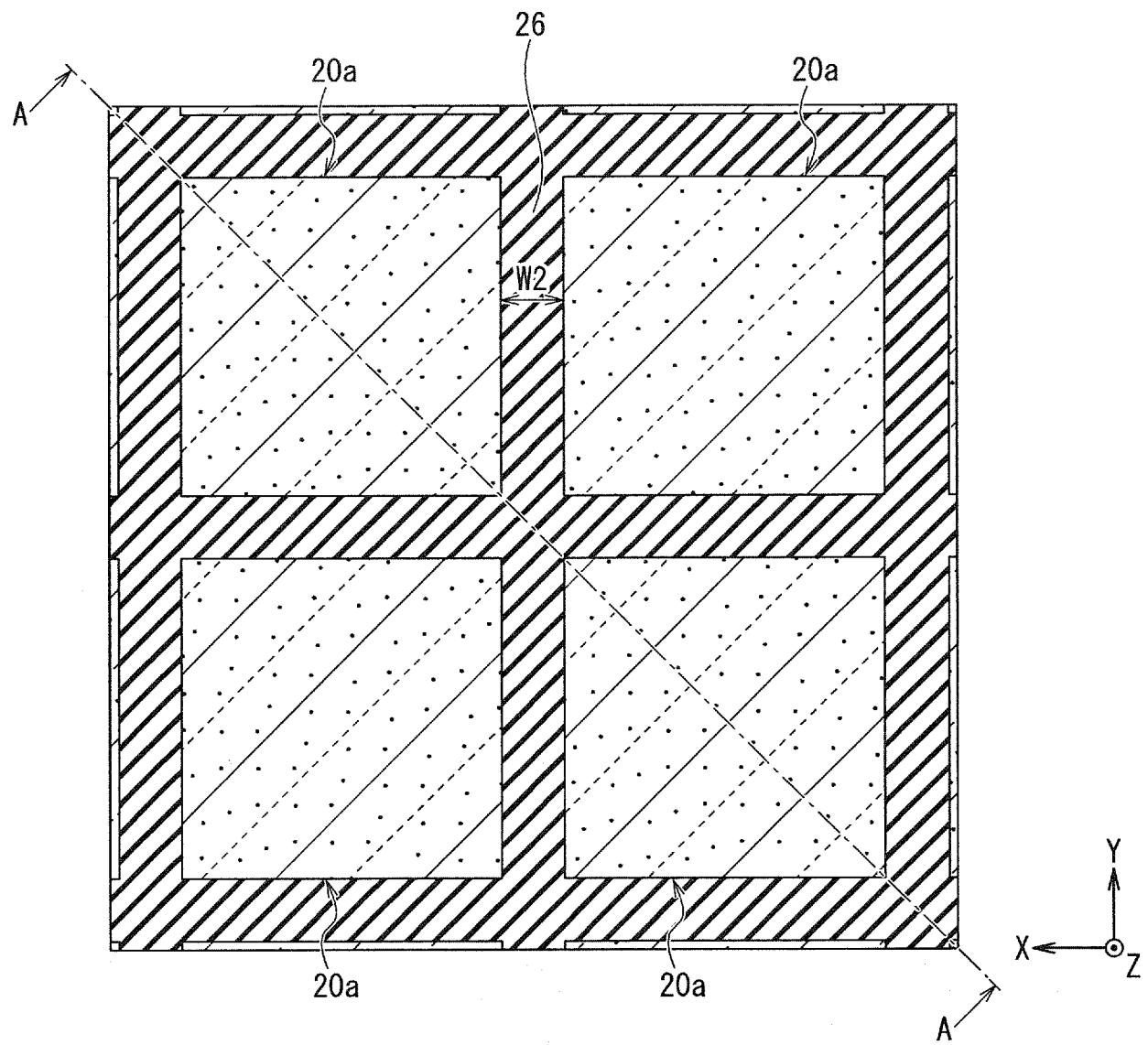
[図3]



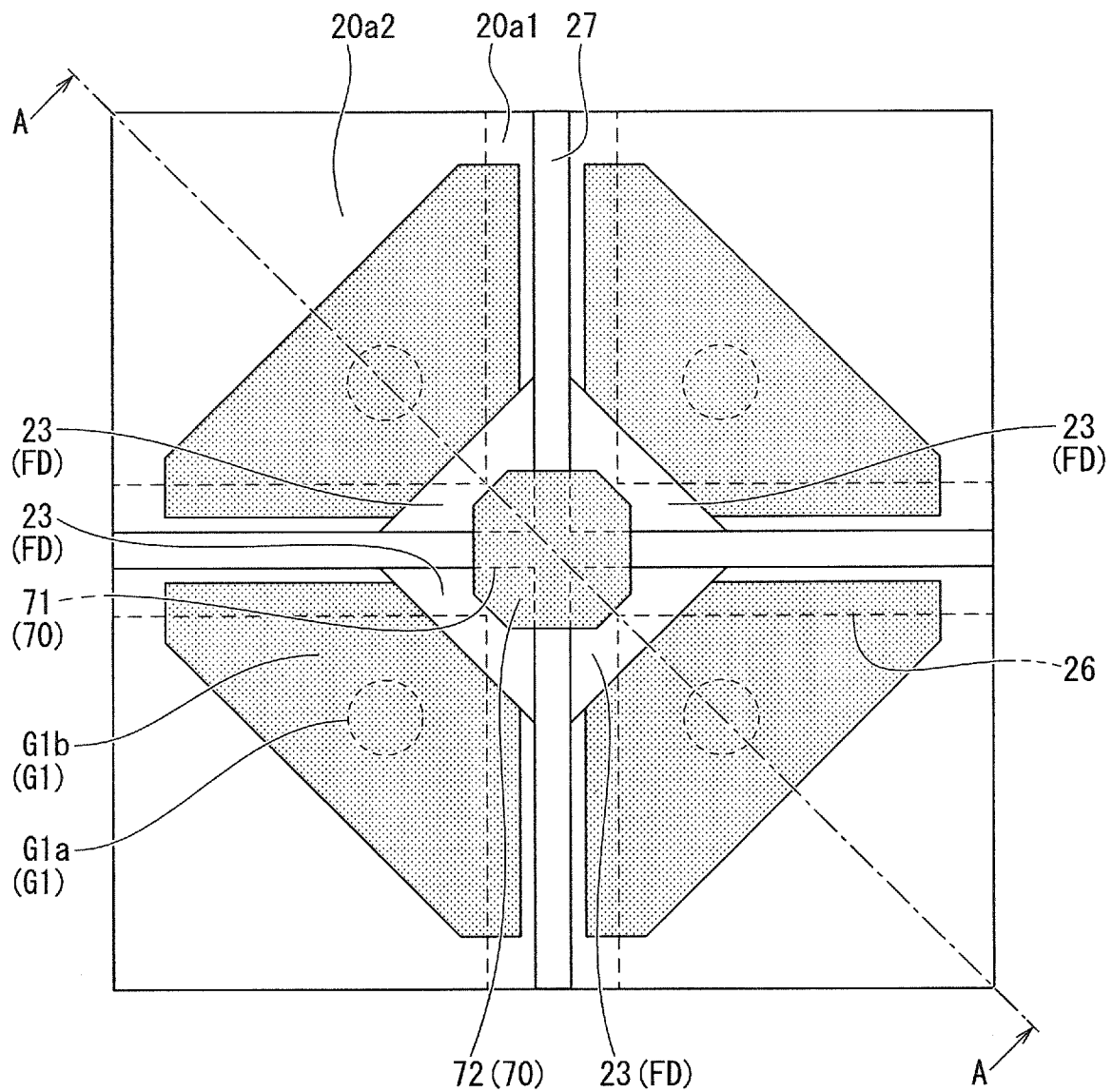
[図4B]



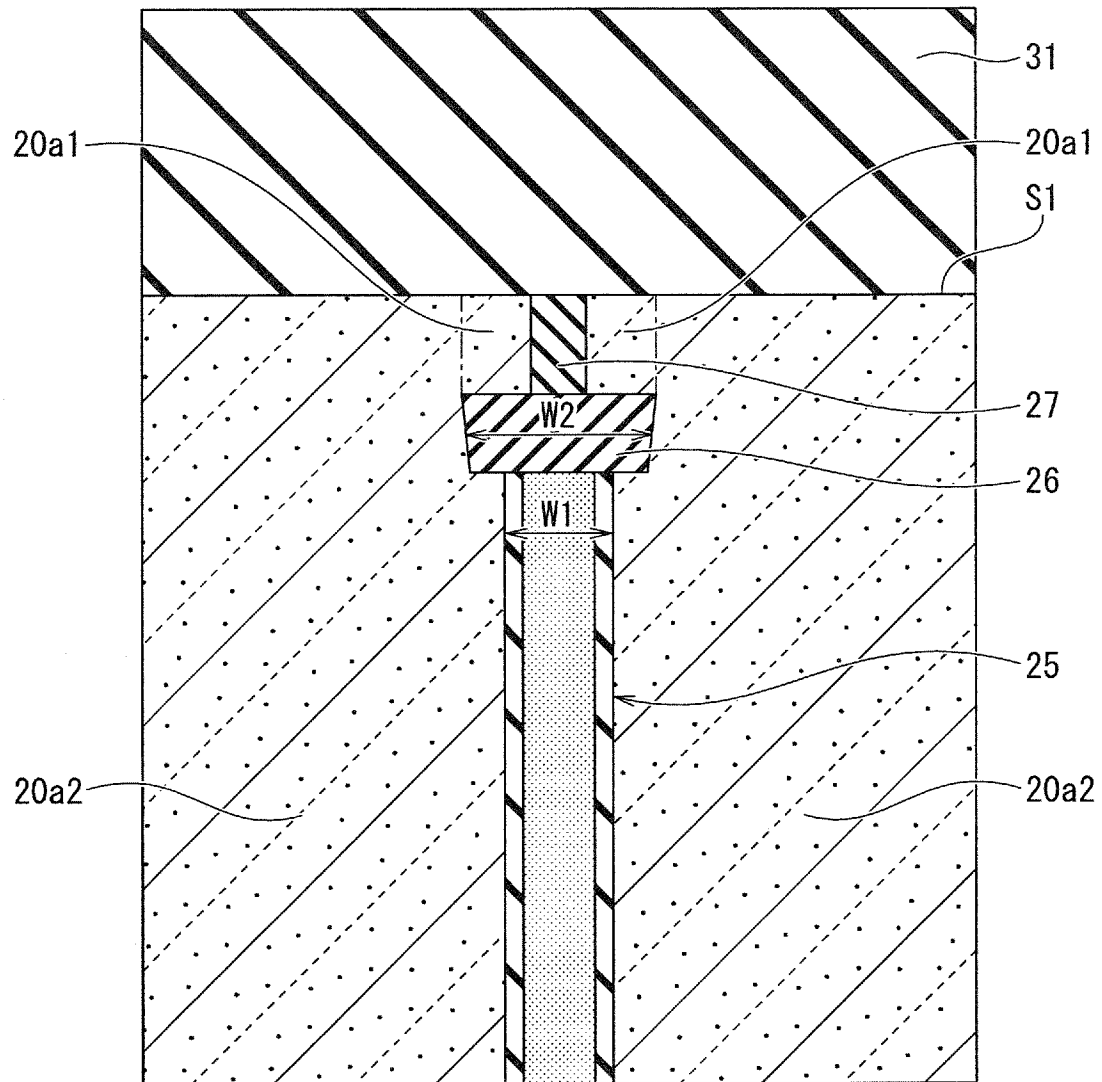
[図4C]



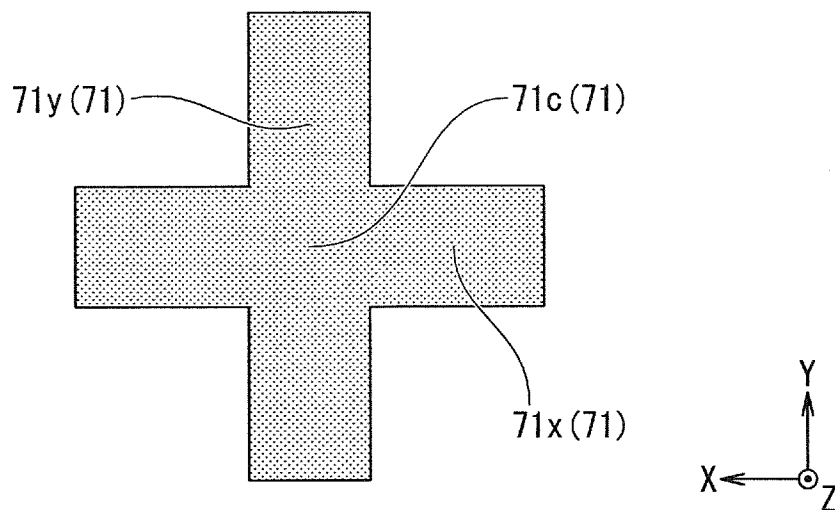
[図4E]



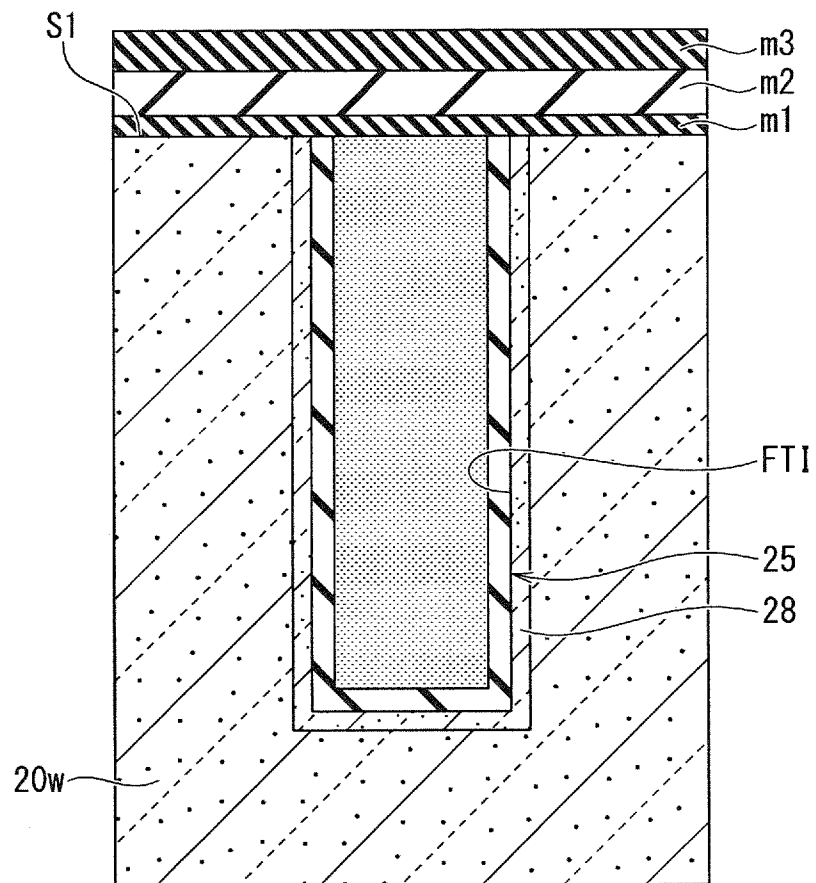
[図4G]



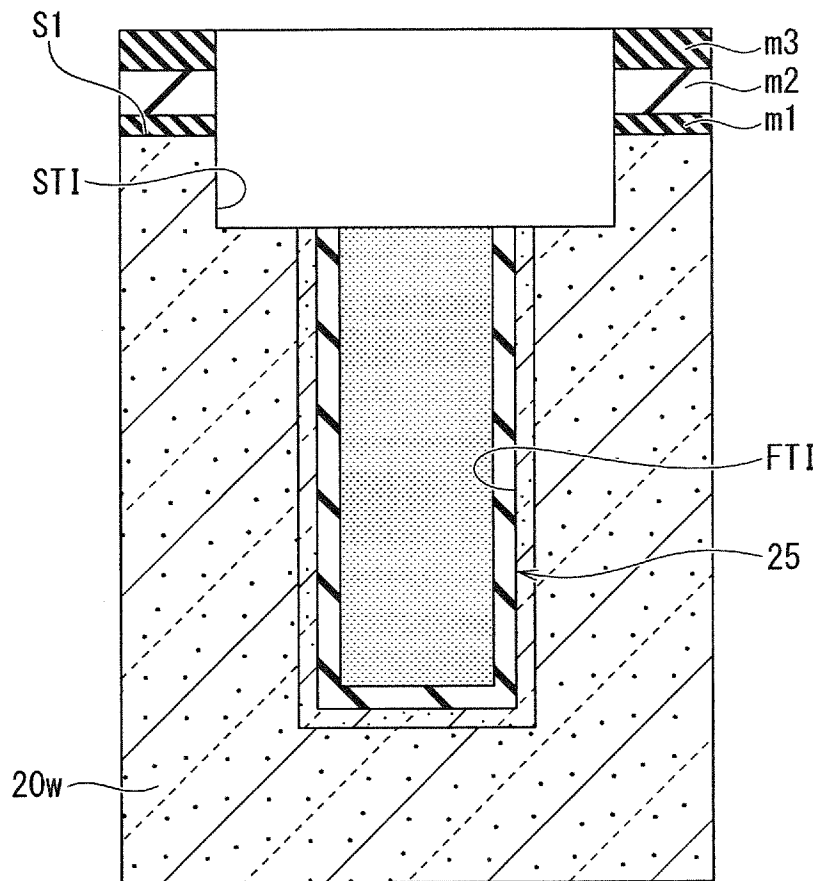
[図4H]



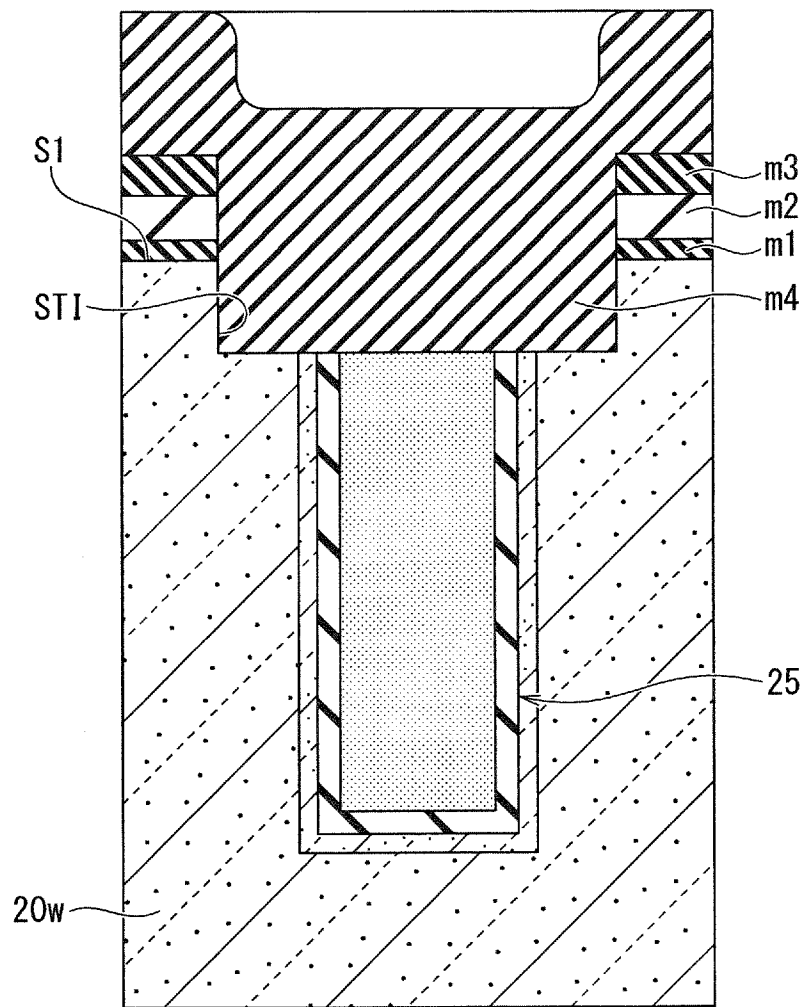
[図5A]



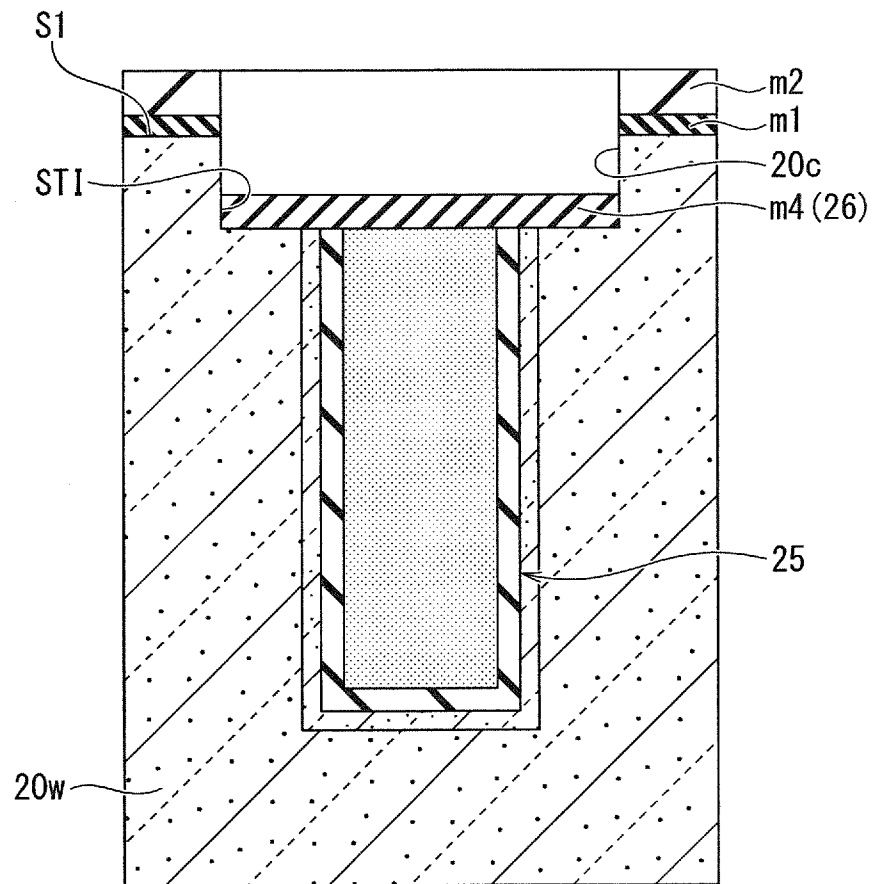
[図5B]



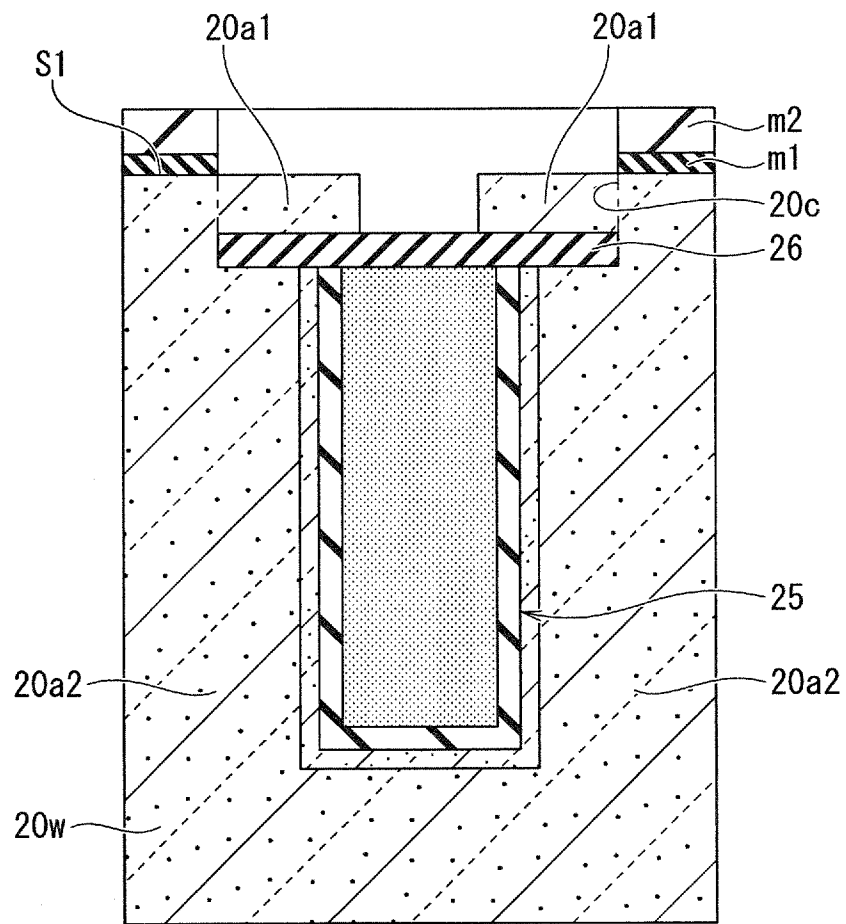
[図5C]



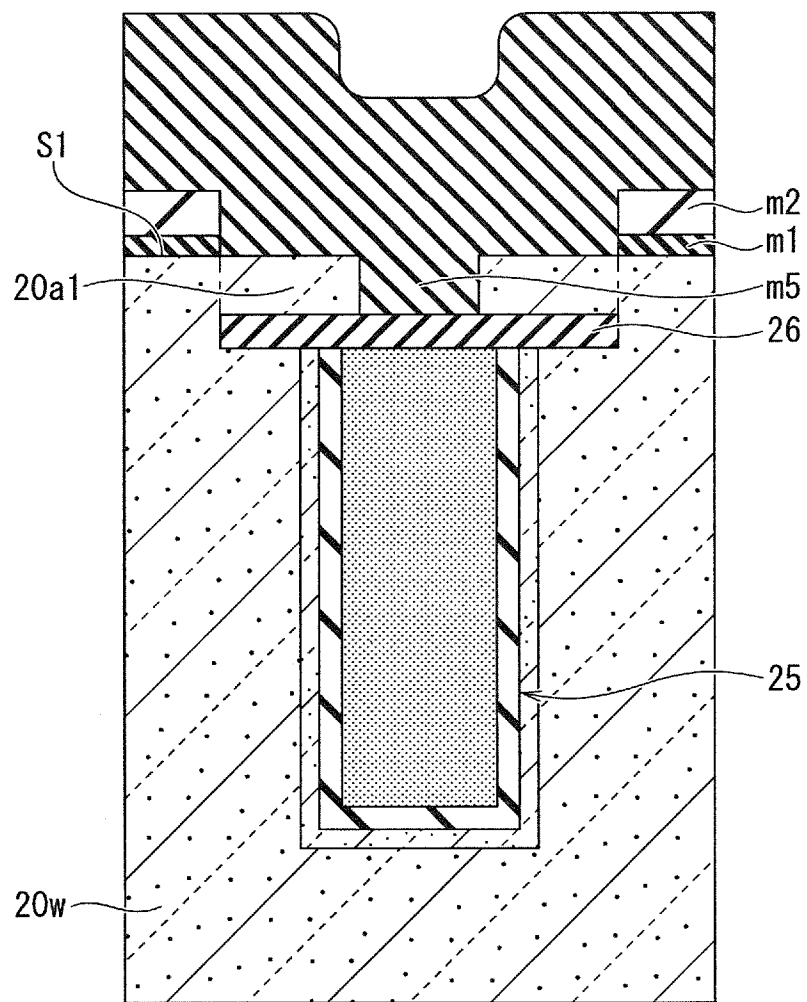
[図5D]



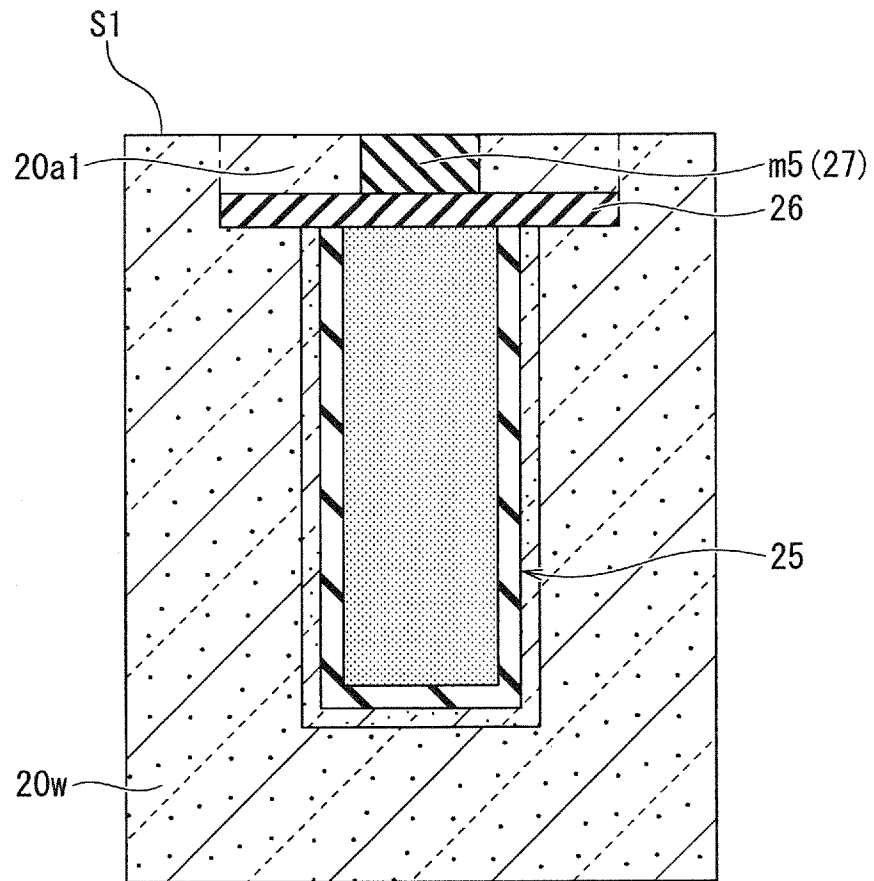
[図5E]



[図5F]



[図5G]



[図5H]

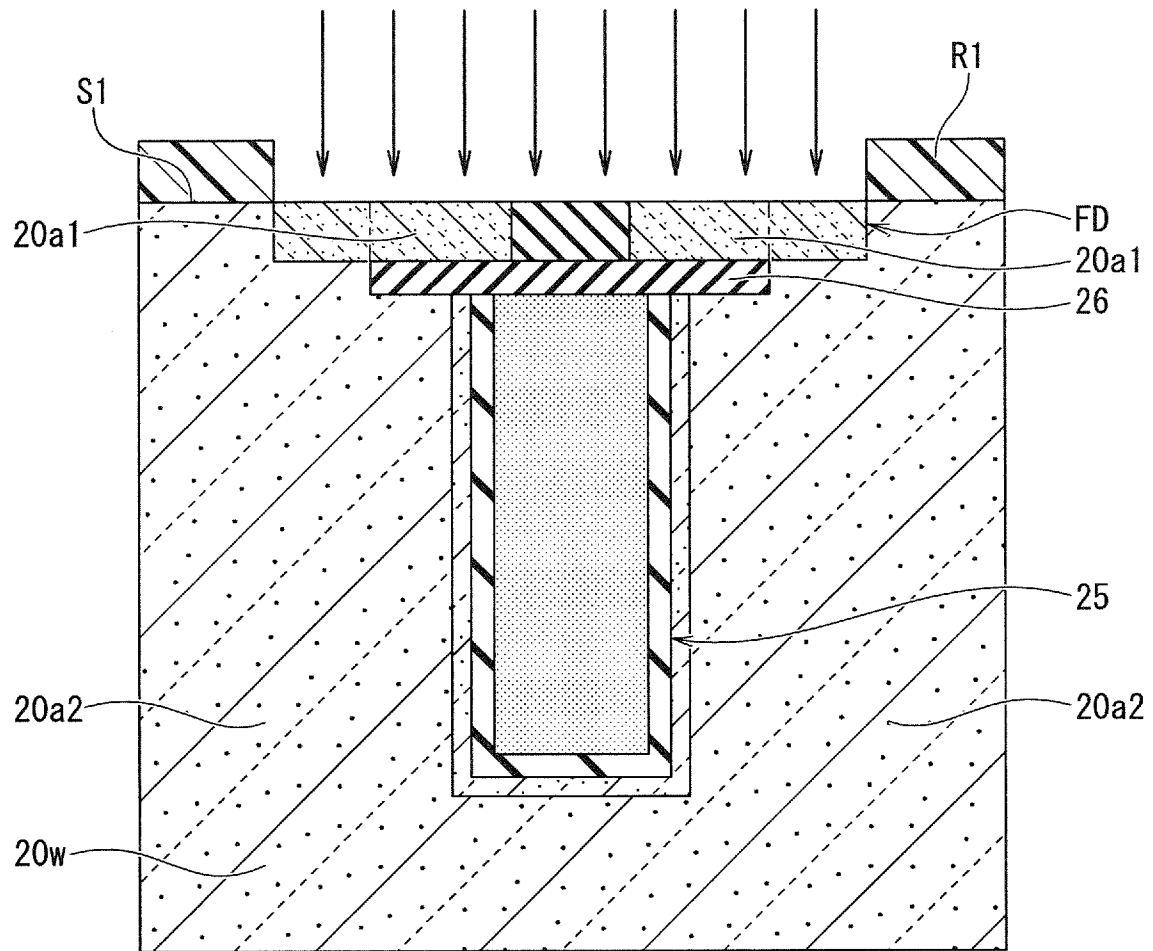
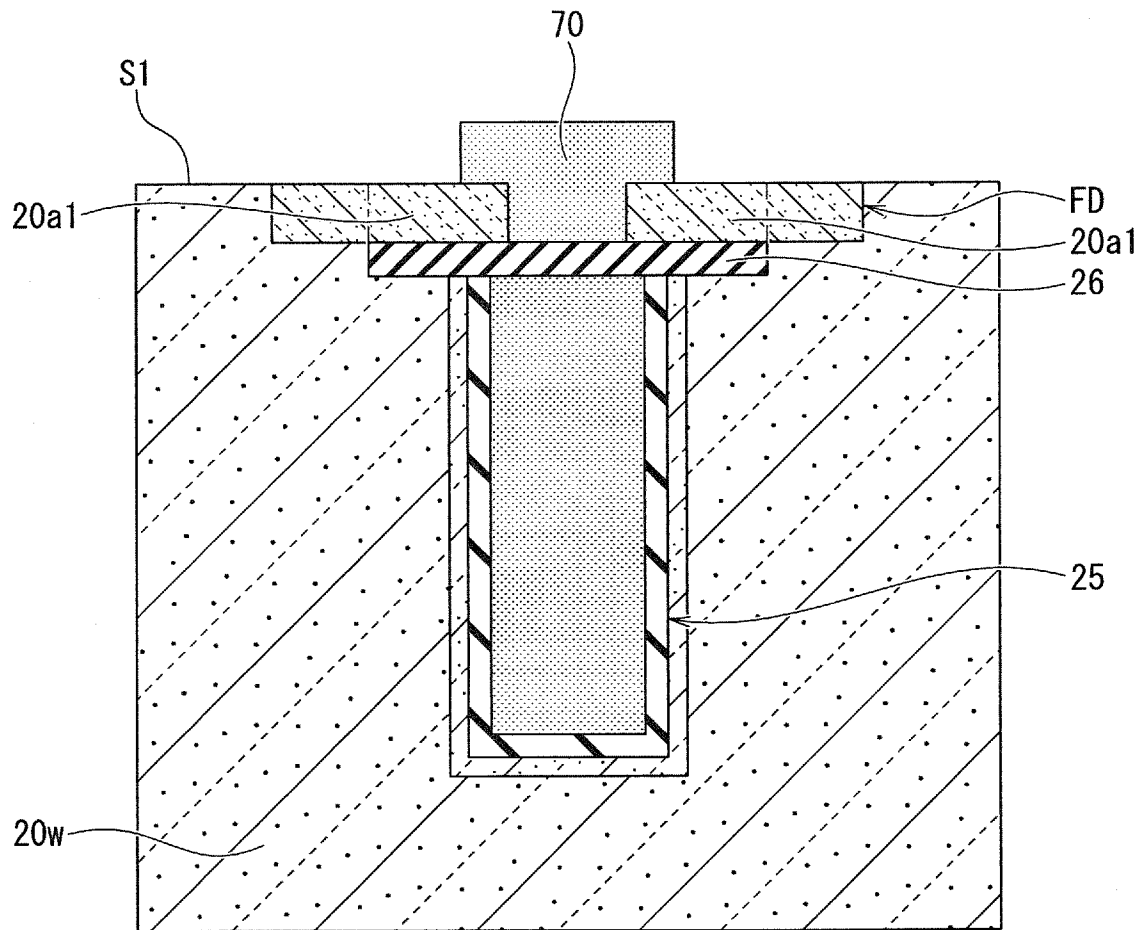
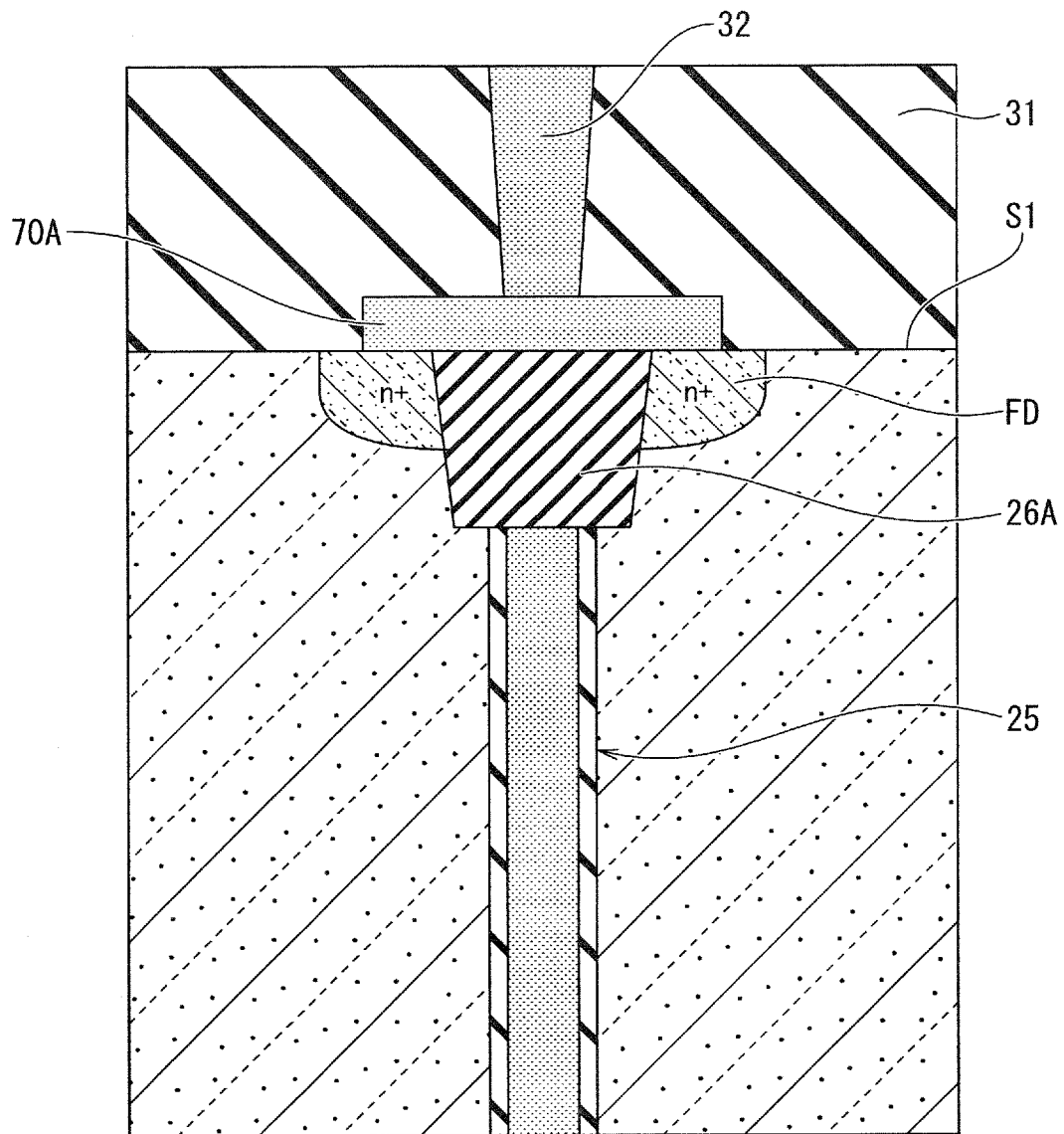


Fig. 1 is a cross-sectional view of a semiconductor device. The device includes a substrate 20w. A central region 25 is formed in the substrate. A gate structure 26 is formed on top of region 25, comprising a gate oxide layer 20a1 and a gate electrode 20a2. A source/drain region 20a1 is formed on the side of region 25, comprising a source/drain oxide layer 20a1 and a source/drain electrode 20a2. A passivation layer S1 is formed on top of the device.

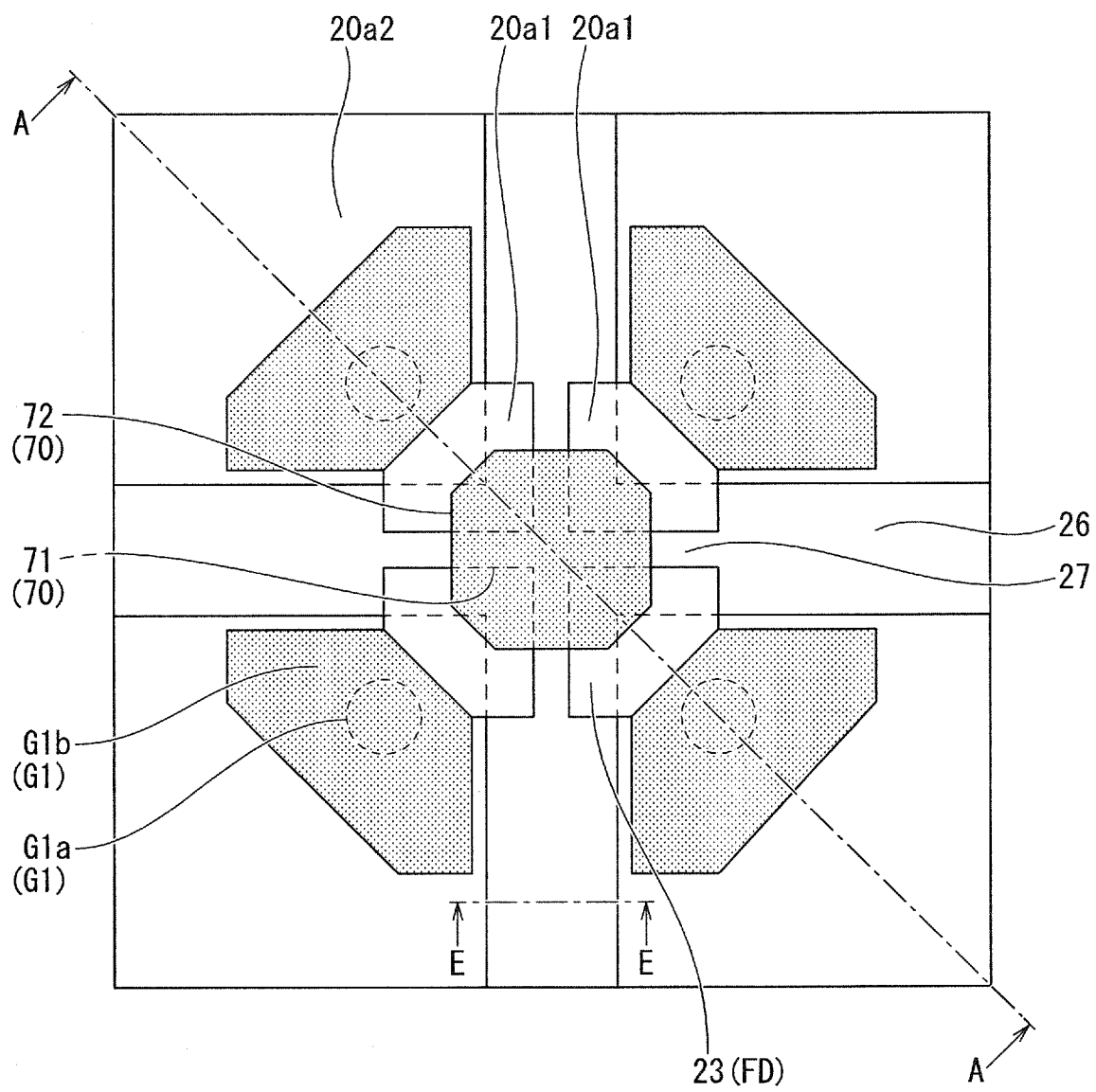
[図5J]



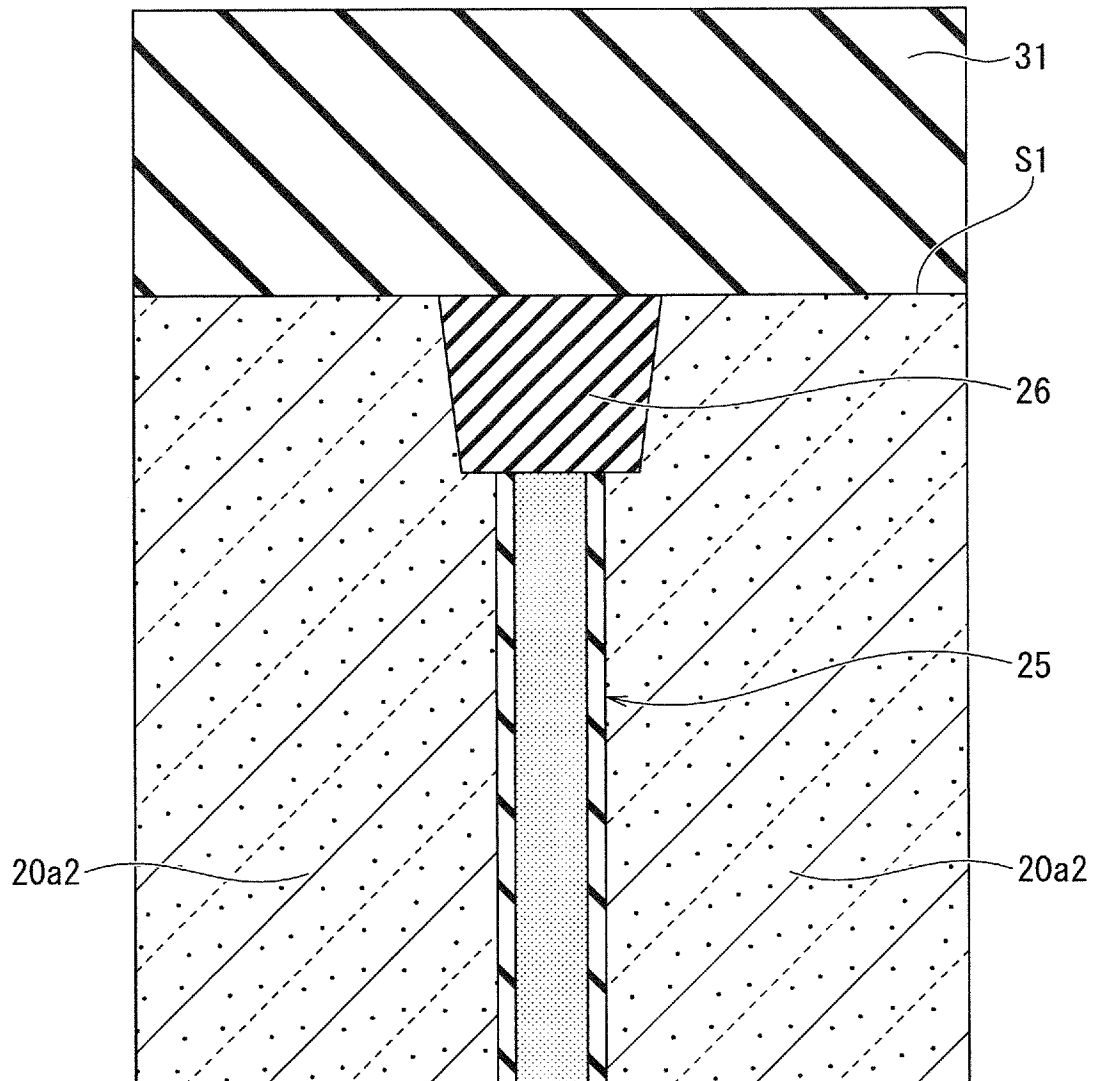
[図6]



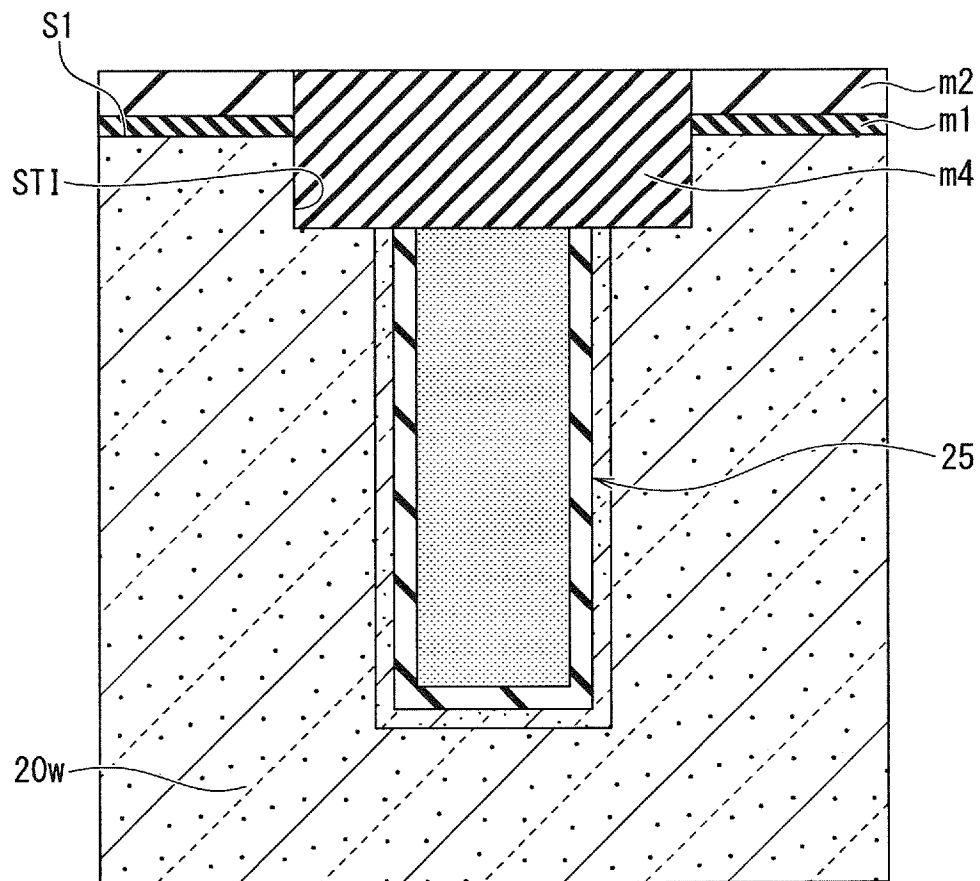
[図7A]



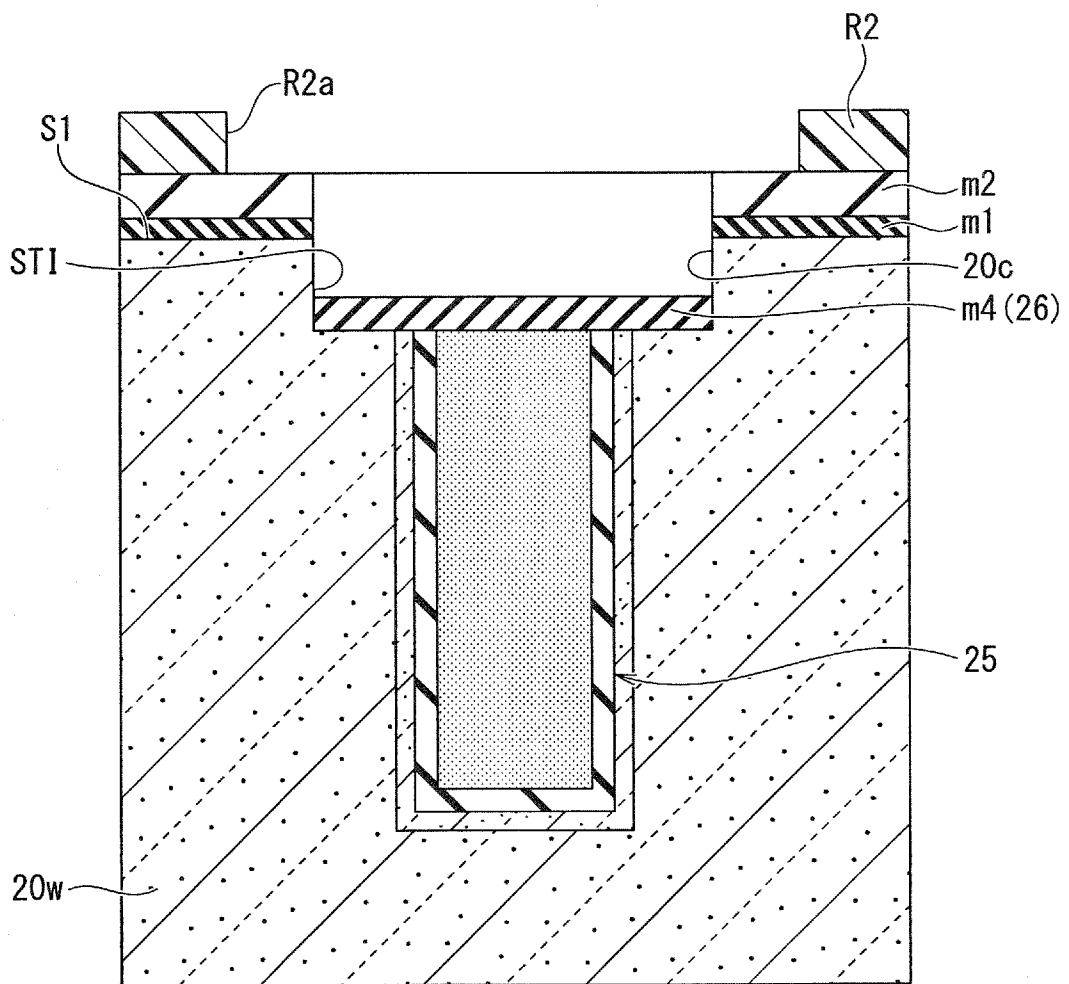
[図7B]



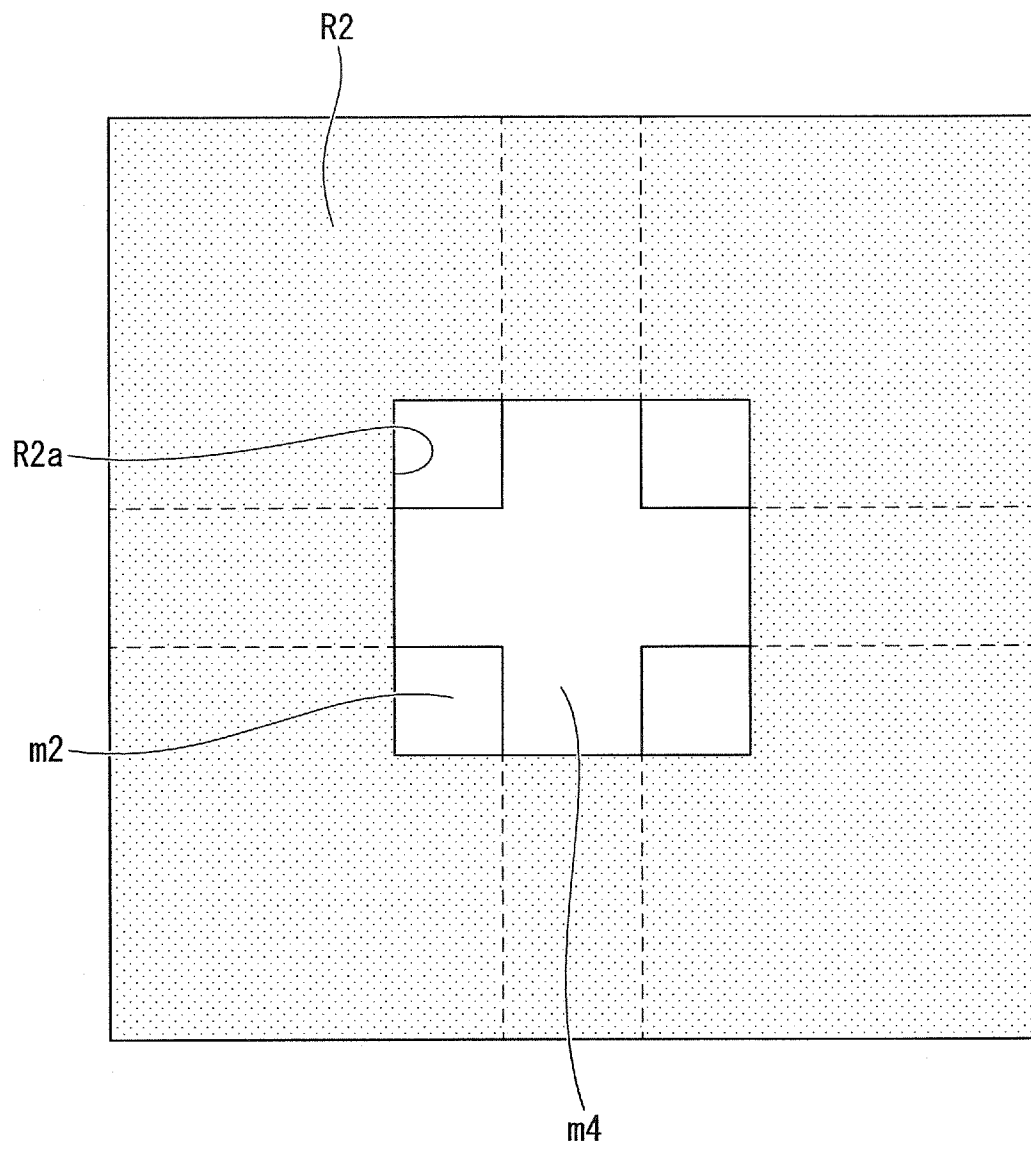
[図8A]



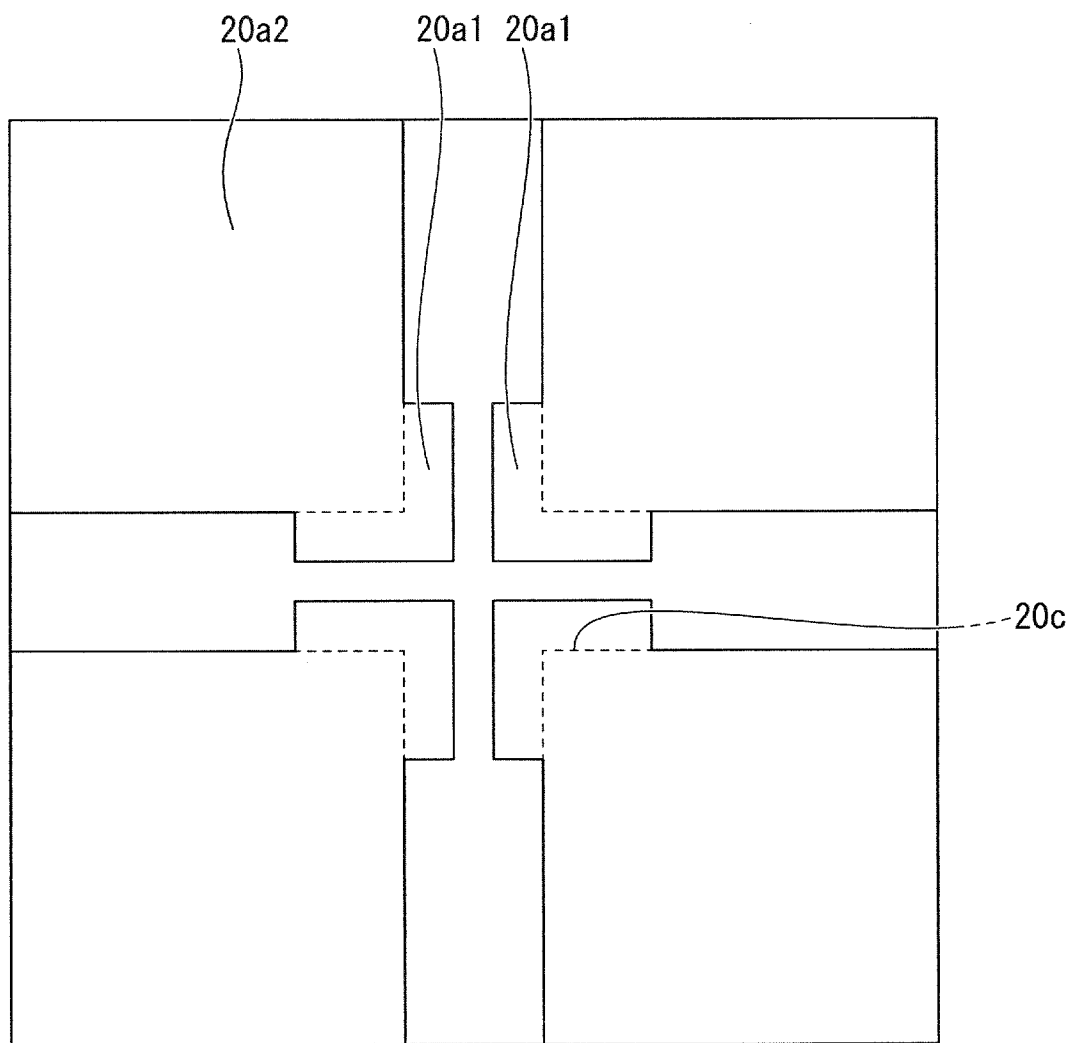
[図8B]



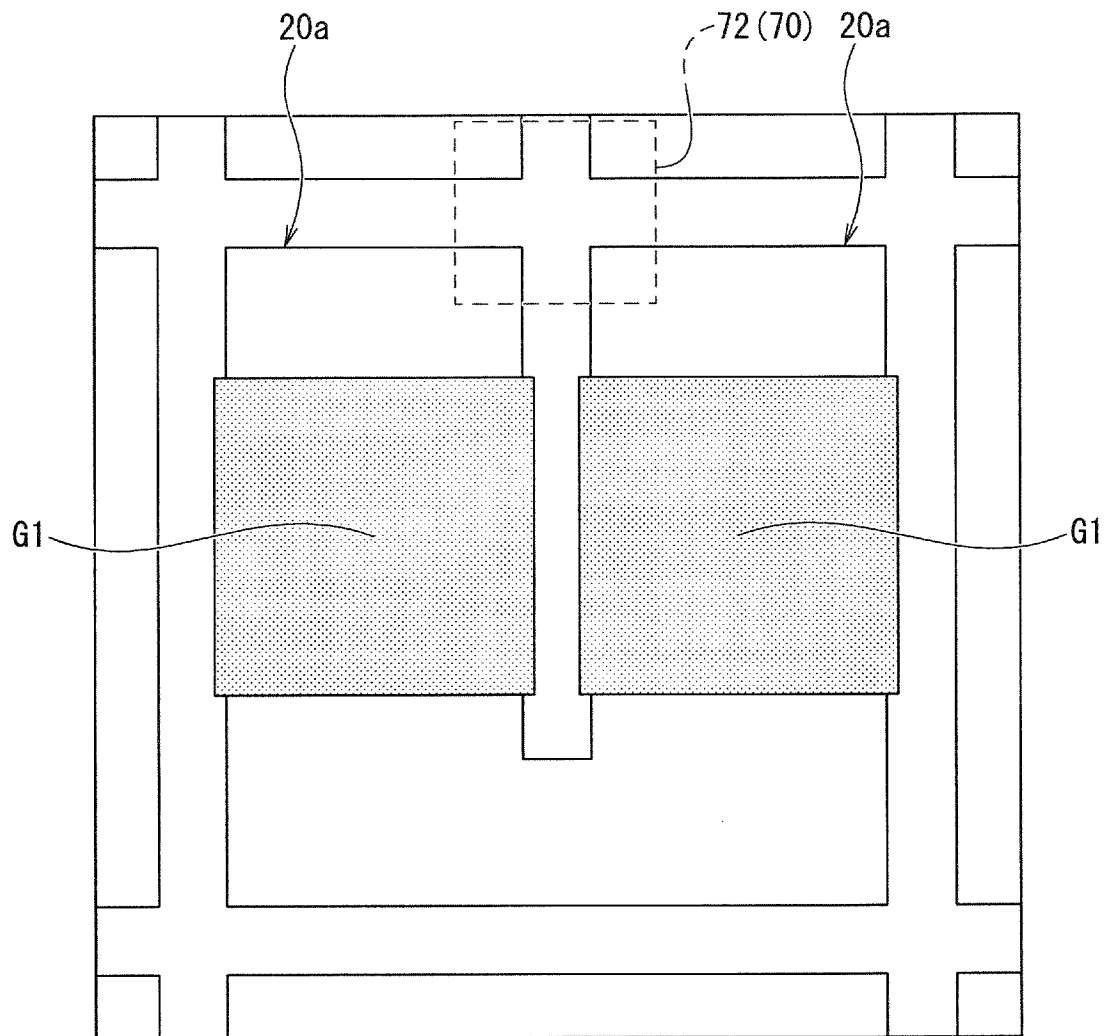
[図9A]



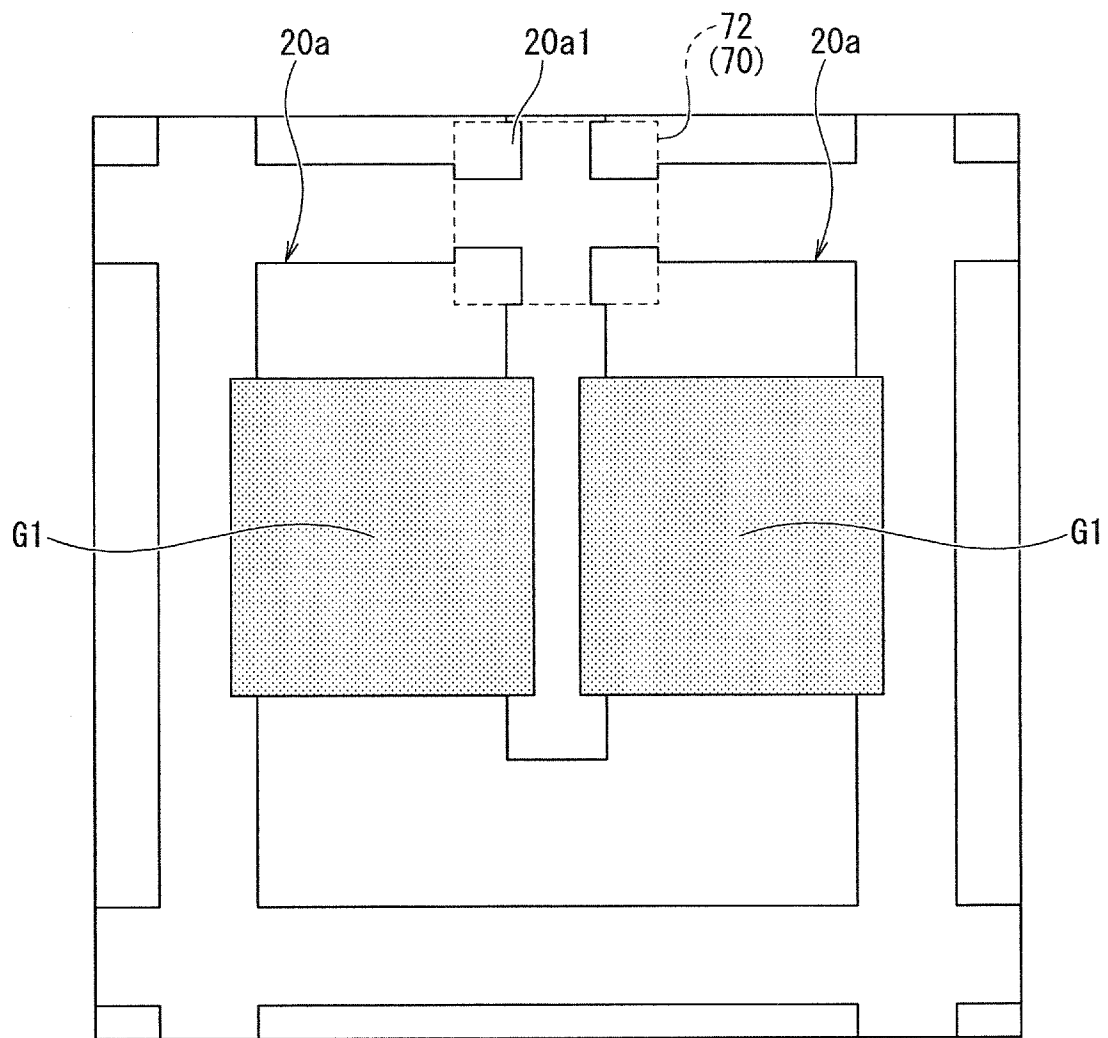
[図9B]



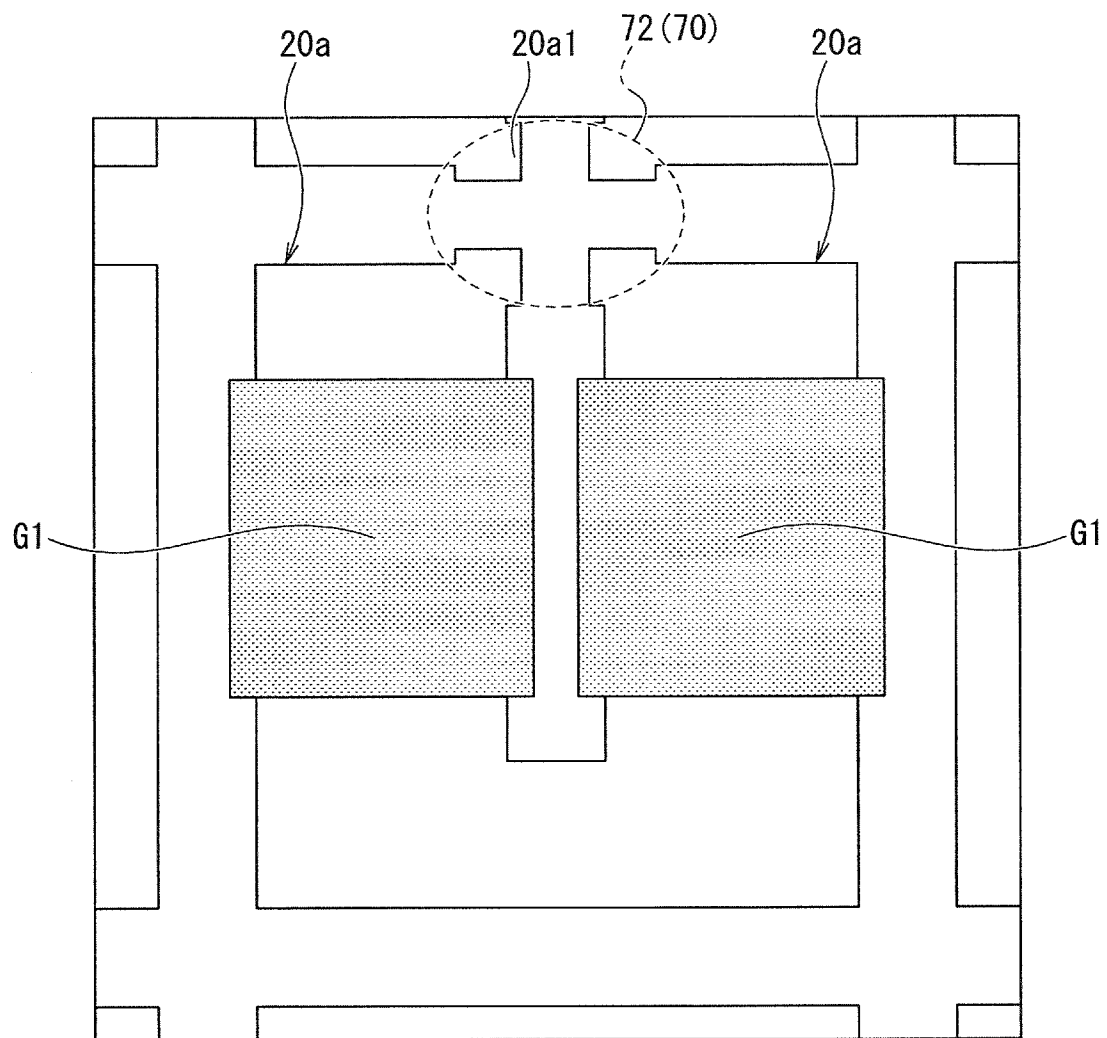
[図10]



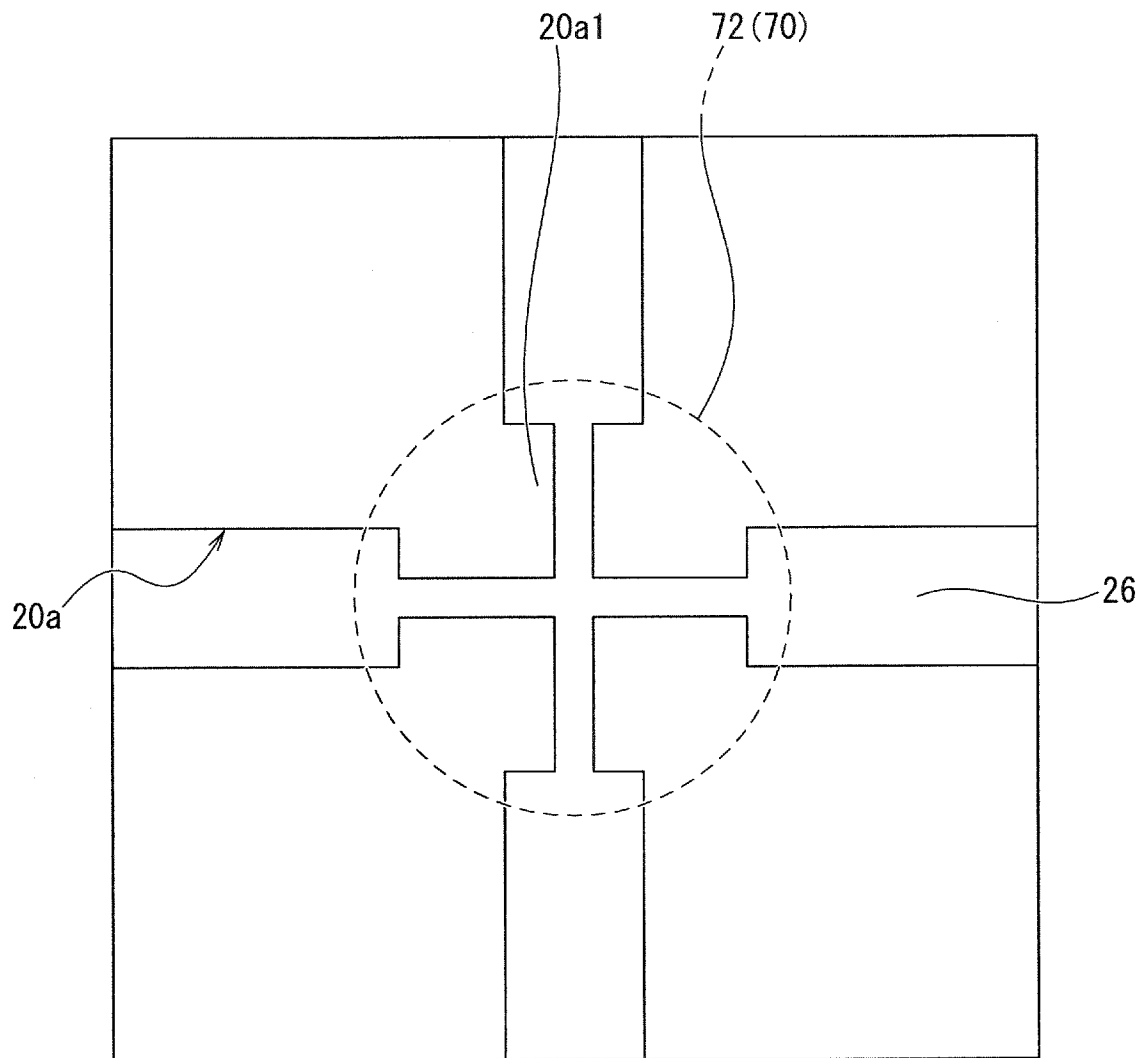
[図11]



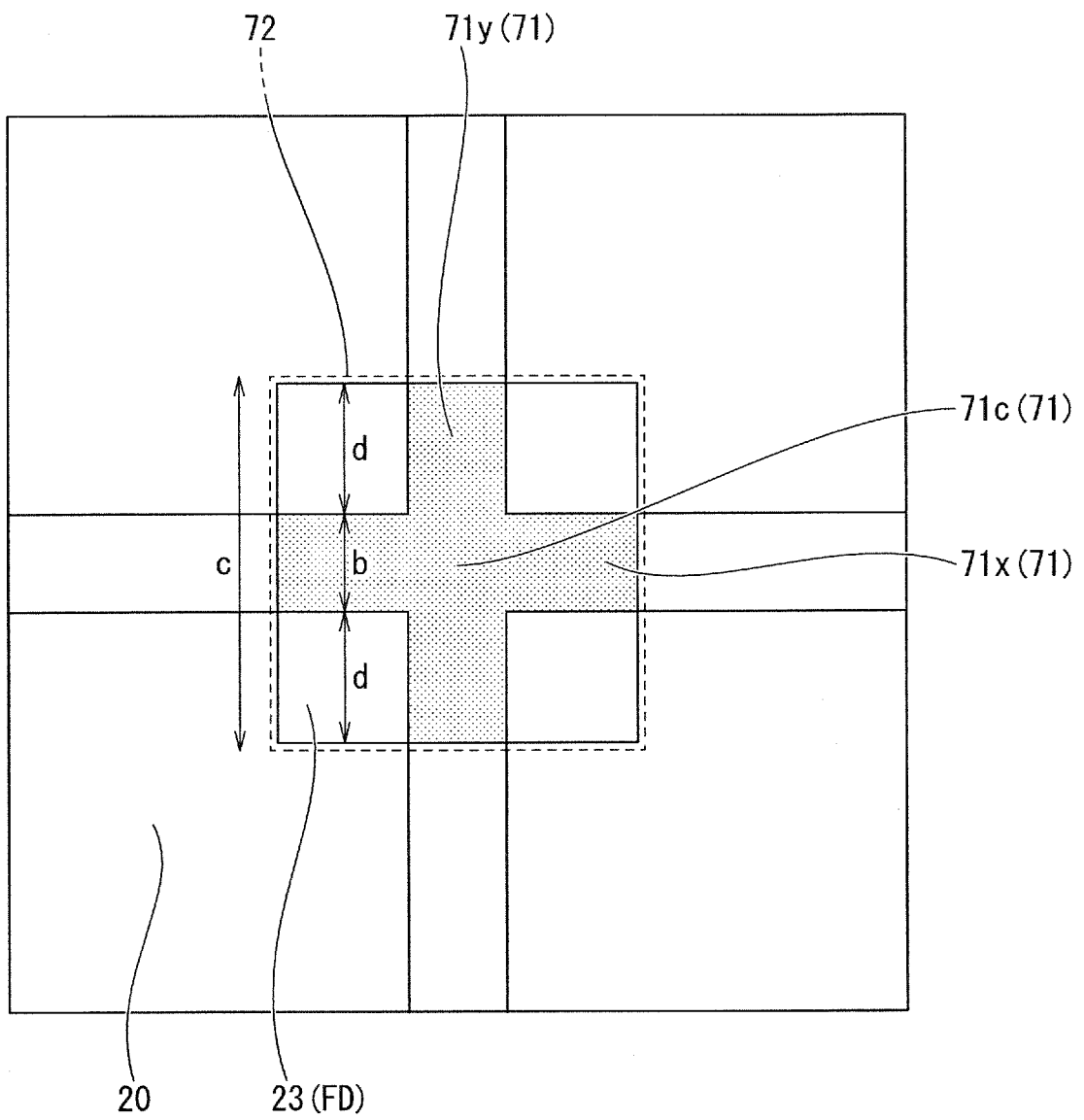
[図12]



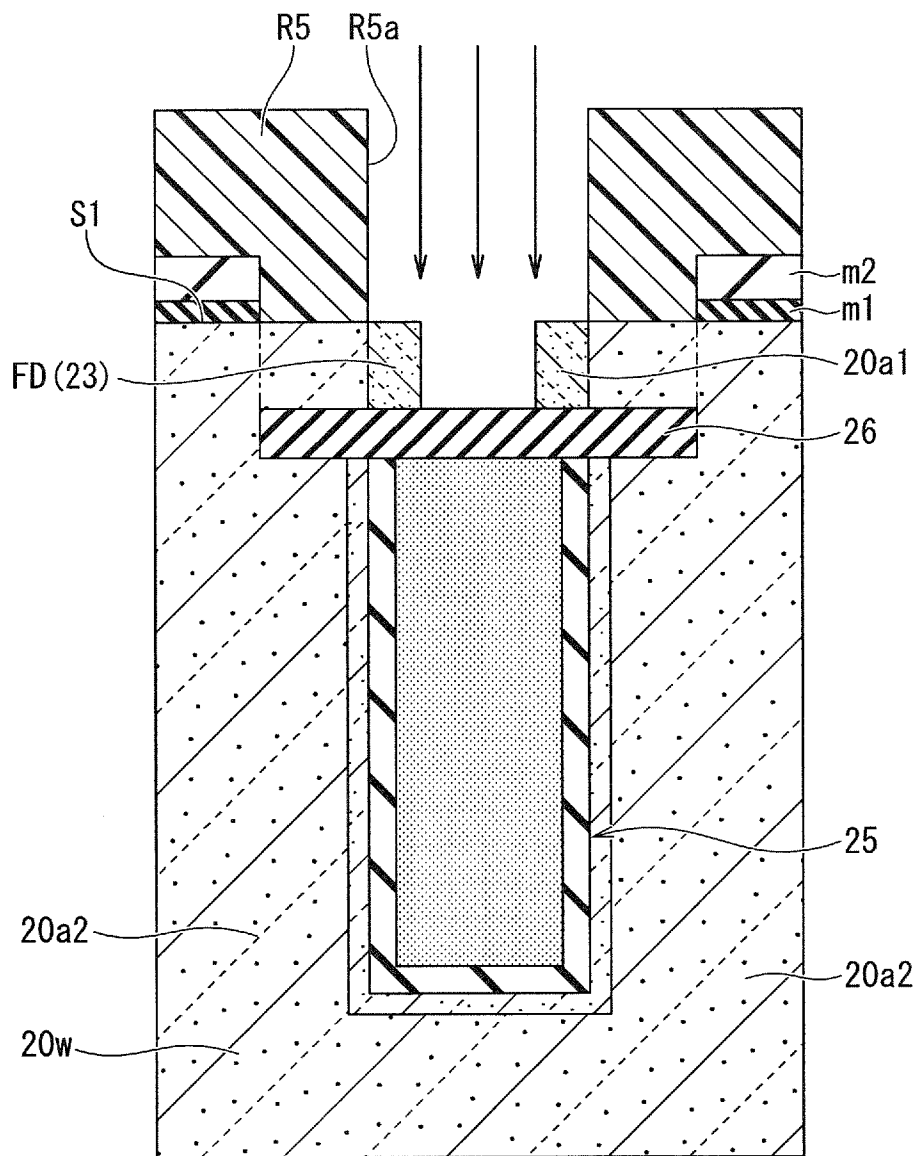
[図13]



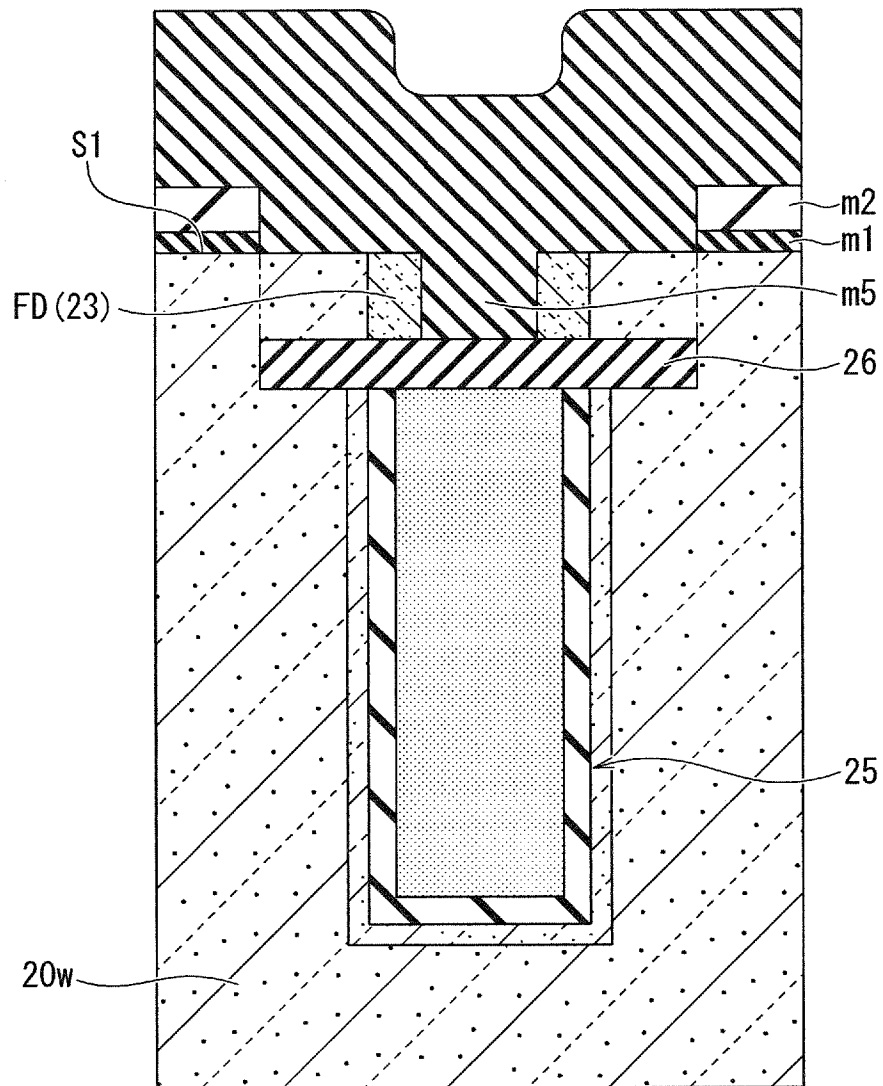
[図14B]



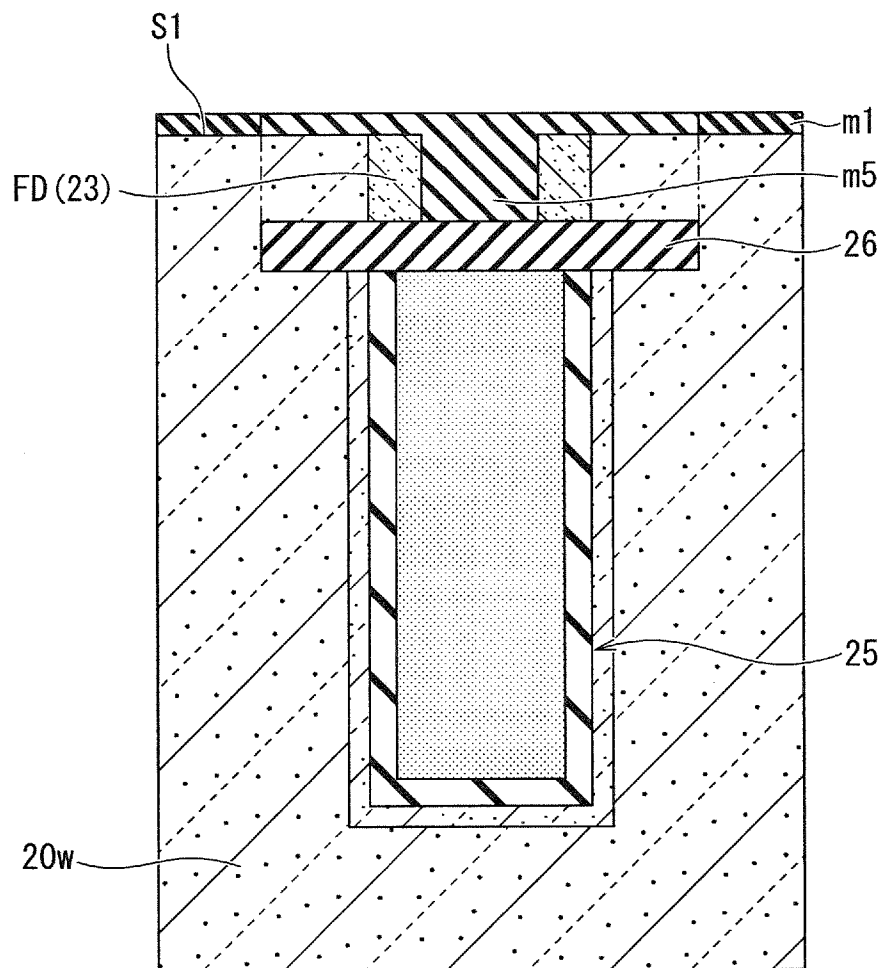
[図15A]



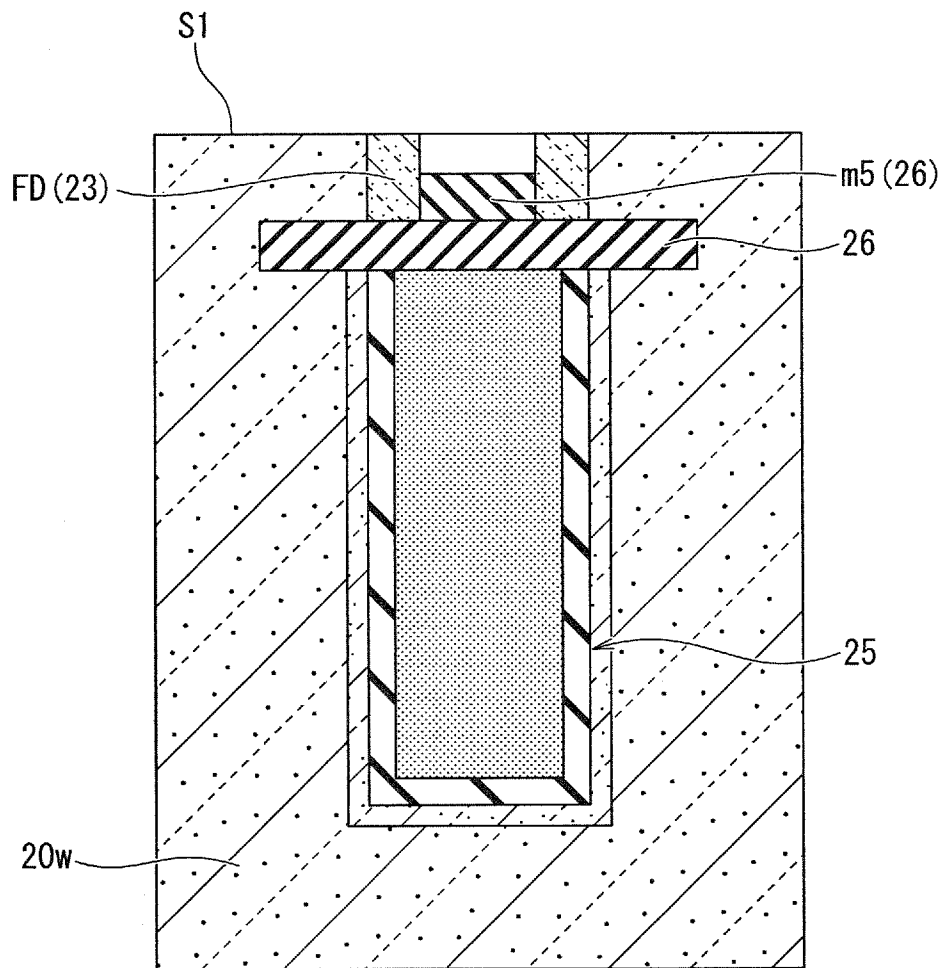
[図15B]



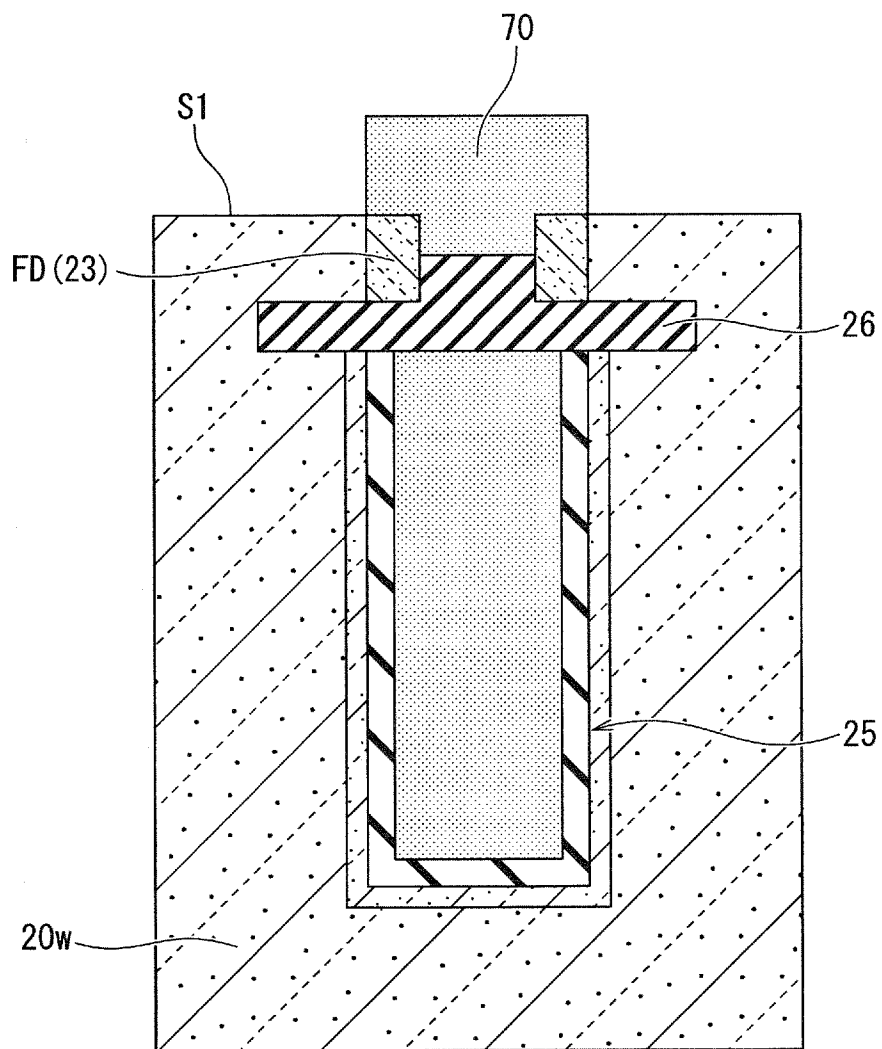
[図15C]



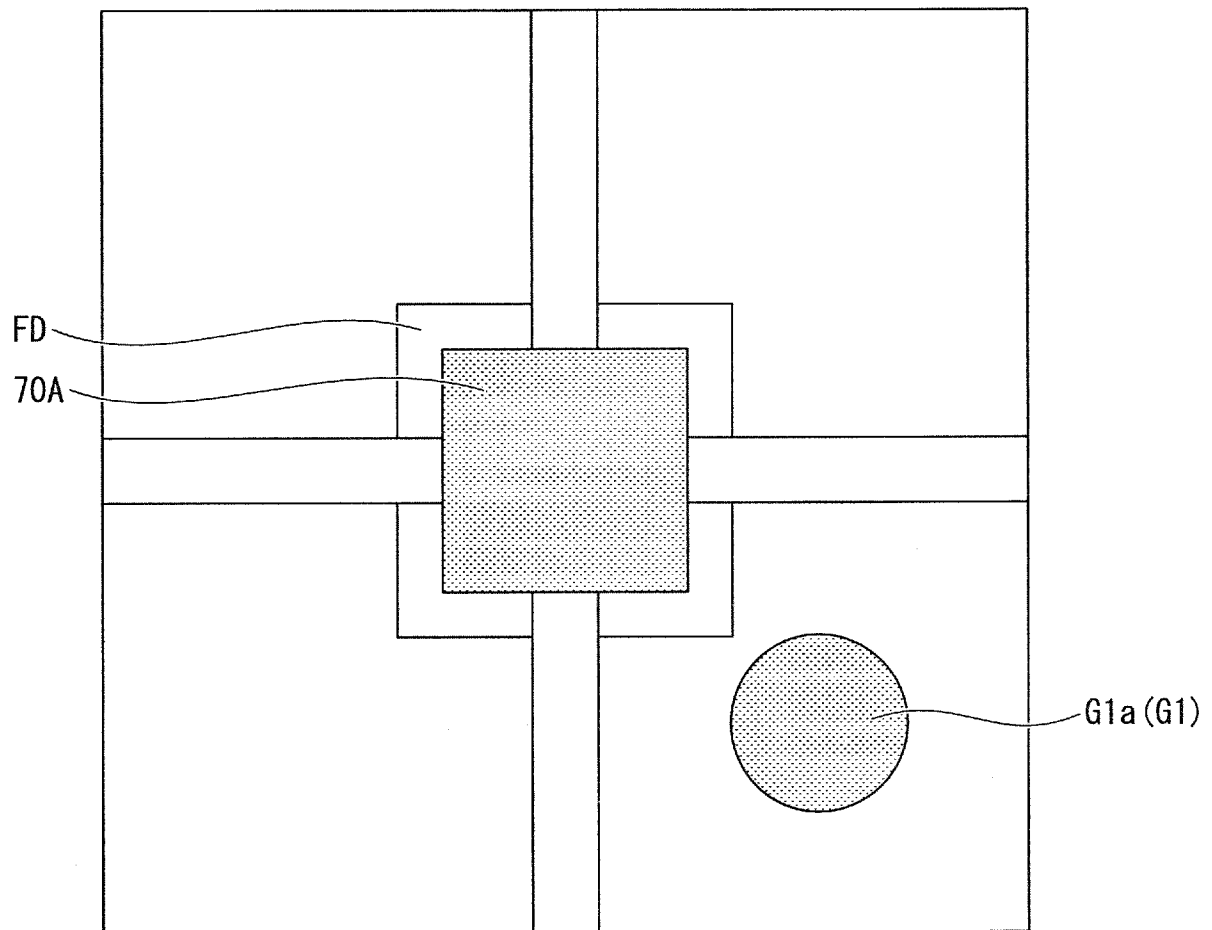
[図15D]



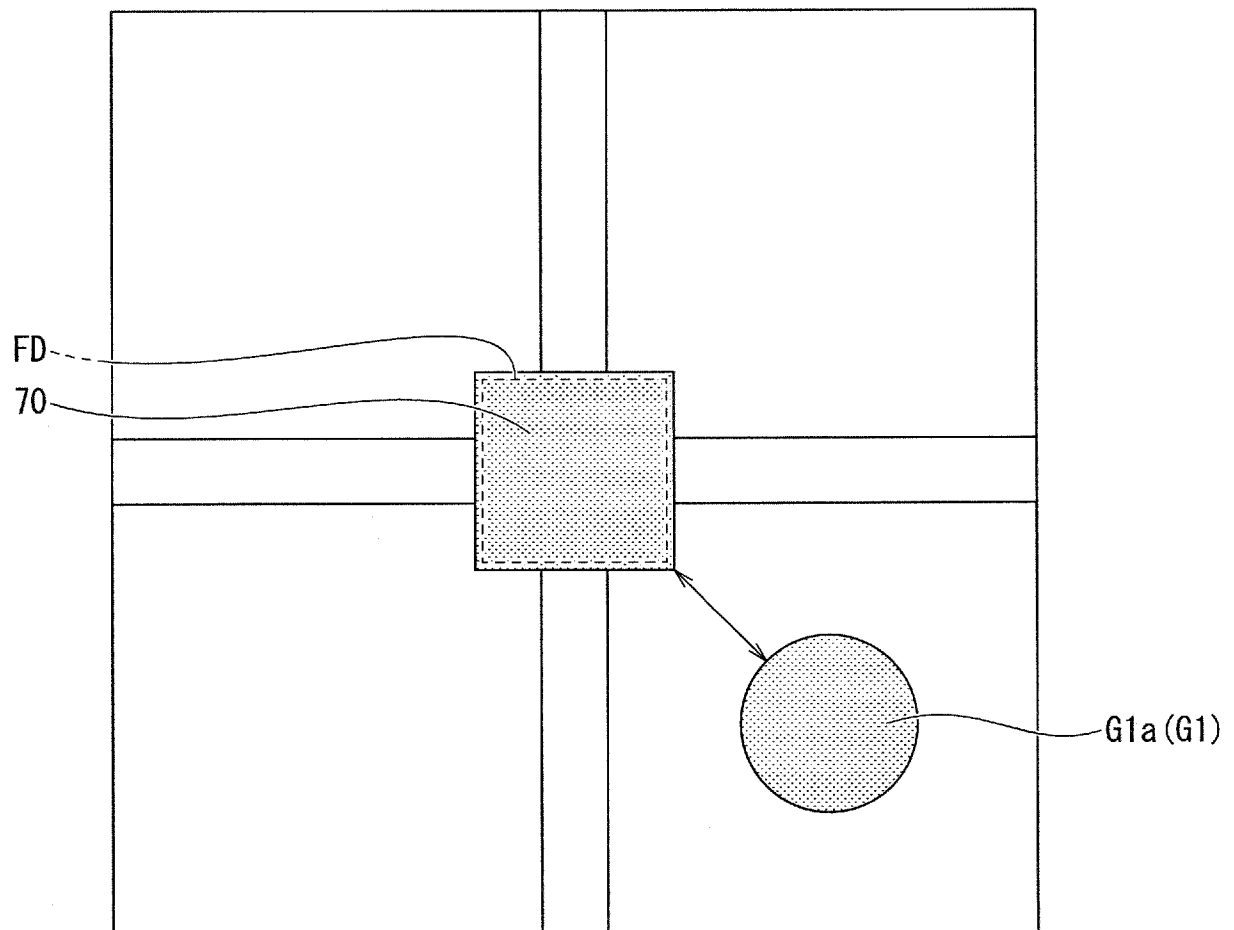
[図15E]



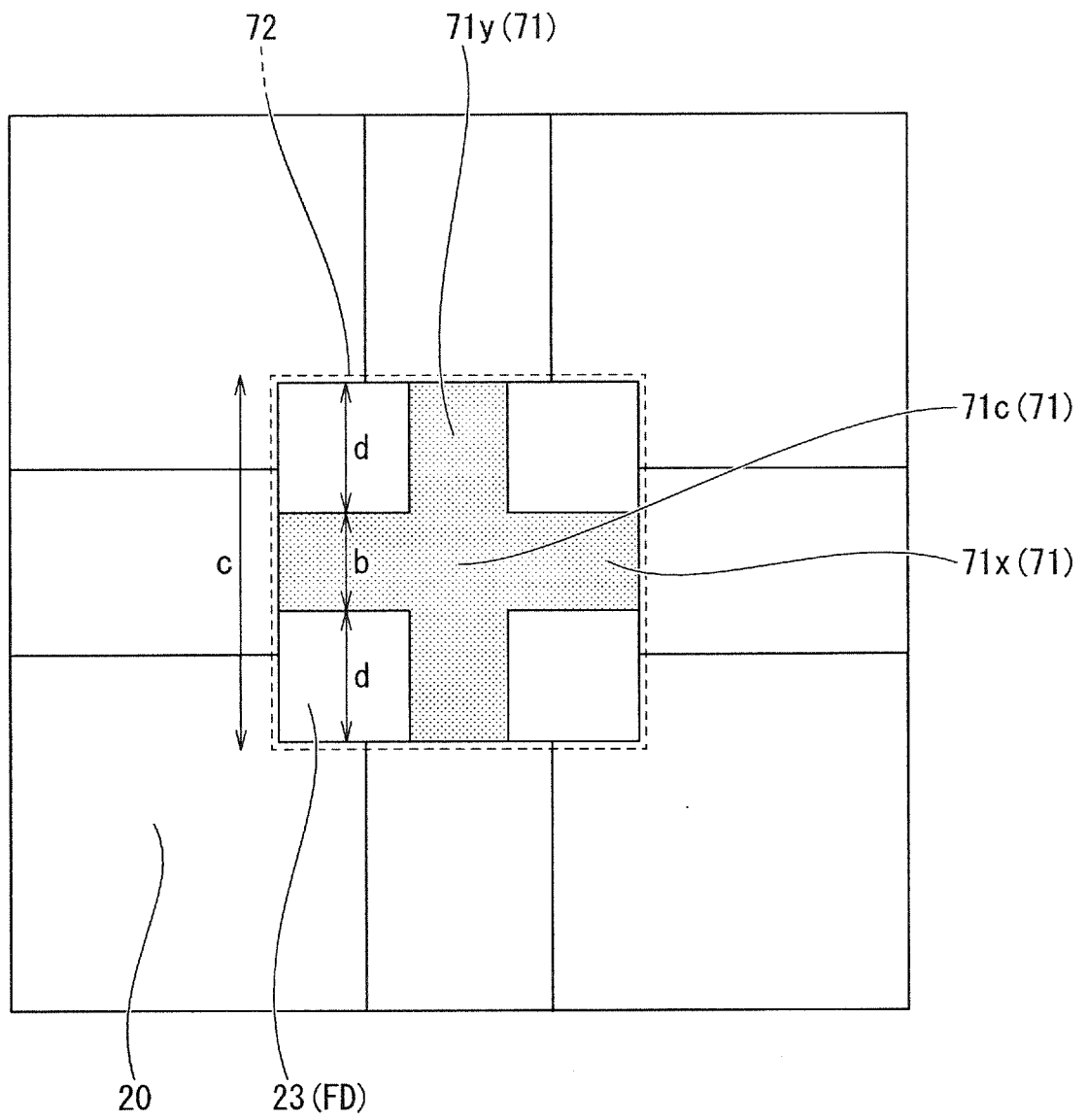
[図16]



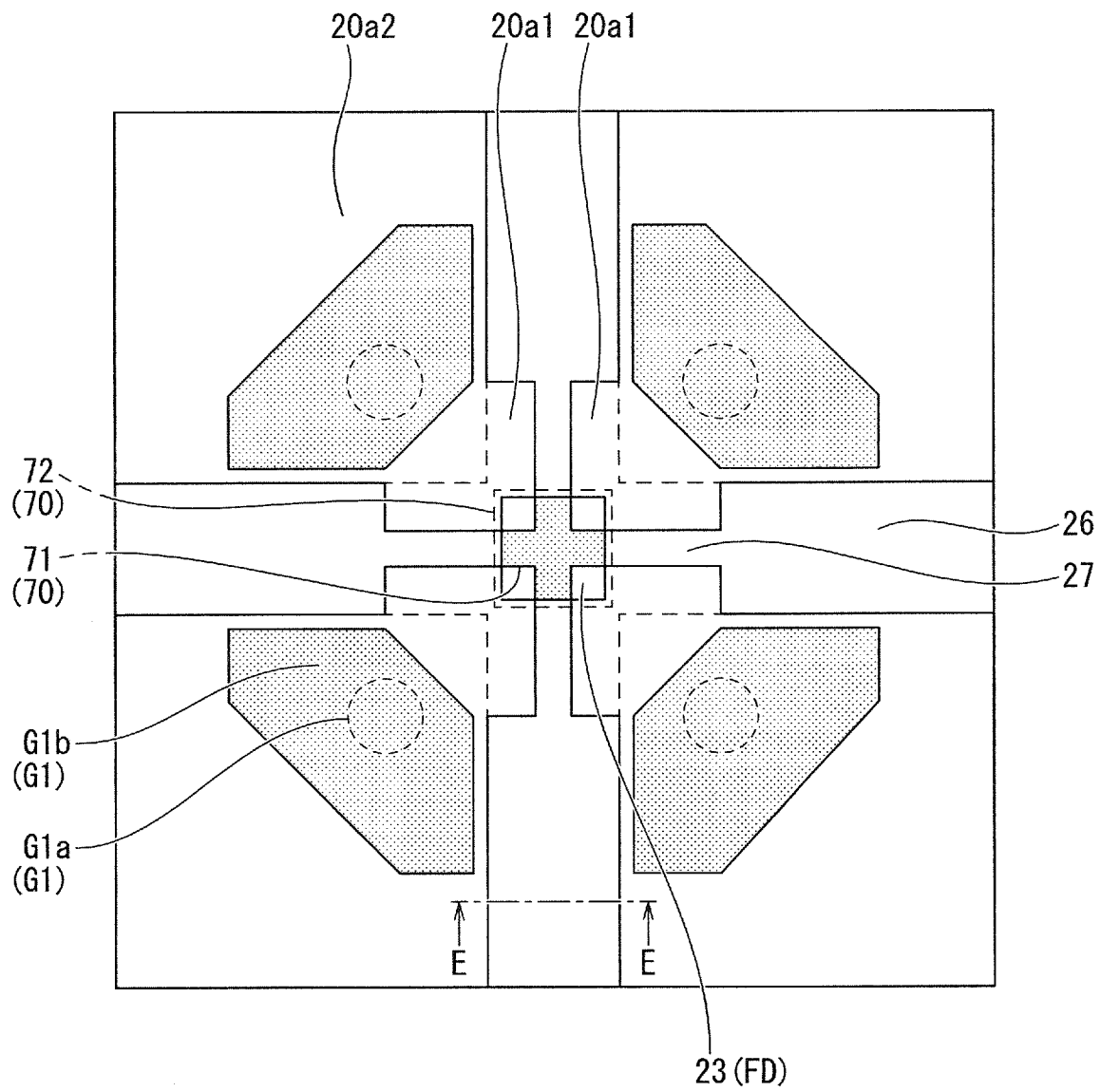
[図17]



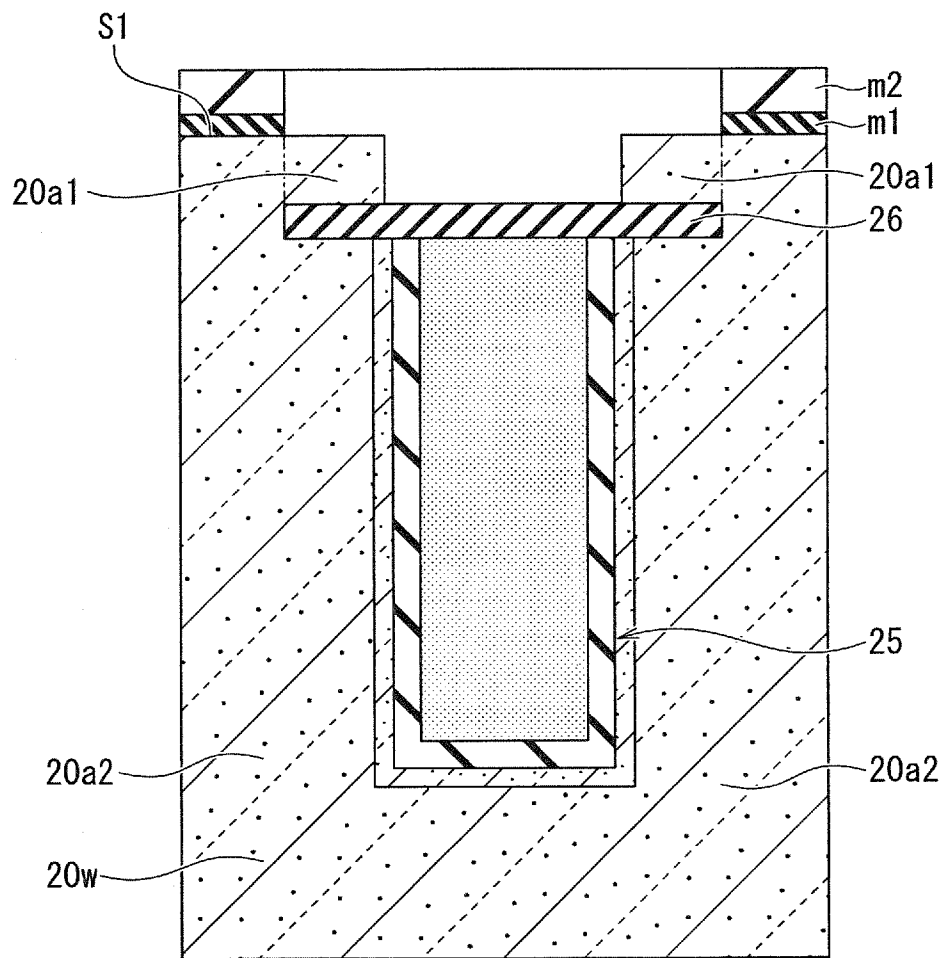
[図18A]



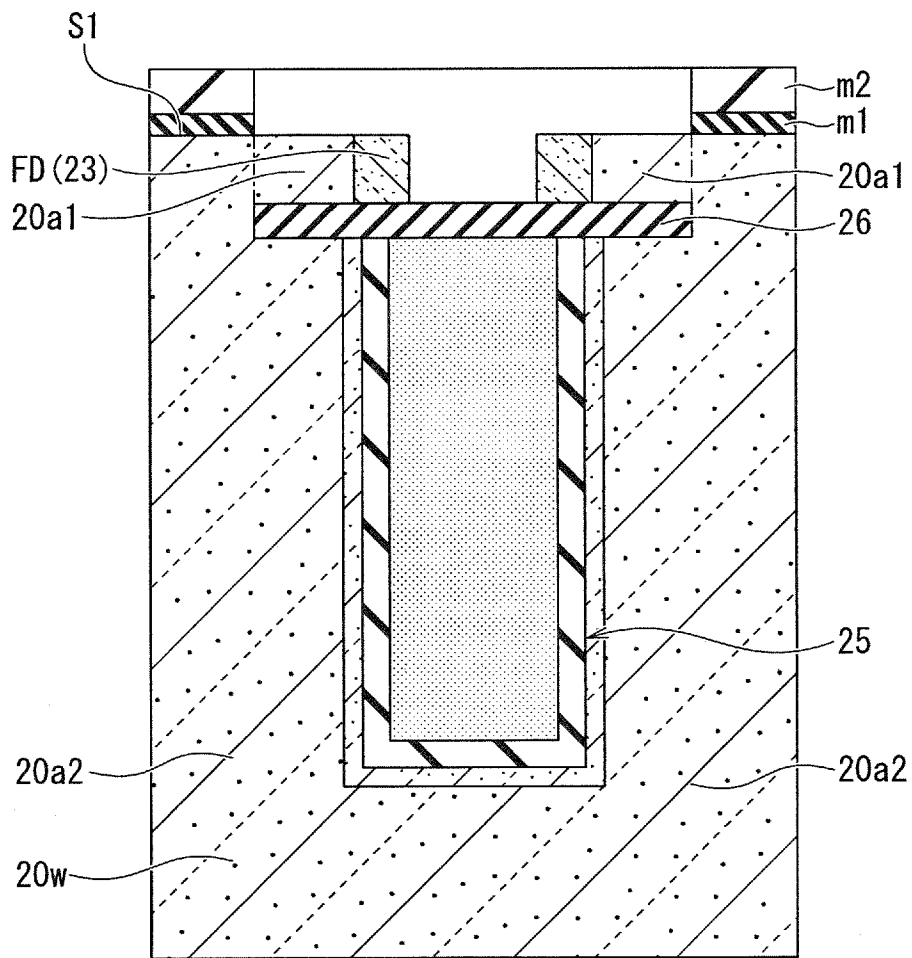
[図18B]



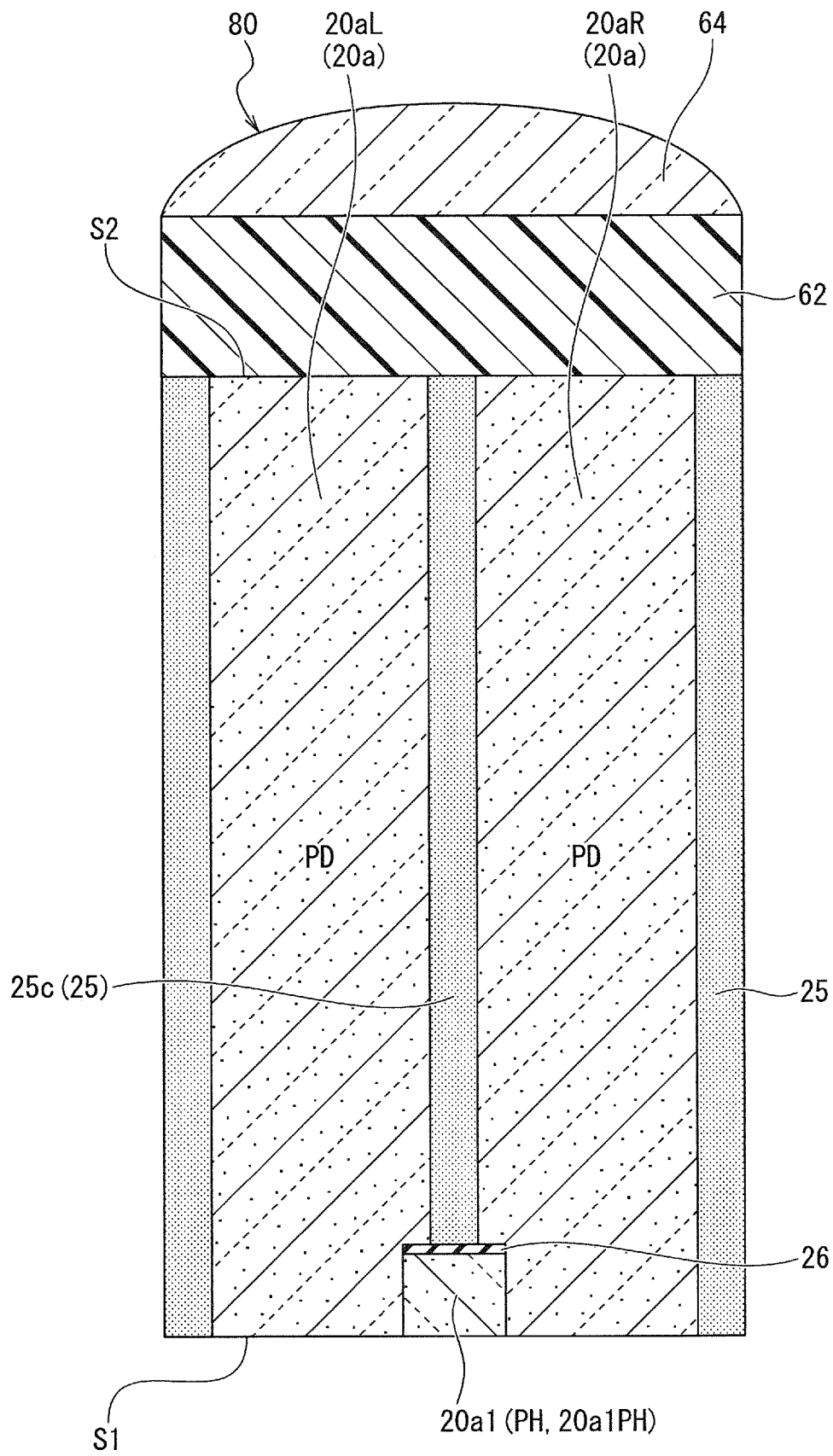
[図19A]



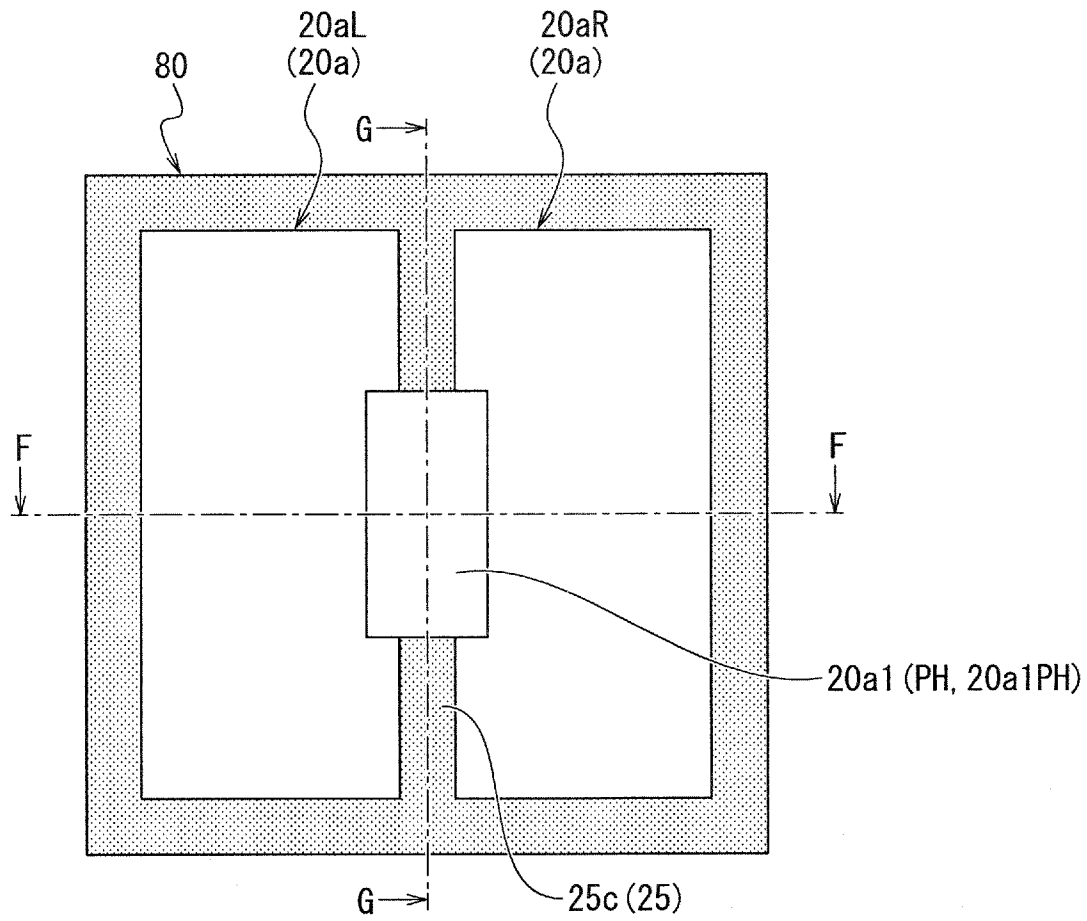
[図19B]



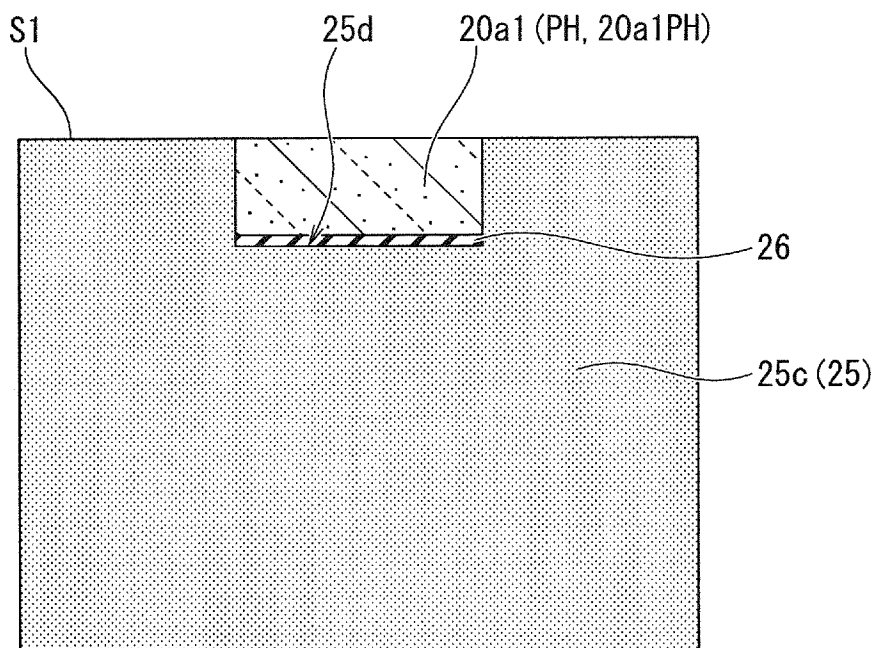
[図20A]



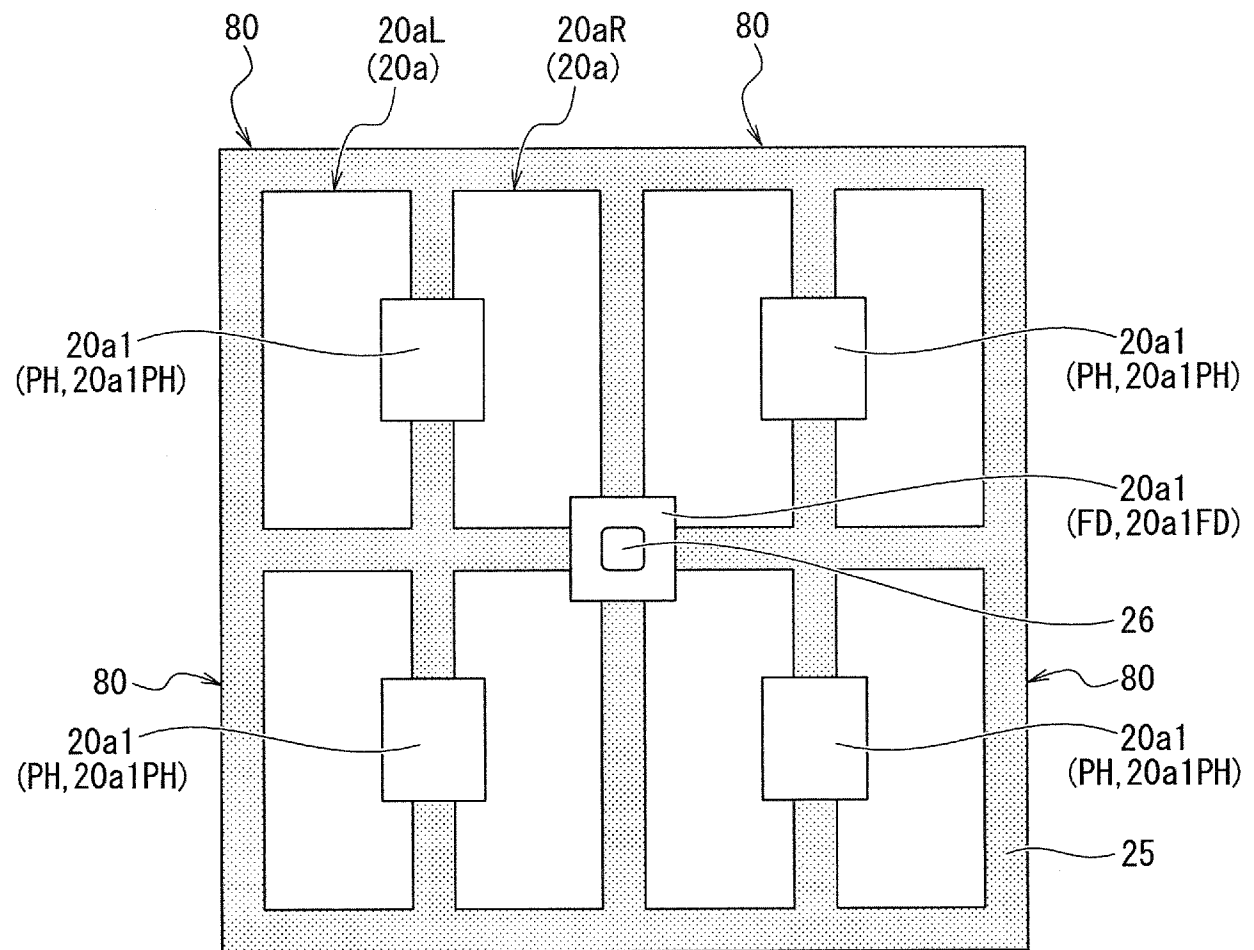
[図20B]



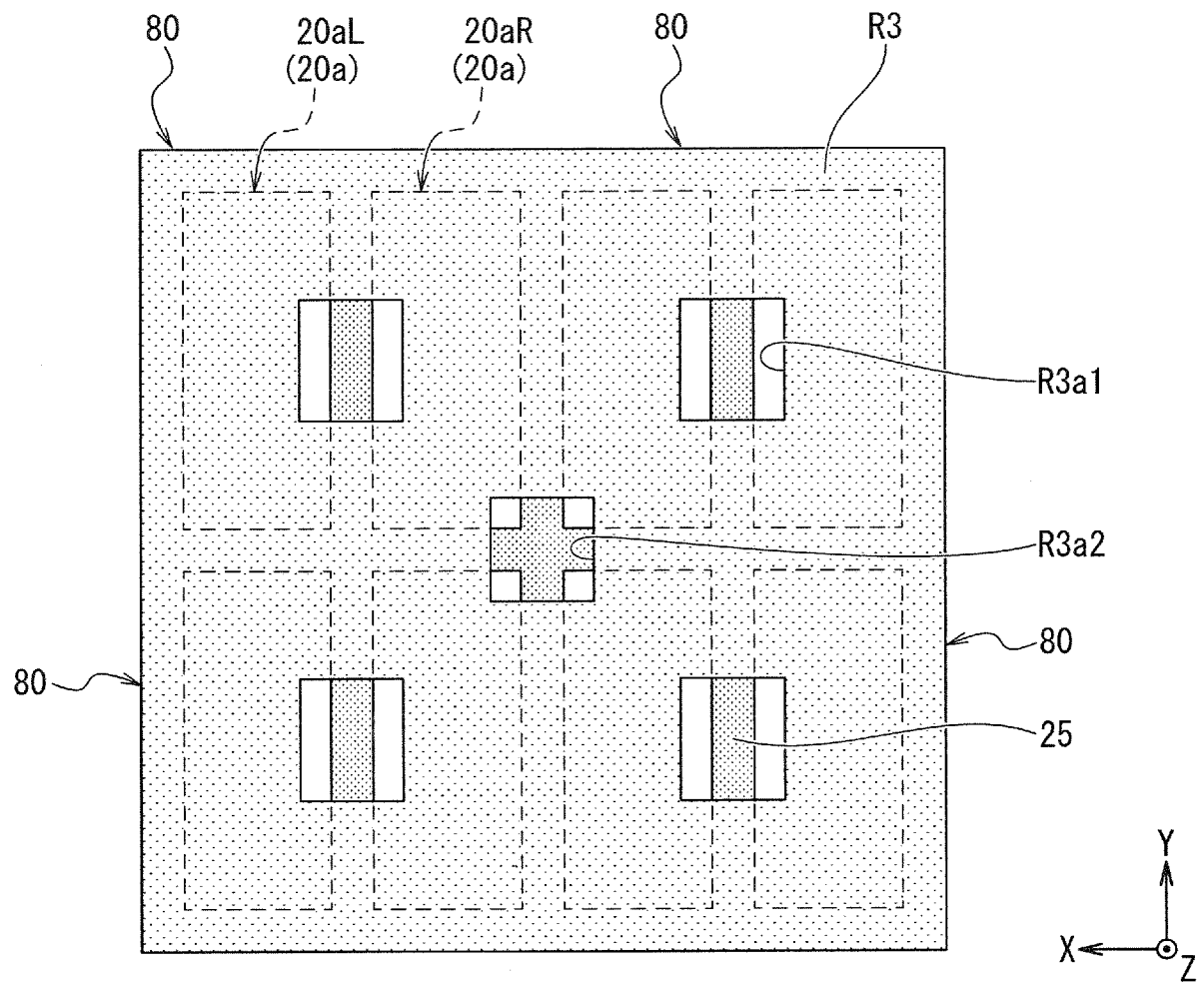
[図20C]



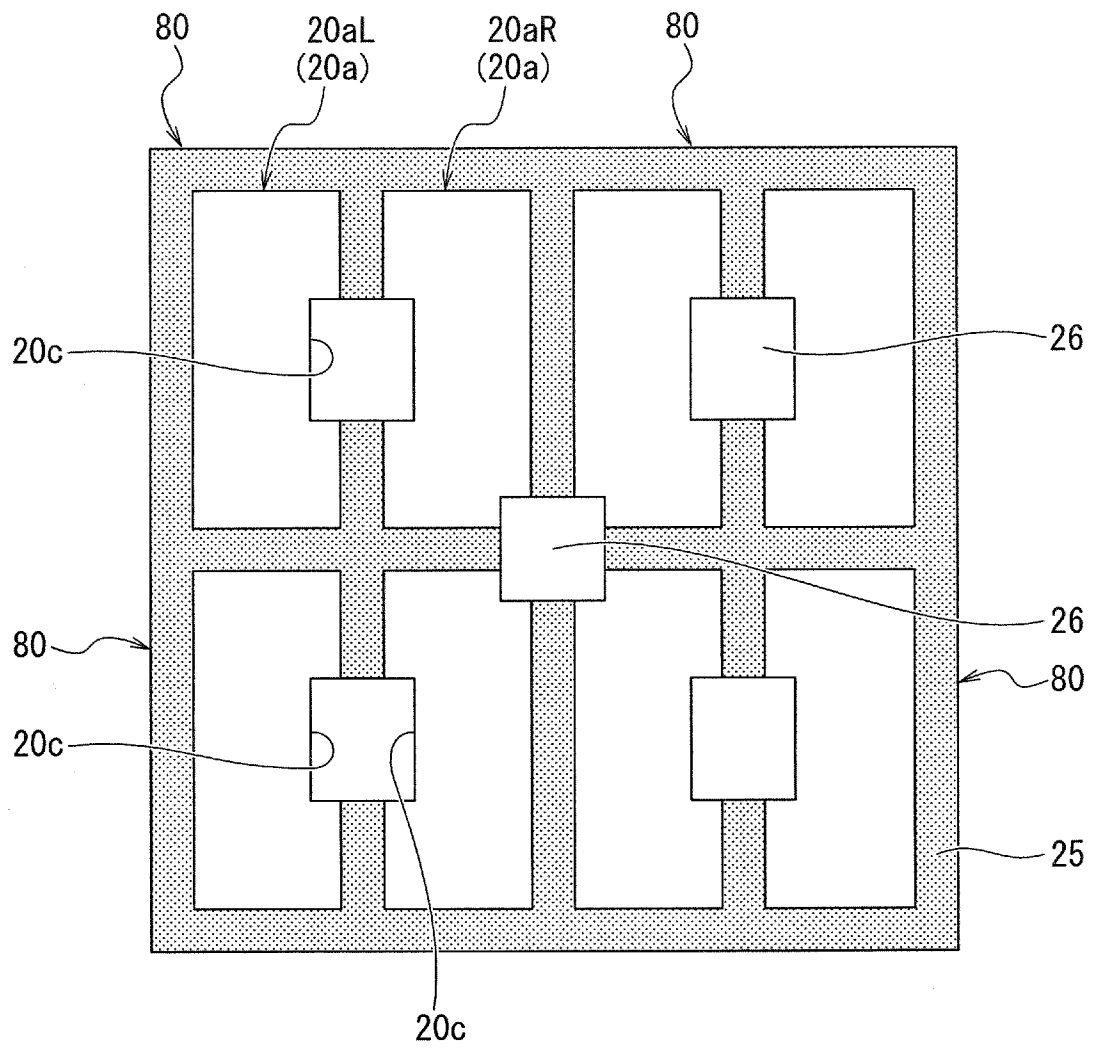
[図20D]



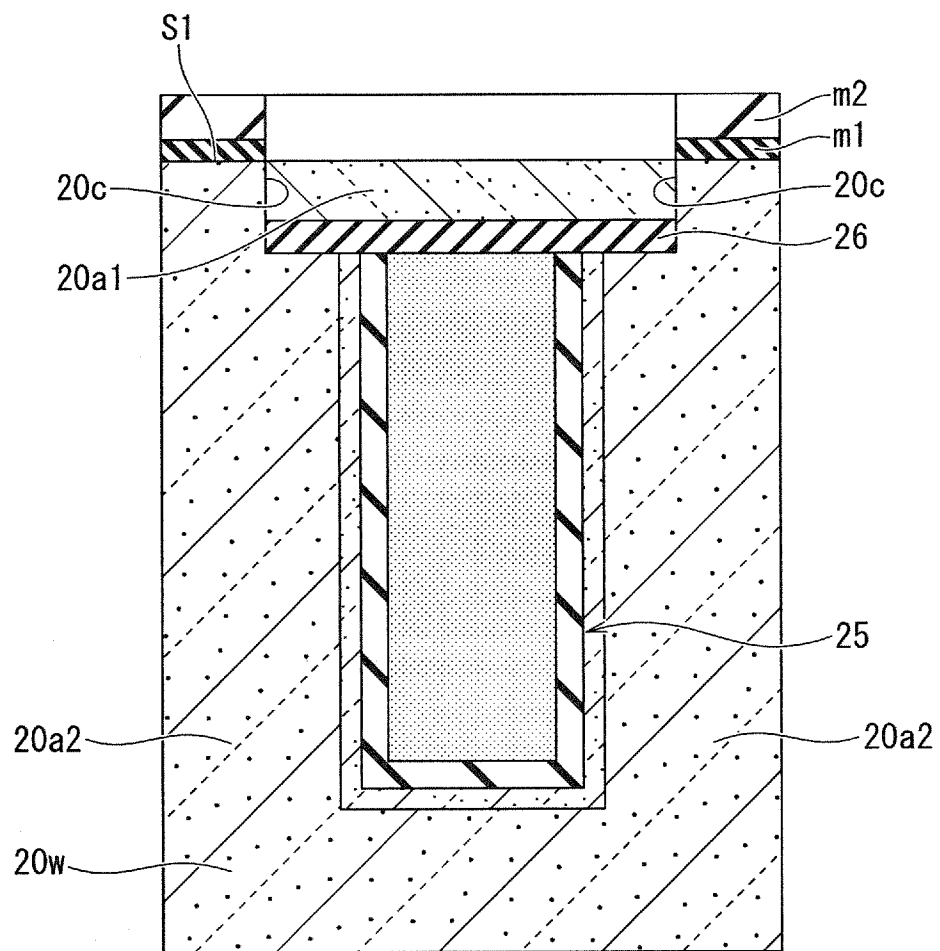
[図21]



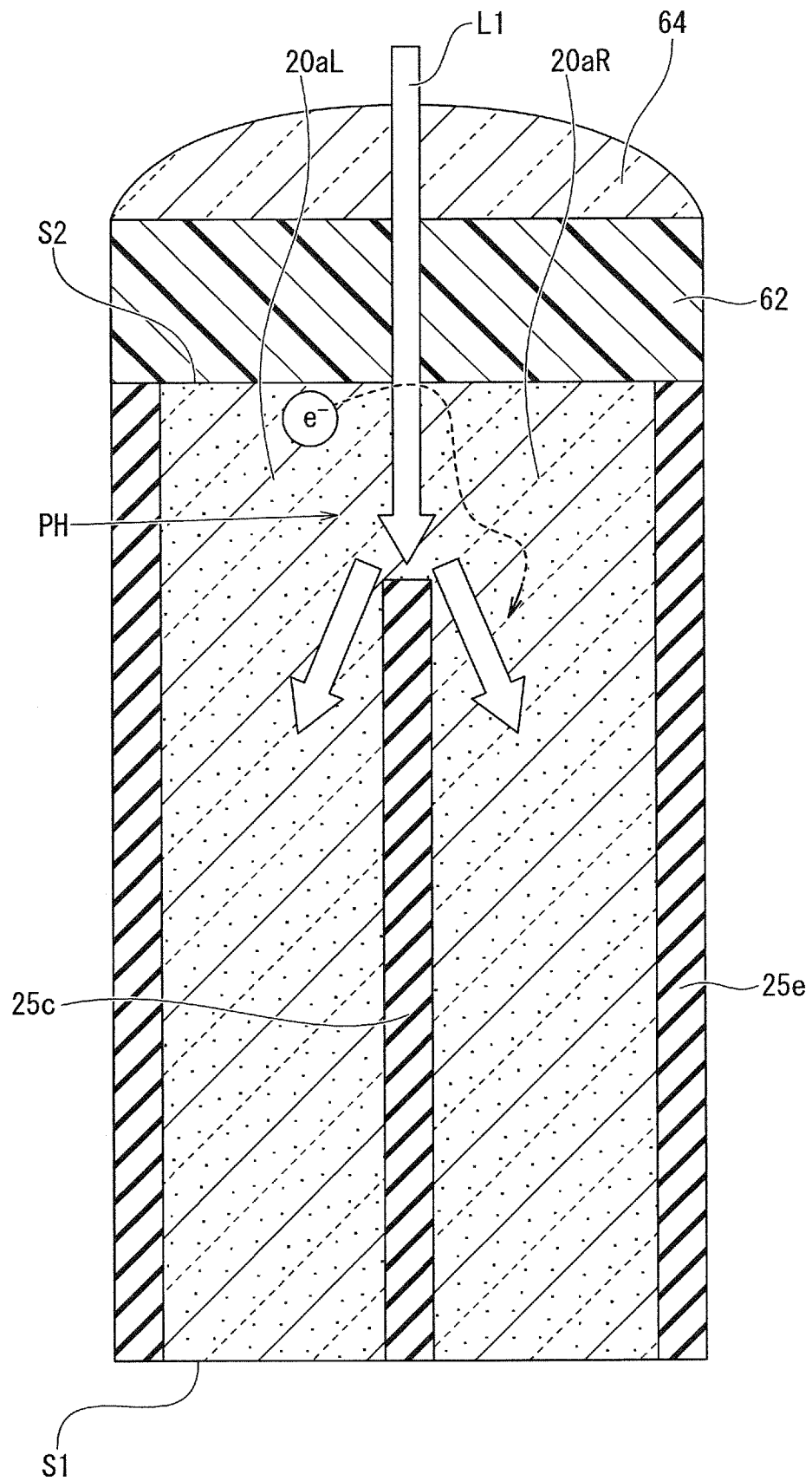
[図22]



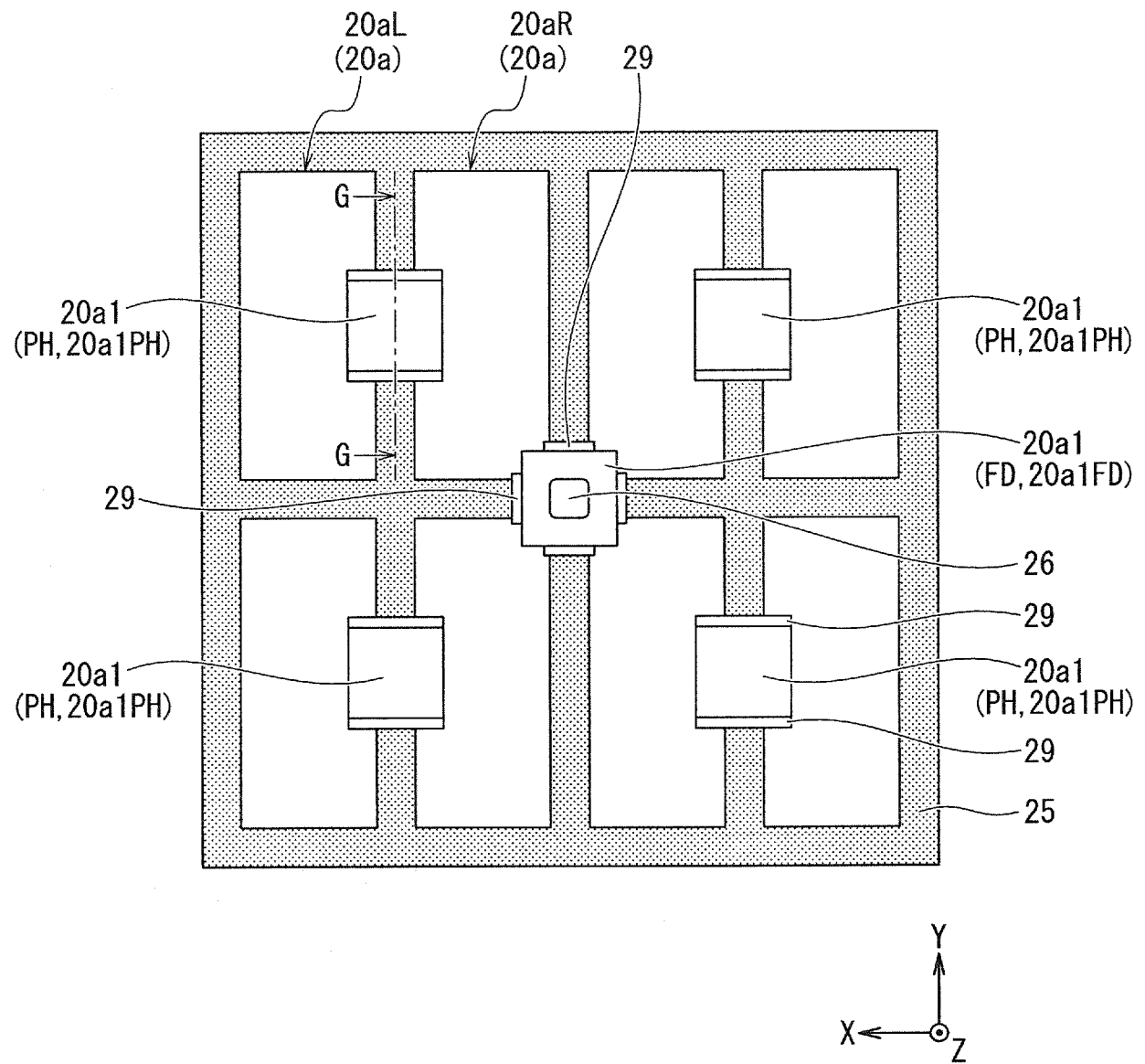
[図23]



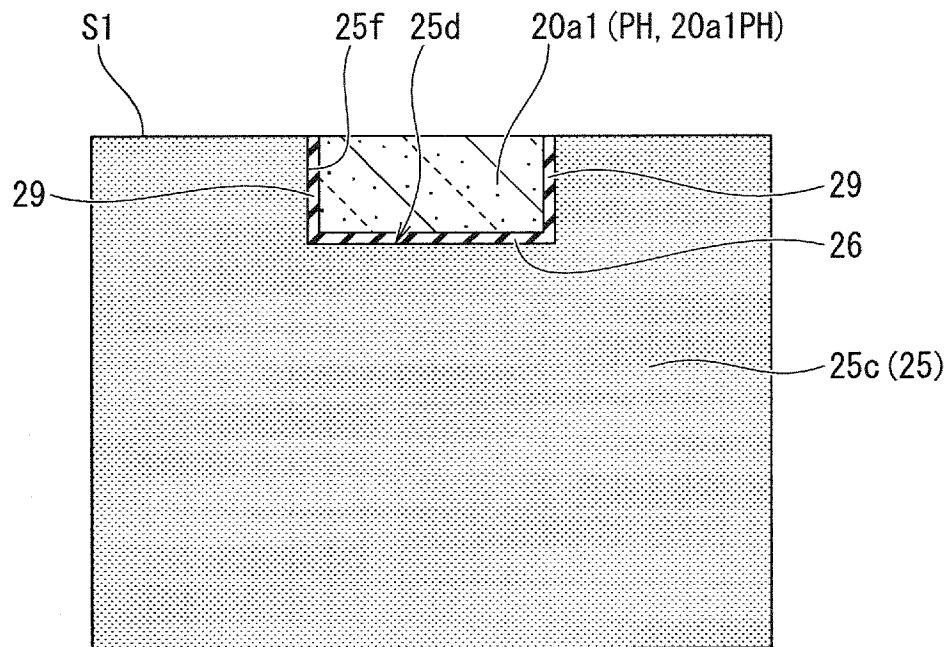
[図24]



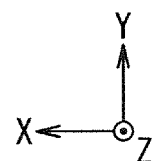
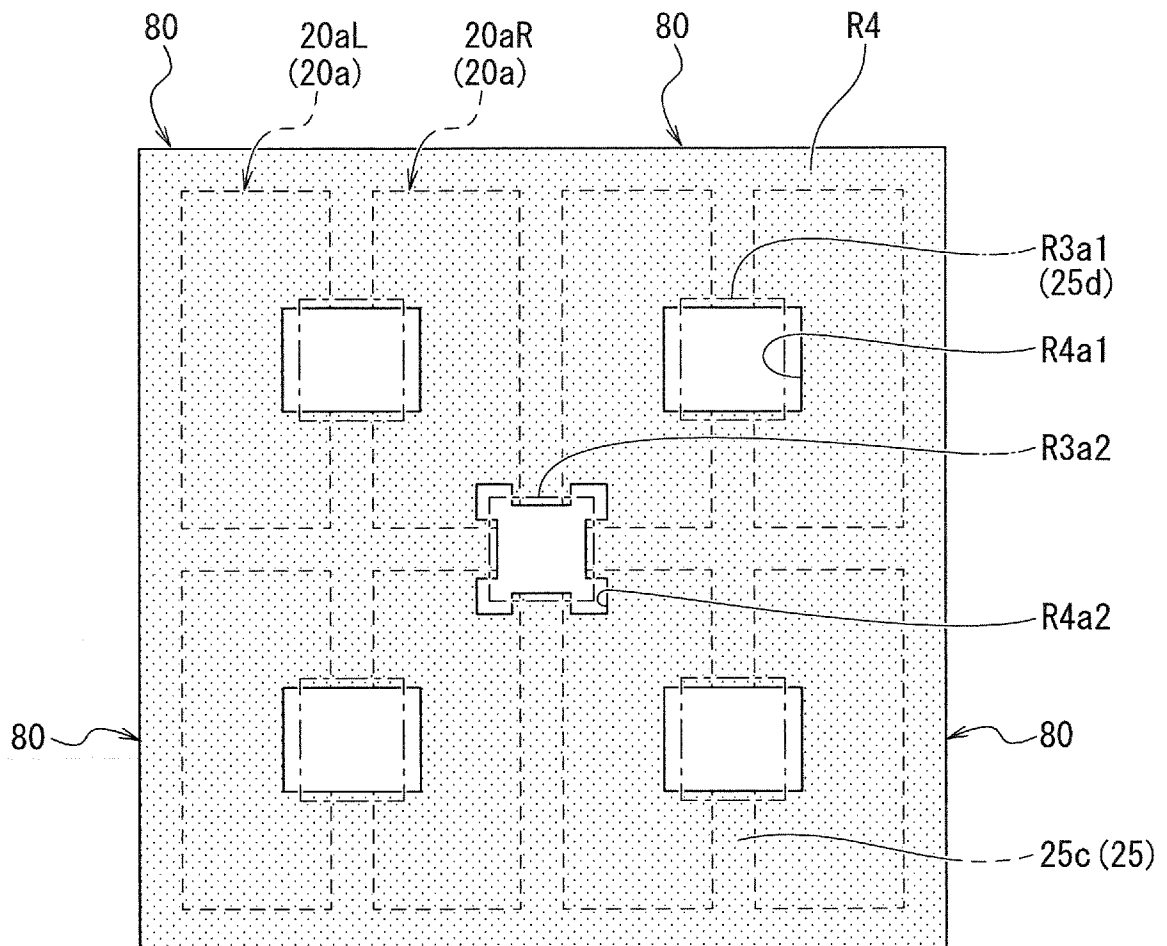
[図25A]



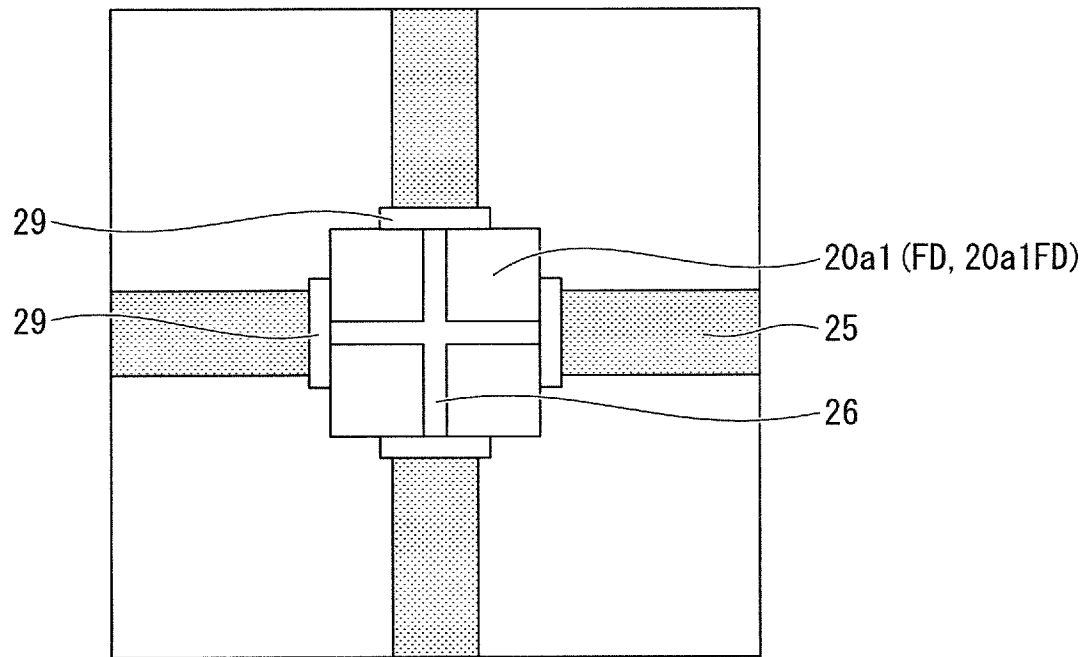
[図25B]



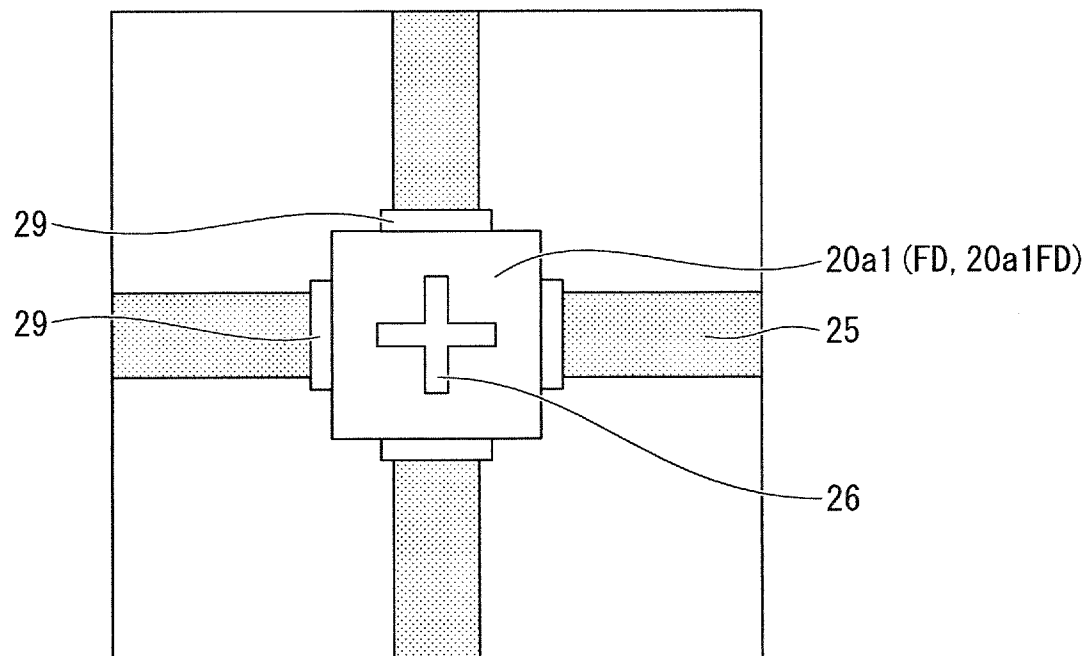
[図26]



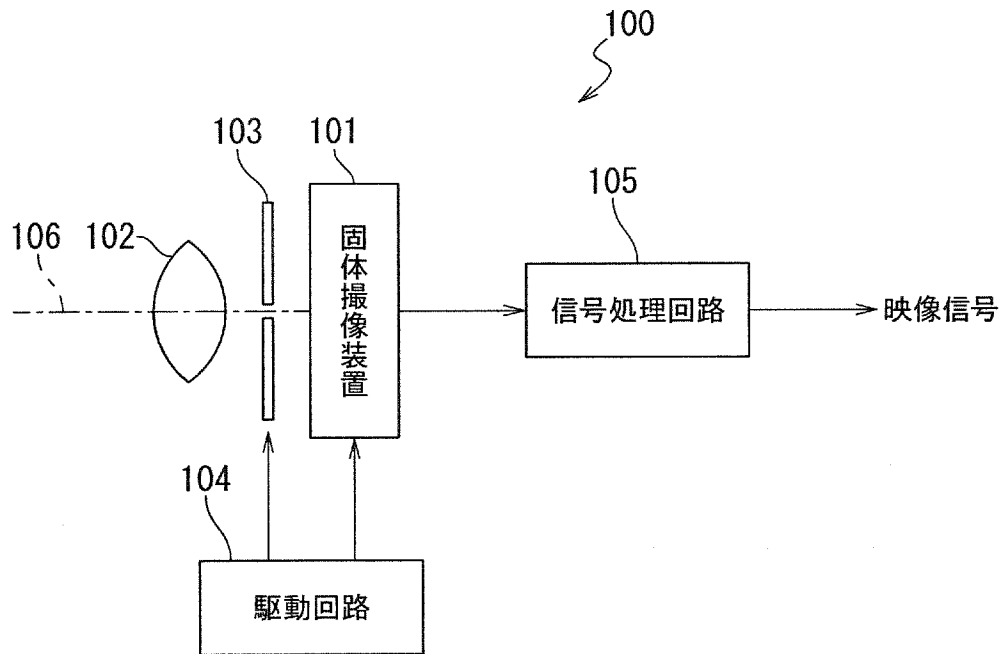
[図27]



[図28]



[図29]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/009442

A. CLASSIFICATION OF SUBJECT MATTER H01L 27/146 (2006.01)i; H01L 21/76 (2006.01)i FI: H01L27/146 A; H01L21/76 L According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L27/146; H01L21/76 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2022/209681 A1 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 06 October 2022 (2022-10-06) paragraphs [0314]-[0341], fig. 52	1-20
A	WO 2021/251270 A1 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 16 December 2021 (2021-12-16) paragraphs [0044]-[0050], fig. 19	1-20
A	WO 2020/095689 A1 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 14 May 2020 (2020-05-14) paragraphs [0077]-[0087], fig. 8	1-20
A	JP 2014-022415 A (SONY CORPORATION) 03 February 2014 (2014-02-03) paragraphs [0023]-[0028], fig. 2	1-20
A	JP 2012-028459 A (SONY CORPORATION) 09 February 2012 (2012-02-09) paragraphs [0023]-[0025], fig. 1	1-20
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 15 May 2024		Date of mailing of the international search report 28 May 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/009442

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2022-056360 A (SAMSUNG ELECTRONICS CO., LTD.) 08 April 2022 (2022-04-08) paragraphs [0052]-[0098], fig. 7	1-20
A	WO 2022/209365 A1 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 06 October 2022 (2022-10-06) paragraphs [0028]-[0054], fig. 2	1-20

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2024/009442

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2022/209681	A1	06 October 2022	US 2024/0038815 A1 paragraphs [0524]-[0567], fig. 52 EP 4318592 A1 CN 117121206 A KR 10-2023-0160810 A	
WO	2021/251270	A1	16 December 2021	US 2023/0300492 A1 paragraphs [0134]-[0145], fig. 19	
WO	2020/095689	A1	14 May 2020	US 2021/0399029 A1 paragraphs [0161]-[0171], fig. 8 EP 3879571 A1 CN 112913024 A KR 10-2021-0088537 A	
JP	2014-022415	A	03 February 2014	US 2014/0015085 A1 paragraphs [0059]-[0064], fig. 2 CN 103545329 A	
JP	2012-028459	A	09 February 2012	US 2012/0018617 A1 paragraphs [0035]-[0037], fig. 1 CN 102347339 A KR 10-2012-0010126 A	
JP	2022-056360	A	08 April 2022	US 2022/0102405 A1 paragraphs [0098]-[0144], fig. 7 KR 10-2022-0044017 A CN 114335036 A	
WO	2022/209365	A1	06 October 2022	JP 2022-152637 A	

A. 発明の属する分野の分類（国際特許分類（IPC））

H01L 27/146(2006.01)i; H01L 21/76(2006.01)i
FI: H01L27/146 A; H01L21/76 L

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H01L27/146; H01L21/76

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報1922 - 1996年

日本国公開実用新案公報1971 - 2024年

日本国実用新案登録公報1996 - 2024年

日本国登録実用新案公報1994 - 2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2022/209681 A1（ソニーセミコンダクタソリューションズ株式会社）06.10.2022 (2022 - 10 - 06) [0314]-[0341], 図52	1-20
A	WO 2021/251270 A1（ソニーセミコンダクタソリューションズ株式会社）16.12.2021 (2021 - 12 - 16) [0044]-[0050], 図19	1-20
A	WO 2020/095689 A1（ソニーセミコンダクタソリューションズ株式会社）14.05.2020 (2020 - 05 - 14) [0077]-[0087], 図8	1-20
A	JP 2014-022415 A（ソニー株式会社）03.02.2014（2014 - 02 - 03） [0023]-[0028], 図2	1-20
A	JP 2012-028459 A（ソニー株式会社）09.02.2012（2012 - 02 - 09） [0023]-[0025], 図1	1-20

☒ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技術水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日
15. 05. 2024

国際調査報告の発送日
28. 05. 2024

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

加藤 俊哉 5F 9554

電話番号 03-3581-1101 内線 3514

様式 PCT/ISA/210（第2ページ）（2022年7月）

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2022-056360 A (三星電子株式会社) 08.04.2022 (2022 - 04 - 08) [0052]-[0098], 図7	1-20
A	WO 2022/209365 A1 (ソニーセミコンダクタソリューションズ株式会社) 06.10.2022 (2022 - 10 - 06) [0028]-[0054], 図2	1-20

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2024/009442

引用文献			公表日	パテントファミリー文献			公表日
WO	2022/209681	A1	06.10.2022	US	2024/0038815	A1	
				[0524]-[0567], FIG. 52			
				EP	4318592	A1	
				CN	117121206	A	
				KR	10-2023-0160810	A	
WO	2021/251270	A1	16.12.2021	US	2023/0300492	A1	
				[0134]-[0145], FIG. 19			
WO	2020/095689	A1	14.05.2020	US	2021/0399029	A1	
				[0161]-[0171], FIG. 8			
				EP	3879571	A1	
				CN	112913024	A	
				KR	10-2021-0088537	A	
JP	2014-022415	A	03.02.2014	US	2014/0015085	A1	
				[0059]-[0064], FIG. 2			
				CN	103545329	A	
JP	2012-028459	A	09.02.2012	US	2012/0018617	A1	
				[0035]-[0037], FIG. 1			
				CN	102347339	A	
				KR	10-2012-0010126	A	
JP	2022-056360	A	08.04.2022	US	2022/0102405	A1	
				[0098]-[0144], FIG. 7			
				KR	10-2022-0044017	A	
				CN	114335036	A	
WO	2022/209365	A1	06.10.2022	JP	2022-152637	A	