

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2006-509375

(P2006-509375A)

(43) 公表日 平成18年3月16日(2006.3.16)

(51) Int.C1.	F 1	テーマコード (参考)
HO1L 21/3065 (2006.01)	HO1L 21/302 1O5A	4M1O4
HO1L 21/28 (2006.01)	HO1L 21/28 E	5FOO4
HO1L 29/423 (2006.01)	HO1L 29/58 G	5FO33
HO1L 29/49 (2006.01)	HO1L 21/88 D	5FO48
HO1L 21/3213 (2006.01)	HO1L 29/78 3O1G	5F140
	審査請求 未請求 予備審査請求 未請求	(全 17 頁) 最終頁に続く
(21) 出願番号	特願2004-559293 (P2004-559293)	(71) 出願人 301020237
(86) (22) 出願日	平成15年12月4日 (2003.12.4)	サイプレス セミコンダクター コーポレーション
(85) 翻訳文提出日	平成17年7月27日 (2005.7.27)	アメリカ合衆国 95134 カリフォルニア州 サンホゼ, ノース ファーストストリート 3901
(86) 國際出願番号	PCT/US2003/038631	(74) 代理人 100082005
(87) 國際公開番号	WO2004/053936	弁理士 熊倉 複男
(87) 國際公開日	平成16年6月24日 (2004.6.24)	(74) 代理人 100067013
(31) 優先権主張番号	10/314,380	弁理士 大塚 文昭
(32) 優先日	平成14年12月6日 (2002.12.6)	(74) 代理人 100074228
(33) 優先権主張国	米国(US)	弁理士 今城 俊夫
		(74) 代理人 100086771
		弁理士 西島 孝喜

最終頁に続く

(54) 【発明の名称】多層ゲート STACK

(57) 【要約】

プラズマによりパターン形成された窒化層を形成するために窒化層をエッチングすることからなる半導体構造体を製造する方法。窒化層は半導体の基板上にあり、フォトレジスト層は窒化層上にあり、プラズマは、少なくとも圧力10ミリトルでCF₄及びCHF₃のガス混合物から形成される。

【特許請求の範囲】**【請求項 1】**

半導体構造体の製造方法であって、
窒化層をプラズマによりエッティングして、パターン形成された窒化層を形成する工程を
含み、
前記窒化層は半導体基板上にあり、
フォトレジスト層が前記窒化層上にあり、
前記プラズマは少なくとも 10 ミリトルの圧力において CF_4 及び CHF_3 を含むガス混合物から調製される、
ことを特徴とする、前記方法。

10

【請求項 2】

前記ガス混合物は、 $\text{CF}_4 : \text{CHF}_3$ 比が 10 : 1 から 1 : 3 であることを特徴とする請求項 1 に記載の方法。

【請求項 3】

前記圧力は 15 から 45 ミリトルであることを特徴とする請求項 1 に記載の方法。

【請求項 4】

前記フォトレジスト層は 193 ナノメートルのフォトレジストを含むことを特徴とする請求項 1 に記載の方法。

【請求項 5】

前記パターン形成された窒化層は 9 ナノメートル以下のラインエッジ粗さを有することを特徴とする請求項 1 に記載の方法。

20

【請求項 6】

前記ガス混合物は $\text{CF}_4 : \text{CHF}_3$ 比が 8 : 1 から 1 : 2 であり、
前記圧力は 25 から 35 ミリトルであり、
前記フォトレジスト層は 193 ナノメートルのフォトレジストを含む、
ことを特徴とする請求項 1 に記載の方法。

【請求項 7】

半導体構造体の製造方法であって、
窒化層をプラズマによりエッティングして、パターン形成された窒化層を形成する工程を
含み、
前記窒化層はスタック上にあり、

30

前記スタックは半導体基板上にあり、

前記スタックは、

- (i) ケイ素を含むゲート層と、
- (ii) 前記ゲート層上の金属層と、

を含み、

フォトレジスト層が前記窒化層上にあり、

前記フォトレジスト層は 193 ナノメートルのフォトレジストを含み、

前記パターン形成された窒化層は 8 ナノメートル以下のラインエッジ粗さを有し、

前記プラズマは炭素、水素及びフッ素を含む、

40

ことを特徴とする前記方法。

【請求項 8】

前記パターン形成された窒化層は、6 ナノメートル以下のラインエッジ粗さであることを特徴とする請求項 7 に記載の方法。

【請求項 9】

前記プラズマは、少なくとも 15 ミリトルの圧力においてガス混合物から調製されることを特徴とする請求項 7 に記載の方法。

【請求項 10】

前記プラズマは、25 から 35 ミリトルの圧力においてガス混合物から調製されることを特徴とする請求項 7 に記載の方法。

50

【請求項 1 1】

前記ゲート層は P⁺領域及び N⁺領域を含み、
前記 P⁺領域及び N⁺領域は、0.4ミクロン以下の幅を有する前記基板の分離領域上の領域により分離されている、
ことを特徴とする請求項 7 に記載の方法。

【請求項 1 2】

請求項 1 に記載の方法により半導体構造体を形成し、
前記半導体構造体から半導体素子を形成する、
ことを特徴とする半導体素子を製造する方法。

【請求項 1 3】

請求項 1 2 に記載の方法により半導体素子を形成し、
前記半導体素子を有する電子素子を形成する、
ことを特徴とする電子素子を製造する方法。

【請求項 1 4】

請求項 7 に記載の方法により半導体構造体を形成し、
前記半導体構造体から半導体素子を形成する、
ことを特徴とする半導体素子を製造する方法。

【請求項 1 5】

請求項 1 4 に記載の方法により半導体素子を形成し、
前記半導体素子を有する電子素子を形成する、
ことを特徴とする電子素子を製造する方法。

【請求項 1 6】

請求項 1 に記載の方法により製造された半導体構造体。

【請求項 1 7】

請求項 7 に記載の方法により製造された半導体構造体。

【請求項 1 8】

半導体基板上のパターン形成された窒化層を含み、
前記パターン形成された窒化層は、9ナノメートル以下のラインエッジ粗さであり、
前記基板の分離領域は、0.4ミクロン以下の幅を有する、
ことを特徴とする半導体構造体。

【請求項 1 9】

前記窒化層と前記半導体構造体との間に更にスタックを有し、
前記スタックは、
(i) ケイ素を含むゲート層と、
(i i) 前記ゲート層上の金属層と、
を有し、
前記ゲート層は前記分離領域上にある、
ことを特徴とする請求項 1 8 に記載の半導体構造体。

【請求項 2 0】

前記パターン形成された窒化層は 6 ナノメートル以下のラインエッジ粗さであることを特徴とする請求項 1 8 に記載の半導体構造体。

【発明の詳細な説明】**【技術分野】****【0 0 0 1】**

現代の集積回路は、トランジスタやコンデンサのように、半導体の基板の中や上で形成される最大数百万の能動素子で構成されている。能動素子間の相互接続は、多結晶シリコン及び多結晶金属のような複数の導電性相互接続層を設けることにより生成され、この導電性相互接続層は、エッチングされて搬送信号のための導電体を形成する。導電性層及び層間誘電体層が、例えば各層が厚さ 0.1 ミクロンのオーダーになるように、連続的にケイ素基板ウェハ上に成層される。

10

20

30

40

50

【背景技術】

【0002】

ゲート構造は、トランジスタの一要素である。図1は、ゲートスタック8の例を示している。半導体の基板10は、基板(12, 14)内のドープ領域(ソース・ドレン領域)に重なるゲートの絶縁層16を支持し、ゲート絶縁層は、典型的には多結晶シリコンであるゲート18を支持する。ゲート上には金属層30がある。金属層は、全体的にバリヤー層20として示される窒化物、酸化物又はケイ素化合物のような、1つ又はそれ以上の他の層によりゲートから分離される。次いで、金属層は、窒化物、酸化物又はケイ素化合物のような1つ又はそれ以上の他の層(全体を40)を支持する。酸化物22が、ゲートスタックの根元部においてゲート酸化物を保護するために、ゲートの側面に形成され、そして絶縁スペーサー24が、ゲートスタックのいずれかの側面に形成される。更に、基板内のソース・ドレン領域に対するコンタクト及びゲート構造に対するコンタクトが形成されることがある。

【0003】

自己整合コンタクト(self aligned contact = SAC)は、ゲートと基板へのバイアコンタクトとの間の距離を、最大で最小ゲート幅の2分の1にするような半導体素子の設計を可能にする。典型的には、SACは、整合不良のコンタクトがゲート自体に接触することを阻止するために窒化物を含むようにされたスペーサーと共に、ゲートスタック上の窒化層を使用する。窒化物が存在していない場合には、コンタクトとなる穴を形成するために使用されるエッチングが、誘電体層を貫通してゲートに達することになる。窒化物が存在する場合には、窒化層とスペーサーは、エッチングのストップ作用を果たし、不整合のために穴がゲートまで達することを防止し、したがって、コンタクトとゲートの間に遙かに小さな平均距離を持つ素子設計を可能にする。

【0004】

ゲートスタック上の窒化層は、SACの形成に使用されるときには少なくとも800オングストロームの厚さがある。エッチング停止層又はハードマスクのような他の目的にのみ使用される場合には、800オングストローム以下の厚さが使用される。また、少なくとも800オングストロームの厚さは、誘電体層が形成された後の厚さであり、窒化層は、最初に形成されたときには通常はもっと厚く、ゲートエッチングの間に約500オングストロームの損失を許容し(例えばハードマスク機能としての厚さ)、窒化物スペーサーの形成の間に約200オングストロームの損失を許容する。

【0005】

集積回路及び半導体構造体内の素子の大きさを減らすことについて継続する必要性がある。素子の大きさが減少するにつれて、望ましいより小さな形状を得るために、フォトレジストを露光するのに、より短い波長の放射線が必要である。このため、より短い波長の放射線に感度を持つフォトレジストを使用しなければならない。0.1ミクロンのオーダーの形状を得るために、193ナノメートルの波長を持つ放射線が使用されており、この波長に対して感度を持つフォトレジストは193ナノメートル・レジストと呼ばれる。このレジストは、T9269(スイス、ムッテン、Clariant International Ltd. 製)、6A100(日本川崎市 東京応化工業株式会社)、及びAR414とAR237(両方とも日本、東京、日本合成ゴム株式会社製)のように種々のものが市販されている。

【0006】

しかし、遭遇する好ましくない問題は、エッチング処理が特定のフォトレジストに対して最適化され、スケールの減少に伴って異なるフォトレジストに切り換えることにより、ラインエッジ粗さの増大のような問題を生じ得ることである。(「An Experimentally Validated Analytical Model For Gate Line Edge Roughness (LER) Effects on Technology Scaling」 Diaz, C. H. 他 IEEE Electronic Device Letters, 22巻No. 6, 287から89

10

20

30

40

50

ページ(2001年6月)を参照のこと)。ラインエッジ粗さが増大すると素子の不良や素子の収益の減少という結果になる。

【0007】

【非特許文献1】「An Experimentally Validated Analytical Model For Gate Line Edge Roughness (LER) Effects on Technology Scaling」Diaz, C. H.他 IEEE Electronic Device Letters, 22巻No. 6, 287から89ページ(2001年6月)

【非特許文献2】Kirk Othmerによる工業化学百科事典の14巻、677から709ページ(1995年)

10

【非特許文献3】Semiconductor Device Fundamentals、Robert F. Pierret、Addison-Wesley、1996年、Wolf、Silicon Processing for the VLSI Era. Lattice Press、1986年、1990年、1995年(それぞれの1から3巻)

【非特許文献4】Microchip Fabrication 第4版、Peter Van Zant、Mcgraw-Hill、2000年

【発明の開示】

【課題を解決するための手段】

【0008】

第一の態様においては、本発明は、窒化層をプラズマによりエッチングして、パターン形成された窒化層を形成することを含む半導体構造体を製造する方法である。窒化層は半導体の基板上にあり、フォトレジスト層が窒化層上にあり、プラズマは、少なくとも10ミリトルの圧力においてCF₄(テトラフルオルメタン)及びCHF₃(トリフルオルメタン)を含むガス混合物から形成される。

【0009】

第二の態様においては、本発明は窒化層をプラズマによりエッチングして、パターン形成された窒化層を形成することを含む半導体構造体を製造する方法である。窒化層はスタック上にあり、スタックは半導体の基板上にあり、スタックは、(i)ケイ素を含むゲート層、及び(ii)ゲート層上の金属層を含んでいる。フォトレジスト層は窒化層上にあり、フォトレジスト層は193ナノメートルのフォトレジストを含み、パターン形成された窒化層は8ナノメートル以下のラインエッジ粗さであり、プラズマは炭素、水素及びフッ素から構成される。

30

【0010】

第三の態様においては、本発明は、半導体基板上のパターン形成された窒化層を含む半導体構造体である。パターン形成された窒化層は9ナノメートル以下のラインエッジ粗さであり、基板の分離領域は0.4ミクロン以下の幅である。

【0011】

ラインエッジ粗さは任意の線に沿って1ミクロン間隔で均一に取られた10個の重要寸法(critical dimension=CD)の読み値の3シグマとして定義される。(「An Experimentally Validated Analytical Model For Gate Line Edge Roughness (LER) Effects on Technology Scaling」Diaz, C. H.他 IEEE Electronic Device Letters, 22巻No. 6, 287から89ページ(2001年6月)における長距離LERの説明を参照のこと)

40

【発明を実施するための最良の形態】

【0012】

本発明は、9ナノメートル以下のラインエッジ粗さを生成するための新規な窒化物エッチング方法の発見を利用している。一般的に、窒化物のエッチングは、エッチングが4ミ

50

リトルの圧力のもとで CH_2F_2 (ジフルオルメタン)により形成されたプラズマで実行された場合、193ナノメートル・レジストに対して10から12ナノメートルのラインエッジ粗さという結果となる。9ナノメートル以下のラインエッジ粗さはエッチングのプラズマ圧力を著しく増加させること、及びプラズマにおけるフッ素濃度を増加させることにより達成される。

【0013】

図2を参照すると、ゲート絶縁層102が半導体基板100上にある。半導体基板は、従来から知られている半導体材料とすることができます。半導体の例は、ケイ素、ガリウムヒ素、ゲルマニウム、窒化ガリウム、リン化アルミニウム、及び、 0×1 として、 $\text{Si}_{1-x}\text{Ge}_x$ 及び $\text{Al}_x\text{Ga}_{1-x}\text{As}$ のような合金を含む。半導体基板はケイ素が好ましく、ケイ素はドープされたものでも、されていないものでもよい。ゲート絶縁層102は、従来から知られている絶縁体材料とすることができます。例えば、ゲート絶縁層は、シリコン酸化物又はシリコン窒酸化物を含むことができる。

【0014】

図3を参照すると、ゲート層105がゲート絶縁層上に形成される。このゲート層は、様々な半導体材料を含むことができる。典型的には、ゲート層は、多結晶シリコン(ポリ)又はアモルファスシリコンを含む。ゲート層は、一つの型のドープ剤(P^+ 又は N^+)によりドープされるか、又は、区分された領域に両方の型のドープ剤を含むことができる。分割ゲートは、 P^+ と N^+ 両方のドーピング領域を持つゲート層である。

【0015】

分割ゲートの場合、 P^+ 型ドープされた(B 又は $B\text{F}_2^+$ で)ゲート領域が基板の N^- 型ドープされたチャンネル領域上にあってPMOS(P型金属酸化膜半導体)素子を形成し、 N^+ 型ドープされた(As^+ 又はリン $^+$ で)ゲート領域が、基板の P^- 型ドープされたチャンネル領域上にあってNMOS(N型金属酸化膜半導体)素子を形成する。ゲートの P^+ 及び N^+ ドーピング領域は、基板の分離領域上にある領域で分離されており、この分離領域の幅は0.4ミクロン以下、より好ましい幅は0.36ミクロン以下である。ゲート領域のドーピングは、ゲートの形成後に、各領域を別々にマスキング及びドーピングするか、或いは一つの型のドープ剤でゲート全体をドーピンし、次いで他の型のドープ剤で一つの領域だけをマスキング及びドーピングする(カウンタードーピング処理)ことにより遂行することが好ましい。

【0016】

図4を参照すると、任意にバリヤー層115をゲート層上に形成することができる。この任意のバリヤー層は、窒化物、ケイ素化合物、酸化物を含む様々な物質を含むことができ、導電性材料が好ましい。例えば、バリヤー層は、耐火ケイ素化合物及び窒化物を含むことができる。バリヤー層は、窒化ケイ素、或いは、タンタル、チタニウム、ニオブ又はタングステンのような金属の窒化物又はケイ化物、例えば窒化タングステンを含むことが好ましい。

【0017】

更に図4を参照すると、金属層125が存在させる場合には、該金属層125は、ゲート層上又はバリヤー層115上に形成することができる。金属層の厚みは200から600オングストロームが好ましく、更に好ましいのは300から500オングストロームであり、325から450オングストロームが最も好ましい。金属層125は、様々な金属含有物質を含むことができる。例えば、金属層は、アルミニウム、銅、タンタル、チタニウム、タングステン、或いはその合金又は化合物を含むことができる。金属層はタングステン又はチタニウムからなることが好ましい。例えば、金属層は、金属の物理的気相成長法(PVD)又はハロゲン化金属と水素の混合物の低圧化学蒸着法(LPCVD)によって形成することができる。

【0018】

図5を参照すると、任意にバリヤー層135を金属層上に形成することができる。この第2の任意のバリヤー層の形成は、第1の任意のバリヤー層115について説明したよう

10

20

30

40

50

に遂行することができ、この層は、同じ物質により同じ厚さに形成することができる。

【0019】

更に図5を参照すると、エッティング停止層145が、化学蒸着法(CVD)を含む様々な方法で金属層上に形成される。エッティング停止層は、窒化層であることが好ましい。更には、エッティング停止層は、プラズマ増強化学蒸着法(PECVD)により形成された窒化ケイ素であることが好ましい。エッティング停止層は、組成を異ならせ、エッティング停止層の上に反射防止があるように、例えばエッティング停止層の上にケイ素濃度の高い窒化ケイ素、又はケイ素の酸窒化物があるようにし、この層が後のエッティング中にエッティング停止層を保護するハードマスクの機能も果たすようにすることができる。代わりに、別の反射防止層(ARC)を形成することができる。

10

【0020】

エッティング停止層は、比較的低温で急速に形成することができる。例えば、ゲート層がP⁺及びN⁺両方のドーピング領域を含む場合には、ウェハが十分に高温のもとで長時間保持されるとドープ剤の拡散を生じる。したがって、どんな高温処理も、比較的短時間においてのみ行われることが望ましい。同様に、長時間の処理はいずれも、比較的低温で行われることが望ましい。もし大気が実質的に無酸素であれば、或いは還元環境(水素を多く含む)であれば、エッティング停止層は、750度までの温度のもとで形成されることが好ましい。典型的な状況のもとでは、600度までの温度が好ましく、450度までが更に好ましい。少なくとも350度の温度、例えば400度が好ましい。エッティング停止層の被着は、分割ゲートにおけるP⁺領域とN⁺領域の間で実質的な拡散を生じない温度及び時間で遂行されることが好ましい。

20

【0021】

エッティング停止層は、ゲート層のエッティングの後で、かつ、ゲートスペーサーの形成後の状態で、少なくとも800オングストロームの厚さが好ましく、少なくとも1100オングストロームが一層好ましく、最も好ましいのは少なくとも1200オングストロームである。エッティング停止層の約500オングストロームがゲート層のエッティング中に失われ、エッティング停止層の約200オングストロームがスペーサーの形成の間に失われる。少なくとも1500オングストロームの厚さにエッティング停止層を被着させることができ一層好ましく、少なくとも1800オングストロームの厚さにエッティング停止層を被着させることができ最も好ましい。ゲート層のエッティングの後で、かつ、ゲートスペーサーの形成の後(或いはその代わりとして誘電体層が形成された後)の状態で、エッティング停止層は800から1800オングストロームの厚さが好ましく、1100から1500オングストロームの厚さが一層好ましく、最も好ましいのは1200から1400オングストロームである。同様に、工程におけるゲート層エッティング及びスペーサー形成の各点においてエッティング停止層の損失を生じるような物質が使われるときには、成層付着される厚みは、上述と同様の範囲に、ゲート層のエッティング及びスペーサーの形成の間に生じる損失を調整するための追加の700オングストロームを付加したものとすることができる。

30

【0022】

図6-9を参照すると、各層は、ゲートスタックを形成するためにパターン形成することができる。このパターン形成は、例えば従来の写真平版技術とエッティング技術により遂行することができる。図6及び7を参照すると、例えば、エッティング停止層145(図6)上にパターン状のフォトレジスト210を形成し、次いで層の露光された部分をエッティングすることによってエッティングを行い、パターン形成されたエッティング停止層150を形成することによって、エッティング停止層が形成される。側壁の不動態化状態を除くために、フッ化水素酸浸漬を使用することができる。

40

【0023】

エッティング停止層のエッティングは、ガス混合物から形成されたプラズマに露出することにより遂行することができる。ガス及びプラズマは、炭素、フッ素及び水素から構成する

50

ことが好ましい。フッ素と水素の原子比は、43:1から13:3が好ましく、35:1から5:1が更に好ましく、27:1から7:1が最も好ましい。ガス混合物は、CF₄及びCHF₃を含むことが好ましく、CF₄とCHF₃の容積比は、10:1から1:3が好ましく、8:1から1:2が更に好ましく、6:1から1:1が最も好ましい。ガス混合物及びプラズマは又、He(ヘリウム)、Ne(ネオン)又はAr(アルゴン)のような他のガスを含むことができる。エッチング中の圧力は、4ミリトルより大きく、10から80ミリトルのように、少なくとも10ミリトルが好ましく、15から45ミリトルのように、少なくとも15ミリトルが更に好ましく、25から35ミリトルが最も好ましい。

【0024】

10

到達したラインエッジ粗さは9ナノメートル以下、好ましくは8ナノメートル以下、6ナノメートル以下となることが最も好ましい。このプラズマエッチングのその他の利点は、フォトレジストの消費が少ないことである。このプラズマエッチングは、窒化層を形成する他のステップにおいて、例えば、浅いトレンチ分離(STI)形成工程中といった、分離領域の形成中に使用することができる。

【0025】

20

図8を参照すると、パターン状のエッチング停止層は、パターン状の金属層130を形成するために金属層125(図7)をエッチングする場合のハードマスクとして使用することができる。図9を参照すると、パターン状のエッチング停止層とパターン状の金属層は、パターン状のゲート層110を形成するためにゲート層105(図8)をエッチングする場合のハードマスクとして使用することができる。ゲートのエッチングは、例えば塩素、臭化水素酸及び/又は酸素から形成されたプラズマに露出することによる従来のゲートエッチング技術によって遂行することができる。

【0026】

30

パターン形成されたフォトレジスト210(図6)は、エッチング停止層のエッチングに続くゲートスタック形成のいずれかのステップにおいて除去できる。例えば、パターン形成されたフォトレジストは、エッチング停止層のエッチング(図6と7に示されるように)直後に除去できるし、或いは金属層のエッチングの後又はゲートエッチングの後で除去できる。フォトレジストの除去に続いて、フォトレジストの残留副産物の除去又はフォトレジストの除去を確認するための洗浄手順を行うことができる。例えば、フォトレジストは、パターン形成されたフォトレジストをアッシングしてパターン形成されたエッチング停止層(図を有するゲートスタックを構成することにより除去することができる。フォトレジスト層のないこのゲートスタックは、次いで洗浄液で処理して、洗浄工程と除去を完了することができる。最も好ましい洗浄剤は、水、2-(2アミノエチレン)エタノール、ヒドロキシルアミン、及びカテコールを含むものである。洗浄液の例としては、EKC265(カリフォルニア州ヘーワード、EKC)がある。

【0027】

40

このように、図9は、半導体のウェハ上に形成できるゲートスタック200を表している。半導体の基板100はゲート絶縁層102を支持し、該ゲート絶縁層102は順にゲート層110を支持している。ゲート層は金属層130を支持し、該金属層130は任意にバリヤー層120によりゲート層から分離することができる。任意に、金属層はバリヤー層140を支持するようにすることができる。エッチング停止層150は、金属層130上、或いは任意に該金属層の上方の層140の上にある。

【0028】

50

ゲート構造の更なる処理は、ゲート層110上の側壁の酸化物領域170を形成することと、スタッカの側面にスペーサー160(酸化物を含むことが好ましい)を形成することを含むことができる。更に、図10に示されるように、誘電体層180をエッチング停止層上に形成することができ、かつ、該誘電体を通って基板に達するようにコンタクト又はバイア190を形成することができる。このバイアは、例えばTiN及びタンゲステンのそれれにより線形成及び充填されてバイアコンタクトを形成することができる。他の

処理は、ゲート自体に対するコンタクトの形成を含むことができる。誘電体層が形成された後に、エッチング停止層は、少なくとも 800 オングストローム、更に好ましくは少なくとも 1100 オングストロームの厚さであり、これは、SAC の形成を可能にするために使用できる。

【0029】

該半導体構造体から半導体素子を形成することを完了するために、他の処理を使用することができる。例えば、ソース／ドレン領域 12、14 を基板内に形成することができ、追加の誘電体層を基板上に形成することができ、コンタクト及び金属化層をこれらの構造上に形成することができる。これらの追加の素子は、ゲートスタックの形成の前、形成中又はその後に形成することができる。

10

【0030】

本発明において使用するための、ゲートスタック層のエッチング、及び、研磨、洗浄、被着のステップのような他のステップを含む関連の処理ステップは、当技術における当業者によく知られており、Kirk Othmer による工業化学百科事典の 14 卷、677 から 709 ページ（1995 年）、Semiconductor Device Fundamentals、Robert F. Pierret、Addison-Wesley、1996 年、Wolf、Silicon Processing for the VLSI Era. Lattice Press、1986 年、1990 年、1995 年（それぞれの 1 から 3 卷）、及び、Microchip Fabrication 第 4 版、Peter Van Zant、Mcgraw-Hill、2000 年において説明されている。

20

【0031】

本発明の半導体構造体は、例えば SRAM、DRAM、EPROM、EEPROM などのようなメモリーセル、プログラム可能論理装置、データ通信装置、クロック発振装置などの集積回路のような半導体素子に組み込むことができる。更に、この半導体素子のいずれも、例えばコンピュータ、航空機又は自動車のような電子素子に組み込まれる。

【実施例】

【0032】

実施例 1 - ゲート構造の形成

以下の詳細なステップが、分割ゲートを有するゲートスタックを形成するために使用された。

30

【0033】

40

窒素含有ゲート酸化物形成	
ポリ被着—単一アモルファスゲートの被着	
P—ドーピング用のマスク	
P ⁺ ポリ打込み	
N—ウェル打込み	
P—チャンネル打込み	
P ⁺ ポリ打込みレジスト除去	
N—ドーピング用マスク	
P—ウェル打込み	
N ⁺ ポリ打込み	10
N—チャンネル打込み	
N ⁺ ポリ打込みレジスト除去	
タングステンゲート前洗浄	
タングステンPVD、スパッタ（窒素+アルゴン、次にアルゴンのみ）	
窒化物—PECVD	
ARC及びレジスト被着	
窒化物エッチング用マスク	
窒化物エッチング—ARC、窒化ケイ素、部分的タングステンエッチング	
レジスト除去	
タングステン及びポリエッチング	
ポリエッチング後の洗浄	
選択的酸化	20
N ⁺ ソース・ドレン延長部打込み	
除去及び洗浄	
P ⁺ ソース・ドレン延長部打込み	
除去及び洗浄	
窒化物スペーサー被着（BTBAS化学法）	
スペーサーエッチング	
スペーサーエッチング後の洗浄	
N ⁺ ソース・ドレン打込み	30
除去及び洗浄	
P ⁺ ソース・ドレン打込み	
除去及び洗浄	
窒化物—ポリ切断マスクエッチング及び洗浄	
誘電体被着／平坦化／コンタクト用マスク	
自己整合コンタクト（SAC）エッチング	
SACエッチング洗浄	
【0034】	40
底部反射防止膜（BARC）が、以下の条件でエッチングされた。CF ₄ 流量100sccm（標準立方センチメートル／毎分）、Ar流量100sccm、電力600W、バイアス75W、圧力16ミリトル、温度60度。温度は、BARCエッチング中並びにその後のステップにおいて、例えばHe背後冷却により制御される。	
【0035】	
次いで、レジストは、HBr（臭化水素）流量160sccm、O ₂ 流量28sccm、電力400W、圧力8ミリトル、温度60度、10秒間という条件下でトリムされた。代替的に、レジストは、以下の条件でトリムされた。HBr流量169sccm、O ₂ 流量19sccm、電力400W、圧力8ミリトル、温度60度、5秒間。	50

【0036】

窒化物のエッチングは、プラズマにより、圧力30ミリトル、電力500W、バイアス100W、温度60から65度という条件下で遂行された。ガス組成は、275sccmでのCHF₃と、300sccmでのCF₄である。20%のオーバーエッチングが使用された。

【0037】

タンクステンは、NF₃(三フッ化窒素)流量10sccm、Cl₂流量25sccm、O₂流量5sccm、Ar流量50sccm、N₂流量30sccm、He流量150scm、電力800W、バイアス60W、圧力4ミリトル、温度60度、10秒間の条件下でエッチングされた。

10

【0038】

レジスト材料は、アッシング(例えば、80度においてCF₄及びO₂混合物のもとでの)により除去され、スタックは、EKC265(カリフォルニア州ヘーワード、EKC、2-(2アミノエチレン)エタノール、ヒドロキシリルアミンとカテコールの混合)を用いて65又は70度において10分間、そして20度において2分間噴霧しながら(噴霧用ツールを使用)回転させることによりウェハを処理し、それに続いて、タンクステンの望ましくない酸化を防ぐために、脱イオン水によるリンスを行うことによって洗浄された。この洗浄は、望ましくない酸化を防ぐために、タンクステン又はタンクステン窒化物が遭遇するあらゆる除去ステップ及び洗浄ステップにも使用される。また、以下の条件により洗浄を行って、その後で、水洗浄を行い、下流側においてプラズマアッシングを行うこともできる。〔ステップ1〕CF₄流量50sccm、H₂O流量160sccm、N₂/H₂流量1400sccm、電力1050W、バイアス100W、圧力750ミリトル、温度80度、30秒間。〔ステップ2〕NF₃流量40sccm、H₂O流量170sccm、O₂流量170sccm、バイアス150W、250ミリトルの圧力、温度80度、120秒間。

20

【0039】

次いで、タンクステンは、以下の条件、すなわち、NF₃流量15sccm、Cl₂流量25sccm、O₂流量5sccm標準立方センチメートル毎分、Ar流量50sccm、N₂流量30sccm、He流量150sccm、電力800W、バイアス35W、圧力4ミリトル、温度60度という条件下でエッチングされた。タンクステンのオーバーエッチングが5秒間実行された。その時システムは20秒間にわたりポンプダウンされた。

30

【0040】

次いで、ポリは、HBr流量250sccm、He(80%)/O₂(20%)流量12sccm、電力450W、バイアス40W、圧力25ミリトル、温度60度という条件のもとでエッチングされた。ポリのオーバーエッチングは、HBr流量150sccm、He(80%)/O₂(20%)流量8sccm、He流量100sccm、電力200W、バイアス70W、圧力70ミリトル、温度60度、63秒間という条件のもとで遂行された。代わりに、ポリのオーバーエッチングは、HBr流量150sccm、He(80%)/O₂(20%)流量13sccm、He流量200sccm、電力250W、バイアス60W、圧力80ミリトル、温度60度、53秒間という条件のもとで遂行された。洗浄は上記のように行うことができ、或いは、例えば、以下の条件、すなわち、CF₄流量40sccm、O₂流量1000sccm、H₂O流量200sccm、N₂流量150sccm、電力1700W、圧力700ミリトル、温度70度、80秒間という条件のもとで洗浄を行い、その後で、下流側において水リンス(例えば脱イオン水で7サイクルにより)することにより遂行することができる。

40

【0041】

ポリの露出された側は、選択的酸化による約50から70オングストロームの厚さの酸化物の層で覆われていた。この工程は、タンクステン及びタンクステン窒化物とは異なり、ポリを選択的に酸化するために、温度750度のもとで、水素及び酸素(10%は蒸気)の混合物にスタックを曝すことにより遂行された。

50

【0042】

スペーサー形成のための窒化層を形成するために、B T B A S を以下の条件、すなわち、B T B A S 流量 5 0 s c c m、N H₃ 流量 1 0 0 s c c m、圧力 1 5 0 ミリトル、温度 5 5 0 度という条件のもとで使用した。

【0043】

窒化物のエッティング（窒化物 - ポリ切り出しマスクエッティング及び洗浄）は、圧力 3 5 ミリトル、電力 2 8 0 W、温度 1 5 度のもとで、プラズマにより実行された。主エッティングのガス組成は、3 0 s c c m の C H F₃、6 0 s c c m の A r、1 0 s c c m の O₂ であった。洗浄は、次の 2 つのステップに基づきプラズマアッシングを使用して行い、その後で洗剤による洗浄を行った。

ステップ 1 :

圧力 2 ミリトル、温度 1 8 5 度、マイクロ波電力 8 0 0 W、ガスは、3 7 5 0 s c c m の O₂ 及び 3 7 5 s c c m の N₂。

ステップ 2 :

温度 2 0 0 度、マイクロ波電力 1 4 0 0 W であること以外は同じ値。

【0044】

コンタクトを形成するためのエッティング（S A C エッティング）は、A R C エッティングの条件として、圧力 5 5 ミリトル、電力 5 0 0 W、温度 3 5 度、2 0 ガウスの磁石、ガスは、5 s c c m の C F₄、1 0 s c c m の C H F₃、及び 1 0 s c c m の C₂H₂F₄ におけるプラズマを使用し、主エッティングの条件は、5 5 ミリトルの圧力、電力 5 0 0 W、温度 3 5 度、2 5 ガウスの磁石、ガスは、8 0 s c c m の C H F₃、8 s c c m の C₂H₂F₄、9 0 s c c m の A r であった。洗浄は、次の 2 つのステップによるプラズマでアッシングの後で、洗剤による洗浄を行うことにより遂行された。

ステップ 1 :

圧力 4 0 0 ミリトル、温度 2 0 ± 5 度、R F 電力 4 2 0 W、4 0 0 s c c m の O₂ ガス。

ステップ 2 :

圧力 7 5 0 ミリトル、温度 2 0 ± 5 度、R F 電力 4 2 0 W、ガスは、4 0 0 s c c m の N₂、4 0 0 s c c m の H₂、5 s c c m の N F₃、或いは、その代わりとして、

圧力 7 5 0 ミリトル、温度 4 0 ± 5 度、R F 電力 3 5 0 W、ガスは、2 0 s c c m の C F₄、2 0 0 s c c m の N₂ / 5 % H₂、5 0 0 s c c m の O₂。

【0045】

S A C エッティング洗浄は、噴霧ツールにより E K C 2 6 5 を使用して、温度 7 0 度で 1 0 分間、更に 2 0 度で 2 分間行い、その後で、脱イオン水によるリシスを行い、次いで、N₂ 内で回転乾燥をし、その後で、1 5 0 度の H₂ S O₄（硫酸）によりそれぞれ 1 0 分間ずつ 2 回洗浄し、N₂ 内で回転乾燥をした。

【0046】

スタックにおいては、窒化ケイ素層は 1 3 0 0 オングストロームの厚さであり（窒化ケイ素はポリエッティング及びスペーサーエッティングの間に失われるので被着した実際の量はより大きいのであるが）、タンゲステン層は 3 2 5 オングストロームの厚さであり、タンゲステン窒化層は 7 5 オングストロームの厚さであり、ポリ層は 7 3 5 オングストロームの厚さであった。コンタクトは、最上部では 0 . 1 3 ミクロンの幅であり、底部は 0 . 0 5 ミクロンの幅であった。

【図面の簡単な説明】

【0047】

【図 1】ゲートスタック構造を示す。

【図 2】図 9 の構造の形成方法を示す。

【図 3】図 9 の構造の形成方法を示す。

【図 4】図 9 の構造の形成方法を示す。

【図 5】図 9 の構造の形成方法を示す。

【図6】図9の構造の形成方法を示す。

【図7】図9の構造の形成方法を示す。

【図8】図9の構造の形成方法を示す。

【図9】本発明のゲートスタックを示す。

【図10】図9の後の処理をした後のゲートスタックを示す。

【図1】

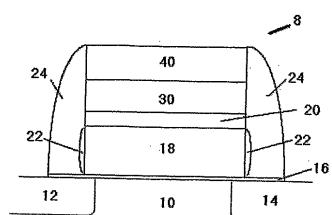


Figure 1

【図2】

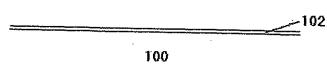


Figure 2

【図3】

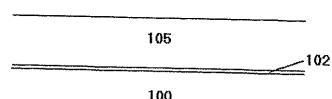


Figure 3

【図4】

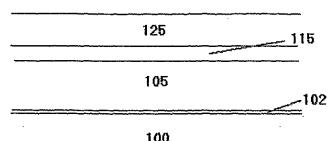


Figure 4

【図5】

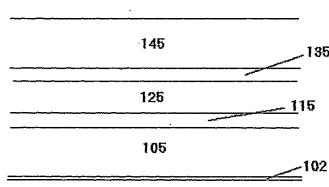


Figure 5

【図6】

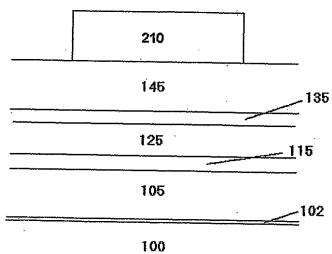


Figure 6

【図8】

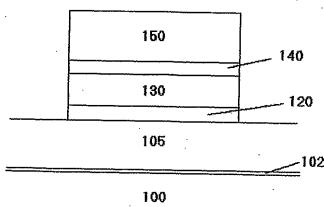


Figure 8

【図7】

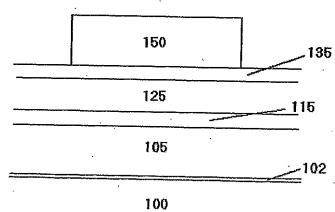


Figure 7

【図9】

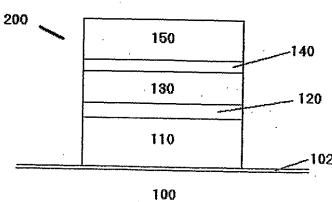


Figure 9

【図10】

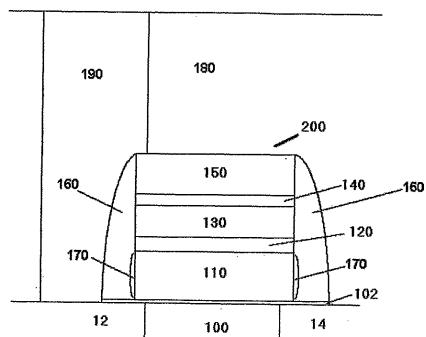


Figure 10

【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US03/38631
A. CLASSIFICATION OF SUBJECT MATTER		
IPC(7) : H01L 21/302, 21/3065 US CL : 438/587, 595, 706, 710, 724; 252/79.1,79.4 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) U.S. : 438/587, 595, 706, 710, 724; 252/79.1,79.4		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) Please See Continuation Sheet		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2002/0102782 A1 (OSHIMA) 01 August 2002 (01.08.2002), paragraphs [0003 and 0037 - 0042].	1-20
Y	US 6,635,185 A (DEMMIN et al) 21 October 2003 (21.10.2003), column 7, lines 15-32.	1-20
Y, P	US 2001/0014512 A1 (LYONS et al) 25 May 2004 (25.05.2004), paragraphs [0029-3303].	4, 6-11, 15, and 17-20
Y	DIAZ et al. An Experimentally Validated Analytical Model For Gate Line-Edge Roughness (LER) Effects on Technology Scaling. IEEE Electron Device Letters. June 2001, Vol 22. No.6, pages 287-289, Abstract and especially page 287.	5, 7-11, 14, 15, and 17-20
Y	US 5,817,579 A (KO et al) 6 October 1998 (06.10.1998), column 7, lines 64-66 and FIG. 3.	11
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
<p>* Special categories of cited documents:</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier application or patent published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p> <p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&" document member of the same patent family</p>		
Date of the actual completion of the international search 25 October 2004 (25.10.2004)	Date of mailing of the international search report 21 JAN 2005	
Name and mailing address of the ISA/US Mail Stop PCT, Attn: ISA/US Commissioner for Patents P.O. Box 1450 Alexandria, Virginia 22313-1450 Facsimile No. (703) 305-3230	Authorized officer <i>Nadine Norton for Lynette T. Umez-Eronini</i> Telephone No. (571) 272-1700 <i>FEB</i>	

INTERNATIONAL SEARCH REPORT

PCT/US03/38631

Continuation of B. FIELDS SEARCHED Item 3:
EAST
search terms: gate, transistor, source-drain, memory cell, DRAM

フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
H 01 L 29/78 (2006.01)	H 01 L 27/08	3 2 1 D
H 01 L 27/092 (2006.01)	H 01 L 21/90	C
H 01 L 21/8238 (2006.01)		
H 01 L 21/768 (2006.01)		

(81)指定国 AP(BW,GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IT,LU,MC,NL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,MW,MX,MZ,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RU,SC,SD,SE,SG,SK,SL,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,UZ,VC,VN,YU,ZA,ZM,ZW

(72)発明者 チャウドフリー ソウラブ デュッタ

アメリカ合衆国 カリフォルニア州 9 4 0 0 2 ベルモント リンカーン アベニュー 2 4 0
4

F ターム(参考) 4M104 AA01 AA03 AA04 BB01 BB02 BB04 BB14 BB17 BB18 BB24
 BB25 BB27 BB28 BB29 BB30 BB32 BB33 CC05 DD02 DD07
 DD17 DD18 DD71 EE05 EE09 EE15 EE17 GG09 GG10 GG14
 5F004 AA01 AA02 DA01 DA16 DB07 EA37 EB01 EB03
 5F033 HH04 HH05 HH08 HH11 HH17 HH18 HH19 HH21 HH26 HH27
 HH28 HH30 HH32 HH33 HH34 JJ19 JJ33 KK01 MM08 NN06
 NN07 NN40 QQ08 QQ09 QQ12 QQ15 QQ25 QQ28 QQ37 TT08
 VV06 WW01 WW04 WW05
 5F048 AA01 AB01 AB03 AB10 AC03 BA01 BA15 BB06 BB07 BB09
 BB11 BB13 BE03 BF07 BF11 BF16 DA19 DA20 DA25 DA27
 DA30
 5F140 AA39 AB03 BA01 BA03 BA05 BA06 BA07 BA09 BD05 BD09
 BF04 BF18 BF20 BF22 BF25 BF27 BF30 BF34 BG08 BG09
 BG12 BG14 BG22 BG28 BG30 BG31 BG38 BG39 BG41 BG45
 BG50 BG52 BG53 BJ10 BJ11 BJ17 BJ27 BK13 BK27 CB04
 CC08 CC12 CE05 CE14