

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6810150号
(P6810150)

(45) 発行日 令和3年1月6日(2021.1.6)

(24) 登録日 令和2年12月14日(2020.12.14)

(51) Int.Cl. F I
HO2M 3/28 (2006.01) HO2M 3/28 H

請求項の数 10 (全 27 頁)

(21) 出願番号	特願2018-537171 (P2018-537171)	(73) 特許権者	520133916 ヌヴォンテクノロジージャパン株式会社 京都府長岡京市神足焼町1番地
(86) (22) 出願日	平成29年8月23日(2017.8.23)	(74) 代理人	100109210 弁理士 新居 広守
(86) 国際出願番号	PCT/JP2017/030031	(74) 代理人	100137235 弁理士 寺谷 英作
(87) 国際公開番号	W02018/043227	(74) 代理人	100131417 弁理士 道坂 伸一
(87) 国際公開日	平成30年3月8日(2018.3.8)	(72) 発明者	佐治 隆司 日本国京都府長岡京市神足焼町1番地 パ ナソニックセミコンダクターソリューションズ株式会社内
審査請求日	令和2年3月10日(2020.3.10)		
(31) 優先権主張番号	特願2016-168485 (P2016-168485)		
(32) 優先日	平成28年8月30日(2016.8.30)		
(33) 優先権主張国・地域又は機関	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 スイッチング電源装置および半導体装置

(57) 【特許請求の範囲】

【請求項1】

直流の入力電圧が入力されるエネルギー変換回路と、
前記エネルギー変換回路から出力される電圧を整流平滑して負荷に出力電圧を出力する整流平滑回路と、
前記エネルギー変換回路に接続され、前記入力電圧をスイッチングするスイッチング素子と、
前記スイッチング素子のスイッチング動作を制御するスイッチング制御回路と、
前記出力電圧または前記負荷に流れる出力電流に応じたフィードバック信号を出力する出力状態検出回路とを有し、
前記スイッチング制御回路は、
前記出力電圧または前記出力電流が一定になるように前記フィードバック信号に応じて、前記スイッチング素子がスイッチング動作する発振期間とスイッチング動作が停止する停止期間とで構成されるサイクルが繰り返される間欠発振制御を行う間欠発振制御回路を備え、
前記間欠発振制御回路は、間欠発振制御の各サイクルにおいて、
前記発振期間と前記停止期間の和である間欠発振周期を予め設定されたターゲット周期と比較し、
前記間欠発振周期が前記ターゲット周期よりも短い場合には、
現在のサイクルの前記発振期間を前のサイクルの前記発振期間から第1の所定時間を延

10

20

長した長さとし、

前記間欠発振周期が前記ターゲット周期よりも長い場合には、

現在のサイクルの前記発振期間を前のサイクルの前記発振期間から第 2 の所定時間を差し引いた長さとする

スイッチング電源装置。

【請求項 2】

前記間欠発振制御回路は、

現在のサイクルの前記発振期間の開始から充電または放電された容量素子の電圧と発振期間設定電圧とを比較して現在のサイクルの前記発振期間を設定する比較器とを有し、

前記発振期間設定電圧は、前のサイクルの前記発振期間完了時に記憶された前記容量素子の電圧値から前記第 1 の所定時間または前記第 2 の所定時間に対応する所定の電圧量を増減される

請求項 1 に記載のスイッチング電源装置。

【請求項 3】

前記第 1 の所定時間または前記第 2 の所定時間は

前記スイッチング素子のスイッチング動作周期の 1 / 2 倍から 2 倍の範囲で設定される

請求項 1 または 2 に記載のスイッチング電源装置。

【請求項 4】

前記第 1 の所定時間または前記第 2 の所定時間は

前記スイッチング素子のスイッチング動作回数の計数量により設定される

請求項 1 に記載のスイッチング電源装置。

【請求項 5】

前記計数量は 1 である

請求項 4 に記載のスイッチング電源装置。

【請求項 6】

前記間欠発振制御回路は、

前記間欠発振周期を第 1 の周期から第 2 の周期までの範囲で周期的に変化させる間欠発振周期変調手段を備えた

請求項 1 に記載のスイッチング電源装置。

【請求項 7】

前記間欠発振周期変調手段は、

前記ターゲット周期を予め設定された第 3 の周期から第 4 の周期までの範囲で周期的に変化させる

請求項 6 に記載のスイッチング電源装置。

【請求項 8】

前記間欠発振周期変調手段は、前記間欠発振周期が前記ターゲット周期に到達する毎に前記ターゲット周期を変更し、

前記ターゲット周期は、前記第 3 の周期および前記第 4 の周期のうち的一方に交互に変更される

請求項 7 に記載のスイッチング電源装置。

【請求項 9】

前記間欠発振周期変調手段は、

前記スイッチング素子を流れる電流ピーク値を設定するためのしきい値を予め設定された第 1 のしきい値から第 2 のしきい値までの範囲で周期的に変化させる

請求項 6 に記載のスイッチング電源装置。

【請求項 10】

請求項 1 から請求項 9 までのうちいずれか 1 つに記載のスイッチング電源装置において、

前記スイッチング制御回路を、半導体基板上に集積回路として形成した

スイッチング制御用の半導体装置。

10

20

30

40

50

【発明の詳細な説明】**【技術分野】****【0001】**

本開示は、軽負荷時の電源効率を改善するために間欠発振制御を備えたスイッチング電源装置およびそれを構成する半導体装置に関する。

【背景技術】**【0002】**

家電製品や事務機器等の電子機器には、電力変換効率の向上や小型化などの目的から、スイッチング電源装置が広く用いられている。スイッチング電源装置は、半導体のスイッチング素子などによるスイッチング動作を利用して出力電圧などを制御し、負荷に電力を供給する。

10

【0003】

このようなスイッチング電源装置において、電子機器の動作待機時の消費電力削減のため、軽負荷時の電源効率の改善が強く要求されている。

【0004】

一般的に、軽負荷時におけるスイッチング電源装置のエネルギー損失は、スイッチング動作によるスイッチング損失が支配的である。軽負荷時の電源効率を改善するためのよく知られている技術として、間欠発振制御が挙げられる。

【0005】

間欠発振制御の間欠発振周波数は、スイッチング周波数よりも低くなるため、20kHz以下の可聴周波数領域となることが多い。その結果として、可聴雑音が発生することがある。

20

【0006】

可聴雑音の対策としては、トランスを接着あるいは含侵するなどが挙げられる。しかし、トランスにて対策する場合はコストアップを招く。

【0007】

上記のような課題を改善する従来技術として、例えば特許文献1に開示されているものがある。特許文献1に開示されたスイッチング電源装置は、所望の間欠発振周期となるように負荷に応じた所望の間欠発振期間を計算し、間欠発振期間を制御することで間欠発振周期が調整される。例えば、所望の間欠発振周期を1msと設定することで、間欠発振周波数は1kHzとなり、可聴雑音を抑制することができる。

30

【先行技術文献】**【特許文献】****【0008】**

【特許文献1】米国特許出願公開第2011/0267024号明細書

【発明の概要】**【発明が解決しようとする課題】****【0009】**

しかしながら、特許文献1に開示されるような従来技術のスイッチング電源装置では、間欠発振制御時に負荷変動が発生すると所望の間欠発振期間の計算結果も大きく変化し、制御が不安定になる可能性がある。さらに不安定な制御が繰り返されることによって可聴周波数領域の周波数成分が増え、可聴雑音が発生する可能性もある。特許文献1には、不安定な制御の対策としてフィルター回路の追加が開示されているが、制御の複雑化や回路規模の増大を招いてしまう。

40

【0010】

本開示は、上記の課題を解決し、軽負荷時に間欠発振制御を行うスイッチング電源装置において、間欠発振制御時の負荷変動に起因する可聴雑音を効果的に低減し、しかも、回路規模の増大を抑制し、かつ、制御の複雑化を抑制することが可能なスイッチング電源装置および半導体装置を提供することを目的とする。

【課題を解決するための手段】

50

【 0 0 1 1 】

上記の課題を解決するために、本開示のスイッチング電源装置は、直流の入力電圧が入力されるエネルギー変換回路と、前記エネルギー変換回路から出力される電圧を整流平滑して負荷に出力電圧を出力する整流平滑回路と、前記エネルギー変換回路に接続され、前記入力電圧をスイッチングするスイッチング素子と、前記スイッチング素子のスイッチング動作を制御するスイッチング制御回路と、前記出力電圧または前記負荷に流れる出力電流に応じたフィードバック信号を出力する出力状態検出回路とを有し、前記スイッチング制御回路は、前記出力電圧または前記出力電流が一定になるように前記フィードバック信号に応じて、前記スイッチング素子がスイッチング動作する発振期間とスイッチング動作が停止する停止期間とで構成されるサイクルが繰り返される間欠発振制御を行う間欠発振制御回路を備え、前記間欠発振制御回路は、間欠発振制御の各サイクルにおいて、前記発振期間と前記停止期間の和である間欠発振周期を予め設定されたターゲット周期と比較し、前記間欠発振周期が前記ターゲット周期よりも短い場合には現在のサイクルの前記発振期間を前のサイクルの前記発振期間から第1の所定時間を延長した長さとし、前記間欠発振周期が前記ターゲット周期よりも長い場合には現在のサイクルの前記発振期間を前のサイクルの前記発振期間から第2の所定時間を差し引いた長さとする。

10

【 0 0 1 2 】

本開示に係るスイッチング電源装置によれば、間欠発振周期を間欠発振周期ターゲット値と比較した結果に基づいて間欠発振期間を制御することで可聴雑音を抑制することができる。さらに、間欠発振制御時の負荷変動に対しても、間欠発振期間の変化量は予め設定された量の増減だけであり、制御安定のための回路の追加などは不要である。

20

【 0 0 1 3 】

また、前記間欠発振制御回路は、現在のサイクルの前記発振期間の開始から充電または放電された容量素子の電圧と発振期間設定電圧とを比較して現在のサイクルの前記発振期間を設定する比較器を有し、前記発振期間設定電圧は、前のサイクルの前記発振期間完了時に記憶された前記容量素子の電圧値から前記第1の所定時間または前記第2の所定時間に対応する所定の電圧量を増減されてもよい。

【 0 0 1 4 】

本開示に係るスイッチング電源装置によれば、簡素な回路で間欠発振制御が実現できる。

30

【 0 0 1 5 】

また、前記第1の所定時間または前記第2の所定時間は前記スイッチング素子のスイッチング動作周期の1/2倍から2倍の範囲で設定されてもよい。

【 0 0 1 6 】

本開示に係るスイッチング電源装置によれば、第1の所定時間または第2の所定時間がスイッチング素子のスイッチング動作1回分相当となり、より安定した間欠発振制御が可能となる。

【 0 0 1 7 】

また、前記第1の所定時間または前記第2の所定時間は前記スイッチング素子のスイッチング動作回数の計数量により設定されてもよい。

40

【 0 0 1 8 】

本開示に係るスイッチング電源装置によれば、第1の所定時間または第2の所定時間の設定に対して製造ばらつきを考慮不要にできる。

【 0 0 1 9 】

また、前記計数量は1であってもよい。

【 0 0 2 0 】

本開示に係るスイッチング電源装置によれば第1の所定時間または第2の所定時間がスイッチング素子のスイッチング動作1回分相当となり、より安定した間欠発振制御が可能となる。

【 0 0 2 1 】

50

また、前記間欠発振制御回路は、前記間欠発振周期を第1の周期から第2の周期までの範囲で周期的に変化させる間欠発振周期変調手段を備えてもよい。

【0022】

本開示に係るスイッチング電源装置によれば、間欠発振周波数を分散させることができ可聴雑音の抑制効果を高めることができる。

【0023】

また、前記間欠発振周期変調手段は、前記ターゲット周期を予め設定された第3の周期から第4の周期までの範囲で周期的に変化させてもよい。

【0024】

本開示に係るスイッチング電源装置によれば、効果的に間欠発振周波数を分散させることができる。

10

【0025】

また、前記間欠発振周期変調手段は、前記間欠発振周期が前記ターゲット周期に到達する毎に前記ターゲット周期を変更し、前記ターゲット周期は、前記第3の周期および前記第4の周期のうち的一方に交互に変更されてもよい。

【0026】

本開示に係るスイッチング電源装置によれば、簡素な回路で間欠発振周波数の分散が可能となる。

【0027】

また、前記間欠発振周期変調手段は、前記スイッチング素子を流れる電流ピーク値を設定するためのしきい値を予め設定された第1のしきい値から第2のしきい値までの範囲で周期的に変化させてもよい。

20

【0028】

本開示に係るスイッチング電源装置によれば、間欠発振制御の各サイクルにおける供給エネルギーの分散性が改善され、間欠発振周波数を分散することができる。

【0029】

また、前記スイッチング制御回路を、半導体基板上に集積回路として形成した半導体装置であってもよい。

【0030】

本開示に係る半導体装置によれば、スイッチング電源装置の部品点数を大幅に削減することができる、小型化および軽量化さらには低コスト化を容易に実現することができる。

30

【発明の効果】

【0031】

以上のように本開示によれば、間欠発振制御時にトランスやセラミックコンデンサなどの部品から発生する可聴雑音を効果的に低減することができ、さらに、負荷変動が発生しても制御が不安定にならないスイッチング電源装置を比較的簡素な回路構成で実現できる。

【図面の簡単な説明】

【0032】

【図1】図1は、実施の形態1に係るスイッチング電源装置の一構成例を示す回路図である。

40

【図2】図2は、実施の形態1に係るフィードバック制御回路の一構成を示す回路図である。

【図3】図3は、実施の形態1に係る間欠発振制御回路の一構成を示す回路図である。

【図4】図4は、実施の形態1に係る間欠発振期間増減回路の一構成を示す回路図である。

【図5】図5は、実施の形態1に係るスイッチング電源装置において、間欠発振制御の一動作例を示すタイミングチャートである。

【図6】図6は、実施の形態2に係るスイッチング電源装置の一構成例を示す回路図である。

50

【図 7】図 7 は、実施の形態 2 に係る間欠発振制御回路の一構成を示す回路図である。

【図 8】図 8 は、実施の形態 2 に係る間欠発振期間増減回路の一構成を示す回路図である。

【図 9】図 9 は、実施の形態 2 に係るスイッチング電源装置において、間欠発振制御の一動作例を示すタイミングチャートである。

【図 10】図 10 は、実施の形態 3 に係る間欠発振期間増減回路の一構成を示す回路図である。

【図 11】図 11 は、実施の形態 3 に係るスイッチング電源装置において、間欠発振制御の一動作例を示すタイミングチャートである。

【図 12】図 12 は、実施の形態 4 に係るスイッチング電源装置の一構成例を示す回路図である。

【図 13】図 13 は、実施の形態 4 に係るスイッチング電源装置において、間欠発振制御の一動作例を示すタイミングチャートである。

【図 14】図 14 は、比較参照例におけるスイッチング電源装置の一構成例を示す回路図である。

【図 15】図 15 は、比較参照例における間欠発振制御回路の一構成例を示す回路図である。

【図 16】図 16 は、比較参照例におけるスイッチング電源装置において、間欠発振制御の一動作例を示すタイミングチャートである。

【発明を実施するための形態】

【0033】

(本開示の基礎となった知見)

本発明者らは、「背景技術」の欄において記載したスイッチング電源装置に関し、以下の問題が生じることを見出した。

【0034】

図 14 は、比較参照例におけるスイッチング電源装置の一例を示す回路図である。図 14 に示すスイッチング電源装置は、スイッチング制御回路 900 内部に図 15 に示す間欠発振制御回路 970 を有している。間欠発振制御回路 970 は、FB 端子電流に応じて変化する制御信号 VEA0 を利用して、軽負荷状態を検出し、間欠発振期間と間欠停止期間を繰り返す間欠発振制御を行う。

【0035】

図 16 は、図 14 のスイッチング電源装置において、間欠発振制御時の各動作波形を示すタイミングチャートである。間欠発振制御回路 970 は、制御信号 VEA0 とヒステリシスを有する基準電圧(ここでは V_{ref1} と V_{ref2} の 2 つ)とを比較することで間欠発振制御信号 E_{nab1e} を生成する。間欠発振制御信号 E_{nab1e} のハイレベル期間を間欠発振期間 T_{on} とし、ローレベル期間を間欠停止期間 T_{off} とする。こうして、間欠発振制御回路 970 は、間欠発振期間 T_{on} と間欠停止期間 T_{off} とからなる間欠発振周期 T_{onoff} を繰り返す間欠発振制御を実現している。負荷が軽くなればなるほど、間欠停止期間 T_{off} が長くなり、一定期間あたりのスイッチング回数が削減されることで電源効率が改善される。なお、通常動作中は電流モードの PWM 制御を、例えば、25kHz のスイッチング周波数で実行しているものとする、間欠発振期間 T_{on} 内のスイッチング周波数も 25kHz でスイッチング動作する。

【0036】

このような動作において、間欠発振期間 T_{on} と間欠停止期間 T_{off} からなる間欠発振制御の間欠発振周波数(間欠発振周期 T_{onoff} の逆数)は、スイッチング周波数よりも低くなるため、20kHz 以下の可聴周波数領域となることが多い。その結果として、スイッチング電源装置において使用されるトランスやコンデンサから音鳴りが発生する場合がある。特に、一般に使用されるフェライトコアのトランスの場合、5kHz から 15kHz の範囲において、機械的な共振により電子機器には望ましくない可聴雑音が発生することがある。

10

20

30

40

50

【 0 0 3 7 】

可聴雑音の対策としては、トランスを接着あるいは含侵するなどが挙げられる。しかし、トランスにて対策する場合はコストアップを招く。

【 0 0 3 8 】

可聴雑音を改善する従来の技術として、例えば特許文献 1 に開示されているものがある。特許文献 1 に開示されたスイッチング電源装置は、所望の間欠発振周期となるように負荷に応じた所望の間欠発振期間を計算し、間欠発振期間を制御することで間欠発振周期が調整される。例えば、所望の間欠発振周期を 1 m s と設定することで、間欠発振周波数は 1 k H z となり、可聴雑音を抑制することができる。

【 0 0 3 9 】

しかしながら、特許文献 1 に開示されるようなスイッチング電源装置では、間欠発振制御時に負荷変動が発生すると所望の間欠発振期間の計算結果も大きく変化し、制御が不安定になる可能性がある。

【 0 0 4 0 】

さらに不安定な制御が繰り返されることによって可聴周波数領域の周波数成分が増え、可聴雑音が発生する可能性もある。

【 0 0 4 1 】

特許文献 1 には、不安定な制御の対策としてフィルター回路の追加が開示されているが、制御の複雑化や回路規模の増大を招いてしまう。

【 0 0 4 2 】

そこで、本開示は、上記の課題を解決し、軽負荷時に間欠発振制御を行うスイッチング電源装置において、間欠発振制御時の負荷変動に起因する可聴雑音を効果的に低減し、しかも、回路規模の増大を抑制し、かつ、制御の複雑化を抑制することが可能なスイッチング電源装置および半導体装置を提供する。

【 0 0 4 3 】

以下、本開示のスイッチング電源装置および半導体装置について図面を参照しながら説明する。但し、詳細な説明は省略する場合がある。例えば、既によく知られた事項の詳細説明や実質的に同一の構成に対する重複説明を省略する場合がある。これは、以下の説明が不必要に冗長になるのを避け、当業者の理解を容易にするためである。

【 0 0 4 4 】

なお、添付図面および以下の説明は当業者が本開示を十分に理解するためのものであって、これらによって請求の範囲に記載の主題を限定することを意図するものではない。

【 0 0 4 5 】

(実施の形態 1)

以下、実施の形態 1 に係るスイッチング電源装置および半導体装置について、図 1 ~ 5 を参照しながら具体的に説明する。

【 0 0 4 6 】

図 1 は、本実施の形態 1 のスイッチング制御用半導体装置を備えたスイッチング電源装置の一構成を示す回路図である。

【 0 0 4 7 】

図 1 において、スイッチング電源装置は、トランス 4、整流ダイオード 5、平滑コンデンサ 6、出力状態検出回路 7、フォトカプラ 8、抵抗 1 3、整流ダイオード 1 4、平滑コンデンサ 1 5 およびスイッチング制御回路 1 0 0 を備える。

【 0 0 4 8 】

トランス 4 は 1 次巻線 4 a、2 次巻線 4 b、および補助巻線 4 c を有したエネルギー変換回路であり、1 次巻線 4 a と 2 次巻線 4 b の極性は逆になっている。このスイッチング電源装置はフライバック型である。

【 0 0 4 9 】

1 次巻線 4 a には、スイッチング電源装置の入力端子の高電位側と、スイッチング制御回路 1 0 0 の一部を構成するスイッチング素子 1 0 1 が接続されている。スイッチング素

10

20

30

40

50

子101の駆動電極（ゲート）に印加する電圧信号を変化させることにより、スイッチング素子101のスイッチング動作が制御される。

【0050】

2次巻線4bには整流ダイオード5と平滑コンデンサ6とで構成された整流平滑回路が接続されており、スイッチング動作によって2次巻線4bに発生するフライバック電圧が、整流平滑されて出力電圧Voutが生成される。

【0051】

スイッチング素子101を含むスイッチング制御回路100は、半導体基板上に形成され、スイッチング制御用の1つの半導体装置を構成している。このスイッチング素子101は、パワーMOSFETなどから構成されている。

10

【0052】

なお、スイッチング制御回路100において、スイッチング素子101を除く部分とスイッチング素子101とは同一の半導体基板上に設けられてもよいし、別の半導体基板上に設けられてもよい。例えば、スイッチング制御回路100におけるスイッチング素子101を除く部分が配置された一方の半導体基板に、当該部分から駆動信号を出力するための出力端子を設け、他方の半導体基板上に配置されたスイッチング素子101のゲートに接続するようにしてもよい。また、スイッチング素子101とスイッチング素子101を除く部分を2つ以上の半導体装置として分離して構成してもよい。

【0053】

スイッチング制御回路100は、外部入出力端子として、DRAIN端子、VCC端子、FB端子、IS端子、およびGND端子の5つの端子を有している。また、例えば、スイッチング制御回路100は、スイッチング素子101、平滑コンデンサ102、フィードバック制御回路110、パルス制御回路140、電流検出回路150、起動回路160、間欠発振制御回路170などから構成される。

20

【0054】

DRAIN端子は、トランス4の1次巻線4aとスイッチング素子101の接続点、すなわちスイッチング素子101のドレインに接続される端子である。

【0055】

VCC端子は、トランス4の補助巻線4cに接続された整流ダイオード14と平滑コンデンサ15とで構成される整流平滑回路の出力と、スイッチング制御回路100に内蔵された起動回路160を接続する端子であり、スイッチング素子101のスイッチング動作により補助巻線4cに発生するフライバック電圧を整流平滑し、制御電源電圧VCCとしてスイッチング制御回路100に電力供給する端子である。

30

【0056】

FB端子は、出力状態検出回路7から出力されるフィードバック信号（例えば、フォトカプラ8による電流など）をスイッチング制御回路100のフィードバック制御回路110に入力するための端子である。

【0057】

IS端子は、スイッチング素子101および電流検出回路150と、抵抗13を接続する端子であり、スイッチング素子101を流れる電流を検出するための端子である。

40

【0058】

GND端子は、スイッチング制御回路100の電位基準であるGNDをスイッチング電源装置の入力端子の低電位側に接続する端子である。

【0059】

起動回路160は、DRAIN端子、VCC端子、平滑コンデンサ102およびスイッチング制御回路100の回路内部電圧源VDDに接続されている。スイッチング電源装置の起動時には、入力直流電圧Vinがトランス4の1次巻線4aを介してDRAIN端子に印加されると、DRAIN端子から起動回路160を介して、平滑コンデンサ102および15に起動電流が流れる。平滑コンデンサ102および15が充電され、VDD電圧およびVCC端子電圧が上昇し、それぞれ起動電圧に達すると、起動回路160は起動電

50

流をカットする。また、起動回路160は、スイッチング素子101のスイッチング動作可否を判断するためVCC端子電圧をモニターしており、図には示していないが、パルス制御回路140などに起動・停止信号を出力している。

【0060】

パルス制御回路140は、スイッチング素子101のスイッチング動作を制御するための回路であり、電流検出回路150、間欠発振制御回路170から入力される信号などからスイッチング動作や停止、ターンオンタイミングやターンオフタイミングを決定する。なお、パルス制御回路140には、ターンオンタイミングのための周期的なクロック信号を発生させる発振器などのターンオン信号生成回路やスイッチング素子101を駆動するためのドライブ回路などが含まれる。発振器のクロック信号は例えば、25kHzの周波数に設定される。

10

【0061】

電流検出回路150は、スイッチング素子101を流れる電流を検出するため、IS端子に接続された抵抗13に発生する電圧信号が入力され、あらかじめ設定された基準電圧と比較し、スイッチング素子101をターンオフさせるためのターンオフ信号をパルス制御回路140に出力する。なお、比較するための基準電圧は、スイッチング制御方式によってはフィードバック制御回路110からの制御信号VEAOに応じて変化してもよい。例えば、通常動作中は電流モードのPWM制御を行う場合、制御信号VEAOに応じて、負荷が重くなるほど基準電圧を上昇させる。また、間欠発振制御時は基準電圧を一定とすることでスイッチング素子101を流れる電流ピーク値を一定としてもよい。

20

【0062】

フィードバック制御回路110は、出力状態検出回路7から出力されるフィードバック信号がFB端子を介して入力され、スイッチング素子101のスイッチング動作を制御するための制御信号VEAOを生成する。例えば、通常動作中は電流モードのPWM制御を行う場合、スイッチング素子101を流れる電流を制御するため、制御信号VEAOを電流検出回路150へ出力する。また、負荷に応じた間欠発振制御を行うため、間欠発振制御回路170にも制御信号VEAOを出力する。

【0063】

図2は、本実施の形態1のフィードバック制御回路110の一構成を示す回路図である。フィードバック制御回路110は、定電流源113、116と、P型MOSFET112、114と、N型MOSFET111、115、117、119と、基準電圧源118、122と、抵抗120およびNPNバイポーラトランジスタ121から構成される。N型MOSFET119、抵抗120、NPNバイポーラトランジスタ121および基準電圧源122は、I-Vコンバータ110aを構成し、FB端子電流に比例した電流を電圧信号に変換し、制御信号VEAOを生成する。FB端子から流出する電流が大きいほど制御信号VEAOが低下し、それに伴いスイッチング素子101に流れる電流ピーク値は低く制御される。

30

【0064】

間欠発振制御回路170は、フィードバック制御回路110から入力された制御信号VEAOに応じて、間欠発振制御を行うための間欠発振制御信号enableをパルス制御回路140に出力する。パルス制御回路140は、間欠発振制御信号enableがハイレベルの期間を間欠発振期間として、スイッチング素子101のスイッチング動作を制御する。また、パルス制御回路140は、間欠発振制御信号enableがローレベルの期間を間欠停止期間として、スイッチング素子101のスイッチング動作を停止することで間欠発振制御を行う。

40

【0065】

図3は、本実施の形態1の間欠発振制御回路170の一構成例を示す回路図である。間欠発振制御回路170は、比較器171、177と、基準電圧源172と、定電流源173と、コンデンサ174と、N型MOSFET175と、リセット回路176と、SH(SHはサンプル&ホールドの略)回路178、180と、初期値設定回路179と、遅延

50

回路181と、インバータ回路182と、AND回路183と、RSフリップフロップ回路184および間欠発振期間増減回路185から構成される。制御信号VEAOが基準電圧源172による基準電圧Vrefと比較され、制御信号VEAOが基準電圧Vrefよりも高くなるとRSフリップフロップ回路184のセット(S)入力端子にハイレベルが入力され、間欠発振制御信号Enableがハイレベルとなり、スイッチング素子101のスイッチング動作が可能となる。一方、RSフリップフロップ回路184のリセット(R)入力端子には、AND回路183の出力端子が接続されており、そのAND回路183には、比較器171の出力がインバータ回路182によって反転された信号と比較器177の出力信号とが入力されている。比較器177は、ランプ電圧Vrampと間欠発振期間設定電圧Vonを比較し、比較器171の出力が既にローレベルに反転している時には間欠発振期間Tonの完了タイミングを決定する。ランプ電圧Vrampが間欠発振期間設定電圧Vonよりも大きくなり、間欠発振期間Tonの完了タイミングとなると、RSフリップフロップ回路184のリセット(R)端子にハイレベルの信号が入力され、間欠発振制御信号Enableがローレベルとなることで、スイッチング素子101のスイッチング動作が停止する。その後、再び制御信号VEAOが基準電圧Vrefよりも高くなると、間欠発振制御信号Enableがハイレベルとなることで、間欠停止期間Toffが完了し、スイッチング素子101のスイッチング動作が再開される。このように、間欠発振期間Tonと間欠停止期間Toffとで構成されたサイクルが繰り返され、間欠発振制御が行われる。なお、ランプ電圧Vrampは、コンデンサ174を定電流源173の定電流によって充電することで生成され、間欠発振周期の各サイクルにおいて、間欠発振期間Tonの開始からの経過時間のモニターに使用される。また、間欠発振期間設定電圧Vonは、間欠発振周期の各サイクルにおいて、前の間欠発振期間設定電圧Von_NとSH回路178から出力された間欠発振周期信号Vonoffが間欠発振期間増減回路185に入力され、SH回路180および初期値設定回路179を介して設定される。

【0066】

図4は、本実施の形態1の間欠発振期間増減回路185の一構成例を示す回路図である。間欠発振期間増減回路185は、比較器186と、基準電圧源187と、オペアンプ188と、抵抗189と、定電流源190、193と、P型MOSFET191およびN型MOSFET192から構成される。SH回路178から入力された間欠発振周期信号Vonoffを基準電圧源187による間欠発振周期ターゲット電圧Vtargetと比較し、抵抗189に流れる定電流の向きを切り替える。SH回路180によって保持されている前のサイクルの間欠発振期間設定電圧Von_Nが入力され、オペアンプ188によりインピーダンス変換された後、定電流源190による定電流値と抵抗189の抵抗値の積(第1の電圧降下値Vd1とも呼ぶ)が加算、または定電流源193による定電流値と抵抗189の抵抗値の積(第2の電圧降下値Vd2とも呼ぶ)が減算されることで現在のサイクルの間欠発振期間設定電圧Von_{N+1}が生成される。

【0067】

言い換えれば、比較器186は、間欠発振期間Tonと間欠停止期間Toffとの和である間欠発振周期Tonoffを、予め設定されたターゲット周期(Vtargetで定まる時間)と比較する。比較の結果、間欠発振周期Tonoffがターゲット周期(Vtargetで定まる時間)よりも短い場合には、間欠発振期間増減回路185は、現在のサイクルの間欠発振期間(Von_{N+1}で定まる時間)を前のサイクルの発振期間(Von_Nで定まる時間)から第1の所定時間(つまり第1の電圧降下値Vd1に対応する時間)を延長した長さとする。この場合、例えば、Von_{N+1}は、Von_Nに第1の電圧降下値Vd1を加算した電圧である。

【0068】

一方、比較の結果、間欠発振周期Tonoffがターゲット周期(Vtargetで定まる時間)よりも長い場合には、間欠発振期間増減回路185は、現在のサイクルの発振期間(Von_{N+1}で定まる時間)を前のサイクルの前記発振期間(Von_Nで定まる時間)から第2の所定時間(つまり第2の電圧降下値Vd2に対応する時間)を差し引いた

10

20

30

40

50

長さとする。この場合、例えば、 $V_{on_{N+1}}$ は、 V_{on_N} から第2の電圧降下値 V_{d2} を差し引いた電圧である。

【0069】

また、出力状態検出回路7は、検出抵抗、ツェナーダイオード、シャントレギュレータなどで構成され、出力電圧 V_{out} の電圧レベルを検出し、その出力電圧 V_{out} が所定の電圧に安定するように、フォトカプラ8を介してフィードバック信号をスイッチング制御回路100に出力する。なお、出力電圧 V_{out} の検出には、補助巻線4cに発生するフライバック電圧を利用してよく、整流ダイオード14および平滑コンデンサ15による整流平滑後のVCC電圧を利用してよい。

【0070】

以上のように構成された図1に示すスイッチング電源装置およびスイッチング制御用半導体装置の動作を説明する。

【0071】

商用電源などの交流電圧が、ブリッジダイオードや平滑コンデンサなどにより整流平滑され、入力直流電圧 V_{in} が生成される。この入力直流電圧 V_{in} は、トランス4の1次巻線4aを介して、スイッチング制御回路100のDRAIN端子に印加され、DRAIN端子から起動回路160を介して、VCC端子に接続されている平滑コンデンサ15に起動電流が流れる。VCC端子電圧が上昇し、起動回路160で設定された起動電圧に達すると、スイッチング素子101のスイッチング制御が開始される。

【0072】

一旦、スイッチング素子101がターンオンすると、スイッチング素子101および抵抗13に電流が流れ、電流の大きさに応じた電圧信号が電流検出回路150に入力される。あらかじめ設定された基準電圧以上に上昇すると、スイッチング素子101はターンオフする。

【0073】

スイッチング素子101がターンオフすると、スイッチング素子101のオン時間中にトランス4の1次側に電流が流れることによって蓄えられたエネルギーが2次側に伝達される。

【0074】

以上のようなスイッチング動作が繰り返されて、出力電圧 V_{out} が上昇していくが、出力状態検出回路7で設定された所定の電圧以上になると、出力状態検出回路7およびフォトカプラ8は、フィードバック信号としてスイッチング制御回路100のFB端子から電流を流出するよう制御する。この流出電流の大きさで、フィードバック制御回路110は、スイッチング素子101を流れる電流または一定期間あたりのスイッチング回数を調整する。

【0075】

具体的には、スイッチング電源装置に接続される負荷への電流供給が大きい重負荷時にはスイッチング素子101を流れる電流を高く設定し、軽負荷時にはスイッチング素子101を流れる電流を低く設定する。さらに負荷が軽くなると間欠発振制御を行うことでスイッチング回数を低減する。このように、スイッチング制御回路100は、スイッチング電源装置に接続される負荷に供給される電力に応じて、スイッチング素子101のスイッチング動作を変化させながら、出力電圧 V_{out} を所定の電圧に安定させるように制御を行う。

【0076】

ここで、間欠発振制御回路170の動作について説明する。負荷が軽くなり、FB端子電流が増加すると、制御信号VEAOが基準電圧源172による基準電圧 V_{ref} よりも低下し、比較器171の出力がローレベルとなる。インバータ回路182からAND回路183にハイレベルが入力される。一方、それまでの発振期間が十分長ければ定電流源173とコンデンサ174で生成されるランプ電圧 V_{ramp} は十分に上昇しており、間欠発振期間設定電圧 V_{on} よりも高いために、比較器177の出力もハイレベルとなっている

10

20

30

40

50

。その結果、RSフリップフロップ回路184のリセット(R)にAND回路183からハイレベルが入力され、間欠発振制御信号Enableがローレベルとなる。よって、スイッチング素子101のスイッチング動作が停止し、間欠発振期間Tonが完了する。

【0077】

スイッチング動作が停止すると出力電圧Voutが低下し、FB端子電流が減少する。制御信号VEAOが基準電圧Vrefよりも上昇すると、比較器171の出力がハイレベルに反転し、RSフリップフロップ回路184のセット(S)に入力され、間欠発振制御信号Enableがハイレベルに反転する。間欠発振制御信号Enableがハイレベルになると、スイッチング素子101のスイッチング動作が再開されると同時に、SH回路178、リセット回路176および遅延回路181が動作するトリガーとなる。まず、SH回路178がランプ電圧Vrampをサンプリングし、間欠発振周期信号Vonoffとして記憶し、間欠発振期間増減回路185へ出力する。さらに、間欠発振期間増減回路185は初期値設定回路179から前のサイクルの間欠発振期間TonNに相当する電圧VonNが入力されており、現在のサイクルの間欠発振期間TonN+1に相当する電圧VonN+1を生成し、SH回路180に出力する。

10

【0078】

一方、遅延回路181は、間欠発振制御信号Enableがハイレベルに反転してから遅延時間を設けて、SH回路180を動作させる。遅延時間は、間欠発振制御信号Enableがハイレベルに反転してからSH回路178が動作し、間欠発振期間増減回路185の出力が安定するまでに必要な時間であればよく、例えば、1μs程度に設定される。SH回路180は、間欠発振期間増減回路185の出力をサンプリングし、初期値設定回路179へ出力する。初期値設定回路179は、スイッチング電源装置の起動時などにSH回路180から出力がない場合に初期値を設定するものであり、SH回路180に前のサイクルの間欠発振期間増減回路185の出力が記憶されていれば、そのまま、SH回路180からの出力を間欠発振期間設定電圧Vonとして比較器177の基準側(-)へ出力する。なお、初期値設定回路179で設定される初期値は、予め設定された固定値でもよいし、スイッチング電源装置の起動後の最初のサイクルの間欠発振期間Ton0を元に設定されてもよい。

20

【0079】

ここで、比較器177の検出側(+)に入力されるランプ電圧Vrampについて説明する。ランプ電圧Vrampは、定電流源173による定電流によってコンデンサ174が充電されることで生成され、リセット回路176によって制御される。

30

【0080】

リセット回路176は、間欠発振制御信号EnableがハイレベルになるとN型MOSFET175を導通し、コンデンサ174に蓄積された電荷を放電し、ランプ電圧Vrampをリセットする。なお、SH回路178がランプ電圧Vrampをサンプリングし記憶する時間を考慮し、間欠発振制御信号EnableがハイレベルになってからN型MOSFET175の導通までに遅延時間を設けてもよいが、間欠発振期間Tonよりも十分に短い必要がある。

【0081】

ランプ電圧Vrampのリセットが完了するとN型MOSFET175は非導通とされ、ランプ電圧Vrampは再び上昇を始める。すなわち、ランプ電圧Vrampは間欠発振制御の各サイクルの開始からの経過時間に比例し、間欠発振期間Tonや間欠発振周期Tonoffのモニター信号として使用できる。

40

【0082】

間欠発振期間Tonのモニター信号として使用されるランプ電圧Vrampは、前述の間欠発振期間設定電圧Vonと比較器177で比較される。ランプ電圧Vrampが間欠発振期間設定電圧Vonよりも高くなると、比較器177の出力はハイレベルに反転し、AND回路183に入力される。制御信号VEAOが基準電圧Vrefよりも低下し、インバータ回路182の出力がハイレベルとなっている場合には、AND回路183の出力

50

がハイレベルに反転し、RSフリップフロップ回路184がリセットされ、間欠発振制御信号Enableがローレベルに反転され、間欠発振期間Tonが完了する。よって、間欠発振制御の各サイクルにおいて、間欠発振期間設定電圧Vonの制御により間欠発振期間が変化し、間欠発振周期Tonoffおよび間欠発振周波数が調整される。

【0083】

間欠発振期間設定電圧Vonの制御は、間欠発振期間増減回路185によって電圧値を決定し、遅延回路181およびSH回路180によって電圧値変更し記憶するタイミングを調整することで行われる。なお、初期値設定回路179によって初期値が設定される。

【0084】

間欠発振期間増減回路185は、前のサイクルの間欠発振周期信号Vonoffと間欠発振周期ターゲット電圧Vtargetを比較し、周期判定信号Judgeを生成する。間欠発振周期ターゲット電圧Vtargetは、ランプ電圧Vrampの上昇速度を考慮して設定され、例えば、間欠発振周期ターゲット値1ms（間欠発振周波数ターゲット値1kHz）に相当する電圧に設定される。

【0085】

前のサイクルの間欠発振周期Tonoff_Nが間欠発振周期ターゲット値よりも短い場合には、周期判定信号Judgeはローレベルとなり、P型MOSFET191が導通し、定電流源190による定電流が抵抗189およびオペアンプ188に流れる。この結果、現在のサイクルの間欠発振期間設定電圧Von_{N+1}は、前のサイクルの間欠発振期間設定電圧Von_Nに定電流源190による定電流値と抵抗189の抵抗値の積（第1の電圧降下値Vd1）が加算された電圧値となる。すなわち、現在のサイクルの発振期間（Von_{N+1}で定まるTon）は、前のサイクルの発振期間（Von_Nで定まるTon）から第1の所定時間（第1の電圧降下値Vd1に対応する時間）を延長した長さになる。なお、定電流源190による定電流値と抵抗189の抵抗値の積（つまり第1の電圧降下値Vd1）は、スイッチング素子101のスイッチング動作周期1周期に相当する電圧値が好ましい。スイッチング素子101のスイッチング周波数が25kHzの場合、例えば、スイッチング動作周期の1/2倍から2倍の範囲となるように20μsから80μsの範囲に相当する電圧値に設定するとよい。

【0086】

一方、前のサイクルの間欠発振周期Tonoff_Nが間欠発振周期ターゲット値よりも長い場合には、周期判定信号Judgeはハイレベルとなり、N型MOSFET192が導通し、定電流源193による定電流が抵抗189およびオペアンプ188に流れる。この結果、現在のサイクルの間欠発振期間設定電圧Von_{N+1}は、前のサイクルの間欠発振期間設定電圧Von_Nから定電流源190による定電流値と抵抗189の抵抗値の積（つまり第2の電圧降下値Vd2）が減算された電圧値となる。すなわち、現在のサイクルの発振期間（Von_{N+1}で定まるTon）は、前のサイクルの発振期間（Von_Nで定まるTon）から第2の所定時間（第2の電圧降下値Vd2に対応する時間）を差し引いた長さとなる。

【0087】

以上より、現在のサイクルの間欠発振期間Ton_{N+1}を前のサイクルの間欠発振期間Ton_Nから所定時間、例えば、スイッチング素子101のスイッチング動作周期1周期分だけ延長または短縮し、間欠発振周期Tonoffを間欠発振周期ターゲット値に近づける制御となる。間欠発振周期Tonoffが間欠発振周期ターゲット値に到達するまで上記間欠発振制御サイクルを繰り返すことで、間欠発振周波数を所望の周波数に制御することができる。

【0088】

なお、第1の所定時間は、スイッチング素子101のスイッチング動作周期の1/2倍から2倍の範囲内の時間であってもよい。また、第2の所定時間は、スイッチング素子101のスイッチング動作周期の1/2倍から2倍の範囲内の時間であってもよい。

【0089】

10

20

30

40

50

次に、図5に示すタイミングチャートを用いて、本実施の形態1におけるスイッチング電源装置の間欠発振制御の一動作例を説明する。図5には、スイッチング電源装置から供給される負荷電流 I_{out} 、スイッチング素子101を流れるドレイン電流、制御信号 V_{EAO} 、間欠発振制御信号 $Enable$ 、ランプ電圧 V_{ramp} 、間欠発振周期信号 V_{onoff} 、周期判定信号 $Judge$ および間欠発振期間設定電圧 V_{on} が示されている。また、図5は、スイッチング電源装置から供給される負荷電流 I_{out} が変化したときの間欠発振制御の動作例である。

【0090】

負荷電流 I_{out} が小さい期間は、間欠発振周期 T_{onoff} が間欠発振周期ターゲット値となるように間欠発振期間 T_{on} が制御され、スイッチング素子101のスイッチング回数が2回または3回で安定している。なお、スイッチング素子101のスイッチング動作による供給エネルギーはスイッチング回数に応じて離散的となるため、間欠発振周期 T_{onoff} が間欠発振周期ターゲット値に一致しない場合は、例えば、スイッチング回数が2回または3回を交互に繰り返すように、間欠発振期間 T_{on} が変化していても安定しているとみなす。

10

【0091】

負荷電流 I_{out} が大きくなると、スイッチング回数が2回または3回では間欠発振周期 T_{onoff} が間欠発振周期ターゲット値に対して短くなり、周期判定信号 $Judge$ はローレベルで維持される。そのため、間欠発振期間増減回路185は、間欠発振期間設定電圧 V_{on} を、定電流源190による定電流値と抵抗189の抵抗値によって予め設定された量だけ増やし続け、間欠発振期間 T_{on} が徐々に延長されていく。それに伴い、間欠発振期間 T_{on} の間のスイッチング素子101のスイッチング回数も3回、4回、5回と増加していき、6回となるサイクルでようやく間欠発振周期 T_{onoff} が間欠発振周期ターゲット値に到達する。その後、間欠発振期間 T_{on} の間のスイッチング素子101のスイッチング回数は5回または6回で安定する。

20

【0092】

このようにして、負荷電流 I_{out} が変化しても、間欠発振周期 T_{onoff} が間欠発振周期ターゲット値となるように間欠発振期間 T_{on} が制御され、また間欠発振期間 T_{on} は、定電流源190による定電流値と抵抗189の抵抗値によって予め設定された量の増減を繰り返すことで調整される。

30

【0093】

以上より、本実施の形態1のスイッチング電源装置は、間欠発振周期 T_{onoff} を間欠発振周期ターゲット値と比較した結果に基づいて間欠発振期間 T_{on} を制御することで、負荷に応じて間欠発振周期 T_{onoff} を調整できる。間欠発振周期 T_{onoff} の調整を繰り返すことで間欠発振周波数を間欠発振周波数ターゲット値に近づけることができ、例えば1kHzに設定することで可聴雑音を抑制することができる。

【0094】

さらに、間欠発振制御時の負荷変動に対しても、間欠発振期間 T_{on} の変化量は予め設定された量の増減だけであり、制御安定のための回路の追加などは不要である。また、間欠発振期間 T_{on} を制御する間欠発振期間増減回路185は、比較器186と予め設定された量を増減する回路だけで構成され、非常に簡素な回路で実現することができる。

40

【0095】

なお、間欠発振期間増減回路185は、間欠発振周期 T_{onoff} と間欠発振周期ターゲット値を比較しているが、間欠発振周波数をモニターし、間欠発振周波数ターゲット値と比較するようにしてもよい。また、間欠発振周期 T_{onoff} のモニターはランプ電圧 V_{ramp} を使用しているが、カウント回路を用いてクロック信号 $clock$ を計数することで代替してもよい。

【0096】

また、間欠発振期間 T_{on} の延長または短縮は、間欠発振期間設定電圧 V_{on} の変更ではなく、ランプ電圧 V_{ramp} の変更で行ってもよい。例えば、リセット回路176によ

50

るリセット時間を長くして充電開始タイミングを遅らせることで間欠発振期間 T_{on} を延長したり、リセット回路 176 によるリセットを不十分にして充電開始時のランプ電圧 V_{ramp} を高くすることで間欠発振期間 T_{on} を短縮してもよい。

【0097】

また、間欠発振期間増減回路 185 の定電流源 190 と 193 の定電流値は同じでなくともよい。

【0098】

また、間欠発振制御回路 170 のコンデンサ 174 をスイッチング制御回路 100 に外付けされたコンデンサを使用してもよい。

【0099】

また、間欠発振周期ターゲット電圧 V_{target} や間欠発振期間 T_{on} を変化させる所定の量をスイッチング制御回路 100 に外付けされた回路部品で調整できるようにしてもよい。

【0100】

また、パルス制御回路 140 は、クロック信号が固定周波数である PWM 制御、可変周波数である PFM 制御、共振動作を利用した擬似共振制御や電流共振制御など、様々な制御形態を適用してもよい。

【0101】

また、負荷状態を示すフィードバック信号を生成するため、出力状態検出回路 7 とフォトカプラ 8 を設けているが、2次側の出力電圧 V_{out} から検出するのではなく、補助巻線 4c または整流平滑後の VCC 端子電圧から検出し、フィードバック信号を生成してもよい。

【0102】

また、出力状態検出回路 7 は、2次側出力電圧 V_{out} を一定にするようなフィードバック信号を生成する定電圧制御ではなく、負荷電流 I_{out} を一定にするようなフィードバック信号を生成する定電流制御でもよい。

【0103】

また、フライバック型のスイッチング電源装置の構成について説明したが、フォワード型や降圧チョッパ型などトポロジーが異なる構成でもよい。

【0104】

(実施の形態 2)

次に、実施の形態 2 に係るスイッチング電源装置および半導体装置について、図 6 ~ 9 を参照しながら説明する。

【0105】

実施の形態 1 では、間欠発振制御の各サイクルにおいて、前のサイクルの間欠発振周期信号 V_{onoff} と間欠発振周期ターゲット電圧 V_{target} を比較した結果に基づいて間欠発振期間設定電圧 V_{on} を制御していた。本実施の形態 2 では、前のサイクルの間欠発振周期信号 V_{onoff} と間欠発振周期ターゲット電圧 V_{target} を比較した結果に基づいて、パルス制御回路 140 で生成されるクロック信号 $clock$ の 1 周期分を前のサイクルの間欠発振期間 T_{onN} から延長または短縮する間欠発振制御回路 270 を備えたスイッチング電源装置について説明する。なお、実施の形態 1 と重複する説明は省略する。

【0106】

図 6 は、本実施の形態 2 のスイッチング電源装置の一構成例を示す回路図である。同図のスイッチング電源装置は、実施の形態 1 のスイッチング電源装置を示す図 1 と比較して、スイッチング制御回路 100 の代わりにスイッチング制御回路 200 を備える点が異なる。以下、異なる点を中心に説明する。スイッチング制御回路 200 は、図 1 のスイッチング制御回路 100 と比較して、間欠発振制御回路 170 の代わりに間欠発振制御回路 270 を備える点が異なる。また、図 7 は、本実施の形態 2 のスイッチング電源装置の間欠発振制御回路 270 の一構成例を示す回路図である。実施の形態 1 の間欠発振制御回路 1

10

20

30

40

50

70を示す図3と比較して、SH回路178、初期値設定回路179、SH回路180、遅延回路181、AND回路183および間欠発振期間増減回路185が削除された点と、パルス制御回路140からクロック信号Clockが入力される点と、AND回路279、280と、インバータ回路282と、SH(SHはサンプル&ホールドの略)回路281、283および間欠発振期間増減回路285が追加されている点とが異なる。また、図8は、本実施の形態2のスイッチング電源装置の間欠発振期間増減回路285の一構成例を示す回路図である。実施の形態1の間欠発振期間増減回路185を示す図4と比較して、オペアンプ188と、抵抗189と、定電流源190、193と、P型MOSFET191およびN型MOSFET192が削除された点と、クロック信号Clockが入力される点と、立ち上がりエッジ検出回路285aと、立ち下がりエッジ検出回路285bと、OR回路297、299およびインバータ回路298が追加された点とが異なっている。なお、立ち上がりエッジ検出回路285aは、インバータ回路288と、抵抗289と、コンデンサ290およびAND回路291で構成されている。立ち下がりエッジ検出回路285bは、インバータ回路292、293と、抵抗294と、コンデンサ295およびAND回路296で構成されている。

10

【0107】

以上のように構成された本実施の形態2に係るスイッチング電源装置および半導体装置の動作について、実施の形態1と異なる間欠発振制御を中心に説明する。

【0108】

軽負荷時の間欠発振制御は、実施の形態1と同様に、RSフリップフロップ回路184の出力である間欠発振制御信号Enableによって、スイッチング素子101のスイッチング動作を制御する。一方、間欠発振期間増減回路285の出力信号である間欠発振期間増加信号Upおよび間欠発振期間減少信号DownがRSフリップフロップ回路184のセットまたはリセットタイミングを変更することで、間欠発振期間Tonを制御する。

20

【0109】

間欠発振期間設定電圧Vonは、インバータ回路282およびSH回路281によって前のサイクルの間欠発振期間Ton_Nに相当する電圧Von_Nに設定される。よって、ランプ電圧Vrampと間欠発振期間設定電圧Vonを比較する比較器177は、間欠発振制御の各サイクルにおいて、前のサイクルの間欠発振期間Ton_Nと同等の時間が経過するとハイレベルに反転することになる。インバータ回路182の出力および間欠発振期間増加信号Upがハイレベルである場合は、比較器177の出力がハイレベルに反転するタイミングでAND回路280を介してRSフリップフロップ回路184がリセットされ、間欠発振期間Tonが完了する。間欠発振期間増加信号Upがローレベルの場合は、間欠発振期間増加信号Upがハイレベルに反転するまで間欠発振期間Tonが延長されることになる。

30

【0110】

スイッチング素子101のスイッチング動作が停止すると出力電圧Voutが低下し、FB端子電流が減少する。制御信号VEAOが基準電圧Vrefを上回ると、比較器171の出力がハイレベルに反転する。間欠発振期間減少信号Downがハイレベルである場合は、比較器171の出力がハイレベルに反転するタイミングでAND回路279を介してRSフリップフロップ回路184がセットされ、間欠発振期間Tonが開始される。間欠発振期間減少信号Downがローレベルの場合は、間欠発振期間減少信号Downがハイレベルに反転するまで間欠発振期間Tonの開始が遅れる。すなわち、現在のサイクルの間欠発振期間Ton_{N+1}が前のサイクルの間欠発振期間Ton_Nから所定の時間だけ短縮されることになる。

40

【0111】

以上のように、間欠発振期間増加信号Upによって前のサイクルの間欠発振期間Ton_Nから所定時間だけ延長される、または、間欠発振期間減少信号Downによって前のサイクルの間欠発振期間Ton_Nから所定時間だけ短縮されることによって、間欠発振期間Tonが制御される。

50

【0112】

間欠発振期間増加信号Upおよび間欠発振期間減少信号Downは、間欠発振期間増減回路285によって生成される。間欠発振期間増減回路285には、パルス制御回路140からのクロック信号ClockとSH回路283の出力である間欠発振周期信号Vonofoffが入力される。SH回路283は、比較器171の出力がハイレベルに反転するタイミングで、ランプ電圧Vrampをサンプリングおよび記憶して、間欠発振周期信号Vonofoffを生成する。

【0113】

間欠発振期間増減回路285は、前のサイクルの間欠発振周期に相当する間欠発振周期信号Vonofoffと間欠発振周期ターゲット電圧Vtargetを比較し、周期判定信号Judgeを生成する。

10

【0114】

前のサイクルの間欠発振周期Tonoff_Nが間欠発振周期ターゲット値よりも短い場合には、周期判定信号Judgeはローレベルとなり、間欠発振期間減少信号Downはハイレベルに固定される。また、間欠発振期間増加信号Upは、クロック信号Clockが入力された立ち上がりエッジ検出回路285aの出力に依存される。間欠発振期間増加信号Upは、クロック信号Clockがローレベルからハイレベルに反転するタイミングで立ち上がり、立ち上がりエッジ検出回路285aで設定される幅のパルス状の信号であり、クロック信号Clockに同期している。よって、間欠発振制御回路270のAND回路280には、比較器177の出力がハイレベルになった後、次のクロック信号Clockのパルスが立ち上がるタイミングで間欠発振期間増加信号Upのハイレベルが入力される。間欠発振期間増加信号Upのハイレベルの入力によってRSフリップフロップ回路184がリセットされ、間欠発振制御信号Enableがローレベルに反転する。すなわち、前のサイクルの間欠発振期間Ton_Nにスイッチング素子101のスイッチング動作1回分の時間が追加されてから、現在のサイクルの間欠発振期間Ton_{N+1}が完了する。

20

【0115】

一方、前のサイクルの間欠発振周期Tonoff_Nが間欠発振周期ターゲット値よりも長い場合には、周期判定信号Judgeはハイレベルとなり、間欠発振期間増加信号Upはハイレベルに固定される。また、間欠発振期間減少信号Downは、クロック信号Clockが入力された立ち下がりエッジ検出回路285bの出力に依存する。間欠発振期間減少信号Downは、クロック信号Clockがハイレベルからローレベルに反転するタイミングで立ち上がり、立ち下がりエッジ検出回路285bで設定される幅のパルス状の信号であり、クロック信号Clockに同期している。よって、間欠発振制御回路270のAND回路279には、比較器171の出力がハイレベルになった後、次のクロック信号Clockがハイレベルからローレベルに反転するタイミングで間欠発振期間減少信号Downのハイレベルが入力される。すなわち、比較器171の出力がハイレベルに反転し、次のクロック信号Clockのパルス信号が立ち下がってからRSフリップフロップ回路184がセットされる。そのため、実質、前のサイクルの間欠停止期間Toff_Nが延長され、現在のサイクルの間欠発振期間Ton_{N+1}は前のサイクルの間欠発振期間Ton_Nからスイッチング素子101のスイッチング動作1回分の時間が短縮されることになる。

30

40

【0116】

図9は、本実施の形態2におけるスイッチング電源装置の間欠発振制御の一動作例を示すタイミングチャートである。実施の形態1を示す図5と比較して、間欠発振期間増加信号Upと間欠発振期間減少信号Downが追加されている。

【0117】

実施の形態1と同様に、負荷電流Ioutが変化しても、間欠発振周期Tonoffが間欠発振周期ターゲット値となるように間欠発振期間Tonが制御され、また間欠発振期間Tonは、パルス制御回路140のクロック信号Clockの1周期分、すなわち、ス

50

イッチング素子101のスイッチング動作1回分といった予め設定された量の増減を繰り返すことで調整される。

【0118】

以上より、本実施の形態2のスイッチング電源装置は、実施の形態1と同様に、間欠発振周期 T_{onoff} を間欠発振周期ターゲット値と比較した結果に基づいて間欠発振期間 T_{on} を制御することで、負荷に応じて間欠発振周期 T_{onoff} を調整できる。

【0119】

さらに、間欠発振制御時の負荷変動に対しても、間欠発振期間 T_{on} の変化量は予め設定された量の増減だけであり、制御安定のための回路の追加などは不要である。また、間欠発振期間 T_{on} を制御する間欠発振期間増減回路285は、比較器186とRSフリップフロップ回路184のセットまたはリセットのタイミングを変更する回路だけで構成され、非常に簡素な回路で実現することができる。

10

【0120】

さらに、間欠発振期間 T_{on} を増減するための予め設定された量は、パルス制御回路140のクロック信号 $Cl o c k$ の周期で設定され、製造ばらつきなどを考慮する必要がなくなる。

【0121】

なお、間欠発振期間 T_{on} を増減するための予め設定された量は、パルス制御回路140のクロック信号 $Cl o c k$ の1周期を利用しているが、複数周期をカウントして利用してもよい。

20

【0122】

また、間欠発振周期 T_{onoff} のモニターはランプ電圧 V_{ramp} を使用しているが、カウント回路を用いてクロック信号 $Cl o c k$ を計数することで代替してもよい。

【0123】

(実施の形態3)

次に、実施の形態3に係るスイッチング電源装置および半導体装置について、図10および11を参照しながら説明する。

【0124】

実施の形態1では、間欠発振周期ターゲット電圧 V_{target} は固定値に設定されていたが、本実施の形態3では、間欠発振周期ターゲット電圧 V_{target} が周期的に変化するスイッチング電源装置について説明する。なお、実施の形態1と重複する説明は省略する。

30

【0125】

図10は、本実施の形態3のスイッチング電源装置の間欠発振期間増減回路385の一構成例を示す回路図である。同図の間欠発振期間増減回路385は、実施の形態1の間欠発振期間増減回路185を示す図4と比較して、基準電圧源187の代わりに、定電流源396、398と、P型MOSFET397および抵抗399を備える点が異なっている。

【0126】

以上のように構成された本実施の形態3に係るスイッチング電源装置および半導体装置の動作について、実施の形態1と異なる間欠発振期間の増減制御を中心に説明する。

40

【0127】

比較器186の基準側(-)の間欠発振周期ターゲット電圧 V_{target} は、周期判定信号 $J u d g e$ がハイレベルの時には、定電流源398の定電流値と抵抗399の抵抗値の積で設定され、周期判定信号 $J u d g e$ がローレベルの時には、P型MOSFET397が導通して定電流源396の定電流値と抵抗399の抵抗値の積の分だけ上昇する。すなわち、間欠発振周期ターゲット電圧 V_{target} は、第1の間欠発振周期ターゲット電圧 $V_{target1}$ と定電流源396の定電流値と抵抗399の抵抗値の積の分だけ高い第2の間欠発振周期ターゲット電圧 $V_{target2}$ を周期判定信号 $J u d g e$ に応じて周期的に切り替えられる。

50

【 0 1 2 8 】

図 1 1 は、本実施の形態 3 におけるスイッチング電源装置の間欠発振制御の一動作例を示すタイミングチャートである。図 1 1 には、スイッチング素子 1 0 1 を流れるドレイン電流、間欠発振周期ターゲット電圧 V_{target} 、間欠発振周期 T_{onoff} および間欠発振周波数が示されている。なお、スイッチング素子 1 0 1 を流れるドレイン電流は、間欠発振期間 T_{on} の波形を長方形のブロックで示している。例えば、“ 2 0 回 ” と表記されたブロックは、間欠発振期間 T_{on} の間にスイッチング素子 1 0 1 のスイッチング動作が 2 0 回含まれることを示す。なお、図 1 1 は、スイッチング電源装置から供給される負荷電流 I_{out} が一定のときの間欠発振制御の動作例である。

【 0 1 2 9 】

実施の形態 1 と同様に、間欠発振周期 T_{onoff} が間欠発振周期ターゲット値となるように間欠発振期間 T_{on} が制御されるが、本実施の形態 3 では、間欠発振周期ターゲット電圧 V_{target} が、周期判定信号 J_{udge} に応じて周期的に変化する。そのため、負荷電流 I_{out} が一定でも、間欠発振周期ターゲット電圧 V_{target} の変化に応じて第 1 の間欠発振周期ターゲット値 $T_{target1}$ から第 2 の間欠発振周期ターゲット値 $T_{target2}$ の範囲で間欠発振周期 T_{onoff} は周期的に変化し、間欠発振周期 T_{onoff} の逆数である間欠発振周波数も第 2 の間欠発振周波数ターゲット値 $F_{target2}$ から第 1 の間欠発振周波数ターゲット値 $F_{target1}$ の範囲で周期的に変化する。

【 0 1 3 0 】

以上より、本実施の形態 3 のスイッチング電源装置は、実施の形態 1 と同等の効果を得ることができ、さらに、間欠発振周期 T_{onoff} を周期的に変調することで間欠発振周波数を分散することができる。間欠発振周波数の分散によって特定周波数へのエネルギー集中を緩和し、可聴雑音の抑制効果を高めることができる。

【 0 1 3 1 】

なお、間欠発振周波数の分散度合いを大きくするため、周期判定信号 J_{udge} のハイレベルまたはローレベルは間欠発振制御の 2 サイクル以上で維持されることが望ましく、第 1 の間欠発振周期ターゲット電圧 $V_{target1}$ と第 2 の間欠発振周期ターゲット電圧 $V_{target2}$ の差で設定が可能である。

【 0 1 3 2 】

なお、間欠発振周期ターゲット電圧 V_{target} を周期判定信号 J_{udge} に応じて周期的に切り替えているが、周期判定信号 J_{udge} に関係なく変調してもよい。例えば、間欠発振期間増減回路 3 8 5 の定電流源 3 9 6、3 9 8 および P 型 MOSFET 3 9 7 を削除し、代わりに、周期的に変調された電流を抵抗 3 9 9 に流すことで、周期的に変化する間欠発振周期ターゲット電圧 V_{target} を生成してもよい。この場合、電流の変調周期は、間欠発振周期 T_{onoff} に対して十分に長い方がよい。

【 0 1 3 3 】

(実施の形態 4)

次に、実施の形態 4 に係るスイッチング電源装置および半導体装置について、図 1 2 および 1 3 を参照しながら説明する。

【 0 1 3 4 】

実施の形態 3 では、間欠発振周期ターゲット電圧 V_{target} を周期的に変化させることで間欠発振周波数を分散させたが、本実施の形態 4 では、スイッチング素子 1 0 1 を流れる電流のピーク値を周期的に変調するスイッチング電源装置について説明する。なお、実施の形態 1 または 3 と重複する説明は省略する。

【 0 1 3 5 】

図 1 2 は、本実施の形態 4 のスイッチング電源装置の一構成例を示す回路図である。同図のスイッチング電源装置は、実施の形態 1 のスイッチング電源装置を示す図 1 と比較して、スイッチング制御回路 1 0 0 の代わりにスイッチング制御回路 4 0 0 を備える点が異なっている。スイッチング制御回路 4 0 0 は、図 1 のスイッチング制御回路 1 0 0 と比較

10

20

30

40

50

して、変調回路 430 が追加された点と、電流検出回路 150 の代わりに電流検出回路 450 を備える点とが異なる。

【0136】

以上のように構成された本実施の形態 4 に係るスイッチング電源装置および半導体装置の動作について、実施の形態 1 と異なる電流検出回路 450 および間欠発振期間 T_{on} の増減制御を中心に説明する。

【0137】

電流検出回路 450 は、スイッチング素子 101 を流れる電流を検出するため、IS 端子に接続された抵抗 13 に発生する電圧信号が入力され、あらかじめ設定された基準電圧と比較し、スイッチング素子 101 のターンオフ信号をパルス制御回路 140 に出力する。なお、比較するための基準電圧は、スイッチング制御方式によってはフィードバック制御回路 110 からの制御信号 V_{EA0} に応じて変化してもよい。例えば、通常動作中は電流モードの PWM 制御を行う場合、制御信号 V_{EA0} に応じて、負荷が重くなるほど基準電圧を上昇させる。また、間欠発振制御時は基準電圧を一定とすることでスイッチング素子 101 を流れる電流ピーク値を一定としてもよい。ここで、変調回路 430 は、例えば、間欠発振制御時の基準電圧を変調する。基準電圧が周期的に変調されることで、スイッチング素子 101 を流れる電流のピーク値が周期的に変調される。よって、スイッチング素子 101 のスイッチング動作 1 回あたりの供給エネルギーが変調され、間欠発振周波数も変化する。

【0138】

図 13 は、本実施の形態 4 におけるスイッチング電源装置の間欠発振制御の一動作例を示すタイミングチャートである。図 13 には、スイッチング素子 101 を流れるドレイン電流、および間欠発振周波数が示されている。なお、実施の形態 3 を示す図 11 と同様に、スイッチング素子 101 を流れるドレイン電流は、間欠発振期間 T_{on} の波形をブロックで示している。また、図 13 は、スイッチング電源装置から供給される負荷電流 I_{out} が一定のときの間欠発振制御の動作例である。

【0139】

実施の形態 1 と同様に、間欠発振周期 T_{onoff} が間欠発振周期ターゲット値となるように間欠発振期間 T_{on} が制御されるが、本実施の形態 4 では、スイッチング素子 101 を流れる電流のピーク値が周期的に変調されるため、間欠発振期間 T_{on} に含まれるスイッチング回数が同じでも供給エネルギーは変化する。例えば、間欠発振期間 T_{on} に含まれるスイッチング回数が同じ 20 回であっても、スイッチング素子 101 を流れる電流のピーク値が高いほど供給エネルギーが大きくなり、間欠発振周波数は低下する。

【0140】

よって、スイッチング素子 101 を流れる電流のピーク値が周期的に変調されることにより、実施の形態 1 と比較して間欠発振制御の各サイクルにおける供給エネルギーの離散性が改善され、間欠発振周波数を分散することができる。間欠発振周波数の分散によって特定周波数へのエネルギー集中を緩和し、可聴雑音の抑制効果を高めることができる。

【0141】

なお、間欠発振制御の各サイクルにおける供給エネルギーの離散性が改善するため、間欠発振期間 T_{on} を変化させるための所定時間を周期的に変調したり、スイッチング素子 101 のターンオンタイミングまたはターンオフタイミングを変調したり、間欠発振期間増減回路 185 に入力される間欠発振周期信号 V_{onoff} または前のサイクルの間欠発振期間設定電圧 V_{onN} や出力される現在のサイクルの間欠発振期間設定電圧 V_{onN+1} を変調してもよい。

【0142】

以上、本出願において開示する技術を例示するため、実施の形態として、添付図面および詳細な説明を提供した。

【0143】

したがって、添付図面および詳細な説明に記載された構成要素の中には、課題解決のた

10

20

30

40

50

めに必須な構成要素だけでなく、上記技術を例示するために、課題解決のためには必須でない構成要素も含まれ得る。そのため、それらの必須ではない構成要素が添付図面や詳細な説明に記載されていることをもって、直ちに、それらの必須ではない構成要素が必須であるとの認定をするべきではない。

【 0 1 4 4 】

なお、本開示における技術は、これらに限定されるものではなく、適宜、変更、置き換え、付加、省略などを行った実施の形態にも適用可能である。また、本開示における技術の趣旨を逸脱しない限り、当業者が思いつく各種変形を施したものと、複数の実施の形態における構成要素を組み合わせて構築される形態も、本開示における技術の範囲内に含まれる。

10

【産業上の利用可能性】

【 0 1 4 5 】

本開示のスイッチング電源装置および半導体装置は、トランスやセラミックコンデンサなどの部品から発生する可聴雑音を効果的に低減することができる間欠発振制御を備え、さらに、負荷変動が発生しても制御が不安定にならないスイッチング電源装置を比較的簡素な回路構成で実現できる。

【 0 1 4 6 】

また、本開示のスイッチング電源装置および半導体装置は、各種電子機器に内蔵された A C - D C コンバータや D C - D C コンバータ、外付けの A C アダプタなどのスイッチング電源装置などに利用できる。

20

【符号の説明】

【 0 1 4 7 】

- 4 トランス
- 4 a 1次巻線
- 4 b 2次巻線
- 4 c 補助巻線
- 5、14 整流ダイオード
- 6、15、102 平滑コンデンサ
- 7 出力状態検出回路
- 8 フォトカプラ
- 13、120、189、289、294、399、975 抵抗
- 100、200、400、900 スwitching制御回路
- 101 スwitching素子
- 110 フィードバック制御回路
- 110 a I - Vコンバータ
- 111、115、117、119、175、192 N型MOSFET
- 112、114、191、397、973 P型MOSFET
- 113、116、173、190、193、396、398、972、974 定電流源
- 118、122、172、187 基準電圧源
- 121 NPNバイポーラトランジスタ
- 140 パルス制御回路
- 150、450 電流検出回路
- 160 起動回路
- 170、270、970 間欠発振制御回路
- 174、290、295 コンデンサ
- 171、177、186 比較器
- 176 リセット回路
- 178、180、281、283 SH回路
- 179 初期値設定回路
- 181 遅延回路

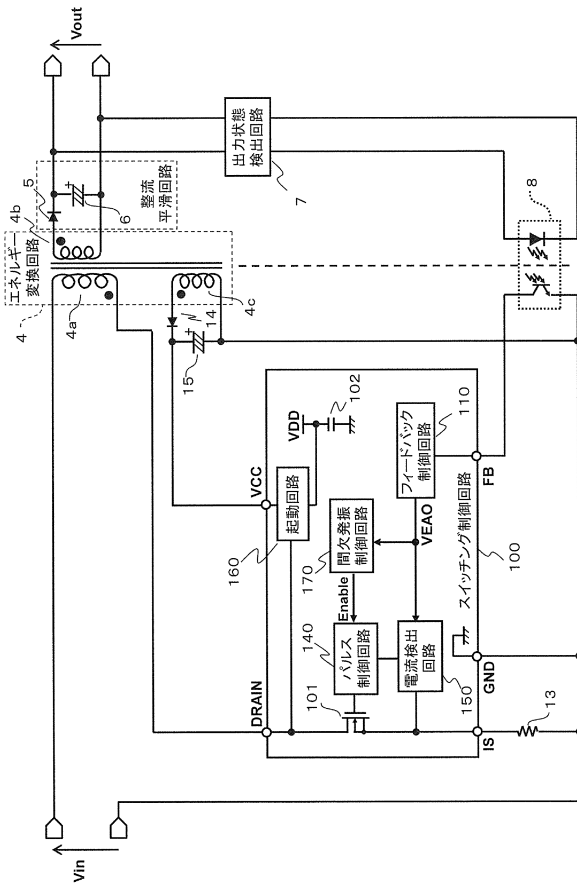
30

40

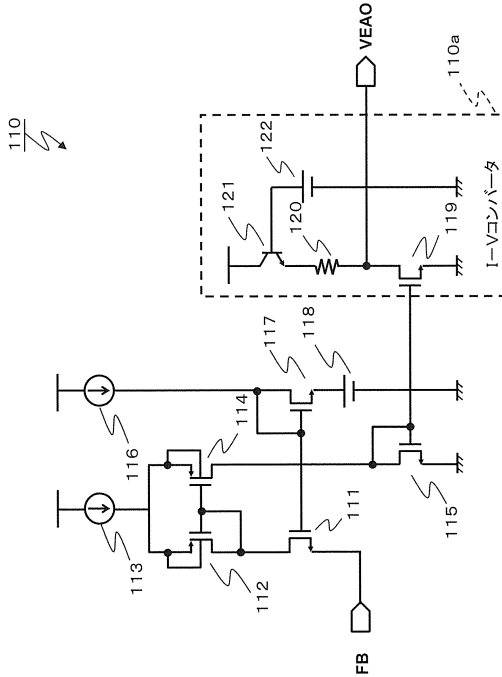
50

- 1 8 2、2 8 2、2 8 8、2 9 2、2 9 3、2 9 8 インバータ回路
- 1 8 3、2 7 9、2 8 0、2 9 1、2 9 6 AND回路
- 1 8 4 RSフリップフロップ回路
- 1 8 5、2 8 5、3 8 5 間欠発振期間増減回路
- 1 8 8 オペアンプ
- 2 8 5 a 立ち上がりエッジ検出回路
- 2 8 5 b 立ち下がりエッジ検出回路
- 2 9 7、2 9 9 OR回路
- 4 3 0 変調回路

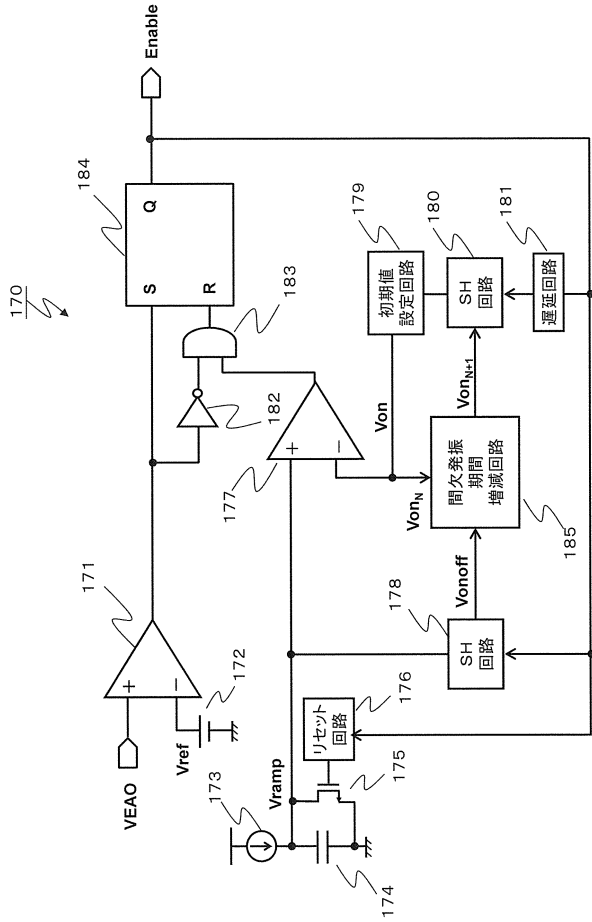
【図 1】



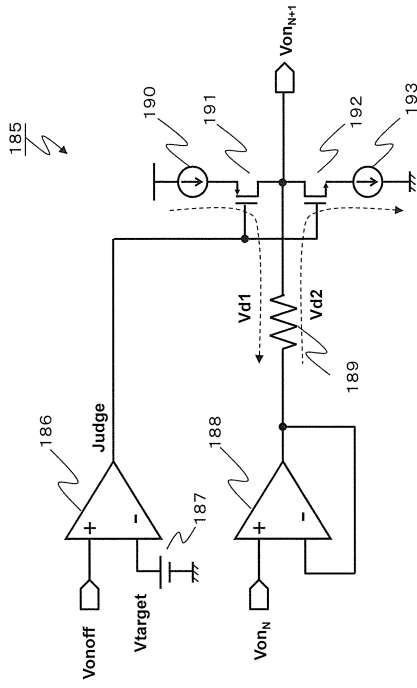
【図 2】



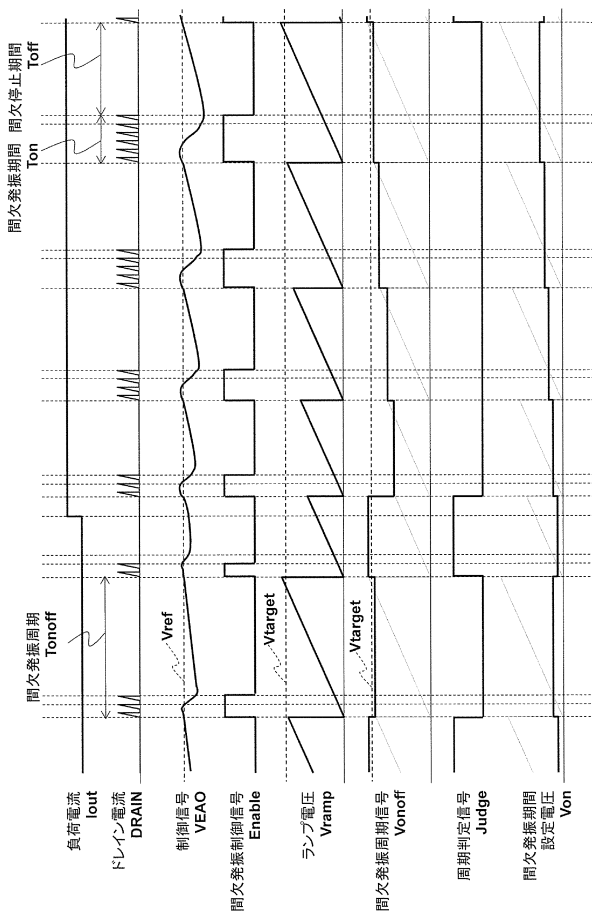
【図3】



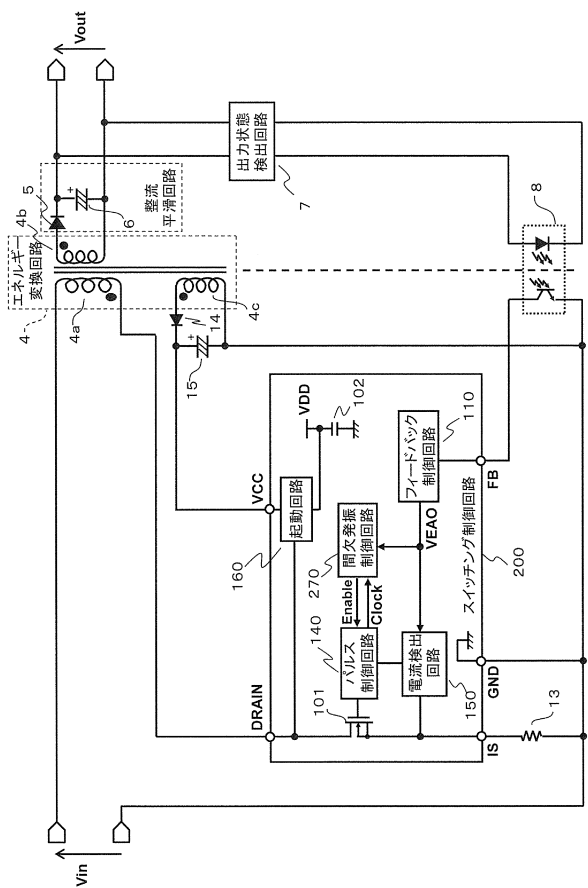
【図4】



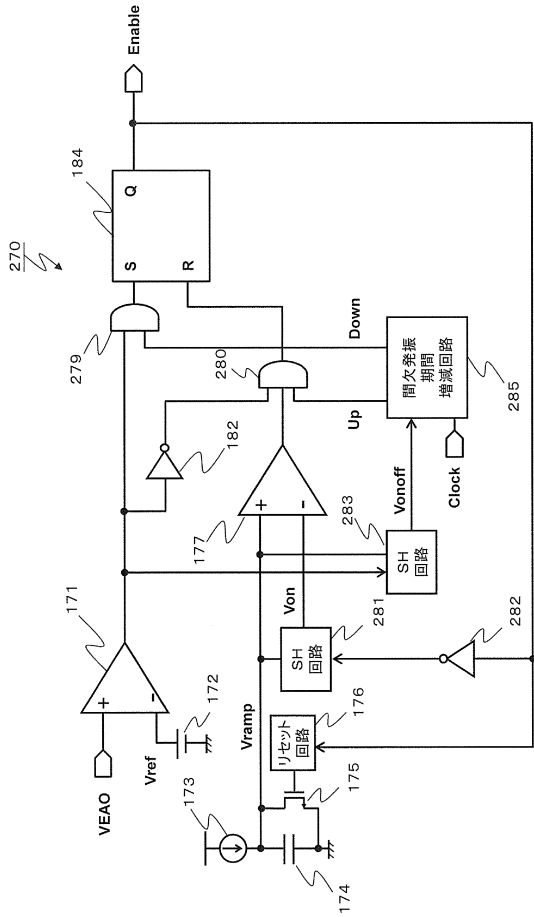
【図5】



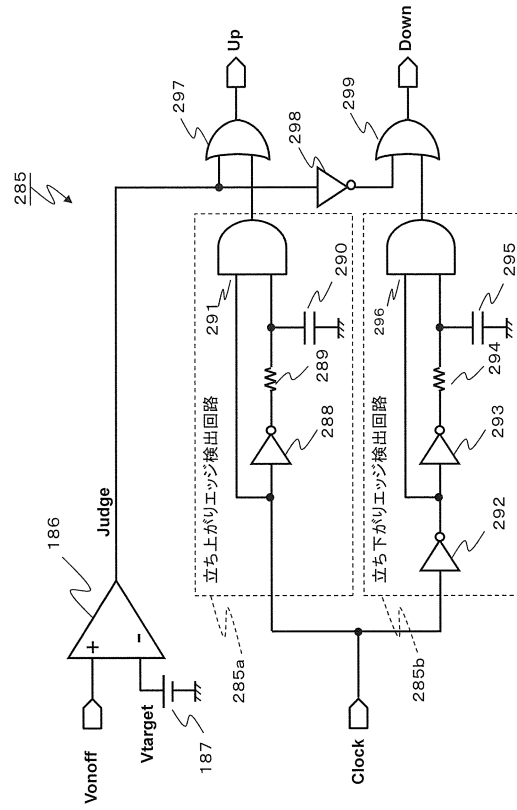
【図6】



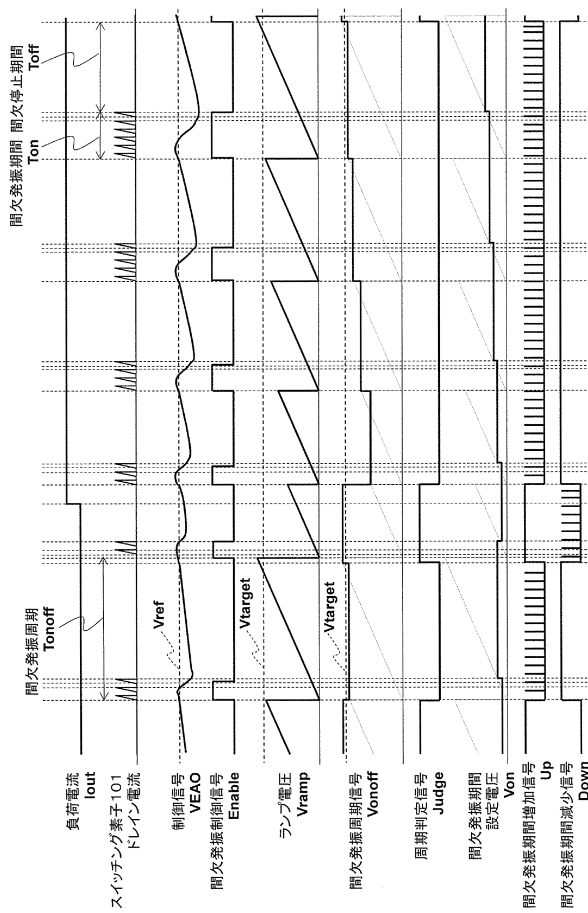
【図7】



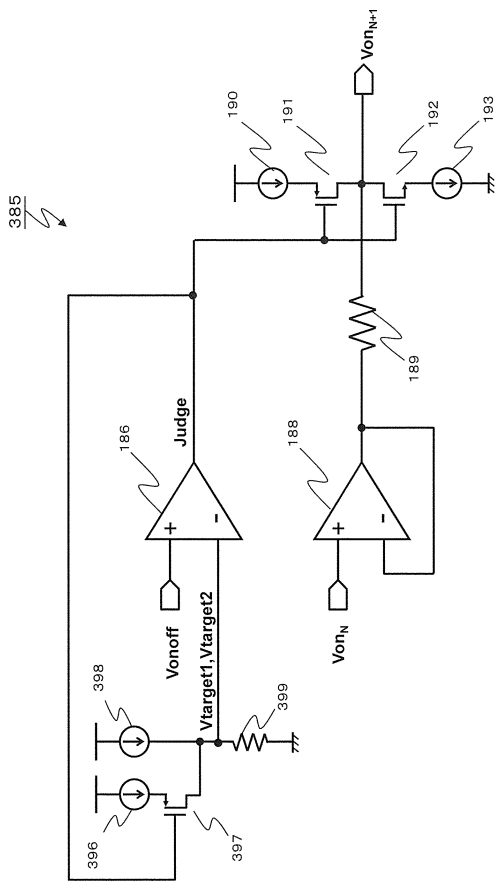
【図8】



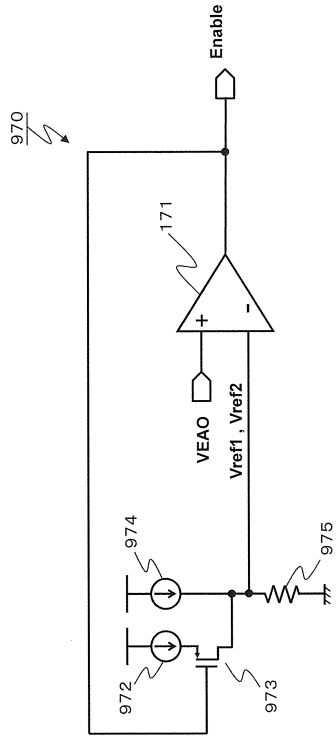
【図9】



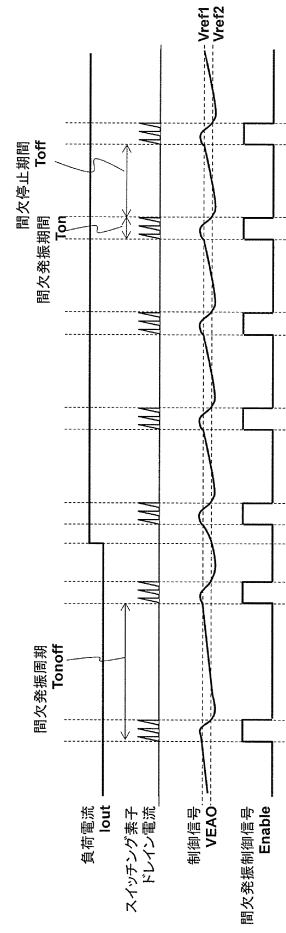
【図10】



【 図 15 】



【 図 16 】



フロントページの続き

(72)発明者 石田 敏史

日本国京都府長岡京市神足焼町1番地 パナソニックセミコンダクターソリューションズ株式会社
内

審査官 木村 励

(56)参考文献 国際公開第2011/158284(WO, A1)

国際公開第2010/146642(WO, A1)

特開2010-22121(JP, A)

(58)調査した分野(Int.Cl., DB名)

H02M 3/28