

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5587144号
(P5587144)

(45) 発行日 平成26年9月10日(2014.9.10)

(24) 登録日 平成26年8月1日(2014.8.1)

(51) Int.Cl. F I
H04Q 3/52 (2006.01) H04Q 3/52 A

請求項の数 17 (全 20 頁)

(21) 出願番号	特願2010-255280 (P2010-255280)	(73) 特許権者	592017655
(22) 出願日	平成22年11月15日(2010.11.15)		ビテッセ セミコンダクター コーポレイ ション
(62) 分割の表示	特願2002-502605 (P2002-502605) の分割		VITESSE SEMICONDUCT OR CORPORATION
原出願日	平成13年6月6日(2001.6.6)		アメリカ合衆国 カリフォルニア 930 12, カマリロ, カレ プラノ 741
(65) 公開番号	特開2011-45136 (P2011-45136A)	(74) 代理人	100099759
(43) 公開日	平成23年3月3日(2011.3.3)		弁理士 青木 篤
審査請求日	平成22年11月15日(2010.11.15)	(74) 代理人	100092624
(31) 優先権主張番号	60/209,552		弁理士 鶴田 準一
(32) 優先日	平成12年6月6日(2000.6.6)	(74) 代理人	100122965
(33) 優先権主張国	米国 (US)		弁理士 水谷 好男
(31) 優先権主張番号	60/227,550	(74) 代理人	100141162
(32) 優先日	平成12年8月23日(2000.8.23)		弁理士 森 啓
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 スイッチマトリクスモジュールを備えたクロスポイントスイッチ

(57) 【特許請求の範囲】

【請求項1】

スイッチマトリクスモジュールを備えたクロスポイントスイッチユニットにおいて、
前記スイッチマトリクスモジュールであって、

複数のアクティブエレメントを備えた半導体基板を含む第1の要素と、

前記第1の要素に結合され、前記スイッチマトリクスモジュールの入力に結合された第1の伝送ラインの組みと、前記スイッチマトリクスモジュールの出力に結合された第2の伝送ラインの組みを含み、前記第2の伝送ラインの組みは前記第1の伝送ラインの組みに直交する第2の要素と、

前記第1の伝送ラインの組の複数の伝送ラインに接続されたパッシブネットワークであって、前記第1の伝送ラインの以前で信号の劣化を補償する容量及び抵抗を備え、かつ、前記スイッチマトリクスモジュールとして集積回路の同じダイ上に埋め込まれたパッシブネットワークと、を備える、前記スイッチマトリクスモジュールと、および

クロスポイントスイッチと、を備え、

前記クロスポイントスイッチは前記複数のアクティブエレメントに結合された複数のプログラマブルレジスタを備え、

前記複数のアクティブエレメントの各アクティブエレメントは、タップを介して、前記第1の伝送ラインの組みの1つの伝送ラインと前記第2の伝送ラインの1つの伝送ラインと結合される、

クロスポイントスイッチユニット。

10

20

【請求項 2】

前記タップはバイアホールである請求項 1 に記載のクロスポイントスイッチユニット。

【請求項 3】

前記第 2 のエレメントに結合された二次基板をさらに具備する請求項 1 に記載のクロスポイントスイッチユニット。

【請求項 4】

前記入力及び出力は、ボールグリッドアレイを介して印刷回路基板のパッドに結合される請求項 1 に記載のクロスポイントスイッチユニット。

【請求項 5】

入力及び出力を含む第 2 のスイッチマトリクスモジュールをさらに備え、前記第 2 のスイッチマトリクスモジュールの前記入力は前記スイッチマトリクスモジュールの出力に結合される請求項 1 に記載のクロスポイントスイッチユニット。

10

【請求項 6】

前記パッシブネットワークの前記抵抗と容量は、ラインを結合する抵抗を備えた差動信号の各ライン上に並列に設けられている請求項 1 に記載のクロスポイントスイッチユニット。

【請求項 7】

前記パッシブネットワークは、高い周波数での信号減衰を減少させる請求項 1 に記載のクロスポイントスイッチユニット。

【請求項 8】

20

前記クロスポイントスイッチは、スイッチコアに結合されたプログラミングインタフェースと、前記プログラミングインタフェースによる命令によって、前記スイッチマトリクスモジュールの出力の出力駆動レベルを設定するスイッチ構成レジスタと、をさらに具備する請求項 1 に記載のクロスポイントスイッチユニット。

【請求項 9】

前記クロスポイントスイッチは、スイッチコアに結合されたプログラミングインタフェースをさらに具備する請求項 1 に記載のクロスポイントスイッチユニット。

【請求項 10】

前記プログラミングインタフェースに結合され前記プログラミングインタフェースに命令を与える 1 次アクセスポートと、前記プログラミングインタフェースに結合され前記 1 次アクセスポートの使用中に利用される 2 次アクセスポートと、をさらに具備する請求項 9 に記載のクロスポイントスイッチユニット。

30

【請求項 11】

前記スイッチマトリクスモジュールに結合され前記プログラミングインタフェースにより提供されるプログラミングデータを格納するユーザレジスタをさらに備え、前記プログラミングデータは、ユーザにより特定され、前記スイッチマトリクスモジュールの入力から出力の相互接続に関連したマップ情報を含む請求項 9 に記載のクロスポイントスイッチユニット。

【請求項 12】

前記スイッチコアに結合されたステージレジスタをさらに備え、前記プログラミングインタフェースは、前記ステージレジスタに予め格納されたプログラミングデータを格納し、後刻に前記ステージレジスタに前記プログラミングデータを与える請求項 9 に記載のクロスポイントスイッチユニット。

40

【請求項 13】

前記プログラミングインタフェースは、前記プログラミングインタフェースにより特定され連続的に出力から入力への一連の関係したプログラミングデータを提供する形態である請求項 9 に記載のクロスポイントスイッチユニット。

【請求項 14】

前記プログラミングインタフェースは、前記スイッチマトリクスモジュールの入力及び出力のグループの形態をとる請求項 9 に記載のクロスポイントスイッチユニット。

50

【請求項 15】

前記プログラミングインタフェースは、入力のグループから出力のグループに一連に関連している請求項 12 に記載のクロスポイントスイッチユニット。

【請求項 16】

前記入力及び出力は、入力及び出力の数字の順番に基づいてグループ分けされる請求項 13 に記載のクロスポイントスイッチユニット。

【請求項 17】

前記入力及び出力は、前記スイッチコアに関連した前記入力及び出力の場所に基づいてグループ分けされる請求項 14 に記載のクロスポイントスイッチユニット。

【発明の詳細な説明】

10

【技術分野】**【0001】**

本発明は一般に集積回路に関し、特にクロススイッチに関する。

【背景技術】**【0002】**

クロススイッチは、種々の入力から種々の出力へデータを送信する為に頻繁に使用される。データ通信の必要性が増加するに伴って、クロススイッチへの入力および出力の数が頻繁に増加する。さらに、ノードが他の多くのノードと通信状態にあるため、入力および出力間の接続をスイッチの動作中に再構成する必要性が往々にして生じる。

【0003】

20

スイッチへの入力および出力の数が増加すると、一般に、ダイ面積、電力消費、熱の生成およびスイッチの複雑性が増加する結果となる。例えば、スイッチは入力信号を受信し、スイッチ内のアクティブエレメントを用いて入力信号に対応する内部信号を生成し、アクティブエレメントを用いて入力ラインと出力ライン間の接続を制御する。入力および出力の数が増加するに伴って、スイッチのサイズ、電力消費およびその他の要求項目も増加する。多くの場合、これらの制限は、スイッチを形成する特定の集積回路上で利用可能な入力および出力の数を制限する。

【0004】

入力および出力の数を増加させる一つの方法は、数個のスイッチデバイスを1個のスイッチに結合することである。このスイッチデバイスは、例えば、3段階 Clos 網、Benes 網あるいはスクエアクロスバースイッチとして結合されても良い。一般に、Clos 網および Benes 網は、スイッチデバイスの数を減らすことにおいてより効果的であるが(それぞれ、 $N^{3/2}$ および $N \log N$)、しかしプログラミングおよびスケラビリティにおいてより複雑である。スクエアクロスバースイッチに対しては、デバイスの数は N^2 増加するが、しかし各スイッチデバイスに関しては非常に大きな単純性を潜在的に得ることができる。しかしながら、多くのスイッチデバイスを使用することは、電力消費および熱の発生を伴うデバイスの数を増加させる点で、さらに問題が多い。

30

【0005】

スイッチサイズが大きくなるにしたがって、チップの不適切な設計または不適切な製造の可能性が増加する。しかしながら、より大きなスイッチをテストすることは、内部スイッチ動作とスイッチへの接続の両者に対して、往々にして困難である。スイッチ自身に十分なテスト能力が欠乏していると、チップが悪いのか、チップへの接続が損なわれているかの決定が困難となる。

40

【0006】

さらに、スイッチが大きくなると、入出力接続を決定する場合のプログラミングの増加が必要となる。勿論、極端な場合には、スイッチ動作が遅延する一方で、スイッチの連続したプログラミングが発生する。

【0007】

さらに、特に高周波数において、シンボル間の干渉によるデータ劣化が発生する場合がある。伝送媒体または増幅回路のバンド幅がデータ信号の周波数内容を通させるのに十

50

分ではない場合、データパルスが自身の全振幅に到達しないように構成周波数のあるものを減衰しあるいは位相シフトしないと、シンボル間干渉（ISI）が起こりうる。データパルスが与えられた閾値レベルを通過する場合、パターン依存ジッタが発生する。このパターン依存ジッタは、往々にして、その電圧履歴に依存するデータパルス幅の狭まりあるいは広がりに基づいている。この様にして歪んだ信号は、誤り無しに再生することが困難である。

【0008】

ISIを防ぐ為に、通常、アンプがビットデータレートの0.7倍を超える平坦な利得対周波数応答を有するように設計される。しかしながら、チェーン中の多くのアンプが信号処理機能を遂行することが必要な場合、これは往々にして実現不可能である。例えば、回路の平坦なバンド幅は、アンプの追加に連れて低下する。ISIを避けるようにアンプを設計し得る可能性は、電力消費制約あるいは容量性負荷条件によってさらに制約される。例えば、ドライブを減少しあるいは負荷を増加させることによって、低周波数における利得が減少する結果となる。

10

【0009】

通常、アンプの周波数応答を平坦化することは、負のフィードバックによって達成されるが、これにより利得が減少しバンド幅が広くなる。可変利得増幅を使用することは、バンド幅を利得と相殺する別の可能性である。

【0010】

線形伝送媒体（アンプ中ではない）においてISIを軽減する一般的なアプローチは、静的あるいは適応型等化であり、この静的あるいは適応型等化においては媒体の特性を反転させる回路は、オリジナル信号の複製を形成するために（伝送媒体の後ろの）受信器に配置されている。

20

【0011】

しかしながら、アンプチェーン中で適正なバンド幅を有し、さらに同時に、その他の設計的制約に合致することは常に可能ではない。大きなバンド幅を有するアンプはより多くの電力を消費し、かつより高価なICプロセッサを必要とする傾向がある。

【0012】

アンプチェーンにおいて過剰な利得がある場合、利得を減少させバンド幅を増加させる為に負のフィードバックを用いることができるが、しかしこれは、出力が入力の近辺に無い場合、可能ではない。動作周波数が高い場合、“近辺”は実際非常に短い距離であり、往々にしてICの入出力ピン間よりもはるかに小さい。フィードバックの経路が長くなると遅延が生じ、これによってフィードバックループが不安定になりかつ振動を生じる結果となる。フィードバックアプローチはまた線形増幅を仮定している。もし制限が必要であると、負のフィードバックに対する利得を減少することは、制限効果を減少させあるいは取り去ってしまうことになる。

30

【0013】

この状況は、時刻変更されない（非同期の）クロスポイントスイッチ回路において、しばしば発生する。この様な回路に対して、入力および出力ポート間の関係が選択可能なものである場合、フィードバックパスは必要とされる接続を2倍にすることによってのみ達成される。したがって、相当な遅延によって回路が不必要に振動する結果となる。

40

【0014】

さらに、等化アプローチは、普通、制限アンプチェーンの出力において適用することが出来ない。これは、信号の本来の特性のあるものが、制限操作によって取り除かれている為である。

【発明の概要】

【発明が解決しようとする課題】

【0015】

本発明の目的は、上記の問題点を解決することである。

【課題を解決するための手段】

50

【 0 0 1 6 】

本発明の一実施例では、クロスポイントスイッチユニットが提供される。一実施例では、クロスポイントスイッチユニットは、クロスポイントスイッチ中のスイッチマトリックスモジュールを備えている。スイッチマトリックスモジュールは、第1の要素を備え、この第1の要素は複数のアクティブ要素および第1の要素に結合された第2の要素を有する半導体基板を含んでいる。第2の要素は、第1組の伝送ラインと第2組の伝送ラインを含み、第2組の伝送ラインは第1組の伝送ラインに対して直交している。クロスポイントスイッチは、複数のアクティブ要素に結合された複数のプログラマブルレジスタを具備している。複数のアクティブ要素中の各アクティブ要素は、トラップを介して、第2組の伝送ライン中の1個の伝送ライン中の、第1組の伝送ライン中の1個の伝送ラインに結合されている。更なる実施例において、入力は第1組の伝送ラインに結合され、出力は第2組の伝送ラインに結合される。入力および出力は、ボールグリッドアレイを介してプリント回路基板のパッドに結合される。

10

【 0 0 1 7 】

更なる実施例において、クロスポイントスイッチユニットは、第1組の伝送ラインの前に、信号劣化を補償するように調整されたコンデンサと抵抗を含むパッシブネットワークを含んでおり、このネットワークはスイッチマトリックスモジュールと同じ集積回路ダイ中に埋め込まれている。

【 0 0 1 8 】

更なる実施例において、クロスポイントスイッチユニットは、スイッチコアに結合されたプログラミングインタフェースを含んでおり、スイッチコアの出力に結合された出力レベルレジスタによってスイッチコアの出力レベルを制御している。

20

【 0 0 1 9 】

一般論として、本発明は、アンプチェーンの前に単一経路を有するパッシブネットワークを提供する。このパッシブネットワークは、ISIを生じる領域全体にわたってアンプチェーンの利得対周波数応答のほぼ反対の周波数特性を有している。

【 0 0 2 0 】

このネットワークは、直列接続されたコンデンサと、回路の利得が低周波数において1以下であり、かつ所望の最大動作周波数によって決定される周波数以上で周波数の増加と共に上昇するように構成された、直列接続された抵抗とシャント抵抗の組み合わせを含んでいる。

30

【 図面の簡単な説明 】

【 0 0 2 1 】

【 図 1 】 本発明の特徴にかかるクロススイッチのブロック図。

【 図 2 】 本発明の特徴にかかる、シンボル間干渉を減少させるためのネットワークの疑似的概略図。

【 図 3 A 】 本発明の特徴にかかる、基板上に複数のスイッチ要素を有するスイッチの物理的構造を示す図。

【 図 3 B 】 スwitch要素間の制御接続を示す図 3 A の物理的構造を示す図。

40

【 図 4 】 本発明の特徴にかかる出力補償網（ネットワーク）を示す図。

【 図 5 】 本発明の特徴にかかるスイッチマトリックスの物理的レイアウトを示す図。

【 図 6 】 本発明の特徴にかかるスイッチマトリックスのブロック図。

【 図 7 】 本発明の特徴にかかるスイッチ入力および出力のデータフローおよび制御のブロック図。

【 図 8 】 自動インCREMENT機能を使用するクロススイッチをプログラムするプロセッサのフロー図。

【 図 9 】 ストライピング機能を使用したクロススイッチのプログラムのフロー図。

【 図 1 0 】 本発明の特徴にかかるプログラマブル出力ドライブの半概略図。

【 図 1 1 】 本発明の特徴にかかるドライブラインを示すブロック図。

50

【図 1 2】本発明の特徴にかかるセンス機能のブロック図。

【図 1 3】本発明の特徴にかかる出力クロック回路のブロック図。

【図 1 4】図 1 3 の出力クロッククロススイッチを実行する出力クロック回路。

【発明を実施するための形態】

【 0 0 2 2 】

本発明のこれらおよびその他の特徴は、以下の説明および添付の図面を参照することによってより速やかに理解されるであろう。

【 0 0 2 3 】

図 1 は、本発明によるスイッチの一実施例のブロック図を示している。

【 0 0 2 4 】

スイッチはスイッチコア 1 0 1、スイッチ構成レジスタ 1 0 3、ステージングレジスタ 1 0 5、及びプログラミングインタフェース 1 0 9 を含む。より詳細には、スイッチコアは入力バス 3 0 1 からの信号を出力バスへ結合する。スイッチ構成レジスタは、出力バスのどの出力信号が入力バスのどの信号から導かれるかを決定する。ステージングレジスタは一時的なプログラミングレジスタを提供する。その内容は、出力の入力への再マッピングが望まれる時にスイッチ構成レジスタへ転送される。ステージングレジスタは、プログラミングレジスタを使ってアクセスされる。入力バスは、幾つかの信号を入力信号等化回路 2 0 1 の各々に与える。入力信号等化回路はスイッチコアに結合される。同様に、スイッチコアの出力は出力バス 3 0 3 に結合される出力レベル制御回路 2 0 3 に結合される。このようにして、入力バスを伝送されるデータは、入力信号等化回路、スイッチコア、及び出力レベル制御回路を介して出力バスに転送される。

【 0 0 2 5 】

スイッチコア内の相互接続のプログラミング、すなわちどの入力がある出力に作用的に結合されるか、はスイッチ構成レジスタ、ステージングレジスタ、ユーザレジスタ及びプログラミングインタフェースを介して実行される。

【 0 0 2 6 】

プログラミングインタフェースは一次アクセスポート 1 1 1 に結合される。一次アクセスポートを介して、プログラミングインタフェースはリード及びライト動作をステージングレジスタに行なう。ステージングレジスタの内容は一次アクセスポートを通じたコマンドによりスイッチ構成レジスタへ転送され、その内容はスイッチ接続を制御する。

【 0 0 2 7 】

一実施例において、スイッチは幾つかのスイッチエレメントで構成される。図 3 A に示すように、各エレメント、又はマトリクス、は一連のオーバーラップした伝送ラインを含む。第 1 平面上の第 1 組の伝送ラインは、第 2 平面上の第 2 組の伝送ラインを直角に横切る。第 1 組の伝送ラインの数及び第 2 組の伝送ラインの数は変化する。一実施例において、図 3 A に示すように、第 1 及び第 2 組の伝送ラインはボールグリッドアレイ (B G A) 3 1 上に作られ、別のより大きな B G A 3 3 上にフリップチップされる。スイッチマトリクスに与えられる信号、すなわち入力信号、は第 1 組の伝送ラインによって受信される。スイッチマトリクスによって生成される信号、すなわち出力信号、は第 2 組の伝送ラインによって提供される。ネットワークは第 1 組の伝送ラインの 2 つ又はそれ以上の伝送ラインに結合される。

【 0 0 2 8 】

図 3 A の実施例において、スイッチは 4 つのスイッチエレメント 3 5 a - d を含む。第 1 及び第 3 のスイッチエレメント、図 3 A に示すように共により大きな B G A の第 1 の側に隣接する、は入力信号を受信する。その信号は第 1 スwitchエレメント及び第 2 スwitchエレメントを使ってスイッチの出力に導かれる。第 3 スwitchエレメント及び第 4 スwitchエレメント、図 3 A に示すように共により大きな B G A の第 2 の側に隣接する、は出力信号を与える。動作において、第 1 スwitchエレメントに与えられる入力信号は第 3 スwitchエレメントに直接導かれてもよく、又は第 2 スwitchエレメントにより第 4 スwitchエレメントへ導かれてもよい。

10

20

30

40

50

【 0 0 2 9 】

図 3 A のデバイス動作のさらなる理解は図 5 を通じて与えられる。図 5 は、スイッチマトリクス of 物理的な配置の一実施例を示している。スイッチマトリクスは、第 1 及び第 2 エレメントを含む。第 1 エレメント E 1 は、基板上に作られる複数のアクティブエレメント A L 1 - A L N 及び基板を通す空間を有した半導体基板 S L 1 を含む。複数のアクティブエレメントに対応する複数のプログラブルレジスタ P L 1 - P L N もまた半導体基板上に含まれる。複数のプログラブルレジスタの各々は、共に結合されプログラミングインタフェース（示されていない）によって制御される。

【 0 0 3 0 】

第 2 エレメントは、第 1 組の導体伝送ラインの第 1 層及び第 2 組の導体伝送ラインの第 2 層を含む。第 2 組の導体伝送ラインは第 1 組の導体伝送ラインと直交するように構成される。第 1 及び第 2 組の導体伝送ラインは、絶縁層 I L 1 によって分離される。一つの実施例において、第 1 及び第 2 組の導体伝送ラインは、複数の並列制御インピーダンス伝送ラインのアレイを形成するパターンを有した導体層の間に絶縁材の薄片で作られる。第 1 エレメントにおけるアクティブエレメントの配置は、第 1 組の導体伝送ラインと第 2 組の導体伝送ラインが交差して並ぶように構成される。スイッチマトリクスの入力は第 1 組の導体伝送ラインに対する第 1 層で与えられる。同様に、スイッチマトリクスからの出力は第 2 組の導体伝送ラインに対する第 2 層で与えられる。

【 0 0 3 1 】

第 1 エレメントは第 2 エレメントに結合され、それはセラミック又はフレキシブルプリント基板のような第 2 基板 S L 2 に結合される。スイッチマトリクスの入出力はパールグリッドアレイにより印刷回路基板上のパッドに結合される。第 1 エレメントの各アクティブエレメントは、タップやヴィアホールを通じて第 1 組の導体伝送ラインの一つ及び第 2 組の導体伝送ラインの一つに結合される。各タップは導体伝送ラインのインピーダンス特性、すなわち伝送ラインのインピーダンス、を変更する。タップは、従って容量とインダクタンスとを含む。

【 0 0 3 2 】

一実施例において、伝送ラインの各々は所定の幅を有する。しかしながら、伝送ラインの結合部の近傍で、各伝送ラインは第 1 の所定幅よりも小さく第 2 の所定幅へ狭くなる。これより、伝送ラインの結合部の近くに結合される各タップは各伝送ラインに付加的な厚みを与えるが、各伝送ラインにとって無視できるインピーダンスである。

【 0 0 3 3 】

一実施例において、図 3 A に示すように、一つ又はそれ以上のスイッチマトリクスが互いに結合される。例えば、第 1 スwitchマトリクスの出力は第 2 スwitchマトリクスの入りに結合され、第 2 スwitchマトリクスの出力は第 3 スwitchマトリクスの入りに結合される、等。同様に、一つ又はそれ以上のスイッチマトリクスが同じ印刷回路基板上に与えられる。個々のスイッチマトリクスは独立プログラミングインタフェースによって制御される。すなわち、独立プログラミングインタフェースはスイッチを形成するスイッチエレメント、又はスイッチマトリクス、の各々に与えられる。複数のプログラミングインタフェースの使用はスイッチのプログラミング速度を増大させ、特に入力、出力、又はスイッチエレメントの数を増大させる。

【 0 0 3 4 】

他に、スイッチマトリクスのあるグループは、他のスイッチマトリクスが別のプログラミングインタフェースによって制御されている間、一つのプログラミングインタフェースによって制御されてもよい。それとは別に、一つのプログラミングインタフェースがスイッチエレメントをプログラムするのに使われてもよい。例えば、図 3 B は単一のプログラミングポートが使用される図 3 A のようなシステムを示している。プログラミングポートは、第 1 スwitchマトリクス 3 1 3 への複数の信号ライン 3 1 1 によって結合される。第 1 スwitchマトリクスは第 2 スwitchマトリクス 3 1 7 に結合される幾つかの信号ライン 3 1 5 を順次に有する。同様に、第 2 スwitchマトリクスは第 3 スwitchマトリクス 3 1

10

20

30

40

50

9に結合され、そして第3スイッチマトリクスは第4スイッチマトリクス321へ結合される。プログラミング情報は、スイッチマトリクスからスイッチマトリクスへと信号ライン上でその信号ラインを使ってディージーチェーン方式で渡される。

【0035】

一実施例において、プログラミング情報の使用又は意味は、スイッチエレメント組内部のスイッチエレメントの位置によって変わる。例えば、第3スイッチエレメント上の出力を通じて出力される第1スイッチエレメントへの入力に対し、異なるスイッチエレメントは一般に類似のプログラミング命令に対するのと同じように応答すべきではない。従って、一実施例において、各スイッチエレメントには、スイッチエレメント組内部のスイッチエレメントの位置に依存する信号が与えられる。一実施例において、信号は、スイッチエレメントの位置に基づくより大きなボールグリッドアレイ上のエレメントに接続されるピンを通じて与えられる。これらのピンはプログラミング命令の翻訳に使用される。例えば、一実施例において、信号はプログラミング情報をマスクするのに使用され、他の実施例においてプログラミング情報と結合して使用される。

10

【0036】

一実施例において、スイッチは異なる信号を渡す。図2には、パッシブネットワークの一例が異なる信号パスでの使用として示されている。図2の実施例は、スイッチへの入力に対する入力信号等化回路21として使用される。一実施例において、パッシブネットワークは集積回路の内部に又はその上に作成される。集積回路で作成されたパッシブネットワークを含むことが分かる。例えば、パッシブネットワークは集積回路のダイ上に与えられ、集積回路の外部にネットワークを与えるのとは反対にISIを大幅に減じる。

20

【0037】

図2に示すように、パッシブネットワークは、容量値Cに等しい値を有する一連の容量C1及びC2、抵抗値RSに等しい値を有する一連の抵抗RS1及びRS2、及び抵抗値RPを有するシャント抵抗RP1を含む。低周波において、容量は一連の抵抗RS1及びRS2と比較して高インピーダンスを有し、これよりネットワークの利得は結果式 $RP / (RP + RS1 + RS2)$ に等しい利得値に近づく。高周波において、容量C1及びC2はシャント抵抗と比較して低インピーダンスを有し、これよりネットワークの利得は利得値 RP / RP 又は1に近づく。

【0038】

一実施例において、一連の容量の結合値は所定の選択値であり、容量のインピーダンスは連結増幅器のコーナー周波数の近傍で抵抗値RSに等しく、所望の新たなコーナー周波数の近傍で抵抗値RPに等しい。従って、増幅器の平坦帯域はデータビット速度の要求部分の近くまで拡張される。

30

【0039】

高又は低周波利得のあまり大きくない比、例えば2、を用いるネットワークの使用により、通常要求される半分の帯域幅を有する増幅器の使用が可能となり、それは半分の電力を消費する。

【0040】

一実施例において、すでに組み込まれた回路におけるISIを削除するため、ネットワークは外部の集積回路に適用される。最小数の構成要素により、ネットワークは所定のアプリケーションに対して廉価に実装でき、十分柔軟に実装できる。

40

【0041】

ネットワークは受動エレメントを含むため、これらのエレメントはセグメント化及び/又はプログラム化が可能(すなわち、調整可能)である。例えば、一例として、集積回路上の上位メタル層を変更することでネットワークが集積回路に含められる。ネットワークのエレメントは操作されて回路のISIジッタ特性が容易に調整できる。

【0042】

1実施例では、ネットワークの要素がチューニングされ、従って、それはクロスポイントスイッチ装置(crosspoint switch device)までの伝送媒体において発生する信号劣化の

50

全てあるいはその幾つかを補償する。これは特に多段のクロスポイントスイッチ装置が、そのスイッチ装置間に甚だしく非理想的な電気あるいは電子-光接続を有する大きなスイッチ構成を形成するようにカスケードになっているようなアプリケーションにおいては価値がある。従って、本発明のネットワークをカスケードにされたクロスポイントスイッチ装置の各々の間に置くことは信号の劣化を低減する。

【0043】

1 実施例においては、図2に戻って参照すると、コンデンサC1と抵抗器RS1の間の点Xで、第1の入力伝送ラインがネットワークに接続される。コンデンサC2と抵抗器RS2の間の点X2で、第2の入力伝送ラインがネットワークに接続される。コンデンサC1、抵抗器RS1及び抵抗器RP1の間の点Y1で、第1組の伝送ラインの第1の伝送ラインがネットワークに接続される。同様に、コンデンサC2、抵抗器RS2及び抵抗器RP1の間の点Y2で、第1組の伝送ラインの第2の伝送ラインがネットワークに接続される。1つの伝送ラインだけが各点X1、X2、Y1及びY2に接続されると上で述べているが、多数の伝送ラインをその点に接続できる。

10

【0044】

1 実施例におけるスイッチマトリックスはまた出力プリエンファシス回路(pre-emphasis circuitry)を含む。出力プリエンファシス回路は信号を負荷を上回って駆動するように適応され、それによって信号の高周波成分の低減を減らす。図4はスイッチマトリックスの差動出力を提供する出力プリエンファシス回路のやや概略図である。この回路は第1の容量性接続された差動ペアと第2の差動ペアから成る。第1の差動ペアを接続する容量性要素は選択可能、即ちチューニング可能である。1実施例においては、これは、レジスタビットを用いて選択可能な、直列あるいは並列の選択可能なコンデンサのアレイを用いて成し遂げられる。1つの抵抗要素がまた第1の差動ペア間に接続され、その抵抗要素は同様に選択可能である。

20

【0045】

スイッチ動作に戻ると、図6は本発明のクロスバースイッチマトリックスの1実施例の概要を図示する。スイッチマトリックスは一連のオーバーラップ伝送ライン(overlapping transmission line)を含む。第1の平面上の第1組の伝送ラインX1~X5は第2平面の第2組の伝送ラインY1~Y2と直交して交叉する。第1組の伝送ラインと第2組の伝送ラインの数は変化する。スイッチマトリックスに供給される信号、即ち、入力信号は第1組の伝送ラインによって受信される。スイッチマトリックスによって生成される信号、即ち、出力信号は第2組の伝送ラインによって供給される。

30

【0046】

能動要素A1~A30は第1組の伝送ラインと第2組の伝送ラインとを接続する。能動要素の数は伝送ラインX1~X5とY1~Y6の数に依存する。このように、各能動要素は第1組の伝送ラインの1つを第2組の伝送ラインの1つに動作可能に接続させる。従って、第1組の伝送ラインと第2組の伝送ラインY1~Y6の各接点(junction)の近くに能動要素が第1組の伝送ラインの1つと第2組の伝送ラインの1つに接続されている。例えば、能動要素A3は伝送ラインX1を伝送ラインY3に動作可能に接続させる。

【0047】

スイッチマトリックスに外部的に(図示なし)供給される電源はこの能動要素の各々によって使用される電力を供給する。図7を参照すると、各能動要素はプログラマブルレジスタP1~P30に接続される。プログラマブルレジスタの数は能動要素の数に相当する。従って、上述の実施例では、30の能動要素が30のプログラマブルレジスタに接続される。明確にするために、2つのプログラマブルレジスタを備えた2つの能動要素のみが示されているが、能動要素とプログラマブルレジスタの数は多数であることが認識されるべきである。1実施例では、各プログラマブルレジスタはプログラマブルレジスタ内のプログラマブルビットを表す。例えば、30の能動要素に対しては30のプログラマブルビットが1つのプログラマブルレジスタ内に格納されている。

40

【0048】

50

図7に戻って参照すると、各プログラブルレジスタは2つの状態、即ち、「アクティブ(active)」あるいは「インアクティブ(inactive)」の状態を含む。プログラブルレジスタが「アクティブ」状態であるとき、プログラブルレジスタは能動要素をアクティブ(作動状態)にする、即ち、能動要素を「オン」にする。一旦能動要素が「オン」になると、能動要素は第1組の伝送ラインの1つから第1組の伝送ラインの1つへの電氣的バスを接続あるいは提供する。例えば、図6及び図7を参照すると、能動要素A7に接続されたプログラブルレジスタP7が「アクティブ」であるとする、能動要素A7は「オン」になって伝送ラインX2を伝送ラインY2に接続する。従って、伝送ラインX2によって受信された入力信号は伝送ラインY2に伝送される。1実施例では、出力ドライバは第2組の伝送ラインに接続されて出力信号に要求される任意のゲインあるいは増幅度を与える。従って、スイッチマトリックスは低電力で低ノイズで動作することができ、出力ドライバが各出力信号の規定された信号強度に対して必要ないかなる電力をも供給するようにさせる。

10

【0049】

第2組の伝送ラインに沿って伝送された出力信号はその伝送ラインの両端で受信可能である。例えば、図2を参照して、伝送ラインY2の信号は能動要素A6の近くの伝送ラインY2の1端で受信可能であり、また能動要素A10の近くの伝送ラインY2の他端で受信可能である。

【0050】

1実施例では、能動要素はトランジスタのベースが第1組の伝送ラインの1つに接続され、トランジスタのエミッタが第2組の伝送ラインに接続されたエミッタフォロワ構成にセットアップされたトランジスタのような増幅器である。このトランジスタのコレクタはプログラブルレジスタに接続されてトランジスタの状態を制御する。例えば、トランジスタを「オン」させるために、信号がトランジスタのコレクタに供給されてトランジスタをバイアスし、従ってそのベースに接続された第1組の伝送ラインからの信号は1つのダイオードドロップ(diode drop)より少ないトランジスタのエミッタに接続された第2組の伝送ラインに伝送される。他の実施例では、能動要素はオープンコレクタ構成にセットアップされたトランジスタである。

20

【0051】

各プログラブルレジスタはプログラミングインタフェースに接続される。プログラミングインタフェース3は、1実施例では、プログラミング空間内のアドレスを含む。このアドレスはアレーとしてあるいはシリアルに提供され、プログラブルレジスタに相当する。プログラミングインタフェース3はこのアドレスを使用することによって、プログラミングインタフェースは対応するプログラブルレジスタが「アクティブ」になるかあるいは「インアクティブ」になるように、従って、それぞれ対応する能動要素を「オン」あるいは「オフ」するようにプログラムを行うように構成される。

30

【0052】

従って、プログラミングインタフェースを介して、スイッチマトリックスは第2組の伝送ラインの同じ伝送ラインに接続された能動要素から、1つの能動要素のみが所定の時間に「オン」となることができるように構成されることができる。従って、第2組の伝送ラインの同じ伝送ラインに接続された2つあるいはそれ以上の能動要素が「オン」になることはできない。例えば、図2に戻って参照すると、もし能動要素A4が「オン」であれば、能動要素A9、A14、A19、A24、及びA29は「オフ」である。同様に、対応するプログラブルレジスタC9、C14、C19、C24及びC29は「インアクティブ」であり、一方プログラブルレジスタC4は「アクティブ」である。

40

【0053】

同様に、プログラミングインタフェースを介して、スイッチマトリックスはブロードキャストあるいはマルチキャストモードに構成されることができ、従って、第1組の伝送ラインの1つのみに伝送される信号は第2組の伝送ラインの全てに伝送されるようになる。例えば、図2を参照すると、ブロードキャストモードでは、伝送ラインX3上の入力信号は「オン」にチューニングされた能動要素A3、A8、A13、A18、A23及びA28を有する伝送ライ

50

ンY1～Y6に伝送される。

【0054】

時にはスイッチ構成全体は再プログラミングされるべきであることがある。このような場合には、スイッチのプログラミングは過度の時間を要求し、特定の構成でのスイッチ使用の間隔がそのスイッチ構成をプログラムするために要求される時間より少ない場合は結果的にスイッチのダウンタイム(switch down time)が生ずる可能性がある。従って、1つの実施例では、自動インCREMENTプログラミング機能(automatic increment programming function)が備えられる。この自動インCREMENTプログラミング機能はプログラミングインタフェースを介してコマンドによって動作させられる。

【0055】

自動インCREMENTプログラミング機能が動作させられたときスイッチの各出力は指定された入力に順次マッピングされる。換言すれば、マッピングされるべき出力はプログラミングコマンドによっては指定されない。その代わりに出力がシーケンシャルにプログラミングされるべきであると仮定され、特定の入力にマッピングされるべき出力は指定されない。従って、スイッチへの入力のいずれかでありうる、プログラミングインタフェースを介して提供される第1の入力は第1出力にマッピングされる。それもスイッチへの入力のいずれかでありうる第2入力は第2出力にマッピングされる、などである。

【0056】

図8において、このプロセスはブロック81においてスイッチコア(switch core)の相互接続を構成するためのプログラミングインタフェースからプログラミングインストラクション/データを受け取る。ブロック83において、このプロセスはプログラミングデータにおいて指定された入力を第1出力にマッピングする、即ち、 x は1に等しい。1実施例では、第1出力に接続されるべき指定された入力を識別するプログラミングデータが発生され、スイッチコアに伝送される。プロセスは次の出力の選択を自動インCREMENT(automatic-increment)する、即ち、ブロック85において、第2出力が選択される(x は2に等しい)。ブロック87では、プロセスはスイッチコアの全ての出力が指定された出力にマッピングされたかどうか、即ち、 x が出力の最大数に等しいかどうか判定する。全ての出力がマッピングされたらプロセスは終了する。しかしながら、もし追加の出力がまだマッピングされるべく残っているなら、プロセスはブロック89において次の指定された入力をプログラミングデータから識別する。プロセスはブロック83において次の指定された入力を次の続く出力にマッピングする。

【0057】

更に別の実施例では、スイッチマトリクスモジュールはまたストライピングモード(striping mode)を含む。ストライピングモードでは、複数の入力が単一のプログラミングインストラクションで複数の出力にマッピングされる。1実施例では、入力/出力のグループがスイッチマトリクスモジュールのパッキングに関する物理的な配列(placement)と入力/出力の数値オーダ(numerical order)に基づいて選択される。

【0058】

例えば、144に144のスイッチマトリクスモジュールを使用する1実施例では、スイッチマトリクスモジュールは36の入力ストライプと36の出力ストライプを有する。各入力ストライプは4つの入力のグループ、例えばX0、X2、X4及びX6を規定する。各出力ストライプは4つの出力のグループ、例えば、Y33、Y35、Y37、Y39を規定する。このように、各入力ストライプは書く出力ストライプに動作可能に接続されることができる。

【0059】

1つの実施例においては、アドレス/データバスを経由して供給される2進コードは特定の入力又は出力ストライプを選択する。1つの実施例では、入力/出力は連続して番号付けられ、偶数の入力/出力はスイッチマトリクスの一方の側にあり、奇数の入力/出力はスイッチマトリクスの他方の側にある。それゆえ、入力と出力のグループは偶数と奇数の入力と出力のグループになる、例えば、X56、X58、X60及びX62又はY11

10

20

30

40

50

3, Y115、Y117及びY119。

【0060】

図9において、ブロック91では、プロセスがスイッチコアの相互接続を構成するためプログラムインターフェースからプログラム命令/データを受け取る。ブロック93で、プログラムデータに規定されたグループ番号を識別する。ブロック95では、プロセスはグループ番号を適切な入力及び出力グループと識別又は関連付けを行う。例えば、1つの実施例では、グループ番号1と15が入力X0、X2、X4、及びX6と出力Y30、Y32、Y34及びY36と識別する。ブロック97では、プロセスは入力グループと出力グループのマッピングを行う。例えば入力グループ1(X0、X2、X4、X6)と出力グループ15(Y30、Y32、Y34、Y36)。このように入力グループに定められた入力と出力グループに定められたそれぞれの出力の相互接続が確立される。言い換えると、例えば、入力X0が出力Y30に機能上接続され、入力X2がY32に機能上接続される、など。ブロック99では、プロセスがプログラムデータに規定された全てのグループのマッピングが実施されたどうかを判定する、即ち、グループのマッピングの追加が必要かどうか。もしグループマッピングの追加実施が必要でなければ、プロセスは終了になる。そうでなければ、プロセスはプログラム命令に指定されたグループを識別するためブロック93に戻り繰り返す。

10

【0061】

スイッチマトリックスモジュールはスイッチマトリックスモジュールの相互接続がプログラムインターフェースを経由して初期化されるリセット状態を含んでいる。言い換えれば、初期化において各入力は1つ又はそれ以上の出力にマッピングされる。1つの実施例においては、スイッチマトリックスモジュールはユーザが定義したリセット状態を含む。ユーザ定義リセット状態はスイッチマトリックスモジュールを定義セットに基き初期化するか又は、ユーザによりプログラムされている。ユーザ定義リセット状態はユーザ定義状態の一括転送を可能とし、例えば、1つのリセット命令によりシステム操作の開始状態をユーザにより定めることができる。このような能力はシステムの全体リセットだけでなく他の場合にも使える。例えば、特定のスイッチ構成が一般的に期待することができる。このような状況において、一般的に期待されたスイッチ構成のプログラムが前に構成されたセットに対しシステムリセット命令により簡単に達成することができる。

20

【0062】

それゆえ、1実施例では、図1を参照して、ユーザ初期化レジスタ107はステージングレジスタと並列に置かれている。リセット命令はユーザ初期化レジスタの内容をスイッチ構成レジスタに転送することを指示する。そこで、ユーザ規定のリセット状態を起動すると、ユーザレジスタに保存されたプログラム情報が送出され、スイッチマトリックスモジュールの相互接続がユーザレジスタからのプログラム情報に従い初期化される。

30

【0063】

1つの実施例では、ユーザ定義リセット状態は、低に設定された時プログラム情報がステージングレジスタからユーザレジスタに転送されるという保存ユーザ初期化ビットを使い設定される。同様に、ユーザ定義リセット状態は、高に設定した時ユーザレジスタからのプログラム情報が送出されるように、スイッチマトリックスモジュールの相互接続がユーザ定義設定値に従い初期化されるというユーザ初期化ビットを使い設定される。

40

【0064】

上記のように、図1を参照し、スイッチはプログラムインターフェースに結合した1次アクセスポートを含む。1つの実施例では、1次アクセスポートが忙しいか又は他に占有されている場合には、スイッチは2次アクセスポート113を含んでいる。2次アクセスポートはプログラミングインターフェースにつながれており、1次アクセスポートと独立してプログラミングインターフェースと連絡するように構成されている。特に、2次アクセスポートは、1次アクセスポートがスイッチを活発にプログラムしている間、スイッチマトリックスモジュールの接続状態を非同期に読み戻すことができる。読み戻すとは、スイッチマトリックスモジュールにつながったレジスタから現在進行中の情報を読み取る、即ち

50

引き出すことをいう。例えば、ステージングレジスタ内又はユーザレジスタ内のプログラム情報が読み戻し制御を起動することにより引き出される。また2次アクセスポートは、駆動と検出接続の制御操作、入力均等化、出力駆動レベル制御、境界走査操作、温度検出及びPRBS機能といったスイッチマトリックスモジュールの構成制御を可能とする。

【0065】

1つの実施例では、スイッチマトリックスモジュールは各出力ピンに対し高い駆動レベル及び低い駆動レベルを供給するスイッチ構成レジスタを使い構成することができる。各出力は電流源1011に供給される。電流源により供給される電流の量はスイッチ構成レジスタ内の対応するビットからの信号により制御される。ビットが高の時、高い駆動レベルの時、電流源は追加電流を供給する電流源となる電流駆動源のゲートに信号を供給する。

10

【0066】

他の実施例では、構成レジスタ内に1ビットのみ出力駆動レベル制御に当てられ、全ての出力駆動レベルは高又は低の駆動レベルのいずれかに指示される。このような実施例においては、構成レジスタ内の単独ビットを使って生成された信号が全ての出力電流源に供給される。

【0067】

1つの実施例では、駆動と検出機能も提供される。駆動機能はスイッチ構成の入力ラインを規定された状態まで駆動を行う。検出機能はスイッチ構成の出力ラインの状態を検出する。図11は駆動ラインを描いたブロック図である。図示してあるように、駆動ラインは入力ラインの先頭に走っており、如何なる能動素子に遭遇する入力ラインの前も走っている。このように、1つの実施例では、駆動ラインはデバイスの入力ピンに近接した入力ラインを横切っている。

20

【0068】

駆動ラインは能動素子1103a-eにより入力ラインに結合されている。1つの実施例では、能動素子はプログラムレジスタに設定されたビットにより制御されている。プログラブルレジスタの適当なビット設定が規定した能動素子をオンにし、駆動ラインを規定した入力ラインに結合する。

【0069】

他の実施例では、駆動ラインは物理的に入力データラインを横断している。トランジスタが、トランジスタのドレインとソースを駆動ラインに結合して、入力データラインの駆動ラインに設置される。第1の入力ラインを駆動ラインで駆動するため、第1のトランジスタがオンにされる。駆動ラインにより第2の入力ラインを駆動するため、第1のトランジスタと第2のトランジスタがオンにされるなど。

30

【0070】

ある程度、駆動ラインは1つの制御点となっている。したがって駆動ラインの使用はいくつかの点において有利である。例えば駆動ラインは外部信号源に対する入力ラインの完全な結合状態をチェックするために使用できる。駆動ラインの使用はまた内部デバイスの動作をチェックするのも都合がよい、特に、駆動ラインがデバイスの入力に近接した入力データラインに結合されている場合。

40

【0071】

同様に、出力駆動ラインがスイッチの出力のため提供される。出力駆動ラインは出力信号ドライバに近接した出力信号と、出力データ信号またはスイッチ構成レジスタの内容に基づいた出力駆動ラインの信号のいずれかを出力する出力信号ドライバと多重送信される。

【0072】

図12は検出機能の例を示している。図示のように検出ライン121はデバイスのデータ出力ライン上に設置される。能動エレメント123a-dが検出ラインをデータ出力ラインに結合する。トランジスタの制御は、能動エレメントをオンにすることが検出ラインを選択した出力ラインの状態を駆動する以外は、駆動機能に関し記述したものと同じであ

50

る。

【 0 0 7 3 】

ラッチ 1 2 5 が検出ラインの 1 端に置かれる。ラッチはまた 1 つの実施例では外部で生成されるラッチ信号を提供する。この信号は特定の時点で検出ラインの状態を保持するラッチを指示する。1 つの実施例ではラッチ信号は外部で生成され、1 つのクロック信号であり得るし、他の実施例ではラッチ信号は比較的低速のクロック信号から内部で生成される。比較的低速のクロック信号を使うことはデバイスのあり得るデータ速度よりも十分に遅い速度で動作するラッチを可能にする。

【 0 0 7 4 】

それゆえ、運転においてデータが駆動ラインを使って特定の入力データラインに置かれる。またデータは検出ラインを使用して特定の出力データラインから読み出される。2 つのデータラインを一緒に結合することはデバイスの完全性のチェック及び境界走査能力を可能にする。

【 0 0 7 5 】

図 1 3 に示したように、更なる実施例において、高速ラッチ 1 3 1 a - d が出力ラインの終端付近に提供される。高速ラッチはデバイスからのデータ出力のチェックを可能にする。一般的にデバイス内の伝播時間はスイッチを構成するパスの長さにより変わる。従って、スイッチデバイスが非同期の場合、いずれか 1 つの出力ラインの出力データは、高から低または低から高の信号転換において、相違があることを経験する。このような相違は下流デバイスによるロック損失となる、特に相違が下流デバイスにおいて転換点における出力データをサンプルしようとするところになった場合。

【 0 0 7 6 】

出力データのラッチングは出力データのクロック化を可能にする。1 つの実施例では、データのラッチングがいかほどか時により変わるが、予期された信号周期以内で比較的小さい範囲に限られる。

【 0 0 7 7 】

図 1 4 は出力ラッチにラッチ信号を供給する回路を示す。回路は多数のラッチ 1 4 1 a - c を含んでいる。各クラッチはデータ入力として出力データラインを有し、ラッチに対する各データ入力はお互いに少し遅延されている。従って、ラッチは 1 組のセットになっており、セット内の各クラッチは少し大きな遅延でデータ信号を受け取る。

【 0 0 7 8 】

ラッチの出力はデマルチプレクサ 1 4 3 に供給される。またラッチの出力はラッチのセット内の近接した 2 つのラッチから入力を受ける各 X O R ゲート 1 4 5 a - b に供給される。従って、特定の X O R ゲートからの高出力はデータ転換の存在を示している。それゆえ、X O R ゲートの出力はデマルチプレクサへ選択信号を供給するセレクト機能 1 4 7 に使用され、その選択信号は転換点から最も離れた特定のラッチの出力を選択する。

【 0 0 7 9 】

従って、本発明はスイッチマトリックスを提供する。本発明はある特定の実施例を述べているが、当業者にとっては多くの追加変更や変形が明らかである。ゆえに、本発明は特に記載した以外でも実施可能であることが理解される。発明の本実施例は全ての面において例示的であり、限定的ではないことを理解すべきである。

【 符号の説明 】

【 0 0 8 0 】

- 1 0 1 スイッチコア
- 1 0 3 スイッチ構成レジスタ
- 1 0 5 ステージングレジスタ
- 1 0 7 ユーザ初期化レジスタ
- 1 0 9 プログラミングインタフェース
- 1 1 1 一次アクセスポート
- 1 1 3 2 次アクセスポート

10

20

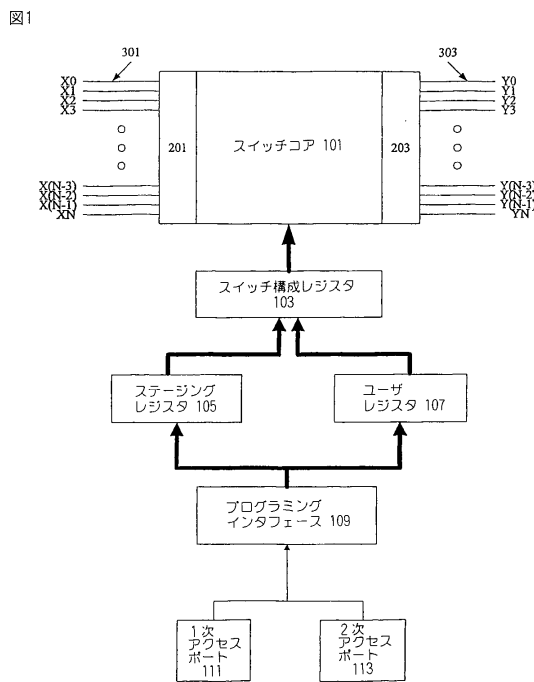
30

40

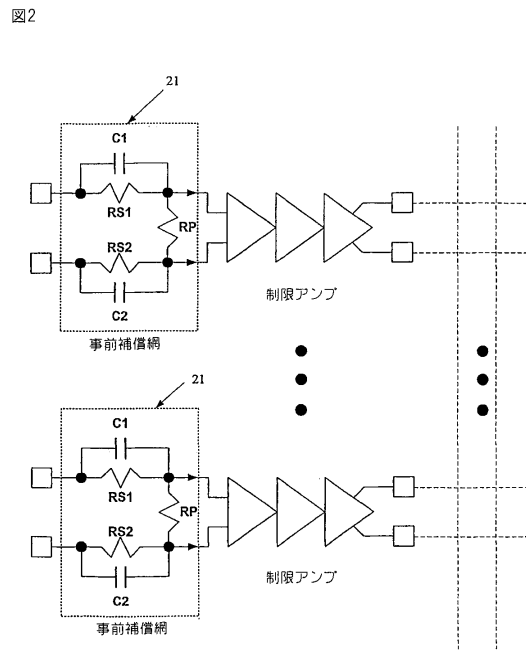
50

- 2 0 1 入力信号等化回路
- 2 0 3 出力レベル制御回路
- 3 0 1 入力バス
- 3 0 3 出力バス

【図1】

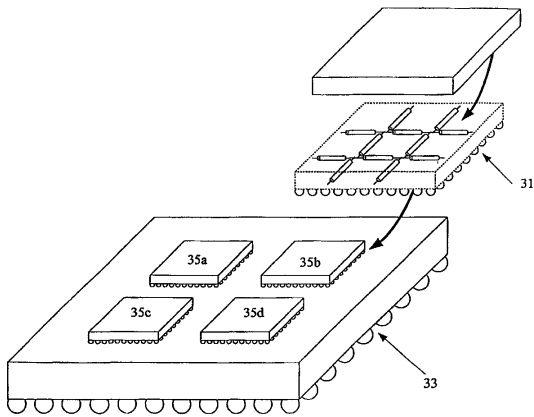


【図2】



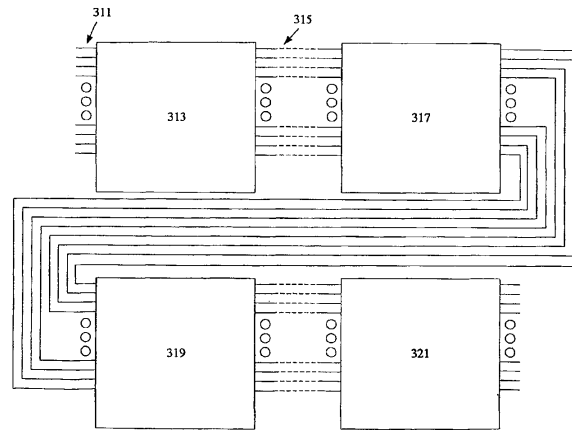
【図3A】

図3A



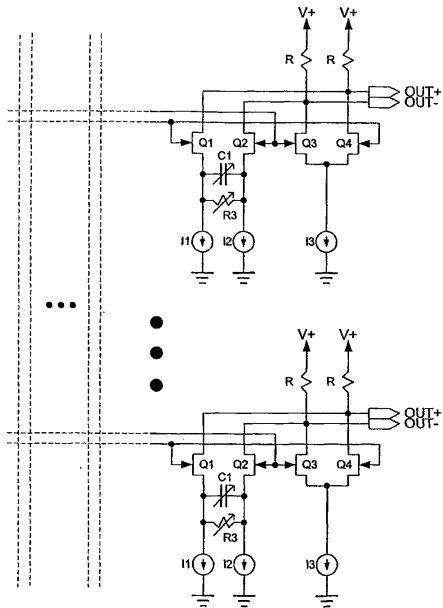
【図3B】

図3B



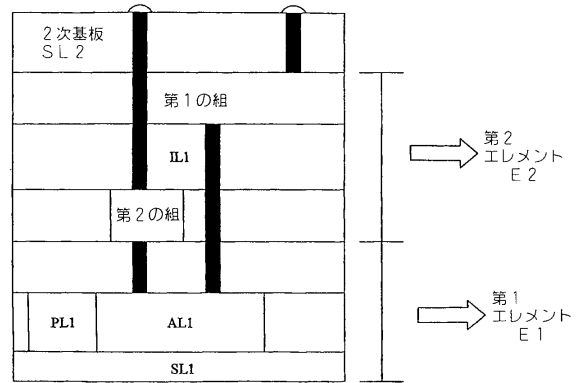
【図4】

図4



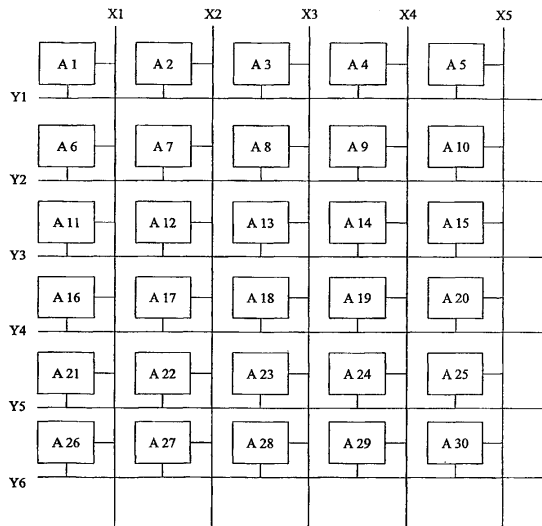
【図5】

図5



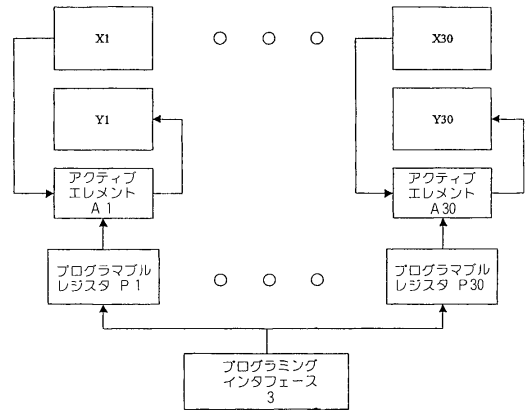
【図6】

図6



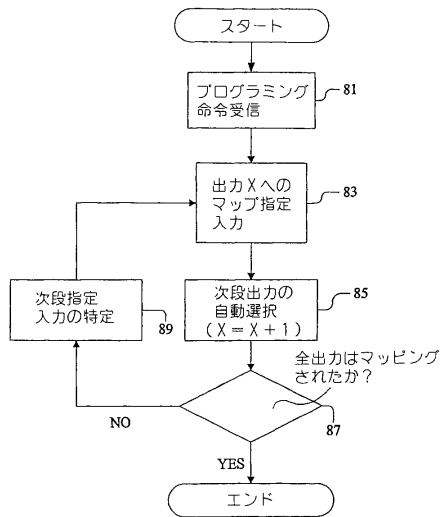
【図7】

図7



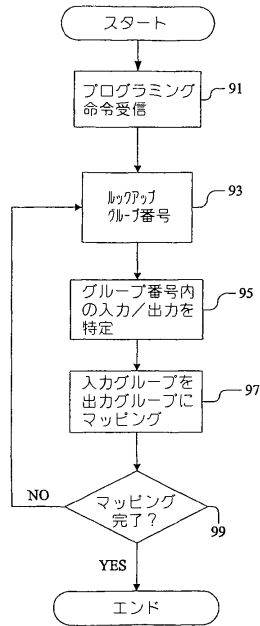
【図8】

図8



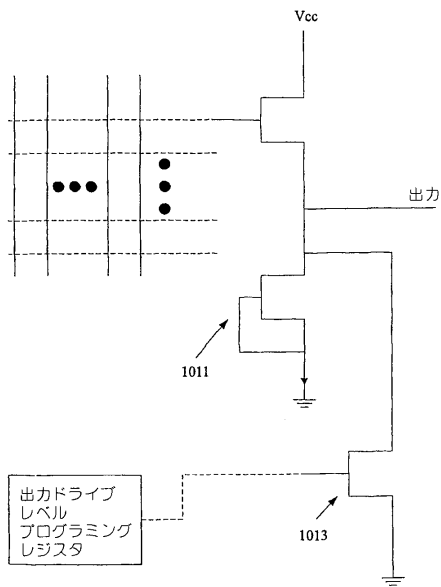
【図9】

図9



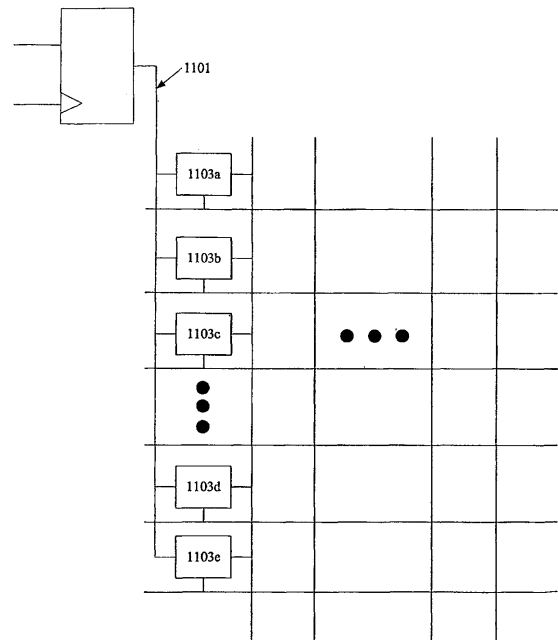
【図10】

図10



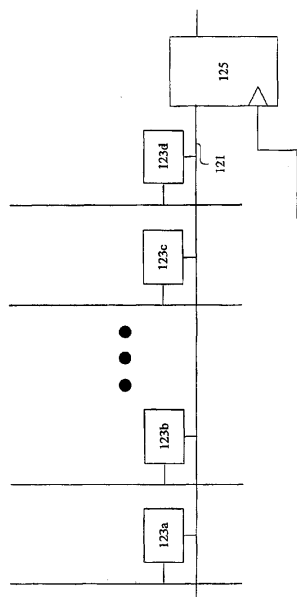
【図11】

図11



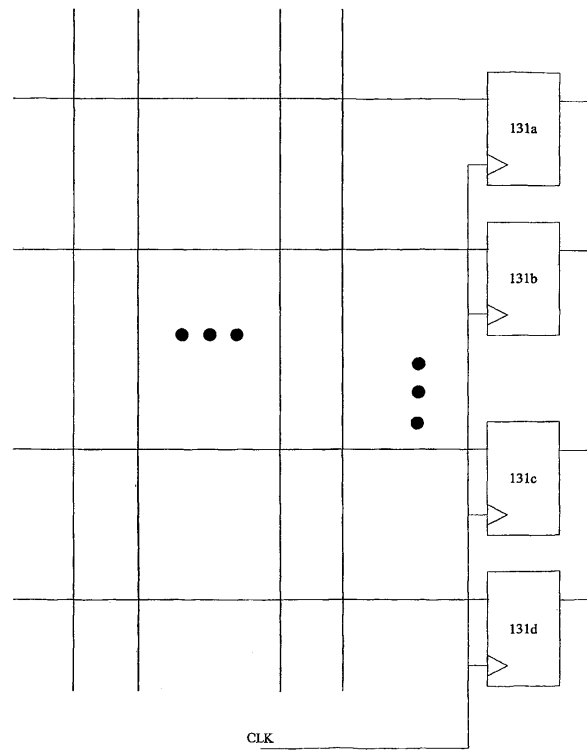
【図12】

図12



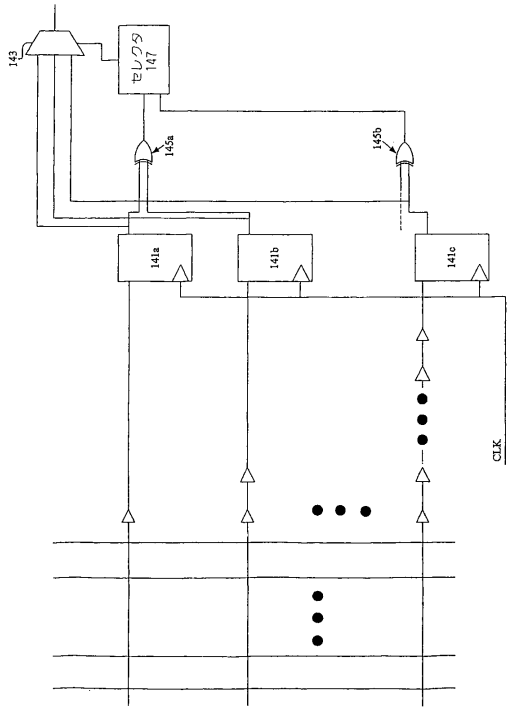
【図13】

図13



【 図 14 】

図14



フロントページの続き

- (72)発明者 マコーマック, ゲイリー
アメリカ合衆国, オレゴン 97223, タイガード, サウスウエスト アントン ドライブ 1
2312
- (72)発明者 カイルス, イアン エー.
アメリカ合衆国, オレゴン 97068, ウェストリン, レミントン ドライブ 2565
- (72)発明者 マカマント, アンガス ジェイ.
アメリカ合衆国, オレゴン 97006, アロハ, サウスウエスト ワンハンドレットアンドナイ
ンティーサード コート 1010
- (72)発明者 セイツ, ノーバート ジェイ.
アメリカ合衆国, オレゴン 97007, ビーバートン, サウスウエスト キンバー プレース
7854
- (72)発明者 スーター, リチャード アール.
アメリカ合衆国, オレゴン 97006, ビーバートン, ノースウエスト サマーセット ドライ
ブ 17005

審査官 松原 徳久

- (56)参考文献 特開昭62-219955(JP, A)
特開平08-008602(JP, A)
特開2000-102046(JP, A)
特開平09-130431(JP, A)
国際公開第98/051067(WO, A1)
特開平10-012765(JP, A)
特開昭53-033510(JP, A)
特開平10-173445(JP, A)
特開昭60-192435(JP, A)
特開2000-059684(JP, A)
特開平03-125595(JP, A)
特開平06-334111(JP, A)
特開昭61-251293(JP, A)
特開平09-232503(JP, A)

(58)調査した分野(Int.Cl., DB名)

H04Q3/52

11/00-11/08