

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年10月3日(03.10.2019)



(10) 国際公開番号

WO 2019/188249 A1

(51) 国際特許分類:

H01L 27/1159 (2017.01) *H01L 27/088* (2006.01)
H01L 21/336 (2006.01) *H01L 29/78* (2006.01)
H01L 21/768 (2006.01) *H01L 29/788* (2006.01)
H01L 21/8234 (2006.01) *H01L 29/792* (2006.01)

(21) 国際出願番号: PCT/JP2019/009982

(22) 国際出願日: 2019年3月12日(12.03.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2018-067780 2018年3月30日(30.03.2018) JP

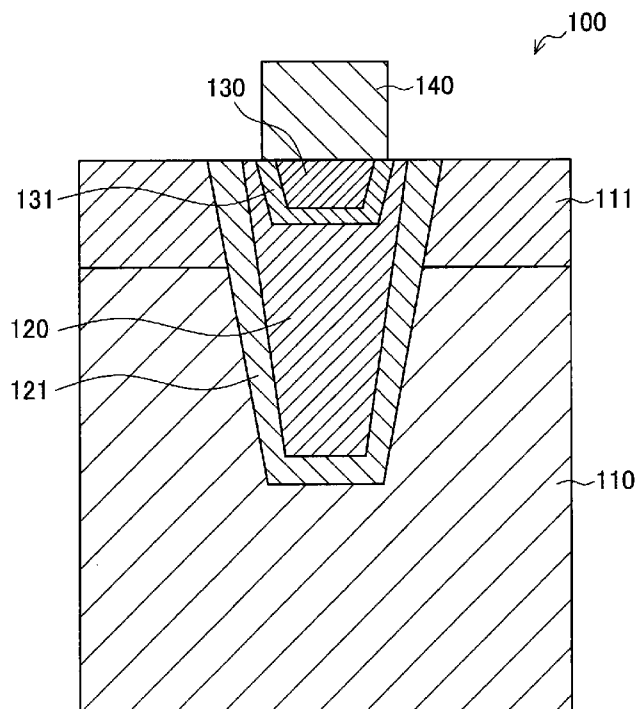
(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION)

[JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(72) 発明者: 奥野 潤(OKUNO, Jun); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 菅谷 文孝(SUGAYA, Fumitaka); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 塚本 雅則(TSUKAMOTO, Masanori); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(54) Title: SEMICONDUCTOR STORAGE DEVICE AND PRODUCT-SUM OPERATION DEVICE

(54) 発明の名称: 半導体記憶装置及び積和演算装置



(57) Abstract: [Problem] To provide a semiconductor storage device and a product-sum operation device which are capable of applying a sufficient voltage to a ferroelectric capacitor and which are suited to high integration. [Solution] This semiconductor storage device is provided with: a transistor; and a ferroelectric capacitor which is formed by sandwiching a ferroelectric member between a pair of electrically conductive members and in which one of the electrically conductive members is electrically connected to a gate electrode of the transistor, wherein a channel of the transistor is three-dimen-

(74) 代理人: 特許業務法人酒井国際特許事務所 (SAKAI INTERNATIONAL PATENT OFFICE); 〒1000013 東京都千代田区霞が関 3 丁目 8 番 1 号 虎の門三井ビルディング Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

sionally formed involving multiple surfaces.

(57) 要約: 【課題】強誘電体キャパシタに十分な電圧を印加することが可能であり、かつ高集積化に適した半導体記憶装置及び積和演算装置を提供する。【解決手段】トランジスタと、一対の導電材料で強誘電体材料を挟持することで形成され、前記導電材料の一方が前記トランジスタのゲート電極と電気的に接続された強誘電体キャパシタと、を備え、前記トランジスタのチャンネルは、複数の面に亘って立体的に形成される、半導体記憶装置。

明 細 書

発明の名称：半導体記憶装置及び積和演算装置

技術分野

[0001] 本開示は、半導体記憶装置及び積和演算装置に関する。

背景技術

[0002] 近年、次世代メモリとして強誘電体メモリ（Ferroelectric Random Access Memory：FeRAM）が注目されている。FeRAMは、強誘電体の残留分極の方向を用いて情報を記憶する半導体記憶装置である。

[0003] FeRAMの構造の1つとして、例えば、半導体基板の上に形成されたMIS（Metal-Insulator-Semiconductor）型電界効果トランジスタのゲート電極の上に、下部電極、強誘電体膜及び上部電極を順に積層することで強誘電体キャパシタを形成する構造が知られている。このような構造は、MFMISS（Metal-Ferroelectric-Metal-Insulator-Semiconductor）構造とも称される。

[0004] MFMISS構造のFeRAMでは、半導体基板及び上部電極の間に電圧を印加するため、印加された電圧は、MIS型電界効果トランジスタのゲート絶縁膜と、強誘電体キャパシタの強誘電体膜とに分配される。そのため、MIS型電界効果トランジスタのゲート容量、及び強誘電体キャパシタの容量の比率によっては、強誘電体膜の分極を反転させるために十分な電圧を強誘電体膜に印加することができないことがあった。

[0005] 例えば、下記の特許文献1には、MFMISS構造のFeRAMにおいて、一端がMIS型電界効果トランジスタのゲート電極及び強誘電体キャパシタの下部電極の間に接続され、他端がMIS型電界効果トランジスタのソースに接続された常誘電体キャパシタをさらに設けることで、強誘電体キャパシタの分配電圧を高くする技術が開示されている。

先行技術文献

特許文献

[0006] 特許文献1：特開2004-22944号公報

発明の概要

発明が解決しようとする課題

[0007] しかし、上記の特許文献1に開示される技術では、半導体基板の上に常誘電体キャパシタが形成される領域をさらに設ける必要があるため、FeRAMの単位セルあたりの面積が大きくなってしまう。そのため、特許文献1に開示されるFeRAMは、高集積化が困難であった。

[0008] そこで、本開示では、強誘電体キャパシタに十分な電圧を印加することが可能であり、かつ高集積化に適した構造を有する、新規かつ改良された半導体記憶装置及び積和演算装置を提案する。

課題を解決するための手段

[0009] 本開示によれば、トランジスタと、一对の導電材料で強誘電体材料を挟持することで形成され、前記導電材料の一方が前記トランジスタのゲート電極と電気的に接続された強誘電体キャパシタと、を備え、前記トランジスタのチャンネルは、複数の面に亘って立体的に形成される、半導体記憶装置が提供される。

[0010] また、本開示によれば、トランジスタと、一对の導電材料で強誘電体材料を挟持することで形成され、前記導電材料の一方が前記トランジスタのゲート電極と電気的に接続される強誘電体キャパシタと、を備え、前記トランジスタのチャンネルは、複数の面に亘って立体的に形成される、積和演算装置が提供される。

[0011] また、本開示によれば、トランジスタと、一对の導電材料で強誘電体材料を挟持することで形成され、前記導電材料の一方が前記トランジスタのゲート電極と電気的に接続された強誘電体キャパシタと、を備え、前記一对の導電材料、及び前記強誘電体材料は、前記ゲート電極の上面と平行に積層され

ることで、前記強誘電体キャパシタは、前記ゲート電極の上に設けられ、前記強誘電体キャパシタの平面面積は、前記ゲート電極の上面の平面面積よりも小さい、半導体記憶装置が提供される。

[0012] さらに、本開示によれば、トランジスタと、一对の導電材料で強誘電体材料を挟持することで形成され、前記導電材料の一方が前記トランジスタのゲート電極と電氣的に接続された強誘電体キャパシタと、を備え、前記一对の導電材料、及び前記強誘電体材料は、前記ゲート電極の上面と平行に積層されることで、前記強誘電体キャパシタは、前記ゲート電極の上に設けられ、前記強誘電体キャパシタの平面面積は、前記ゲート電極の上面の平面面積よりも小さい、積和演算装置が提供される。

[0013] 本開示によれば、半導体記憶装置は、単位セルの大きさを増大させることなく、電界効果トランジスタのゲート容量を増大させることで、強誘電体キャパシタの強誘電体膜に印加される分配電圧をより高くすることができる。

発明の効果

[0014] 以上説明したように本開示によれば、強誘電体キャパシタに十分な電圧を印加することが可能であり、かつ高集積化に適した構造を有する半導体記憶装置及び積和演算装置を提供することができる。

[0015] なお、上記の効果は必ずしも限定的なものではなく、上記の効果とともに、または上記の効果に代えて、本明細書に示されたいずれかの効果、または本明細書から把握され得る他の効果が奏されてもよい。

図面の簡単な説明

[0016] [図1]本開示の第1の実施形態に係る半導体記憶装置の構造例を模式的に示す縦断面図である。

[図2A]半導体記憶装置の変形例に係る構造を模式的に示す縦断面図である。

[図2B]半導体記憶装置の変形例に係る構造を模式的に示す縦断面図である。

[図3]図1で示した半導体記憶装置の各構成の寸法を定義する縦断面図であり、

[図4A]同実施形態に係る半導体記憶装置の特性が良好となる範囲を示すグラ

フ図である。

[図4B]同実施形態に係る半導体記憶装置の特性が良好となる範囲を示すグラフ図である。

[図4C]同実施形態に係る半導体記憶装置の特性が良好となる範囲を示すグラフ図である。

[図5A]同実施形態に係る半導体記憶装置の製造方法の一工程を示す模式的な縦断面図である。

[図5B]同実施形態に係る半導体記憶装置の製造方法の一工程を示す模式的な縦断面図である。

[図5C]同実施形態に係る半導体記憶装置の製造方法の一工程を示す模式的な縦断面図である。

[図5D]同実施形態に係る半導体記憶装置の製造方法の一工程を示す模式的な縦断面図である。

[図5E]同実施形態に係る半導体記憶装置の製造方法の一工程を示す模式的な縦断面図である。

[図5F]同実施形態に係る半導体記憶装置の製造方法の一工程を示す模式的な縦断面図である。

[図5G]同実施形態に係る半導体記憶装置の製造方法の一工程を示す模式的な縦断面図である。

[図6]同実施形態に係る半導体記憶装置をマトリクス状に複数配列した半導体装置の平面構成を模式的に示す平面図である。

[図7]図6に示す半導体装置をA-A線で切断した断面を模式的に示す縦断面図である。

[図8]図6及び図7で示す半導体装置の等価回路図である。

[図9]半導体装置の変形例に係る断面構造に模式的に示す縦断面図である。

[図10]本開示の第2の実施形態に係る半導体記憶装置の構造例を模式的に示す斜視図である。

[図11A]半導体記憶装置の変形例に係る構造を模式的に示す縦断面図である。

[図11B]半導体記憶装置の変形例に係る構造を模式的に示す縦断面図である。

[図11C]半導体記憶装置の変形例に係る構造を模式的に示す縦断面図である。

[図11D]半導体記憶装置の変形例に係る構造を模式的に示す縦断面図である。

[図12]図10で示した半導体記憶装置の各構成の寸法を定義する斜視図である。

[図13]同実施形態に係る半導体記憶装置をマトリクス状に複数配列した半導体装置の平面構成を模式的に示す平面図である。

[図14]同実施形態に係る半導体記憶装置の構造例を模式的に示す縦断面図である。

[図15]図14で示した半導体記憶装置の各構成の寸法を定義する縦断面図である。

[図16A]同実施形態に係る半導体記憶装置の製造方法の一工程を示す模式的な縦断面図である。

[図16B]同実施形態に係る半導体記憶装置の製造方法の一工程を示す模式的な縦断面図である。

[図16C]同実施形態に係る半導体記憶装置の製造方法の一工程を示す模式的な縦断面図である。

[図16D]同実施形態に係る半導体記憶装置の製造方法の一工程を示す模式的な縦断面図である。

[図16E]同実施形態に係る半導体記憶装置の製造方法の一工程を示す模式的な縦断面図である。

[図17]半導体記憶装置の変形例に係る構造を模式的に示す縦断面図である。

[図18]半導体記憶装置の変形例に係る構造を模式的に示す縦断面図である。

[図19]半導体記憶装置の変形例に係る構造を模式的に示す縦断面図である。

発明を実施するための形態

[0017] 以下に添付図面を参照しながら、本開示の好適な実施の形態について詳細に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略

する。

[0018] 以下の説明にて参照する各図面では、説明の便宜上、一部の構成部材の大きさを誇張して表現している場合がある。したがって、各図面において図示される構成部材同士の相対的な大きさは、必ずしも実際の構成部材同士の大小関係を正確に表現するものではない。また、以下の説明では、基板又は層が積層される方向を上方向と表現することがある。

[0019] なお、説明は以下の順序で行うものとする。

1. 第1の実施形態

1. 1. 構造例

1. 2. 設計例

1. 3. 製造方法

1. 4. 適用例

2. 第2の実施形態

2. 1. 構造例

2. 2. 設計例

2. 3. 適用例

3. 第3の実施形態

3. 1. 構造例

3. 2. 設計例

3. 3. 製造方法

3. 4. 変形例

[0020] <1. 第1の実施形態>

(1. 1. 構造例)

まず、図1を参照して、本開示の第1の実施形態に係る半導体記憶装置の構造例について説明する。図1は、本実施形態に係る半導体記憶装置の構造例を模式的に示す縦断面図である。

[0021] 図1に示すように、半導体記憶装置100は、半導体基板110と、ソース又はドレイン領域111と、ゲート絶縁膜121と、下部電極120と、

強誘電体膜 131 と、上部電極 130 と、導体電極 140 と、を備える。

[0022] 半導体記憶装置 100 は、電界効果トランジスタのゲート電極の上に強誘電体キャパシタを直列に接続した MFMS 構造を有する FeRAM である。具体的には、電界効果トランジスタは、半導体基板 110、ソース又はドレイン領域 111、ゲート絶縁膜 121 及び下部電極 120 によって形成され、強誘電体キャパシタは、下部電極 120、強誘電体膜 131 及び上部電極 130 によって形成される。強誘電体キャパシタは、下部電極 120 にて電界効果トランジスタのゲートと直列に接続している。

[0023] 半導体基板 110 は、半導体材料にて構成される基板である。半導体記憶装置 100 が形成される領域の半導体基板 110 には、第 1 導電型の不純物（例えば、ホウ素又はアルミニウムなどの p 型不純物）が導入されている。半導体基板 110 は、シリコン基板であってもよく、シリコン基板の中に SiO₂ 等の絶縁膜を挟み込んだ SOI (Silicon On Insulator) 基板であってもよい。または、半導体基板 110 は、ゲルマニウムなどの他の元素半導体で形成された基板、又はガリウムヒ素 (GaAs)、窒化ガリウム (GaN) 若しくはシリコンカーバイド (SiC) 等の化合物半導体で形成された基板であってもよい。さらには、半導体基板 110 は、石英、サファイア、樹脂又は金属等で構成された基板上に半導体層を積層した基板であってもよい。

[0024] ソース又はドレイン領域 111 は、半導体基板 110 に形成された第 2 導電型（例えば、n 型）の領域である。具体的には、ソース又はドレイン領域 111 は、半導体基板 110 に設けられた開口の両側の領域に第 2 導電型の不純物（例えば、リン又はヒ素などの n 型不純物）を導入することで設けられる。半導体基板 110 に設けられた開口の内部には、電界効果トランジスタ及び強誘電体キャパシタが形成される。なお、ソース又はドレイン領域 111 は、互いに離隔されていれば、必ずしも半導体基板 110 に設けられた開口の両側に設けられずともよい。

[0025] なお、半導体基板 110 に設けられた開口の両側に形成されたソース又は

ドレイン領域 111 は、いずれがソース領域として機能してもよく、いずれがドレイン領域として機能してもよい。これらは、ソース又はドレイン領域 111 の各々に接続される配線によって任意に変更され得る。

[0026] ゲート絶縁膜 121 は、絶縁性材料で構成され、半導体基板 110 に形成された開口の内部形状に沿って設けられる。具体的には、半導体基板 110 に形成された開口は、半導体基板 110 のソース又はドレイン領域 111 よりも深い領域まで設けられ、ゲート絶縁膜 121 は、該開口の底面及び側面に沿って設けられる。ゲート絶縁膜 121 は、電界効果トランジスタのゲート絶縁膜として公知の絶縁性材料で形成されてもよい。例えば、ゲート絶縁膜 121 は、酸化シリコン (SiO_x)、窒化シリコン (SiN_x) 又は酸窒化シリコン (SiON) などの絶縁性の酸窒化物で形成されてもよい。

[0027] 下部電極 120 は、導電性材料で構成され、半導体基板 110 に形成された開口を埋め込むようにゲート絶縁膜 121 の上に設けられる。例えば、下部電極 120 は、ポリシリコン等にて形成されてもよく、金属、合金又は金属化合物にて形成されてもよい。なお、下部電極 120 は、他の配線と電氣的に接続されておらず、電位が独立した状態（いわゆる、フローティング状態）として設けられる。

[0028] 強誘電体膜 131 は、強誘電体材料にて構成され、下部電極 120 に設けられた開口の内部形状に沿って設けられる。具体的には、下部電極 120 に設けられた開口は、下部電極 120 の内側に設けられ、強誘電体膜 131 は、該開口の底面及び側面に沿って設けられる。なお、下部電極 120 に設けられた開口は、ゲート絶縁膜 121 を露出されるように設けられてもよい。

[0029] 強誘電体膜 131 は、自発的に分極し、かつ残留分極の方向を外部電界にて制御可能な強誘電体材料にて形成される。具体的には、強誘電体膜 131 は、ハフニウム (Hf)、ジルコニウム (Zr)、シリコン (Si) 又は酸素 (O) を含む強誘電体材料で形成される。例えば、強誘電体膜 131 は、チタン酸ジルコン酸鉛 ($\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$: PZT) 又はタンタル酸ビスマス酸ストロンチウム ($\text{SrBi}_2\text{Ta}_2\text{O}_9$: SBT) などのペレブスカイ

ト構造の強誘電体材料にて形成されてもよい。また、強誘電体膜 131 は、 HfO_x 、 ZrO_x 又は HfZrO_x などの高誘電体材料からなる膜を熱処理等によって変質させた強誘電体膜であってもよく、上記の高誘電体材料からなる膜にランタン (La)、シリコン (Si) 又はガドリニウム (Gd) などの原子を導入することで変質させた強誘電体膜であってもよい。さらに、強誘電体膜 131 は、単層にて形成されてもよく、複数層にて形成されてもよい。例えば、強誘電体膜 131 は、 HfO_x などの強誘電体材料からなる単層膜であってもよい。

[0030] 上部電極 130 は、導電性材料で構成され、下部電極 120 に形成された開口を埋め込むように強誘電体膜 131 の上に設けられる。例えば、上部電極 130 は、チタン (Ti) 若しくはタングステン (W) などの金属、又は窒化チタン (TiN) 若しくは窒化タンタル (TaN) などの金属化合物で形成されてもよい。

[0031] 導体電極 140 は、導電性材料で構成され、上部電極 130 の上に設けられる。ただし、導体電極 140 は、下部電極 120 をフローティング状態とするために、下部電極 120 と接しない大きさで設けられる。導体電極 140 は、例えば、半導体基板 110 よりも上層にて他の配線と電氣的に接続することで、半導体記憶装置 100 の接続端子として機能する。導体電極 140 は、例えば、銅 (Cu) 又はアルミニウム (Al) 等の金属材料で形成されてもよい。

[0032] なお、半導体記憶装置 100 は、図 2 A 及び図 2 B で示す構造であってもよい。図 2 A 及び図 2 B は、半導体記憶装置 100 の変形例に係る構造を模式的に示す縦断面図である。

[0033] 図 2 A に示すように、導体電極 141 は、下部電極 120 に設けられた開口を埋め込むように、上部電極 130 の上に設けられてもよい。すなわち、導体電極 141 は、半導体基板 110 の表面上に設けられるのではなく、導体電極 141 の一部が半導体基板 110 の内側に埋め込まれるように設けられてもよい。導体電極 141 を構成する材料等については、導体電極 140

と実質的に同様であるため、ここでの説明は省略する。

[0034] また、図2Bに示すように、半導体記憶装置100では、下部電極120に設けられた開口がゲート絶縁膜121を露出させるように設けられ、強誘電体膜131がゲート絶縁膜121と接するように設けられてもよい。例えば、下部電極120に設けられた開口は、下部電極120を半導体基板110の表面から後退（リセス）させ、強誘電体膜131及び上部電極130は、下部電極120のリセスされた領域に形成されてもよい。図2Bに示す半導体記憶装置100では、フローティング状態となる下部電極120が半導体基板110の表面に露出しない。そのため、導体電極141は、下部電極120に接触する可能性を考慮することなく、任意の大きさにて形成されることができる。

[0035] 本実施形態に係る半導体記憶装置100では、上部電極130と、ソース又はドレイン領域111との間に電圧 V を印加することで、強誘電体キャパシタの強誘電体膜131と、電界効果トランジスタのゲート絶縁膜121とに電圧を印加する。このとき、強誘電体膜131及びゲート絶縁膜121には、それぞれ強誘電体キャパシタの容量 C_f と、電界効果トランジスタのゲート容量 C_i との比に反比例した電圧が印加される。具体的には、強誘電体膜131には、分配電圧 $V_f (=V (C_i / (C_i + C_f)))$ が印加され、ゲート絶縁膜121には、分配電圧 $V_i (=V (C_f / (C_i + C_f)))$ が印加される。

[0036] ここで、強誘電体膜131に印加される分配電圧 V_f は、強誘電体キャパシタの容量 C_f と、電界効果トランジスタのゲート容量 C_i とのカップリング比 $(C_i / (C_i + C_f))$ に依存する。

[0037] ただし、一般的に、強誘電体材料で形成された強誘電体膜131の誘電率は、絶縁性材料で形成されたゲート絶縁膜121よりも高い。そのため、強誘電体膜131及びゲート絶縁膜121の面積が同じである場合、強誘電体キャパシタの容量 C_f は、電界効果トランジスタのゲート容量 C_i よりも大きくなる。このような場合、上部電極130と、ソース又はドレイン領域1

1 1 との間に印加される電圧 V の大部分が電界効果トランジスタのゲート絶縁膜 1 2 1 に分配されてしまう。

[0038] 本実施形態に係る半導体記憶装置 1 0 0 では、半導体基板 1 1 0 に設けられた開口の内部に電界効果トランジスタ及び強誘電体キャパシタを設け、電界効果トランジスタの上に強誘電体キャパシタを設ける。このような場合、電界効果トランジスタでは、複数の面に亘って立体的にチャネルが形成される。これによれば、電界効果トランジスタは、同面積の半導体基板上に形成されたプレーナ型の電界効果トランジスタ（半導体基板上にゲート絶縁膜及びゲート電極を平行に積層した電界効果トランジスタ）と比較して、チャネルの実効的な長さをより長くすることができるため、ゲート容量 C_i を増大させることができる。

[0039] したがって、本実施形態に係る半導体記憶装置 1 0 0 は、単位セルの大きさを増大させることなく、電界効果トランジスタのゲート容量 C_i を増大させ、強誘電体膜 1 3 1 に印加される分配電圧をより高くすることができる。したがって、半導体記憶装置 1 0 0 は、十分な電圧を強誘電体膜 1 3 1 に印加することができるため、情報の書き込み及び消去動作の安定性を向上させることができる。

[0040] （1. 2. 設計例）

次に、図 3～図 4 C を参照して、本実施形態に係る半導体記憶装置 1 0 0 の具体的な設計例について説明する。図 3 は、図 1 で示した半導体記憶装置 1 0 0 の各構成の寸法を定義する縦断面図であり、図 4 A～図 4 C は、本実施形態に係る半導体記憶装置 1 0 0 の特性が良好となる範囲を示すグラフ図である。

[0041] 図 3 に示すように、半導体基板 1 1 0 に形成される開口の深さを h_i とし、下部電極 1 2 0 に形成される開口の深さを h_f とし、ゲート絶縁膜 1 2 1 の膜厚を d_i とし、強誘電体膜 1 3 1 の膜厚を d_f とする。また、ゲート絶縁膜 1 2 1 の比誘電率を ϵ_i とし、強誘電体膜 1 3 1 の比誘電率を ϵ_f とする。このような場合、以下で説明する条件を満たすように各構成の寸法を制

御することで、半導体記憶装置 100 の特性をより良好にすることが可能である。

[0042] 具体的には、上部電極 130 に電圧 V_{prg} が印加される場合、強誘電体膜 131 に印加される電圧 V_f 、及びゲート絶縁膜 121 に印加される電圧 V_i は、以下の式で表される。

$$\begin{aligned}
 [0043] \quad V_f &= V_{prg} / (1 + C_f / C_i) \\
 &= V_{prg} / (1 + (\epsilon_f \cdot h_f \cdot d_i) / (\epsilon_i \cdot h_i \cdot d_f)) \\
 V_i &= V_{prg} - V_f
 \end{aligned}$$

[0044] したがって、強誘電体膜 131 に発生する電界 E_f 、及びゲート絶縁膜 121 に発生する電界 E_i は、以下の式のようにになる。

$$\begin{aligned}
 [0045] \quad E_f &= V_{prg} / d_f \cdot (1 + (\epsilon_f \cdot h_f \cdot d_i) / (\epsilon_i \cdot h_i \cdot d_f)) \\
 E_i &= d_i \cdot (V_{prg} - V_f)
 \end{aligned}$$

[0046] ここで、強誘電体膜 131 にて十分な残留分極を得るためには、 $E_f > 2 \text{ MV/cm}$ であることが望ましい。また、ゲート絶縁膜 121 にて絶縁破壊を発生させないためには、 $E_i < 10 \text{ MV/cm}$ であることが望ましい。

[0047] 具体的には、強誘電体膜 131 が H_f を含む強誘電体材料で形成される場合、電界に対する強誘電体膜 131 の残留分極の量は、例えば、図 4 A に示すグラフのようになる。図 4 A は、強誘電体膜 131 の面積が $7500 \mu\text{m}^2$ であり、強誘電体膜 131 の膜厚が 12 nm であり、強誘電体膜 131 が $H_f \text{ O}_x$ で形成される強誘電体キャパシタから得られた分極－電界測定の結果である。図 4 A に示すグラフ図を参照すると、強誘電体膜 131 の分極のヒステリシス曲線を十分に飽和させ、十分に大きな残留分極を得るためには、強誘電体膜 131 に発生させる電界は、 2 MV/cm よりも大きくすることが好ましいことがわかる。

[0048] また、ゲート絶縁膜 121 がシリコン酸化膜で形成される場合、電界に対するゲート絶縁膜 121 の寿命の長さは、図 4 B に示すグラフのようになる。図 4 B は、ゲート絶縁膜 121 の面積が $5000 \mu\text{m}^2$ であり、ゲート絶縁膜

121の膜厚が $12\mu\text{m}$ であり、ゲート絶縁膜121がシリコン酸化膜で形成される電界効果トランジスタの絶縁破壊測定の結果である。図4Bに示すグラフ図を参照すると、実用上十分な寿命である $1.00\text{E}+05$ 以上のゲート絶縁膜121の寿命を実現するためには、ゲート絶縁膜121に発生させる電界は、 $10\text{MV}/\text{cm}$ よりも小さくすることが好ましいことがわかる。

[0049] したがって、上述した E_f 及び E_i が好ましい範囲を満たすように、 h_f 、 h_i 、 d_f 及び d_i を適宜設計することで、半導体記憶装置100の特性を良好にすることが可能である。

[0050] 例えば、強誘電体膜131が H_f を含む強誘電体材料で形成される場合、 ϵ_f は20程度であり、ゲート絶縁膜121がシリコン酸化膜で形成される場合、 ϵ_i は3.9程度である。ここで、ゲート絶縁膜121の膜厚を 1nm とし、 V_{prg} を 3.5V とした場合の h_f 及び h_i の好適な比、及び強誘電体膜131の好適な膜厚 d_f は、図4Cに示す範囲となる。図4Cは、 h_f/h_i の比と、強誘電体膜131の膜厚 d_f との組み合わせを示すグラフ図である。図4Cにて黒く塗りつぶした領域の h_f 及び h_i の比と、強誘電体膜131の膜厚 d_f とを採用することで、半導体記憶装置100はより好適な特性を実現することが可能である。

[0051] (1. 3. 製造方法)

次に、図5A～図5Gを参照して、本実施形態に係る半導体記憶装置100の製造方法について説明する。図5A～図5Gは、本実施形態に係る半導体記憶装置100の製造方法の一工程を示す模式的な縦断面図である。

[0052] まず、図5Aに示すように、シリコンで形成される半導体基板110の上に、半導体基板110に開口120Aを形成するためのマスク151をパターンニングする。例えば、マスク151は、フォトリソスト単体であってもよく、酸化膜又は窒化膜等のハードマスクと、フォトリソストとの積層体であってもよい。

[0053] 次に、図5Bに示すように、マスク151を用いて半導体基板110をエ

ッチングすることで、マスク 151 のパターンに対応する開口 120A を半導体基板 110 に形成する。なお、開口 120A を形成した後の半導体基板 110 には、イオン注入法によって、電界効果トランジスタの閾値電圧を調整するための第 1 導電型（例えば、p 型）のチャネルインプラを形成してもよい。

[0054] 続いて、図 5C に示すように、半導体基板 110 の上に、ゲート絶縁膜 121、下部電極 120、強誘電体膜 131 及び上部電極 130 を順に成膜する。具体的には、開口 120A が設けられた半導体基板 110 の外形に沿って、半導体基板 110 の上に、ゲート絶縁膜 121、下部電極 120、強誘電体膜 131 及び上部電極 130 を順に成膜することで、半導体基板 110 に設けた開口 120A を埋め込む。ゲート絶縁膜 121、下部電極 120、強誘電体膜 131 及び上部電極 130 の膜厚は、半導体記憶装置 100 の特性が良好となる上述した範囲の値となるように適宜調整され得る。ゲート絶縁膜 121、下部電極 120、強誘電体膜 131 及び上部電極 130 を構成する材料は、上述した材料を適宜用いることが可能である。

[0055] 次に、図 5D に示すように、半導体基板 110 の開口 120A が形成された面側を CMP (Chemical Mechanical Polishing) 等で半導体基板 110 の表面が露出するまで研磨する。なお、半導体基板 110 の表面が露出した後も CMP 等による研磨を続行してもよい。また、図 5D では、研磨後の半導体基板 110 の表面の高さと、ゲート絶縁膜 121、下部電極 120、強誘電体膜 131 及び上部電極 130 の表面の高さとが一致しているが、例えば、上部電極 130 の中央部の窪んでいてもよい。

[0056] 続いて、図 5E に示すように、イオン注入法によって、開口 120A の両側の半導体基板 110 に第 2 導電型の不純物（例えば、n 型不純物）を導入することで、ソース又はドレイン領域 111 を形成する。なお、半導体基板 110 への第 2 導電型の不純物の導入は、レジストマスク等を介して行ってもよく、レジストマスク等を介さずに行ってもよい。なお、ソース又はドレ

イン領域 111 の形成工程は、半導体基板 110 への開口 120A の形成前又は形成直後に行ってもよい。

[0057] 次に、図 5 F に示すように、スパッタ等を用いて半導体基板 110 の上に導体電極層 140A を成膜した後、マスク 152 を導体電極層 140A の上に設ける。導体電極層 140A を構成する材料は、上述した材料を適宜用いることが可能である。

[0058] その後、図 5 G に示すように、マスク 152 を用いて導体電極層 140A をパターニングすることで、下部電極 120 と接触しない大きさにて導体電極 140 を上部電極 130 の上に形成する。

[0059] 以上の工程によれば、本実施形態に係る半導体記憶装置 100 を製造することができる。

[0060] (1. 4. 適用例)

続いて、図 6 ～図 9 を参照して、本実施形態に係る半導体記憶装置 100 の適用例について説明する。図 6 は、本実施形態に係る半導体記憶装置 100 をマトリクス状に複数配列した半導体装置 1 の平面構成を模式的に示す平面図であり、図 7 は、図 6 に示す半導体装置 1 を A-A 線で切断した断面を模式的に示す縦断面図である。

[0061] 図 6 及び図 7 に示すように、半導体装置 1 は、マトリクス状に配列された複数の半導体記憶装置 100 に大容量の情報を記憶することが可能な記憶装置である。また、半導体装置 1 は、マトリクス状に配列された複数の半導体記憶装置 100 をシナプスとして用い、半導体記憶装置 100 のチャネルの抵抗値をシナプスの重みとすることで、積和演算を行うことが可能な積和演算装置として用いることも可能である。

[0062] 半導体装置 1 では、第 1 方向（例えば、図 6 に正対して左右方向）に延伸する配線 21 は、コンタクト 31 を介して半導体記憶装置 100 のソース又はドレイン領域 111 の一方と電氣的に接続されている。導体電極 140 は、第 1 方向と直交する第 2 方向（例えば、図 6 に正対して上下方向）に延伸して設けられる。また、配線 23 は、コンタクト 32 を介して半導体記憶装

置 1 0 0 のソース又はドレイン領域 1 1 1 の他方と電氣的に接続されている。さらに、互いに直交する配線 2 1 と、導体電極 1 4 0 との各交点の半導体基板 1 1 0 には、半導体記憶装置 1 0 0 が設けられる。なお、第 2 方向に隣接する半導体記憶装置 1 0 0 は、絶縁性の素子分離層 1 0 によって互いに電氣的に絶縁されている。

[0063] ここで、図 8 をさらに参照して、半導体装置 1 における情報の書き込み又は読み出し動作について説明する。図 8 は、図 6 及び図 7 で示す半導体装置 1 の等価回路図である。

[0064] 図 8 に示すように、情報を書き込む場合、例えば、半導体装置 1 は、所定の配線 2 1 と所定の導体電極 1 4 0 との間に電位差を設けることで、所定の配線 2 1 と所定の導体電極 1 4 0 との交点に存在する半導体記憶装置 1 0 0 に選択的に電位差を印加する。これにより、半導体装置 1 は、配線 2 1 及び導体電極 1 4 0 の交点に存在する半導体記憶装置 1 0 0 の強誘電体膜 1 3 1 の残留分極を選択的に反転させ、半導体記憶装置 1 0 0 に情報を書き込むことができる。

[0065] 一方、情報を読み出す場合、半導体装置 1 は、例えば、導体電極 1 4 0 に電圧を印加して半導体記憶装置 1 0 0 の電界効果トランジスタをオン状態にした後、配線 2 1 及び配線 2 3 の間に流れる電流（すなわち、半導体記憶装置 1 0 0 のソース及びドレイン間に流れる電流）を測定する。これにより、半導体装置 1 は、半導体記憶装置 1 0 0 の各々から強誘電体膜 1 3 1 の残留分極の方向に応じた電流値を得ることができるため、半導体記憶装置 1 0 0 から情報を読み出すことができる。

[0066] なお、図 7 で示す半導体装置 1 の断面構造は、図 9 で示す断面構造であってもよい。図 9 は、半導体装置 1 の変形例に係る断面構造に模式的に示す縦断面図である。図 9 に示すように、導体電極 1 4 0 は、コンタクト 3 3 を介して上部電極 1 3 0 と電氣的に接続されていてもよい。

[0067] 以上にて、本開示の第 1 の実施形態に係る半導体記憶装置 1 0 0 について詳細に説明した。

[0068] < 2. 第2の実施形態 >

(2. 1. 構造例)

続いて、図10を参照して、本開示の第2の実施形態に係る半導体記憶装置の構造例について説明する。図10は、本実施形態に係る半導体記憶装置の構造例を模式的に示す斜視図である。

[0069] 図10に示すように、半導体記憶装置200は、半導体基板210と、絶縁層212と、半導体層211と、ソース又はドレイン領域215と、ゲート絶縁膜214と、ゲート電極213と、下部電極217と、強誘電体膜220と、上部電極221と、導体電極222と、を備える。

[0070] 半導体記憶装置200は、電界効果トランジスタのゲート電極に強誘電体キャパシタが直列に接続されたMFMI S構造を有するFeRAMである。具体的には、電界効果トランジスタは、半導体層211、ソース又はドレイン領域215、ゲート絶縁膜214及びゲート電極213によって形成されるFin型の電界効果トランジスタである。強誘電体キャパシタは、下部電極217、強誘電体膜220及び上部電極221によって形成される。強誘電体キャパシタは、電界効果トランジスタのゲート電極213に下部電極120が電氣的に接続することで、電界効果トランジスタのゲートと直列に接続している。

[0071] 半導体基板210は、半導体材料にて構成される基板である。半導体基板210は、シリコン基板であってもよく、シリコン基板の中にSiO₂等の絶縁膜を挟み込んだSOI (Silicon On Insulator) 基板であってもよい。または、半導体基板210は、ゲルマニウムなどの他の元素半導体で形成された基板、又はガリウムヒ素 (GaAs)、窒化ガリウム (GaN) 若しくはシリコンカーバイド (SiC) 等の化合物半導体で形成された基板であってもよい。さらには、半導体基板210は、石英、サファイア、樹脂又は金属等で構成された基板上に半導体層を積層した基板であってもよい。

[0072] 絶縁層212は、絶縁性材料で構成され、半導体基板210の上に設けら

れる。絶縁層 212 は、半導体基板 210 の上に設けられるゲート電極 213 及び下部電極 217 等の各構成と、半導体基板 210 とを電氣的に絶縁する。また、絶縁層 212 は、半導体層 211 が複数設けられる場合、半導体基板 210 の上に凸に設けられる半導体層 211 の各々を互いに電氣的に絶縁する。絶縁層 212 は、例えば、酸化シリコン (SiO_x)、窒化シリコン (SiN_x) 又は酸窒化シリコン (SiON) などの絶縁性の酸窒化物で形成されてもよい。

[0073] 半導体層 211 は、半導体材料で構成され、半導体基板 210 の上に絶縁層 212 を貫通して凸に設けられる。具体的には、半導体層 211 は、一方方向に延伸する直方体形状にて半導体基板 210 の上に凸に設けられ得る。例えば、半導体層 211 は、平板状形状であり、平板状形状の主面（最も面積が大きい面）が半導体基板 210 に対して垂直になるように半導体基板 210 の上に凸に設けられてもよい。また、半導体層 211 が複数設けられる場合、複数の半導体層 211 の各々は、延伸方向が互いに平行になるように半導体基板 210 の上に凸に設けられてもよい。半導体層 211 は、例えば、シリコンで形成されてもよく、ゲルマニウムなどの他の元素半導体で形成されてもよく、ガリウムヒ素 (GaAs)、窒化ガリウム (GaN) 又はシリコンカーバイド (SiC) 等の化合物半導体で形成されてもよい。

[0074] ゲート絶縁膜 214 は、絶縁性材料で構成され、半導体層 211 の延伸方向と直交する方向に亘って半導体層 211 の上面及び側面を覆うように設けられる。ゲート絶縁膜 214 は、半導体層 211 の延伸方向と直交する方向に亘って半導体層 211 の上に跨設されるゲート電極 213 と、半導体層 211 とに挟持されるように設けられてもよい。ゲート絶縁膜 214 は、電界効果トランジスタのゲート絶縁膜として公知の絶縁性材料で形成されてもよい。例えば、ゲート絶縁膜 214 は、酸化シリコン (SiO_x)、窒化シリコン (SiN_x) 又は酸窒化シリコン (SiON) などの絶縁性の酸窒化物で形成されてもよい。

[0075] ゲート電極 213 は、導電性材料で構成され、半導体層 211 の延伸方向

と直交する方向に亘って、ゲート絶縁膜 214 を介して半導体層 211 の上に跨るように設けられる。例えば、ゲート電極 213 は、半導体層 211 の延伸方向と直交する方向に延伸して、半導体層 211 と交差するように半導体層 211 の上に設けられてもよい。また、半導体層 211 が複数設けられる場合、ゲート電極 213 は、互いに平行に延伸して設けられた複数の半導体層 211 の上に、半導体層 211 の延伸方向と直交する方向に延伸して設けられることで、複数の半導体層 211 の上に連続して跨設されてもよい。例えば、ゲート電極 213 は、ポリシリコン等にて形成されてもよく、金属、合金又は金属化合物にて形成されてもよい。

[0076] なお、ゲート絶縁膜 214 及びゲート電極 213 は、ゲート電極 213 の両側から半導体層 211 が突出するように、半導体層 211 の略中央に設けられる。これによれば、ゲート電極 213 の両側に突出する半導体層 211 に、後述するソース又はドレイン領域 215 を形成することが可能となる。

[0077] ソース又はドレイン領域 215 は、半導体層 211 に形成された第 2 導電型（例えば、n 型）の領域である。具体的には、ソース又はドレイン領域 215 は、半導体層 211 のうち、ゲート電極 213 の両側に突出する領域に設けられる。例えば、ソース又はドレイン領域 215 は、ゲート電極 213 の両側から突出する半導体層 211 の領域に第 2 導電型の不純物（例えば、リン又はヒ素などの n 型不純物）を導入することで設けられ得る。

[0078] なお、半導体層 211 に設けられたソース又はドレイン領域 215 は、いずれがソース領域として機能してもよく、いずれがドレイン領域として機能してもよい。これらは、ソース又はドレイン領域 215 の各々に接続される配線によって任意に変更され得る。

[0079] 下部電極 217 は、導電性材料で構成され、ゲート電極 213 と電氣的に接続して絶縁層 212 の上に設けられる。具体的には、下部電極 217 は、ゲート電極 213 と電氣的に接続して、半導体層 211 の延伸方向と直交する方向に延伸するように設けられてもよい。例えば、下部電極 217 は、ポリシリコン等にて形成されてもよく、金属、合金又は金属化合物にて形成さ

れてもよい。なお、下部電極 217 は、ゲート電極 213 と電氣的に接続し、かつ電位が独立した状態（いわゆるフローティング状態）となっていれば、形成される場所は特に限定されない。

[0080] 強誘電体膜 220 は、強誘電体材料にて構成され、下部電極 217 の上に設けられる。具体的には、強誘電体膜 220 は、絶縁層 212 の上に延伸する下部電極 217 の上に設けられる。

[0081] 強誘電体膜 220 は、自発的に分極し、かつ残留分極の方向を外部電界にて制御可能な強誘電体材料にて形成される。強誘電体膜 220 は、ハフニウム (Hf)、ジルコニウム (Zr)、シリコン (Si) 又は酸素 (O) を含む強誘電体材料で形成される。例えば、強誘電体膜 220 は、チタン酸ジルコン酸鉛 ($\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$: PZT) 又はタンタル酸ビスマス酸ストロンチウム ($\text{SrBi}_2\text{Ta}_2\text{O}_9$: SBT) などのペレブスカイト構造の強誘電体材料にて形成されてもよい。また、強誘電体膜 220 は、 HfO_x 、 ZrO_x 又は HfZrO_x などの高誘電体材料からなる膜を熱処理等によって変質させた強誘電体膜であってもよく、上記の高誘電体材料からなる膜にランタン (La)、シリコン (Si) 又はガドリニウム (Gd) などの原子を導入することで変質させた強誘電体膜であってもよい。さらに、強誘電体膜 220 は、単層にて形成されてもよく、複数層にて形成されてもよい。例えば、強誘電体膜 220 は、 HfO_x などの強誘電体材料からなる単層膜であってもよい。

[0082] 上部電極 221 は、導電性材料で構成され、強誘電体膜 220 の上に設けられる。例えば、上部電極 221 は、チタン (Ti) 若しくはタングステン (W) などの金属、又は窒化チタン (TiN) 若しくは窒化タンタル (TaN) などの金属化合物で形成されてもよい。

[0083] 導体電極 222 は、導電性材料で構成され、上部電極 221 の上に設けられる。具体的には、導体電極 222 は、半導体層 211 の延伸方向に延伸して上部電極 221 の上に設けられてもよい。すなわち、導体電極 222 及び下部電極 217 は、互いに直交するように設けられ、強誘電体膜 220 及び

上部電極 2 2 1 は、導体電極 2 2 2 及び下部電極 2 1 7 の交点にて、導体電極 2 2 2 及び下部電極 2 1 7 に挟持されるように設けられてもよい。導体電極 2 2 2 は、例えば、例えば、銅（C u）又はアルミニウム（A l）等の金属材料で形成されてもよい。

[0084] なお、半導体記憶装置 2 0 0 は、図 1 1 A～図 1 1 D で示す構造であってもよい。図 1 1 A～図 1 1 D は、半導体記憶装置 2 0 0 の変形例に係る構造を模式的に示す縦断面図である。

[0085] 図 1 1 A に示すように、半導体層 2 1 1 は、複数設けられていてもよい。なお、半導体層 2 1 1 の数の上限は、特に限定されない。このような場合、複数の半導体層 2 1 1 の各々は、延伸方向が互いに平行になるように半導体基板 2 1 0 の上に凸に設けられてもよい。また、ゲート電極 2 1 3 は、互いに平行に延伸して設けられた複数の半導体層 2 1 1 の上に半導体層 2 1 1 の延伸方向と直交する方向に延伸して設けられることで、複数の半導体層 2 1 1 の上に連続して跨設されてもよい。ゲート絶縁膜 2 1 4 は、半導体層 2 1 1 及びゲート電極 2 1 3 の間に挟持されるように設けられてもよい。

[0086] また、図 1 1 B に示すように、上部電極 2 2 1 は、導体電極 2 2 2 と同様に半導体層 2 1 1 の延伸方向に延伸する配線形状に設けられてもよい。このような場合、上部電極 2 2 1 は、導体電極 2 2 2 と同一形状にて形成され、導体電極 2 2 2 及び上部電極 2 2 1 によって配線が形成されてもよい。

[0087] また、図 1 1 C 及び図 1 1 D に示すように、強誘電体膜 2 2 0 及び上部電極 2 2 1 は、ゲート電極 2 1 6 の上に順に積層されて設けられてもよい。強誘電体膜 2 2 0 及び上部電極 2 2 1 が積層される面積は、図 1 1 C に示すようにゲート電極 2 1 6 の上面全てであってもよく、図 1 1 D に示すようにゲート電極 2 1 6 の上面の一部であってもよい。また、上部電極 2 2 1 の上には、図示しない導体電極 2 2 2 が積層されてもよい。このような場合、半導体記憶装置 2 0 0 は、単位セルの平面面積をより縮小することができる。なお、図 1 1 C 及び図 1 1 D に示す半導体記憶装置 2 0 0 では、強誘電体膜 2 2 0 がゲート電極 2 1 6 の上に直接積層されるため、下部電極 2 1 7 は省略

されてもよい。

[0088] 本実施形態に係る半導体記憶装置200では、電界効果トランジスタがいわゆるFin型トランジスタとして設けられる。このような場合、電界効果トランジスタでは、半導体層211の側面及び上面の複数の面に亘って立体的にチャンネルが形成される。これによれば、電界効果トランジスタは、同面積の半導体基板上に形成されたプレーナ型の電界効果トランジスタ（半導体基板上にゲート絶縁膜及びゲート電極を平行に積層した電界効果トランジスタ）と比較して、チャンネルの面積をより大きくすることができるため、ゲート容量 C_i を増大させることができる。

[0089] したがって、本実施形態に係る半導体記憶装置200は、単位セルの大きさを増大させることなく、電界効果トランジスタのゲート容量 C_i を増大させ、強誘電体膜220に印加される分配電圧をより高くすることができる。したがって、半導体記憶装置200は、十分な電圧を強誘電体膜220に印加することができるため、情報の書き込み及び消去動作の安定性を向上させることができる。

[0090] (2. 2. 設計例)

次に、図12を参照して、本実施形態に係る半導体記憶装置200の具体的な設計例について説明する。図12は、図10で示した半導体記憶装置200の各構成の寸法を定義する斜視図である。

[0091] 図12に示すように、半導体層211の延伸方向と直交する方向における幅を p_x とし、半導体層211の絶縁層212の表面からの高さを p_y とし、半導体層211の数を N とする。導体電極222の半導体層211の延伸方向と直交する方向における幅を q_x とし、ゲート電極213及び下部電極217の半導体層211の延伸方向における幅を同一とする。ゲート絶縁膜214の膜厚を d_i とし、強誘電体膜220の膜厚を d_f とし、ゲート絶縁膜214の比誘電率を ϵ_i とし、強誘電体膜220の比誘電率を ϵ_f とする。このような場合、以下で説明する条件を満たすように各構成の寸法を制御することで、半導体記憶装置200の特性をより良好にすることが可能であ

る。

[0092] 具体的には、導体電極 222 に電圧 V_{prg} が印加される場合、強誘電体膜 220 に発生する電界 E_f 、及びゲート絶縁膜 214 に発生する電界 E_i は、以下の式のようにになる。

[0093]
$$E_f = V_{prg} / d_f \cdot (1 + (\epsilon_f \cdot q_x \cdot d_i) / (\epsilon_i \cdot (p_x + 2p_y) \cdot N \cdot d_f))$$

$$E_i = d_i \cdot (V_{prg} - V_f)$$

[0094] ここで、上述したように、強誘電体膜 220 にて十分な残留分極を得るためには、 $E_f > 2 \text{ MV} / \text{cm}$ であることが望ましい。また、ゲート絶縁膜 214 にて絶縁破壊を発生させないためには、 $E_i < 10 \text{ MV} / \text{cm}$ であることが望ましい。

[0095] したがって、上述した E_f 及び E_i が好ましい範囲を満たすように、 p_x 、 p_y 、 N 、 q_x 、 d_f 及び d_i を適宜設計することで、半導体記憶装置 200 の特性を良好にすることが可能である。

[0096] (2. 3. 適用例)

続いて、図 13 を参照して、本実施形態に係る半導体記憶装置 200 の適用例について説明する。図 13 は、本実施形態に係る半導体記憶装置 200 をマトリクス状に複数配列した半導体装置 2 の平面構成を模式的に示す平面図である。

[0097] 図 13 に示すように、半導体装置 2 は、マトリクス状に配列された複数の半導体記憶装置 200 に大容量の情報を記憶することが可能な記憶装置である。また、半導体装置 2 は、マトリクス状に配列された複数の半導体記憶装置 200 をシナプスとして用い、半導体記憶装置 200 のチャネルの抵抗値をシナプスの重みとすることで、積和演算を行うことが可能な積和演算装置として用いることも可能である。

[0098] 半導体装置 2 では、第 1 方向（例えば、図 13 に正対して左右方向）に延伸する配線 251 は、コンタクト 255 を介して半導体記憶装置 200 のソース又はドレイン領域 215 の一方と電氣的に接続されている。第 1 方向と

直交する第2方向（例えば、図13に正対して上下方向）に延伸する配線252は、コンタクト256を介して半導体記憶装置200のソース又はドレイン領域111の他方と電氣的に接続されている。また、導体電極222は、第1方向と直交する第2方向（例えば、図13に正対して上下方向）に延伸して設けられる。さらに、互いに直交する導体電極222と、ゲート電極213及び下部電極217の交点に強誘電体キャパシタが設けられる。

[0099] ここで、半導体装置2における情報の書き込み又は読み出し動作について説明する。

[0100] 情報を書き込む場合、半導体装置2は、例えば、所定の配線251と所定の導体電極222との間に電位差を設けることで、導体電極222とゲート電極213及び下部電極217との交点に設けられた強誘電体キャパシタに選択的に電位差を印加する。これにより、半導体装置2は、所定の強誘電体キャパシタの強誘電体膜220の残留分極を選択的に反転させ、半導体記憶装置200に情報を書き込むことができる。

[0101] 一方、情報を読み出す場合、半導体装置2は、例えば、導体電極222に電圧を印加して半導体記憶装置200の電界効果トランジスタをオン状態にした後、配線251及び配線252の間に流れる電流（すなわち、半導体記憶装置200のソース及びドレイン間に流れる電流）を測定する。これにより、半導体装置2は、半導体記憶装置200の各々から強誘電体膜220の残留分極の方向に応じた電流値を得ることができるため、半導体記憶装置200から情報を読み出すことができる。

[0102] 以上にて、本開示の第2の実施形態に係る半導体記憶装置200について詳細に説明した。

[0103] <3. 第3の実施形態>

（3. 1. 構造例）

次に、図14を参照して、本開示の第3の実施形態に係る半導体記憶装置の構造例について説明する。図14は、本実施形態に係る半導体記憶装置の構造例を模式的に示す縦断面図である。

[0104] 図14に示すように、半導体記憶装置300は、半導体基板320と、素子分離層321と、ソース又はドレイン領域301と、LDD領域301Aと、ゲート絶縁膜302と、ゲート電極303と、第1サイドウォール311と、下部電極304と、強誘電体膜305と、上部電極306と、第2サイドウォール312と、導体電極307と、を備える。

[0105] 半導体記憶装置300は、電界効果トランジスタのゲート電極の上に強誘電体キャパシタを直列に接続したMFMI S構造を有するFeRAMである。具体的には、電界効果トランジスタは、半導体基板320、ソース又はドレイン領域301、LDD領域301A、ゲート絶縁膜302及びゲート電極303によって形成され、強誘電体キャパシタは、下部電極304、強誘電体膜305及び上部電極306によって形成される。強誘電体キャパシタは、下部電極304にて電界効果トランジスタのゲートと直列に接続している。

[0106] 半導体基板320は、半導体材料にて構成される基板である。半導体記憶装置300が形成される領域の半導体基板320には、第1導電型の不純物（例えば、ホウ素又はアルミニウムなどのp型不純物）が導入されている。半導体基板320は、シリコン基板であってもよく、シリコン基板の中にSiO₂等の絶縁膜を挟み込んだSOI (Silicon On Insulator) 基板であってもよい。または、半導体基板320は、ゲルマニウムなどの他の元素半導体で形成された基板、又はガリウムヒ素 (GaAs)、窒化ガリウム (GaN) 若しくはシリコンカーバイド (SiC) 等の化合物半導体で形成された基板であってもよい。さらには、半導体基板320は、石英、サファイア、樹脂又は金属等で構成された基板上に半導体層を積層した基板であってもよい。

[0107] 素子分離層321は、絶縁性材料にて構成され、半導体基板320に設けられる半導体記憶装置300の各々を互いに電氣的に絶縁する。例えば、素子分離層321は、酸化シリコン (SiO_x)、窒化シリコン (SiN_x) 又は酸窒化シリコン (SiON) などの絶縁性の酸窒化物で形成されてもよい。

。

- [0108] 具体的には、素子分離層 321 は、STI (Shallow Trench Isolation) 法を用いて、所定領域の半導体基板 320 の一部をエッチング等で除去した後、エッチング等によって形成された開口を酸化シリコン (SiO_x) で埋め込むことで形成されてもよい。また、素子分離層 321 は、LOCOS (Local Oxidation of Silicon) 法を用いて、所定領域の半導体基板 320 を熱酸化することで形成されてもよい。
- [0109] ソース又はドレイン領域 301 は、半導体基板 320 に形成された第 2 導電型 (例えば、n 型) の領域である。具体的には、ソース又はドレイン領域 301 は、ゲート電極 213 を挟んで両側の半導体基板 320 にそれぞれ第 2 導電型の不純物 (例えば、リン又はヒ素などの n 型不純物) を導入することで設けられる。
- [0110] なお、ソース又はドレイン領域 301 と、ゲート電極 303 との間の半導体基板 320 には、ソース又はドレイン領域 301 と同じ第 2 導電型 (例えば、n 型) であり、かつソース又はドレイン領域 301 よりも導電型不純物の濃度が低い LDD (Lightly-Doped Drain) 領域 301A が形成されていてもよい。
- [0111] なお、ゲート電極 303 を挟んで両側に設けられたソース又はドレイン領域 301 は、いずれがソース領域として機能してもよく、いずれがドレイン領域として機能してもよい。これらは、ソース又はドレイン領域 301 の各々に接続される配線によって任意に変更され得る。
- [0112] ゲート絶縁膜 302 は、絶縁性材料で構成され、半導体基板 320 の上に設けられる。ゲート絶縁膜 302 は、電界効果トランジスタのゲート絶縁膜として公知の絶縁性材料で形成されてもよい。例えば、ゲート絶縁膜 302 は、酸化シリコン (SiO_x)、窒化シリコン (SiN_x) 又は酸窒化シリコン (SiON) などの絶縁性の酸窒化物で形成されてもよい。
- [0113] ゲート電極 303 は、導電性材料で構成され、ゲート絶縁膜 302 の上に

設けられる。例えば、ゲート電極 303 は、半導体層 211 の延伸方向と直交する方向に延伸して、半導体層 211 と交差するように半導体層 211 の上に設けられてもよい。例えば、ゲート電極 303 は、ポリシリコン等にて形成されてもよく、金属、合金又は金属化合物にて形成されてもよい。

[0114] 第 1 サイドウォール 311 は、絶縁性材料で構成され、ゲート電極 303 の側面に側壁として設けられる。具体的には、第 1 サイドウォール 311 は、ゲート電極 303 を含む領域に様に絶縁膜を成膜した後、該絶縁膜を垂直異方性エッチングすることで形成することができる。例えば、第 1 サイドウォール 311 は、酸化シリコン (SiO_x)、窒化シリコン (SiN_x) 又は酸窒化シリコン (SiON) などの絶縁性の酸窒化物によって、単層又は複数層にて形成されてもよい。

[0115] 第 1 サイドウォール 311 は、第 2 導電型不純物を半導体基板 320 に導入する際に、第 2 導電型不純物を遮蔽することで、ゲート電極 303 と、ソース又はドレイン領域 301 との位置関係を自己整合的に制御する。第 1 サイドウォール 311 を用いることにより、半導体基板 320 への第 2 導電型不純物の導入を段階的に制御することができるため、ソース又はドレイン領域 301 とゲート電極 303 との間に、LDD 領域 301A を自己整合的に形成することが可能となる。

[0116] 下部電極 304 は、導電性材料で構成され、ゲート電極 303 の上に設けられる。例えば、下部電極 304 は、ポリシリコン等にて形成されてもよく、金属、合金又は金属化合物にて形成されてもよい。

[0117] 強誘電体膜 305 は、強誘電体材料にて構成され、下部電極 304 の上に設けられる。強誘電体膜 305 は、自発的に分極し、かつ残留分極の方向を外部電界にて制御可能な強誘電体材料にて形成される。具体的には、強誘電体膜 305 は、ハフニウム (Hf)、ジルコニウム (Zr)、シリコン (Si) 又は酸素 (O) を含む強誘電体材料で形成される。例えば、強誘電体膜 305 は、チタン酸ジルコン酸鉛 ($\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$: PZT) 又はタンタル酸ビスマス酸ストロンチウム ($\text{SrBi}_2\text{Ta}_2\text{O}_9$: SBT) などのペ

レブスカイト構造の強誘電体材料にて形成されてもよい。また、強誘電体膜 305 は、 HfO_x 、 ZrO_x 又は HfZrO_x などの高誘電体材料からなる膜を熱処理等によって変質させた強誘電体膜であってもよく、上記の高誘電体材料からなる膜にランタン (La)、シリコン (Si) 又はガドリニウム (Gd) などの原子を導入することで変質させた強誘電体膜であってもよい。さらに、強誘電体膜 305 は、単層にて形成されてもよく、複数層にて形成されてもよい。例えば、強誘電体膜 305 は、 HfO_x などの強誘電体材料からなる単層膜であってもよい。

[0118] 上部電極 306 は、導電性材料で構成され、強誘電体膜 305 の上に設けられる。例えば、上部電極 306 は、チタン (Ti) 若しくはタングステン (W) などの金属、又は窒化チタン (TiN) 若しくは窒化タンタル (Ta₂N₅) などの金属化合物で形成されてもよい。

[0119] ここで、下部電極 304、強誘電体膜 305 及び上部電極 306 は、同一の平面形状にて設けられ、下部電極 304、強誘電体膜 305 及び上部電極 306 の積層体の側面には、第 2 サイドウォール 312 が設けられる。

[0120] 第 2 サイドウォール 312 は、絶縁性材料で構成され、下部電極 304、強誘電体膜 305 及び上部電極 306 の積層体の側面に側壁として設けられる。具体的には、第 2 サイドウォール 312 は、下部電極 304、強誘電体膜 305 及び上部電極 306 の積層体の上に一様に絶縁膜を成膜した後、該絶縁膜を垂直異方性エッチングすることで形成することができる。例えば、第 2 サイドウォール 312 は、酸化シリコン (SiO_x)、窒化シリコン (Si_3N_4) 又は酸窒化シリコン (SiON) などの絶縁性の酸窒化物によって、単層又は複数層にて形成されてもよい。

[0121] ここで、下部電極 304、強誘電体膜 305 及び上部電極 306 の積層体と、第 2 サイドウォール 312 とが占める平面面積は、ゲート電極 303 の上面の平面面積と略等しくなり得る。後述するが、半導体記憶装置 300 では、まず、エッチングによって下部電極 304、強誘電体膜 305 及び上部電極 306 の積層体、並びに第 2 サイドウォール 312 を形成し、その後、

該積層体及び第2サイドウォール312をマスクとするエッチングを行うことで、ゲート電極303を形成する。これによれば、半導体記憶装置300では、下部電極304、強誘電体膜305及び上部電極306の積層体、第2サイドウォール312、ゲート電極303、及び第1サイドウォール311を自己整合的に形成することができる。

[0122] 導体電極307は、導電性材料で構成され、上部電極306の上に設けられる。導体電極307は、例えば、図示しない他の配線と電氣的に接続することで、半導体記憶装置300の接続端子として機能する。導体電極307は、例えば、チタン（Ti）、タングステン（W）、銅（Cu）又はアルミニウム（Al）等の金属材料で形成されてもよい。

[0123] 本実施形態に係る半導体記憶装置300では、電界効果トランジスタがいわゆるプレーナ型トランジスタとして設けられ、強誘電体キャパシタが電界効果トランジスタのゲート電極の上に第2サイドウォール312と共に設けられる。このような場合、強誘電体キャパシタの強誘電体膜305の面積は、電界効果トランジスタのゲート絶縁膜302の面積よりも第2サイドウォール312の幅の分だけ1回り小さくなる。これによれば、半導体記憶装置300では、強誘電体キャパシタの容量 C_f に対して、電界効果トランジスタのゲート容量 C_i をより大きくすることができる。

[0124] したがって、本実施形態に係る半導体記憶装置300は、単位セルの大きさを増大させることなく、電界効果トランジスタのゲート容量 C_i を増大させ、強誘電体膜305に印加される分配電圧をより高くすることができる。したがって、半導体記憶装置300は、十分な電圧を強誘電体膜305に印加することができるため、情報の書き込み及び消去動作の安定性を向上させることができる。

[0125] （3. 2. 設計例）

次に、図15を参照して、本実施形態に係る半導体記憶装置300の具体的な設計例について説明する。図15は、図14で示した半導体記憶装置300の各構成の寸法を定義する縦断面図である。

[0126] 図15に示すように、ソース又はドレイン領域301が設けられる方向（チャネル方向とも称する）におけるゲート電極303の幅を P_x とし、チャネル方向と直交する方向におけるゲート電極303の長さを P_y とする。チャネル方向と直交する方向におけるソース又はドレイン領域301の長さを Q_y とし、第2サイドウォール312の幅を X とする。また、ゲート絶縁膜302の膜厚を d_i とし、強誘電体膜305の膜厚を d_f とし、ゲート絶縁膜302の比誘電率を ϵ_i とし、強誘電体膜305の比誘電率を ϵ_f とする。このような場合、以下で説明する条件を満たすように各構成の寸法を制御することで、半導体記憶装置300の特性をより良好にすることが可能である。

[0127] 具体的には、導体電極307に電圧 V_{prg} が印加される場合、強誘電体膜305に発生する電界 E_f 、及びゲート絶縁膜302に発生する電界 E_i は、以下の式のようにになる。

$$E_f = V_{prg} / d_f \cdot (1 + (\epsilon_f \cdot d_i) / (\epsilon_i \cdot d_f) \cdot (P_x - 2X) \cdot (Q_y - 2X) / (P_x \cdot P_y))$$

$$E_i = d_i \cdot (V_{prg} - V_f)$$

[0129] ここで、上述したように、強誘電体膜305にて十分な残留分極を得るためには、 $E_f > 2 \text{ MV/cm}$ であることが望ましい。また、ゲート絶縁膜302にて絶縁破壊を発生させないためには、 $E_i < 10 \text{ MV/cm}$ であることが望ましい。

[0130] したがって、上述した E_f 及び E_i が好ましい範囲を満たすように、 P_x 、 P_y 、 Q_y 、 X 、 d_f 及び d_i を適宜設計することで、半導体記憶装置300の特性を良好にすることが可能である。

[0131] (3. 3. 製造方法)

続いて、図16A～図16Eを参照して、本実施形態に係る半導体記憶装置300の製造方法について説明する。図16A～図16Eは、本実施形態に係る半導体記憶装置300の製造方法の一工程を示す模式的な縦断面図である。

[0132] まず、図16Aに示すように、素子分離層321が形成された半導体基板320の上に、ゲート絶縁膜302、ゲート電極303、下部電極304、強誘電体膜305及び上部電極306を一様に成膜する。さらに、上部電極306の上に強誘電体キャパシタを形成するためのマスク331をパターンニングする。例えば、マスク331は、フォトリジスト単体であってもよく、酸化膜又は窒化膜等のハードマスクと、フォトリジストとの積層体であってもよい。

[0133] 次に、図16Bに示すように、マスク331を用いて下部電極304、強誘電体膜305及び上部電極306を同時にエッチングすることで、マスク331のパターンに対応する大きさの強誘電体キャパシタ（すなわち、下部電極304、強誘電体膜305及び上部電極306の積層体）を形成する。

[0134] 続いて、図16Cに示すように、下部電極304、強誘電体膜305及び上部電極306の積層体の上に一様に絶縁膜を形成した後、全面エッチバックを行うことで、第2サイドウォール312を形成する。

[0135] 次に、図16Dに示すように、下部電極304、強誘電体膜305及び上部電極306の積層体と、第2サイドウォール312とをマスクに用いて、ゲート電極303をエッチングする。これによれば、ゲート電極303をパターンニングするためのマスクを別途設けることを省略することができるため、半導体記憶装置300の製造コストを低減することができる。

[0136] その後、図16Eに示すように、イオン注入法によって、半導体基板320に第2導電型不純物（例えば、n型不純物）を導入することで、ソース又はドレイン領域301を形成する。なお、図16Eに示すように、第1サイドウォール311を形成することで、ゲート電極303と、ソース又はドレイン領域301との間に、LDD領域301Aを自己整合的に形成してもよい。

[0137] 以上の工程によれば、本実施形態に係る半導体記憶装置300を製造することができる。

[0138] （3. 4. 変形例）

さらに、図 17～図 19 を参照して、本実施形態に係る半導体記憶装置 300 の変形例について説明する。図 17～図 19 は、半導体記憶装置 300 の変形例に係る構造を模式的に示す縦断面図である。

[0139] 図 17 に示すように、下部電極 304、強誘電体膜 305 及び上部電極 306 にて構成される強誘電体キャパシタは、導体電極 323 を介して電界効果トランジスタのゲート電極 303 と直列に接続されていてもよい。導体電極 323 は、上述した導体電極 307 と同様に、チタン (Ti)、タングステン (W)、銅 (Cu) 又はアルミニウム (Al) 等の金属材料等で形成されてもよい。

[0140] 図 17 に示す半導体記憶装置 300 の構造では、以下で説明する条件を満たすように各構成の寸法を制御することで、半導体記憶装置 300 の特性をより良好にすることが可能である。

[0141] 具体的には、ソース又はドレイン領域 301 が設けられる方向（チャネル方向とも称する）におけるゲート電極 303 の幅を P_x とし、ソース又はドレイン領域 301 の長さを P_y とする。チャネル方向における強誘電体キャパシタ（すなわち、下部電極 304、強誘電体膜 305 及び上部電極 306 の積層体）の幅を Q_x とし、チャネル方向と直交する方向における強誘電体キャパシタの長さを Q_y とする。また、ゲート絶縁膜 302 の膜厚を d_i とし、強誘電体膜 305 の膜厚を d_f とし、ゲート絶縁膜 302 の比誘電率を ϵ_i とし、強誘電体膜 305 の比誘電率を ϵ_f とする。

[0142] このような場合、上部電極 306 に電圧 V_{prg} が印加される場合、強誘電体膜 305 に発生する電界 E_f 、及びゲート絶縁膜 302 に発生する電界 E_i は、以下の式のようにになる。

$$E_f = V_{prg} / d_f \cdot (1 + (\epsilon_f \cdot d_i) / (\epsilon_i \cdot d_f) \cdot (Q_x \cdot Q_y) / (P_x \cdot P_y))$$

$$E_i = d_i \cdot (V_{prg} - V_f)$$

[0144] ここで、上述したように、強誘電体膜 305 にて十分な残留分極を得るためには、 $E_f > 2 \text{ MV/cm}$ であることが望ましい。また、ゲート絶縁膜 3

02にて絶縁破壊を発生させないためには、 $E_i < 10 \text{ MV/cm}$ であることが望ましい。

[0145] したがって、上述した E_f 及び E_i が好ましい範囲を満たすように、 P_x 、 P_y 、 Q_y 、 Q_x 、 d_f 及び d_i を適宜設計することで、半導体記憶装置300の特性を良好にすることが可能である。

[0146] また、図18に示すように、強誘電体キャパシタは、下部電極304、強誘電体膜305及び上部電極306の積層体ではなく、ダマシンプロセスを用いて下部電極304に強誘電体膜305及び上部電極306を埋め込んだ構造を有していてもよい。図18で示す半導体記憶装置300の構造は、図17で示す半導体記憶装置300の構造に対して、強誘電体キャパシタの構造が異なる。

[0147] 図18に示す半導体記憶装置300の構造では、以下で説明する条件を満たすように各構成の寸法を制御することで、半導体記憶装置300の特性をより良好にすることが可能である。

[0148] 具体的には、ソース又はドレイン領域301が設けられる方向（チャネル方向とも称する）におけるゲート電極303の幅を P_x とし、ソース又はドレイン領域301の長さを P_y とする。チャネル方向における強誘電体キャパシタの幅を Q_x とし、チャネル方向と直交する方向における強誘電体キャパシタの長さを Q_y とする。また、ゲート絶縁膜302の膜厚を d_i とし、強誘電体膜305の膜厚を d_f とし、ゲート絶縁膜302の比誘電率を ϵ_i とし、強誘電体膜305の比誘電率を ϵ_f とする。さらに、下部電極304の高さ（すなわち、強誘電体キャパシタの高さ）を h_f とし、下部電極304の厚みを T_f とする。

[0149] このような場合、上部電極306に電圧 V_{prg} が印加される場合、強誘電体膜305に発生する電界 E_f 、及びゲート絶縁膜302に発生する電界 E_i は、以下の式ようになる。

[0150]
$$E_f = V_{prg} / d_f \cdot (1 + (\epsilon_f \cdot d_i) / (\epsilon_i \cdot d_f) \cdot S_f / S_i)$$

$$E_i = d_i \cdot (V_{prg} - V_f)$$

ただし、

$$S_f = 2(h_f - T_f - d_f) \cdot (Q_x + Q_y - 2T_f - 2d_f) + (Q_x - 2d_f - 2h_f) \cdot (Q_y - 2d_f - 2h_f)$$

$$S_i = P_x \cdot P_y$$

である。

[0151] ここで、上述したように、強誘電体膜 305 にて十分な残留分極を得るためには、 $E_f > 2 \text{ MV/cm}$ であることが望ましい。また、ゲート絶縁膜 302 にて絶縁破壊を発生させないためには、 $E_i < 10 \text{ MV/cm}$ であることが望ましい。

[0152] したがって、上述した E_f 及び E_i が好ましい範囲を満たすように、 P_x 、 P_y 、 Q_y 、 Q_x 、 T_f 、 h_f 、 d_f 及び d_i を適宜設計することで、半導体記憶装置 300 の特性を良好にすることが可能である。

[0153] さらに、図 19 に示すように、半導体記憶装置 300 では、下部電極 304 を省略してもよい。図 19 で示す半導体記憶装置 300 の構造は、図 18 で示す半導体記憶装置 300 の構造に対して、強誘電体キャパシタが導体電極 323、強誘電体膜 305 及び上部電極 306 にて構成される点が異なる。

[0154] 図 19 に示す半導体記憶装置 300 の構造では、以下で説明する条件を満たすように各構成の寸法を制御することで、半導体記憶装置 300 の特性をより良好にすることが可能である。

[0155] 具体的には、ソース又はドレイン領域 301 が設けられる方向（チャネル方向とも称する）におけるゲート電極 303 の幅を P_x とし、ソース又はドレイン領域 301 の長さを P_y とする。チャネル方向における強誘電体キャパシタの幅を Q_x とし、チャネル方向と直交する方向における強誘電体キャパシタの長さを Q_y とする。また、ゲート絶縁膜 302 の膜厚を d_i とし、強誘電体膜 305 の膜厚を d_f とし、ゲート絶縁膜 302 の比誘電率を ϵ_i とし、強誘電体膜 305 の比誘電率を ϵ_f とする。さらに、強誘電体膜 30

5の高さ（すなわち、強誘電体キャパシタの高さ）を h_f とし、導体電極323の幅を C_x とする。

[0156] このような場合、上部電極306に電圧 V_{prg} が印加される場合、強誘電体膜305に発生する電界 E_f 、及びゲート絶縁膜302に発生する電界 E_i は、以下の式のようにになる。

$$[0157] \quad E_f = V_{prg} / d_f \cdot (1 + (\epsilon_f \cdot d_i) / (\epsilon_i \cdot d_f)) \cdot S_f / S_i)$$

$$E_i = d_i \cdot (V_{prg} - V_f)$$

ただし、

$$S_f = 2(h_f - d_f) \cdot (Q_x + Q_y - 2d_f) + C_x \cdot C_x$$

$$S_i = P_x \cdot P_y$$

である。

[0158] ここで、上述したように、強誘電体膜305にて十分な残留分極を得るためには、 $E_f > 2 \text{ MV/cm}$ であることが望ましい。また、ゲート絶縁膜302にて絶縁破壊を発生させないためには、 $E_i < 10 \text{ MV/cm}$ であることが望ましい。

[0159] したがって、上述した E_f 及び E_i が好ましい範囲を満たすように、 P_x 、 P_y 、 Q_y 、 Q_x 、 h_f 、 C_x 、 d_f 及び d_i を適宜設計することで、半導体記憶装置300の特性を良好にすることが可能である。

[0160] なお、図17～図19では、導体電極323の平面形状を略正方形としたが、導体電極323の平面形状は、長方形、円形又は楕円形のいずれであってもよい。

[0161] 以上にて、本開示の第3の実施形態に係る半導体記憶装置300について詳細に説明した。本開示の第3の実施形態に係る半導体記憶装置300は、半導体記憶装置100、200と同様に、マトリクス状に配列されることで、大容量の情報を記憶することが可能な記憶装置に適用することが可能である。また、半導体記憶装置300は、シナプスとして用いられることで、積和演算を行うことが可能な積和演算装置に適用することも可能である。

[0162] 以上、添付図面を参照しながら本開示の好適な実施形態について詳細に説明したが、本開示の技術的範囲はかかる例に限定されない。本開示の技術分野における通常の知識を有する者であれば、特許請求の範囲に記載された技術的思想の範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、これらについても、当然に本開示の技術的範囲に属するものと了解される。

[0163] また、本明細書に記載された効果は、あくまで説明的または例示的なものであって限定的ではない。つまり、本開示に係る技術は、上記の効果とともに、または上記の効果に代えて、本明細書の記載から当業者には明らかな他の効果を奏しうる。

[0164] なお、以下のような構成も本開示の技術的範囲に属する。

(1)

トランジスタと、

一対の導電材料で強誘電体材料を挟持することで形成され、前記導電材料の一方が前記トランジスタのゲート電極と電気的に接続された強誘電体キャパシタと、

を備え、

前記トランジスタのチャンネルは、複数の面に亘って立体的に形成される、半導体記憶装置。

(2)

前記強誘電体キャパシタの前記強誘電体材料に印加される電界は、 2 MV/cm よりも大きい、前記(1)に記載の半導体記憶装置。

(3)

前記トランジスタのゲート絶縁膜に印加される電界は、 10 MV/m よりも小さい、前記(1)又は(2)に記載の半導体記憶装置。

(4)

前記トランジスタは、半導体基板と、前記半導体基板に形成された開口の内部形状に沿って設けられたゲート絶縁膜と、前記半導体基板の前記開口を

埋め込むように、前記ゲート絶縁膜の上に設けられたゲート電極と、を備え、

前記強誘電体キャパシタは、前記ゲート電極に形成された開口の内部形状に沿って設けられた強誘電体膜と、前記ゲート電極の前記開口を埋め込むように、前記ゲート電極の上に設けられた上部電極と、を備える、前記（１）～（３）のいずれか一項に記載の半導体記憶装置。

（５）

前記半導体基板は、第１導電型であり、

前記半導体基板の前記開口が設けられる面側には、第１導電型と異なる第２導電型のソース又はドレイン領域が設けられる、前記（４）に記載の半導体記憶装置。

（６）

前記半導体基板の前記開口は、前記ソース又はドレイン領域よりも深い領域まで設けられる、前記（５）に記載の半導体記憶装置。

（７）

前記トランジスタは、基板の上に一方向に延伸して凸設された半導体層と、前記半導体層の延伸方向と直交する方向に亘って前記半導体層の上面及び側面を覆い、前記半導体層の上に跨設されたゲート絶縁膜と、前記ゲート絶縁膜を介して前記半導体層の上に跨設されたゲート電極と、を備える、前記（１）～（３）のいずれか一項に記載の半導体記憶装置。

（８）

前記強誘電体キャパシタは、前記ゲート電極の上に積層された前記導電材料の一方と、前記導電材料の一方の上に積層された前記強誘電体材料と、前記強誘電体材料の上に積層された前記導電材料の他方と、を備える、前記（７）に記載の半導体記憶装置。

（９）

前記半導体層は、互いに平行となるように複数設けられ、

前記ゲート電極は、前記複数の半導体層に亘って連続して設けられる、前

記（８）に記載の半導体記憶装置。

（１０）

トランジスタと、

一对の導電材料で強誘電体材料を挟持することで形成され、前記導電材料の一方が前記トランジスタのゲート電極と電氣的に接続される強誘電体キャパシタと、

を備え、

前記トランジスタのチャンネルは、複数の面に亘って立体的に形成される、積和演算装置。

（１１）

トランジスタと、

一对の導電材料で強誘電体材料を挟持することで形成され、前記導電材料の一方が前記トランジスタのゲート電極と電氣的に接続された強誘電体キャパシタと、

を備え、

前記一对の導電材料、及び前記強誘電体材料は、前記ゲート電極の上面と平行に積層されることで、前記強誘電体キャパシタは、前記ゲート電極の上に設けられ、

前記強誘電体キャパシタの平面面積は、前記ゲート電極の上面の平面面積よりも小さい、半導体記憶装置。

（１２）

前記強誘電体キャパシタの前記強誘電体材料に印加される電界は、 2 MV/cm よりも大きい、前記（１１）に記載の半導体記憶装置。

（１３）

前記トランジスタのゲート絶縁膜に印加される電界は、 10 MV/m よりも小さい、前記（１１）又は（１２）に記載の半導体記憶装置。

（１４）

前記強誘電体キャパシタの側面には、サイドウォール絶縁膜が設けられ、

前記強誘電体キャパシタ及び前記サイドウォール絶縁膜が占める平面面積は、前記ゲート電極の上面の平面面積と略等しい、前記（１１）～（１３）のいずれか以降に記載の半導体記憶装置。

（１５）

前記強誘電体キャパシタ及び前記ゲート電極の間には、コンタクト電極が設けられる、前記（１１）～（１３）のいずれか一項に記載の半導体記憶装置。

（１６）

前記強誘電体キャパシタは、前記コンタクト電極又は前記コンタクト電極の上に積層された前記導電材料の一方と、前記導電材料の一方の上に積層された前記強誘電体材料と、
前記強誘電体材料に形成された開口を埋め込む前記導電材料の他方と、を備える、前記（１５）に記載の半導体記憶装置。

（１７）

トランジスタと、

一对の導電材料で強誘電体材料を挟持することで形成され、前記導電材料の一方が前記トランジスタのゲート電極と電氣的に接続された強誘電体キャパシタと、
を備え、

前記一对の導電材料、及び前記強誘電体材料は、前記ゲート電極の上面と平行に積層されることで、前記強誘電体キャパシタは、前記ゲート電極の上に設けられ、

前記強誘電体キャパシタの平面面積は、前記ゲート電極の上面の平面面積よりも小さい、積和演算装置。

符号の説明

[0165]	１	半導体装置
	１０	素子分離層
	２１、２３	配線

3 1、3 2、3 3 コンタクト

1 0 0 半導体記憶装置

1 1 0 半導体基板

1 1 1 ソース又はドレイン領域

1 2 0 下部電極

1 2 1 ゲート絶縁膜

1 3 0 上部電極

1 3 1 強誘電体膜

1 4 0 導体電極

請求の範囲

- [請求項1] トランジスタと、
 一対の導電材料で強誘電体材料を挟持することで形成され、前記導電材料の一方が前記トランジスタのゲート電極と電氣的に接続された強誘電体キャパシタと、
 を備え、
 前記トランジスタのチャンネルは、複数の面に亘って立体的に形成される、半導体記憶装置。
- [請求項2] 前記強誘電体キャパシタの前記強誘電体材料に印加される電界は、
 2 MV/cm よりも大きい、請求項1に記載の半導体記憶装置。
- [請求項3] 前記トランジスタのゲート絶縁膜に印加される電界は、 10 MV/m よりも小さい、請求項1に記載の半導体記憶装置。
- [請求項4] 前記トランジスタは、半導体基板と、前記半導体基板に形成された開口の内部形状に沿って設けられたゲート絶縁膜と、前記半導体基板の前記開口を埋め込むように、前記ゲート絶縁膜の上に設けられたゲート電極と、を備え、
 前記強誘電体キャパシタは、前記ゲート電極に形成された開口の内部形状に沿って設けられた強誘電体膜と、前記ゲート電極の前記開口を埋め込むように、前記ゲート電極の上に設けられた上部電極と、を備える、請求項1に記載の半導体記憶装置。
- [請求項5] 前記半導体基板は、第1導電型であり、
 前記半導体基板の前記開口が設けられる面側には、第1導電型と異なる第2導電型のソース又はドレイン領域が設けられる、請求項4に記載の半導体記憶装置。
- [請求項6] 前記半導体基板の前記開口は、前記ソース又はドレイン領域よりも深い領域まで設けられる、請求項5に記載の半導体記憶装置。
- [請求項7] 前記トランジスタは、基板の上に一方向に延伸して凸設された半導体層と、前記半導体層の延伸方向と直交する方向に亘って前記半導体

層の上面及び側面を覆い、前記半導体層の上に跨設されたゲート絶縁膜と、前記ゲート絶縁膜を介して前記半導体層の上に跨設されたゲート電極と、を備える、請求項1に記載の半導体記憶装置。

[請求項8] 前記強誘電体キャパシタは、前記ゲート電極の上に積層された前記導電材料の一方と、前記導電材料の一方の上に積層された前記強誘電体材料と、前記強誘電体材料の上に積層された前記導電材料の他方と、を備える、請求項7に記載の半導体記憶装置。

[請求項9] 前記半導体層は、互いに平行となるように複数設けられ、
前記ゲート電極は、前記複数の半導体層に亘って連続して設けられる、請求項8に記載の半導体記憶装置。

[請求項10] トランジスタと、
一対の導電材料で強誘電体材料を挟持することで形成され、前記導電材料の一方が前記トランジスタのゲート電極と電氣的に接続される強誘電体キャパシタと、
を備え、
前記トランジスタのチャンネルは、複数の面に亘って立体的に形成される、積和演算装置。

[請求項11] トランジスタと、
一対の導電材料で強誘電体材料を挟持することで形成され、前記導電材料の一方が前記トランジスタのゲート電極と電氣的に接続された強誘電体キャパシタと、
を備え、
前記一対の導電材料、及び前記強誘電体材料は、前記ゲート電極の上面と平行に積層されることで、前記強誘電体キャパシタは、前記ゲート電極の上に設けられ、
前記強誘電体キャパシタの平面面積は、前記ゲート電極の上面の平面面積よりも小さい、半導体記憶装置。

[請求項12] 前記強誘電体キャパシタの前記強誘電体材料に印加される電界は、

2 MV/cmよりも大きい、請求項 11 に記載の半導体記憶装置。

[請求項13] 前記トランジスタのゲート絶縁膜に印加される電界は、10 MV/cmよりも小さい、請求項 11 に記載の半導体記憶装置。

[請求項14] 前記強誘電体キャパシタの側面には、サイドウォール絶縁膜が設けられ、

前記強誘電体キャパシタ及び前記サイドウォール絶縁膜が占める平面面積は、前記ゲート電極の上面の平面面積と略等しい、請求項 11 に記載の半導体記憶装置。

[請求項15] 前記強誘電体キャパシタ及び前記ゲート電極の間には、コンタクト電極が設けられる、請求項 11 に記載の半導体記憶装置。

[請求項16] 前記強誘電体キャパシタは、前記コンタクト電極又は前記コンタクト電極の上に積層された前記導電材料の一方と、前記導電材料の一方の上に積層された前記強誘電体材料と、
前記強誘電体材料に形成された開口を埋め込む前記導電材料の他方と、を備える、請求項 15 に記載の半導体記憶装置。

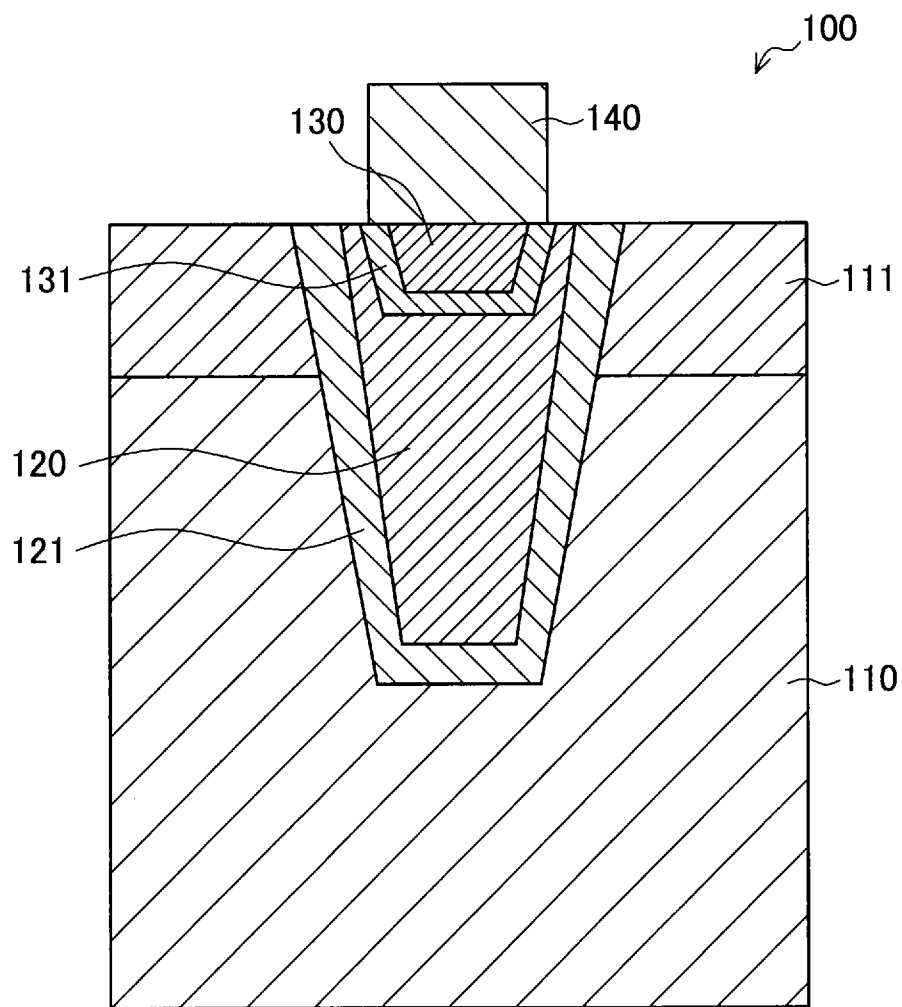
[請求項17] トランジスタと、

一对の導電材料で強誘電体材料を挟持することで形成され、前記導電材料の一方が前記トランジスタのゲート電極と電氣的に接続された強誘電体キャパシタと、
を備え、

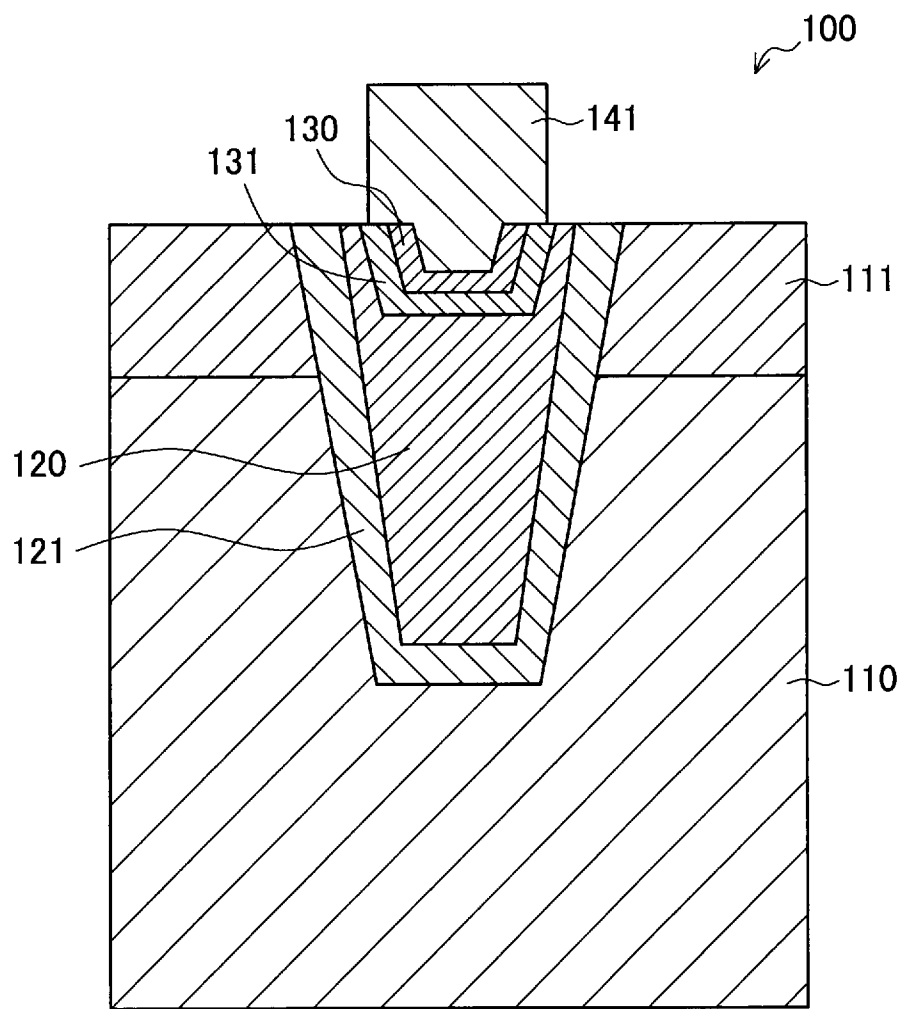
前記一对の導電材料、及び前記強誘電体材料は、前記ゲート電極の上面と平行に積層されることで、前記強誘電体キャパシタは、前記ゲート電極の上に設けられ、

前記強誘電体キャパシタの平面面積は、前記ゲート電極の上面の平面面積よりも小さい、積和演算装置。

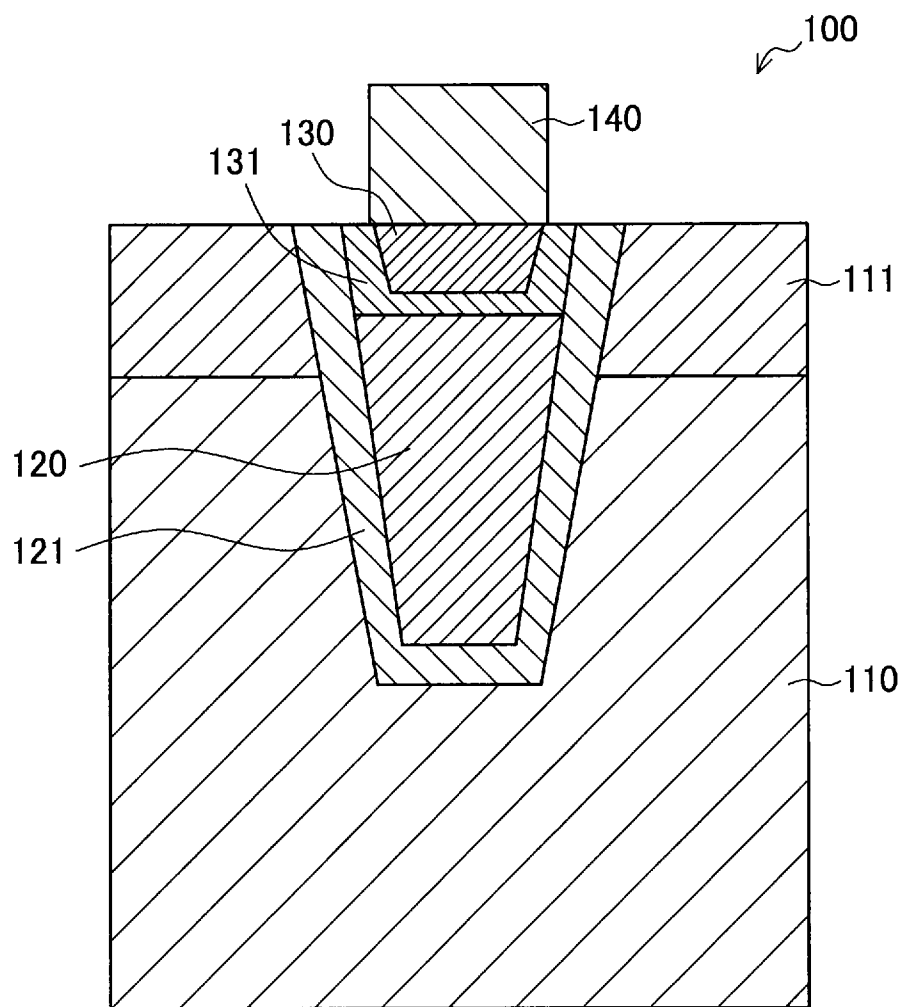
[図1]



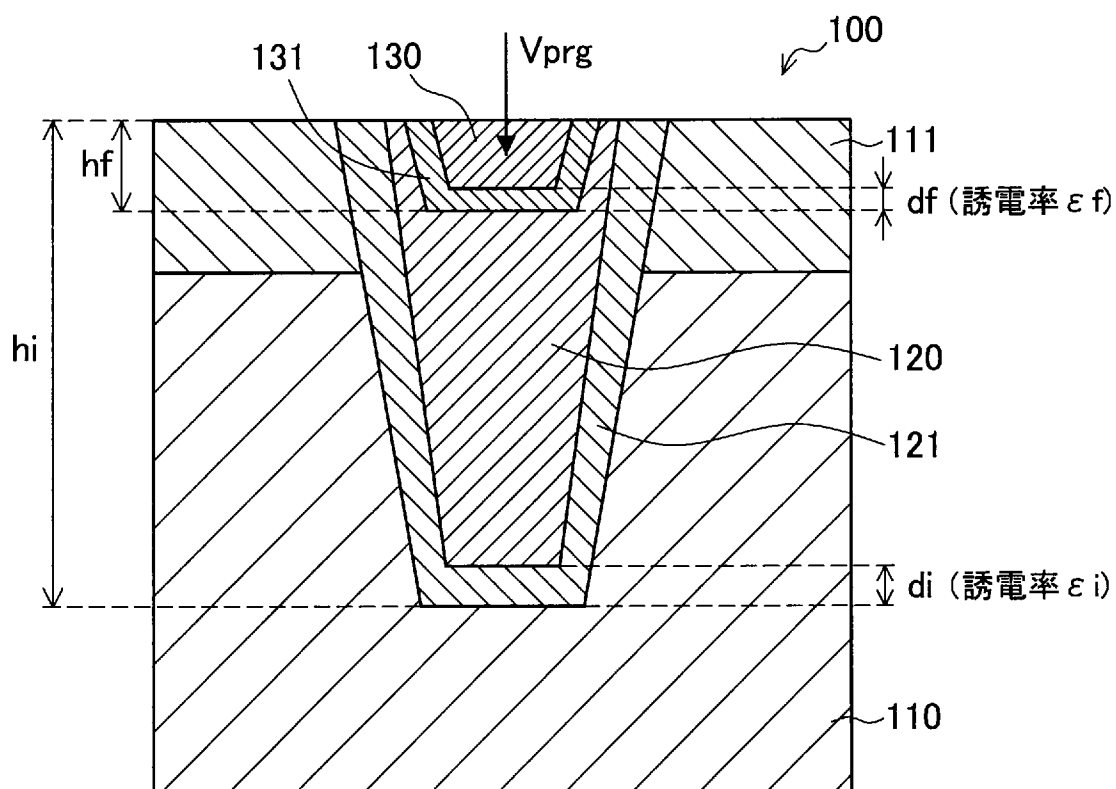
[図2A]



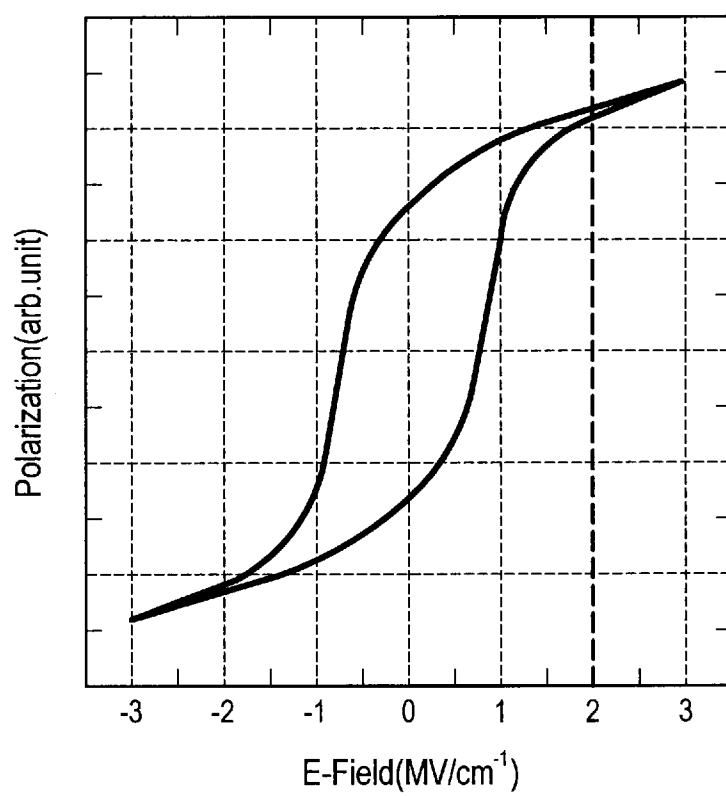
[図2B]



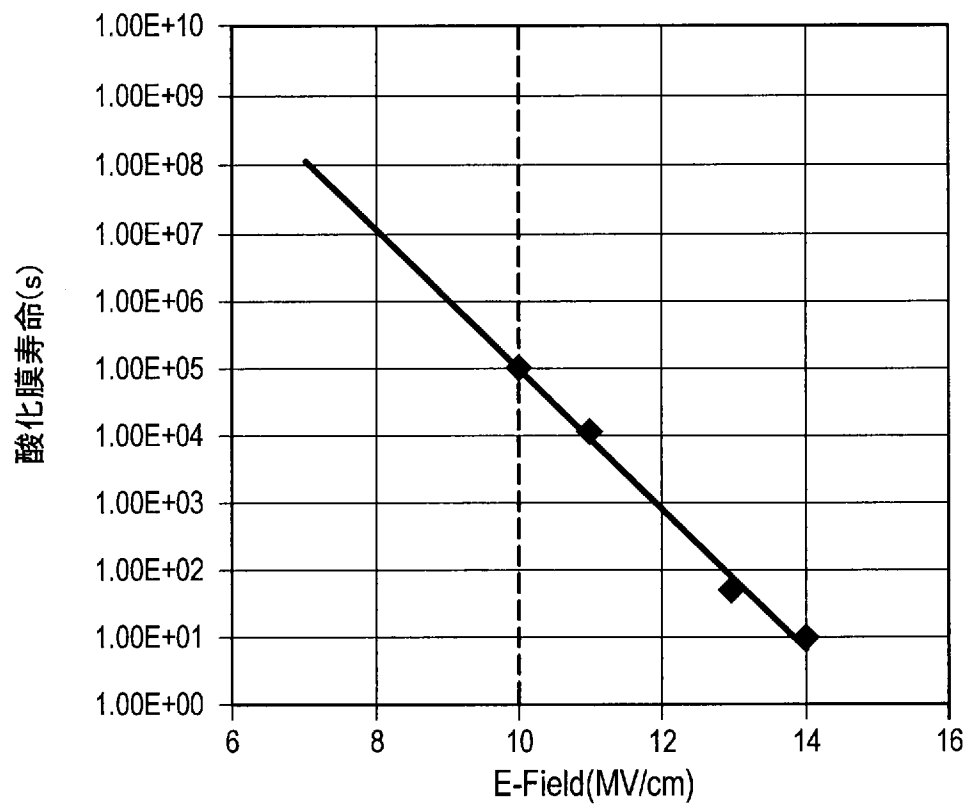
[図3]



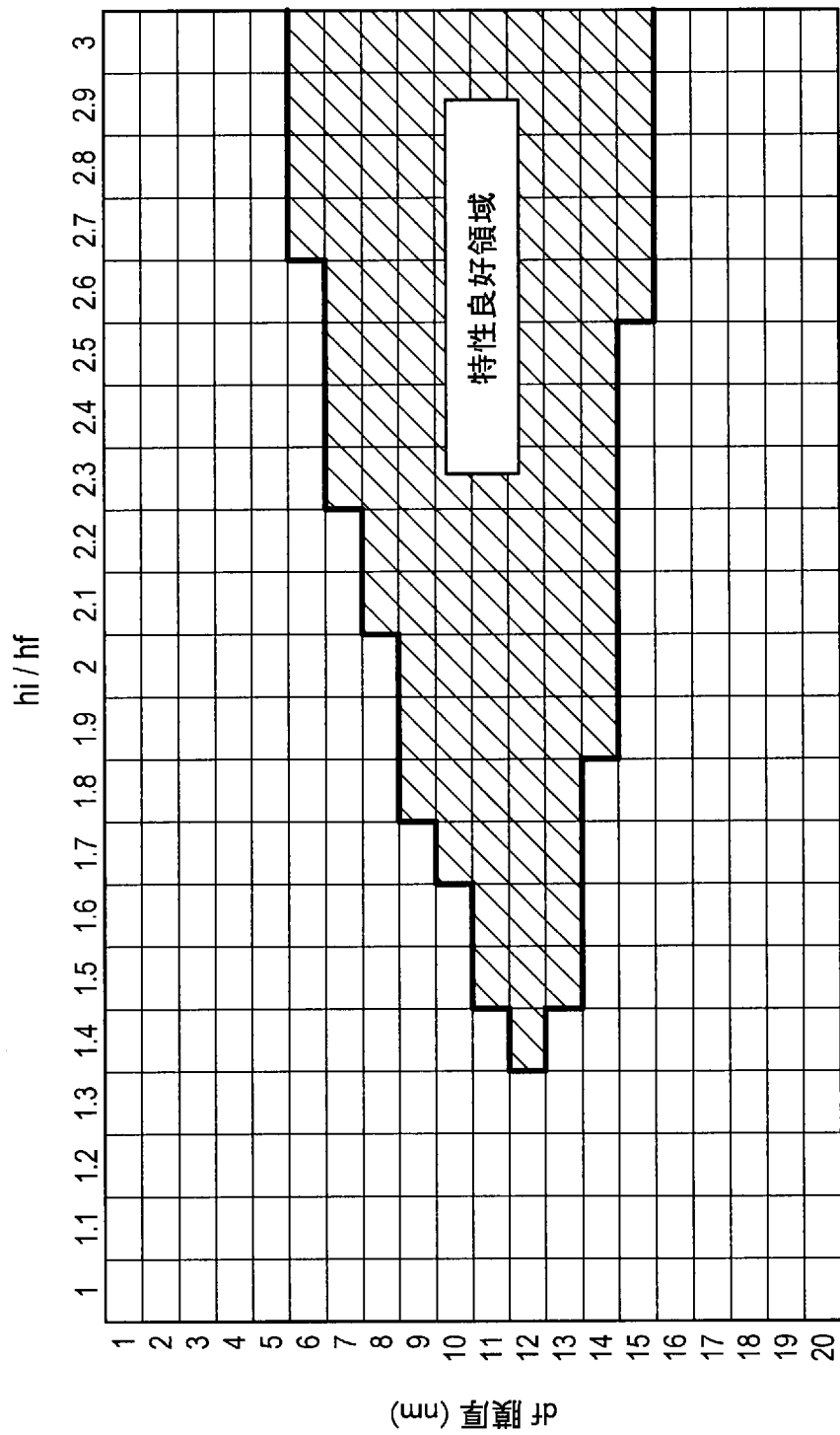
[図4A]



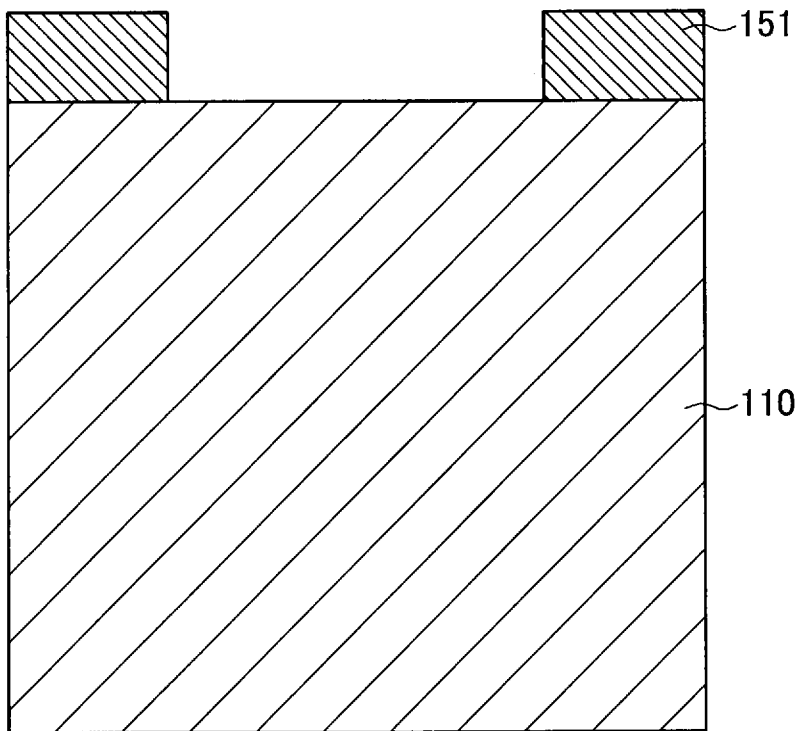
[図4B]



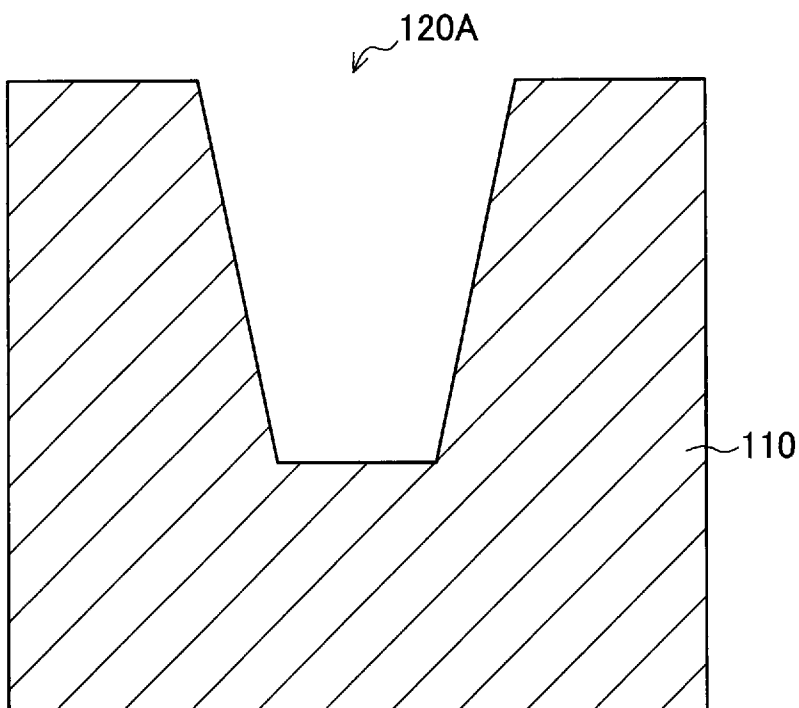
[図4C]



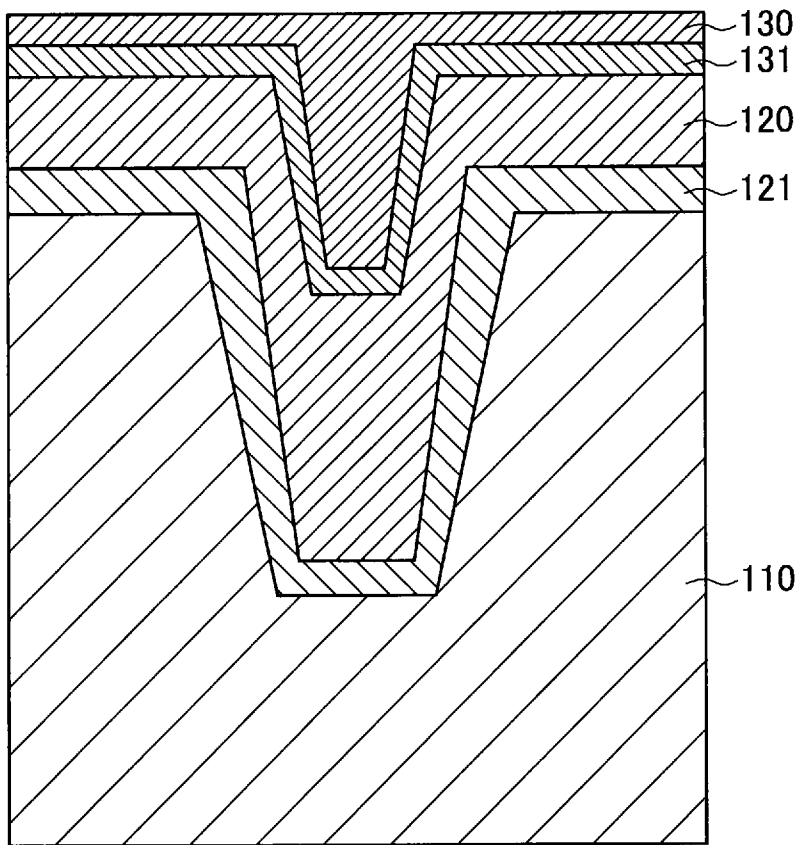
[図5A]



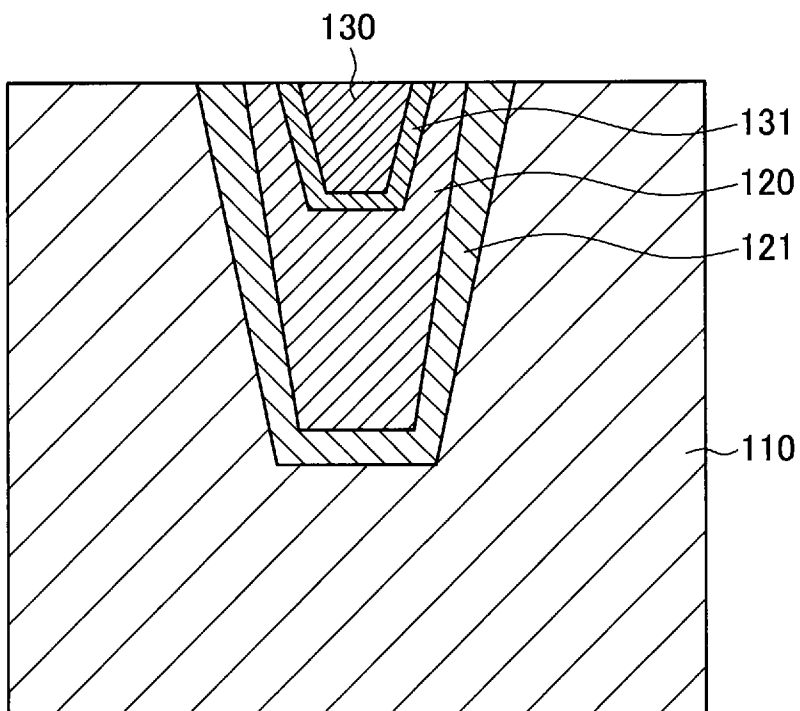
[図5B]



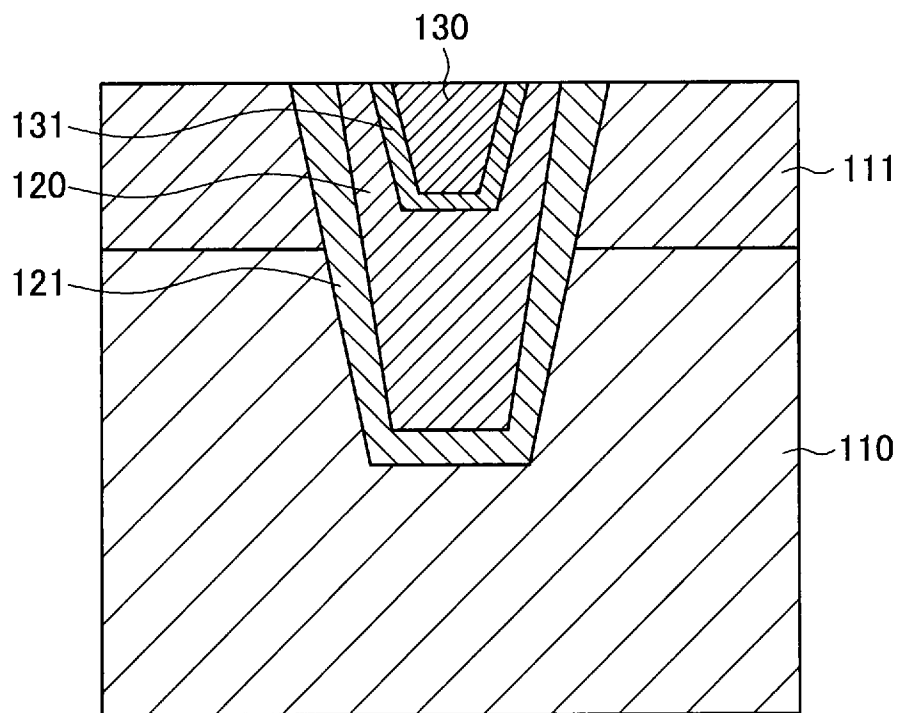
[図5C]



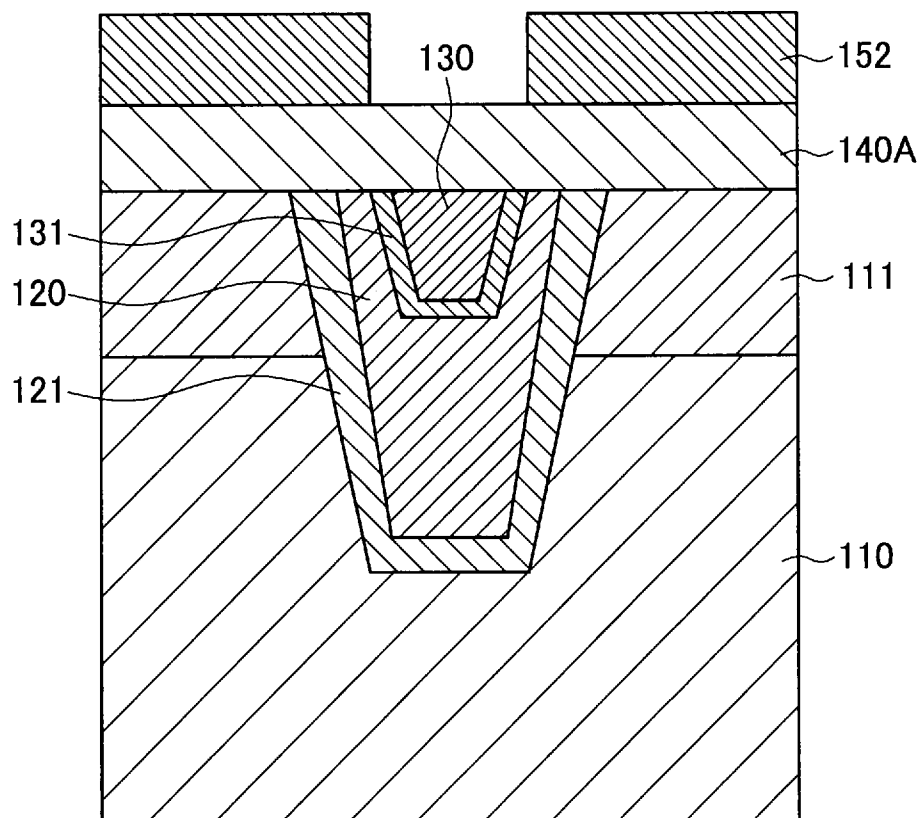
[図5D]



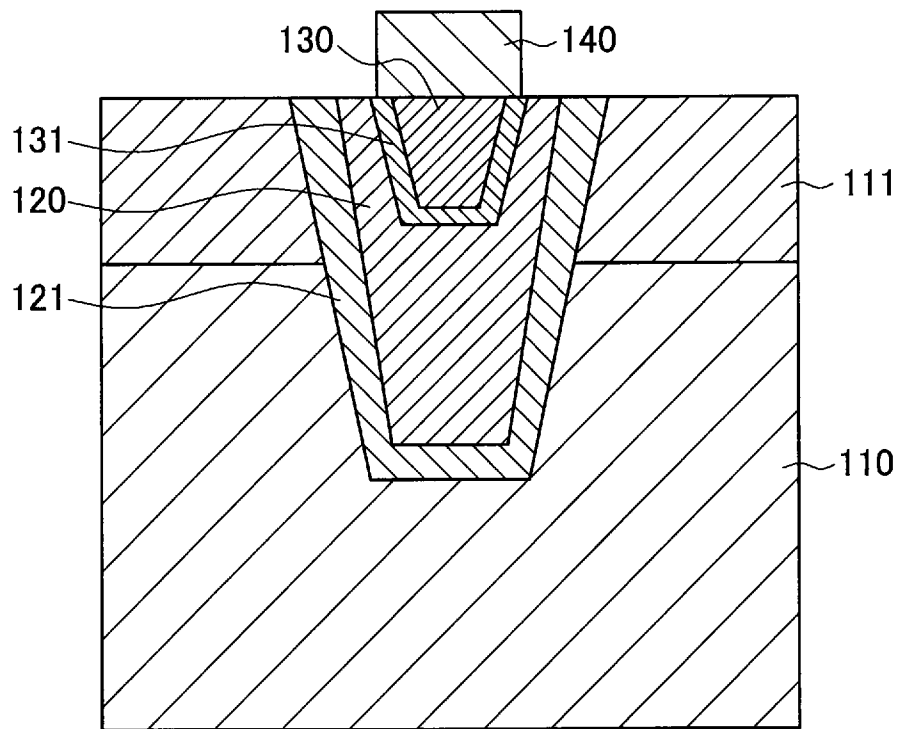
[図5E]



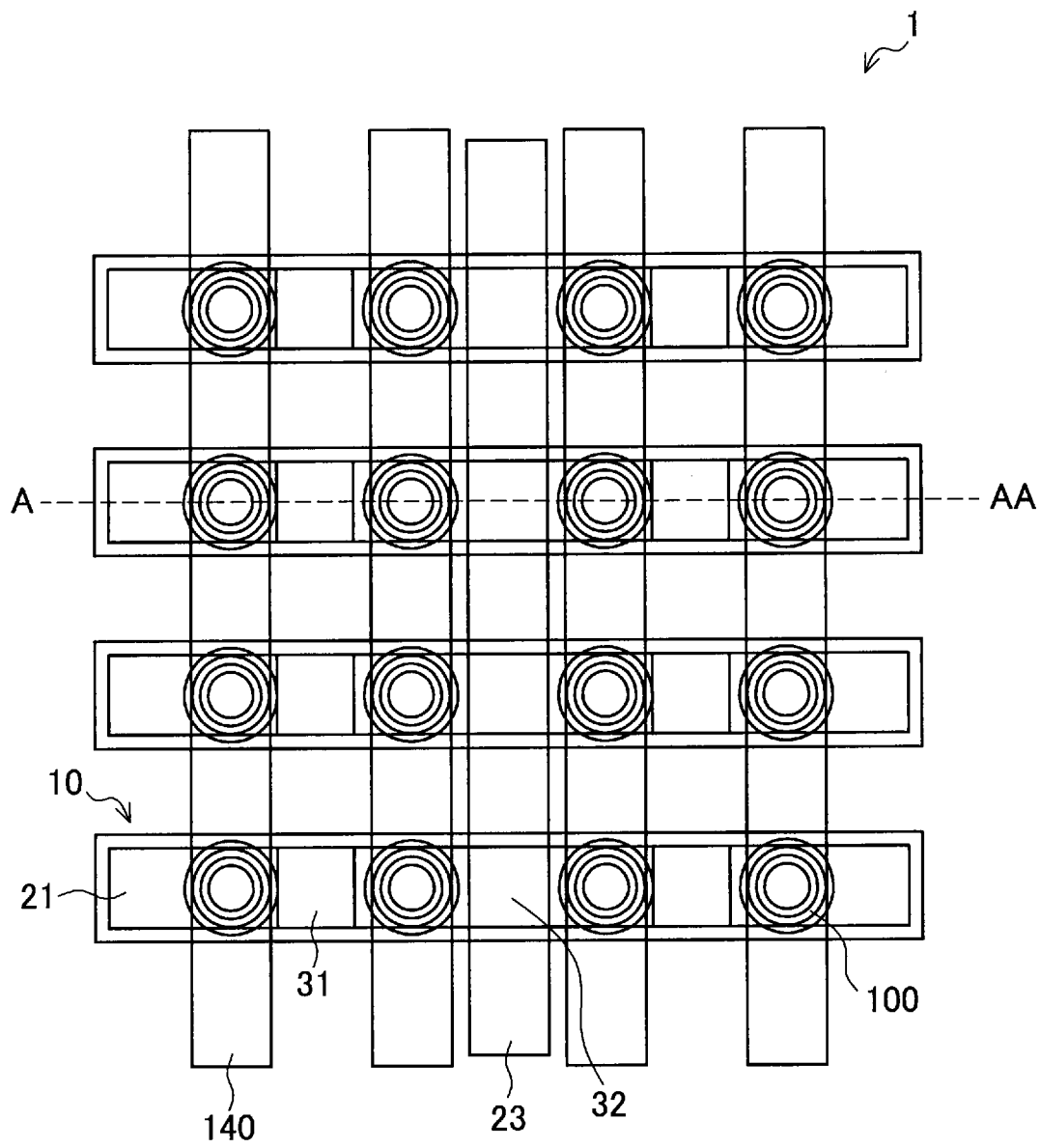
[図5F]



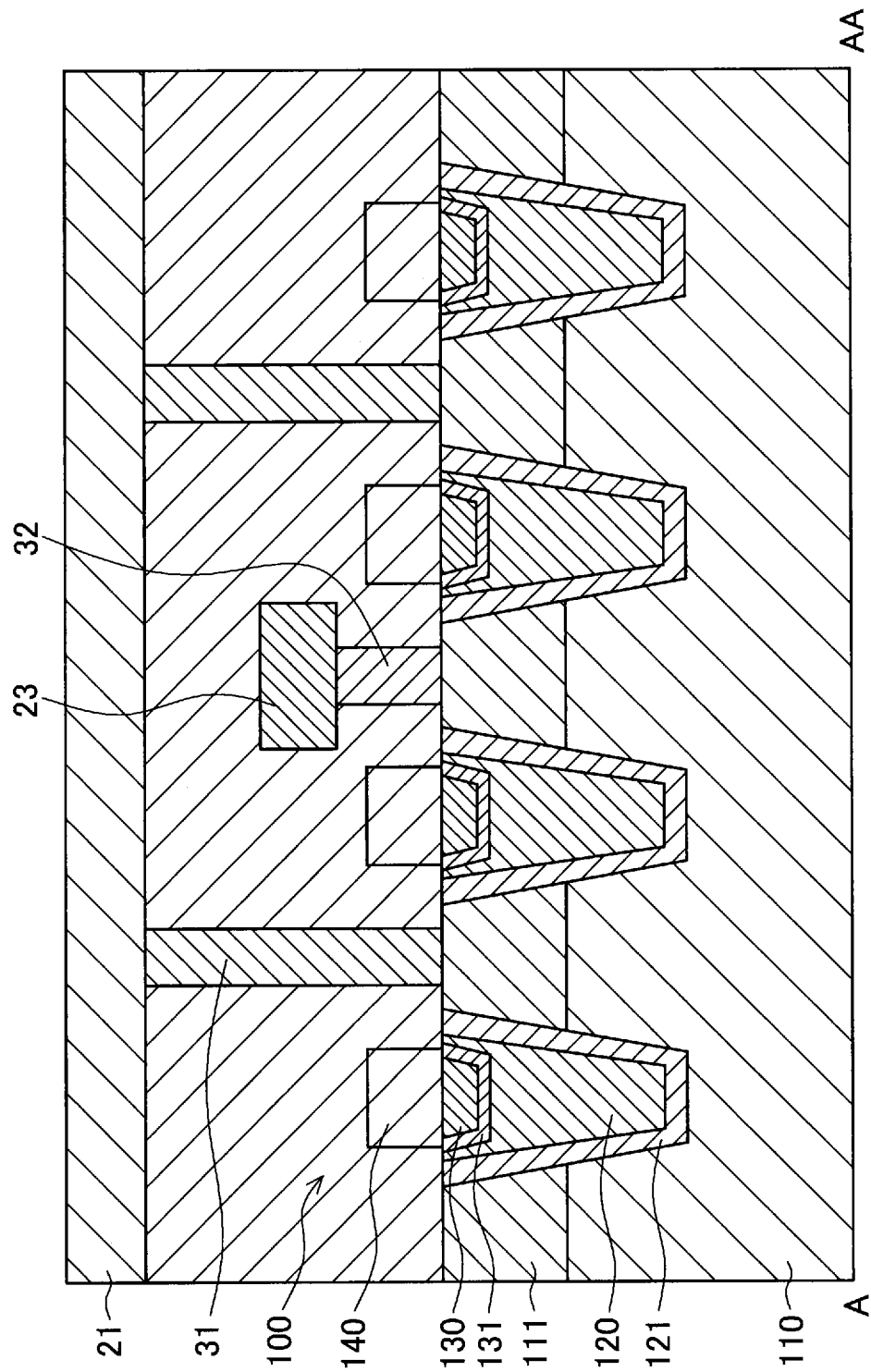
[図5G]



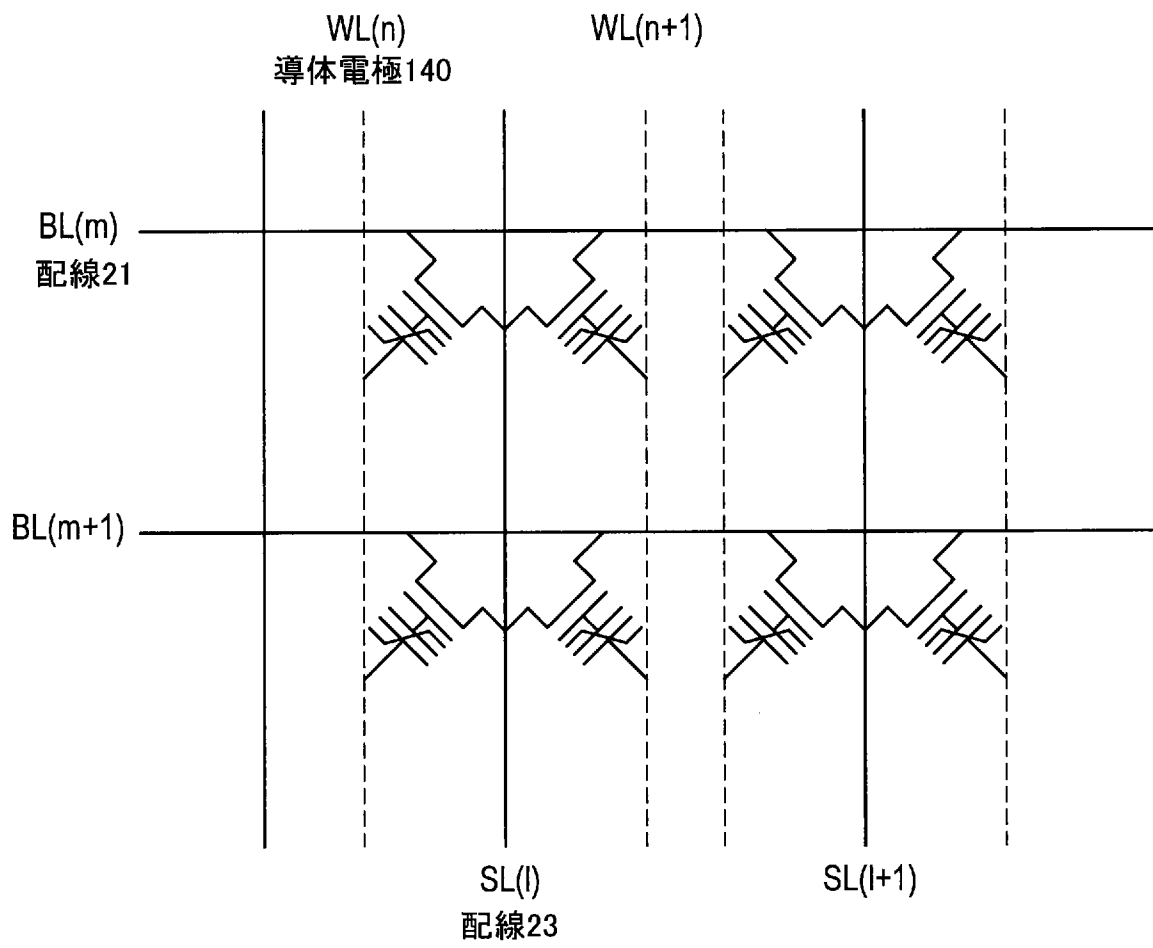
[図6]



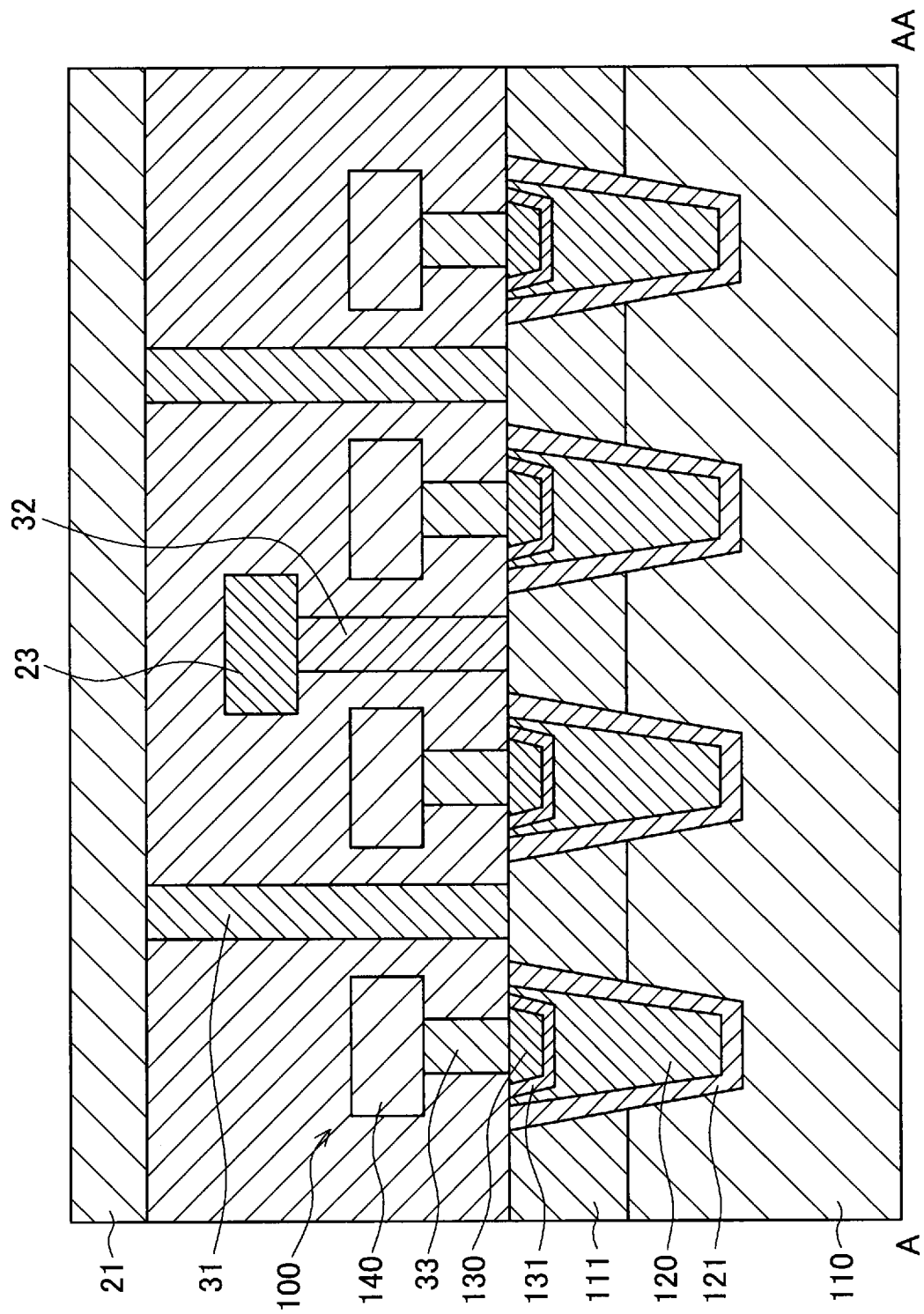
[図7]



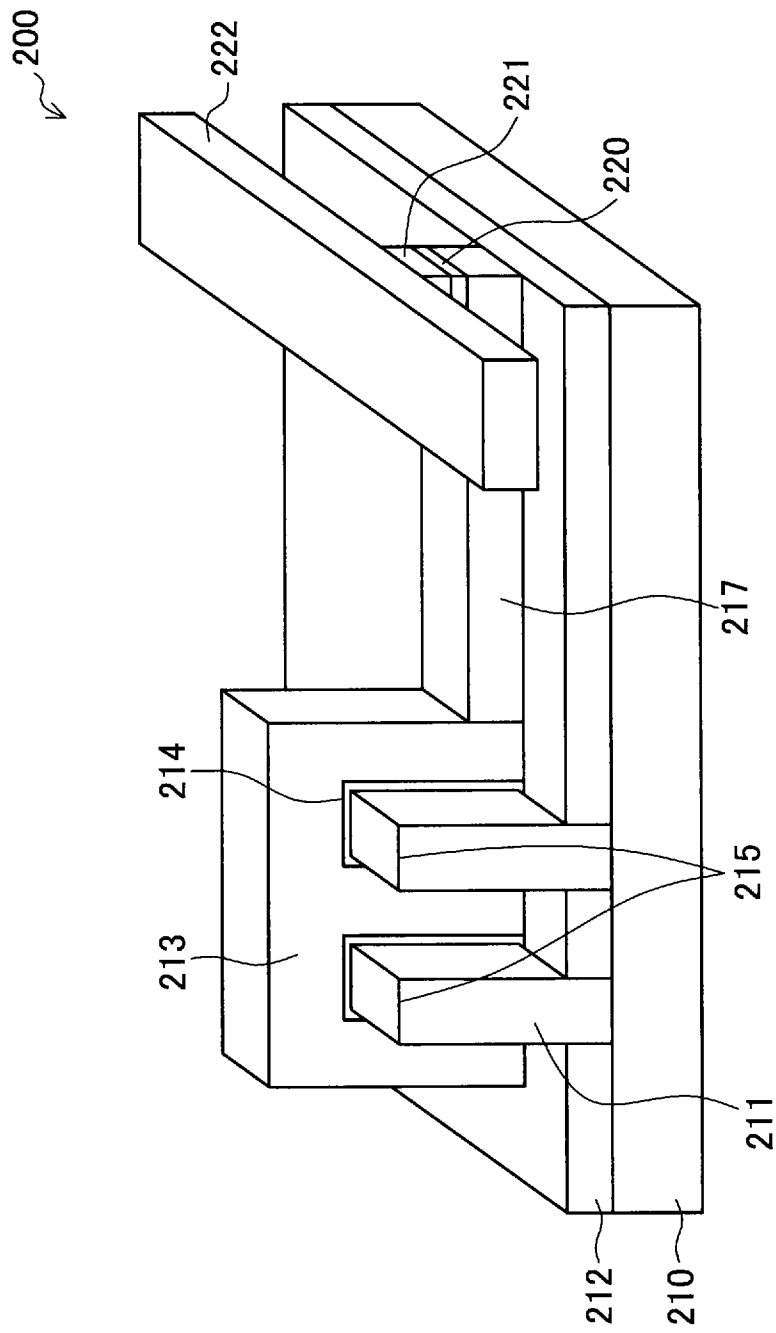
[図8]



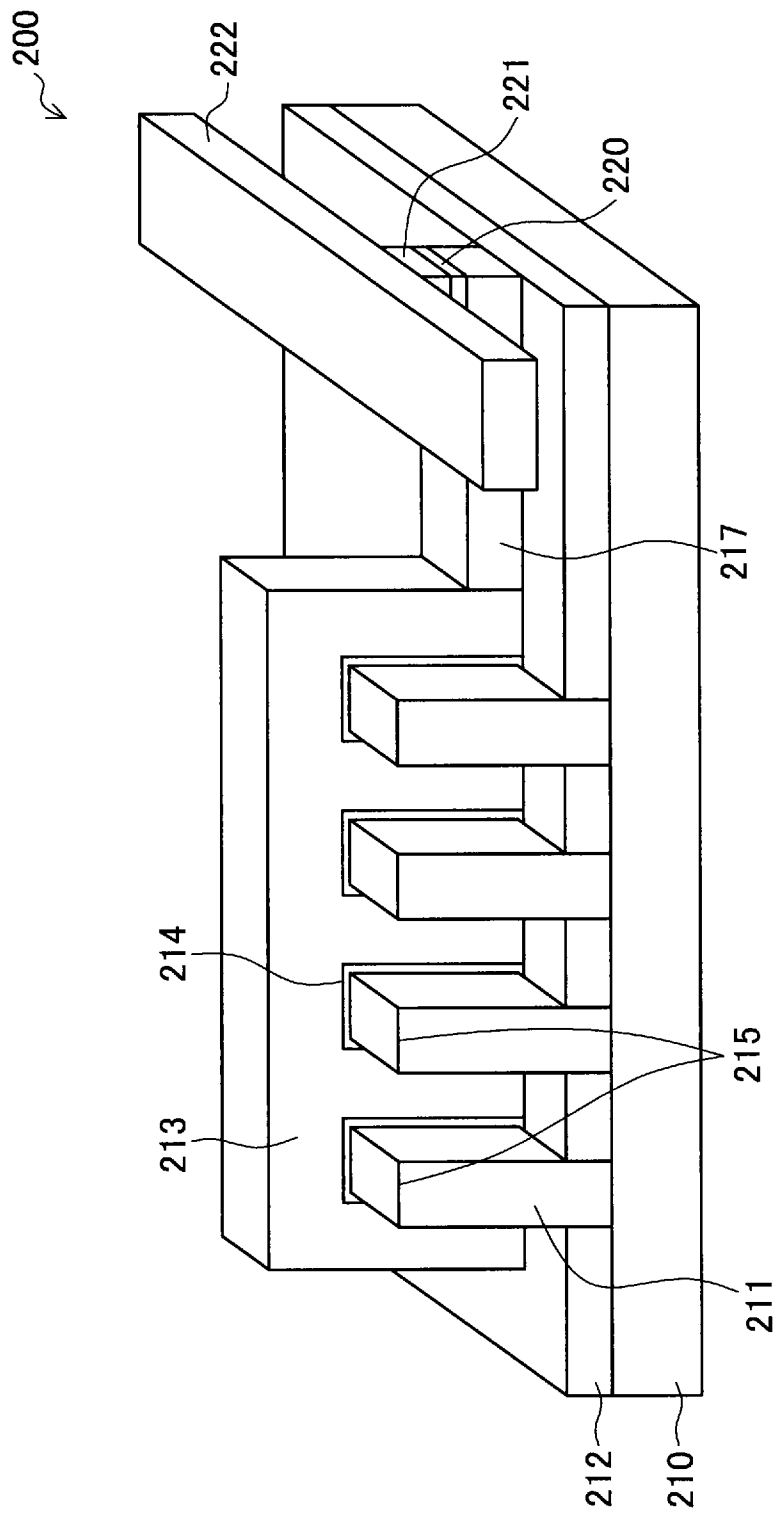
[図9]



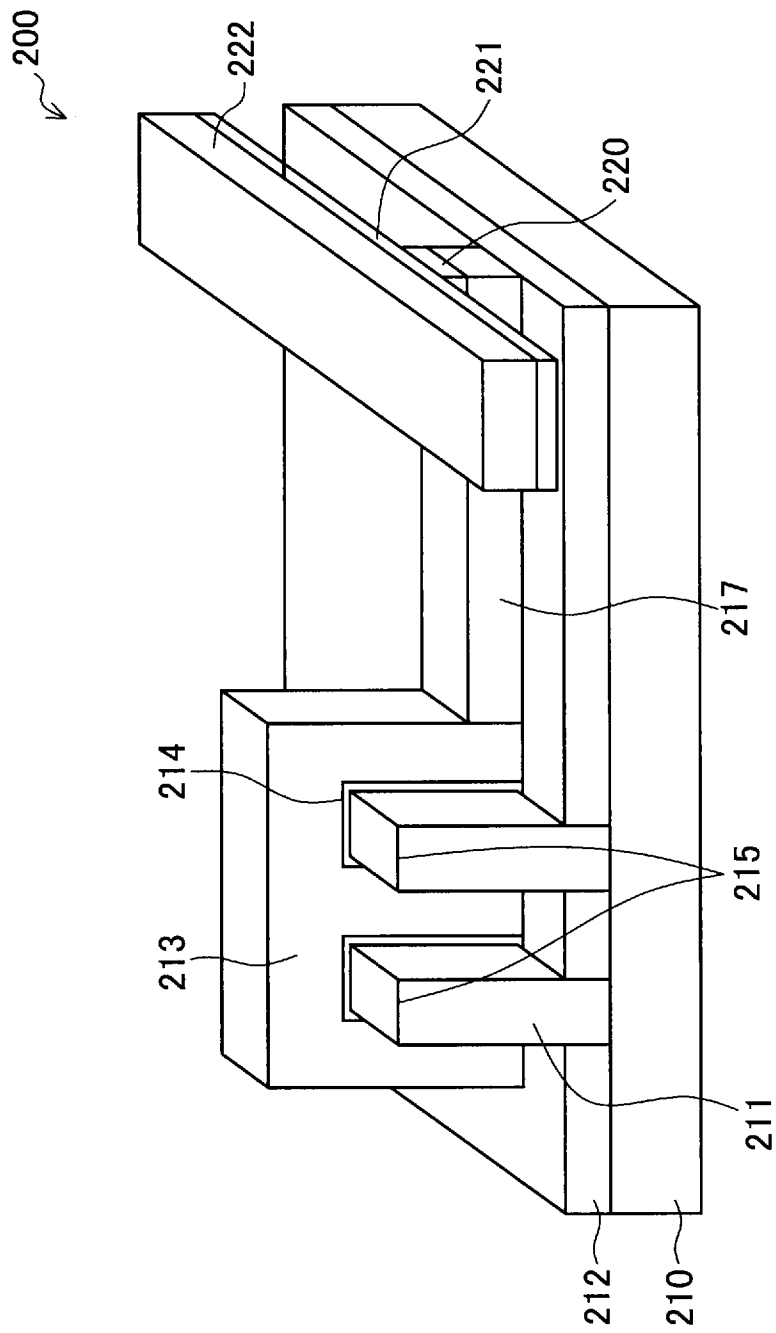
[図10]



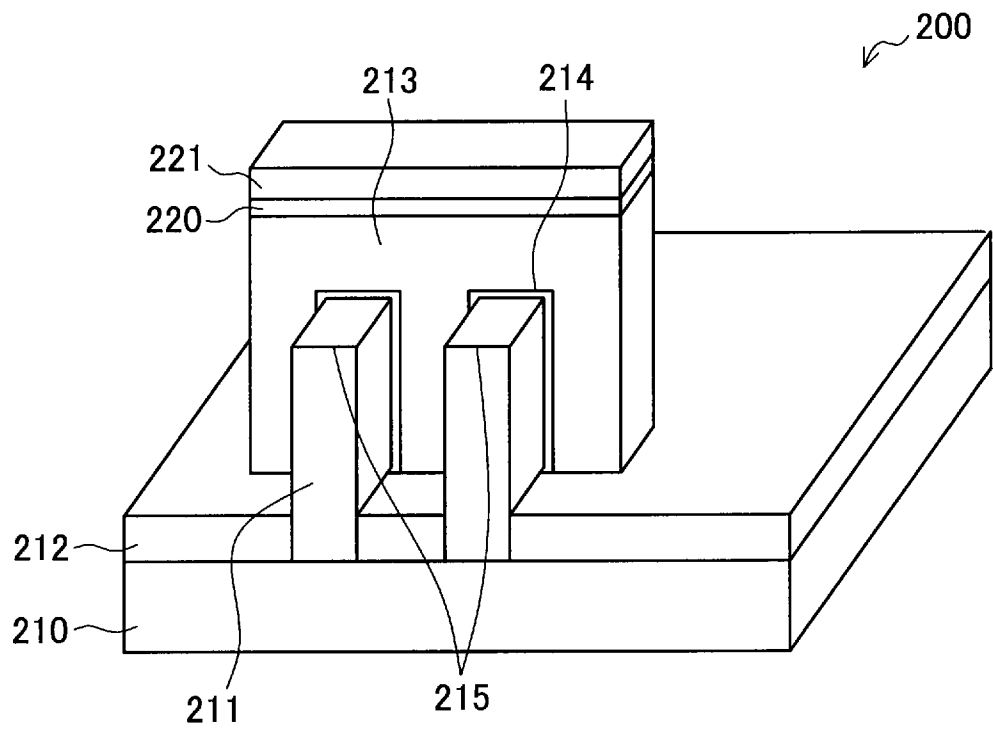
[図11A]



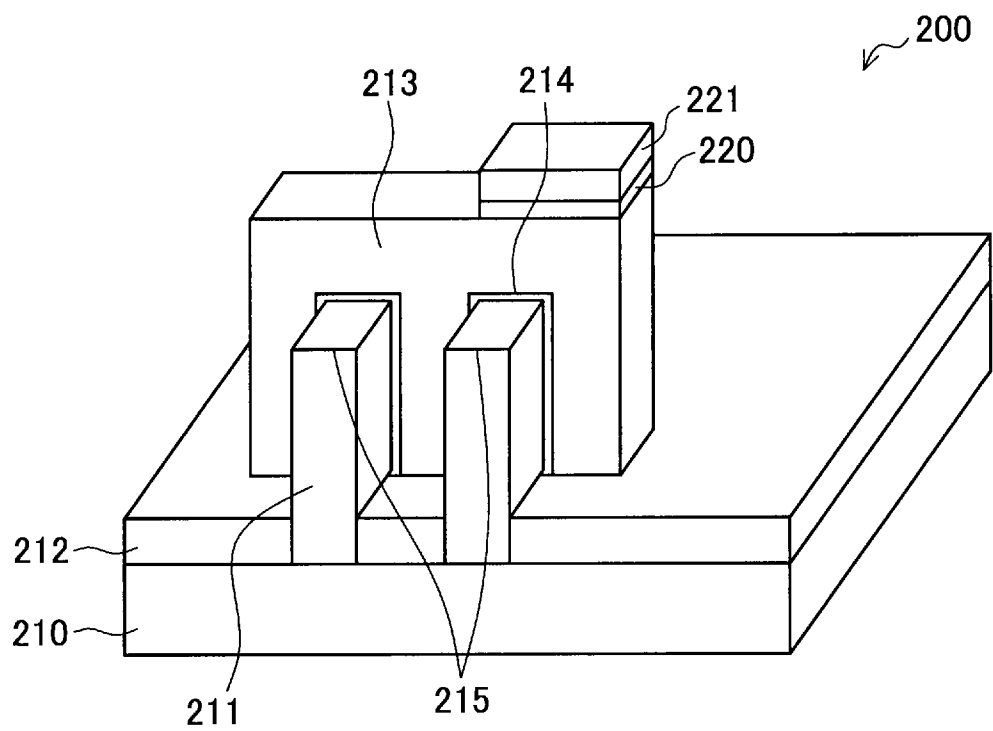
[図11B]



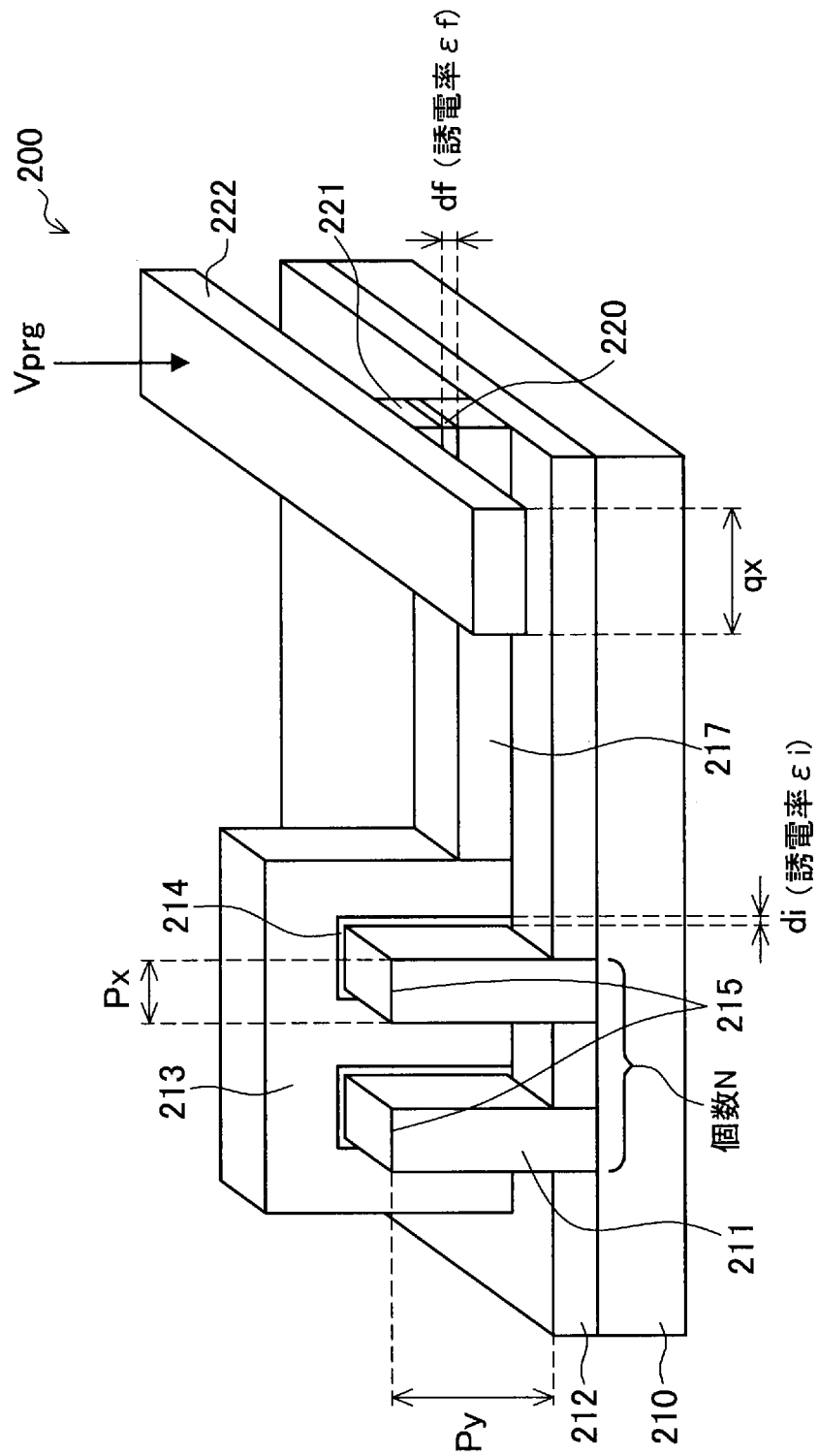
[図11C]



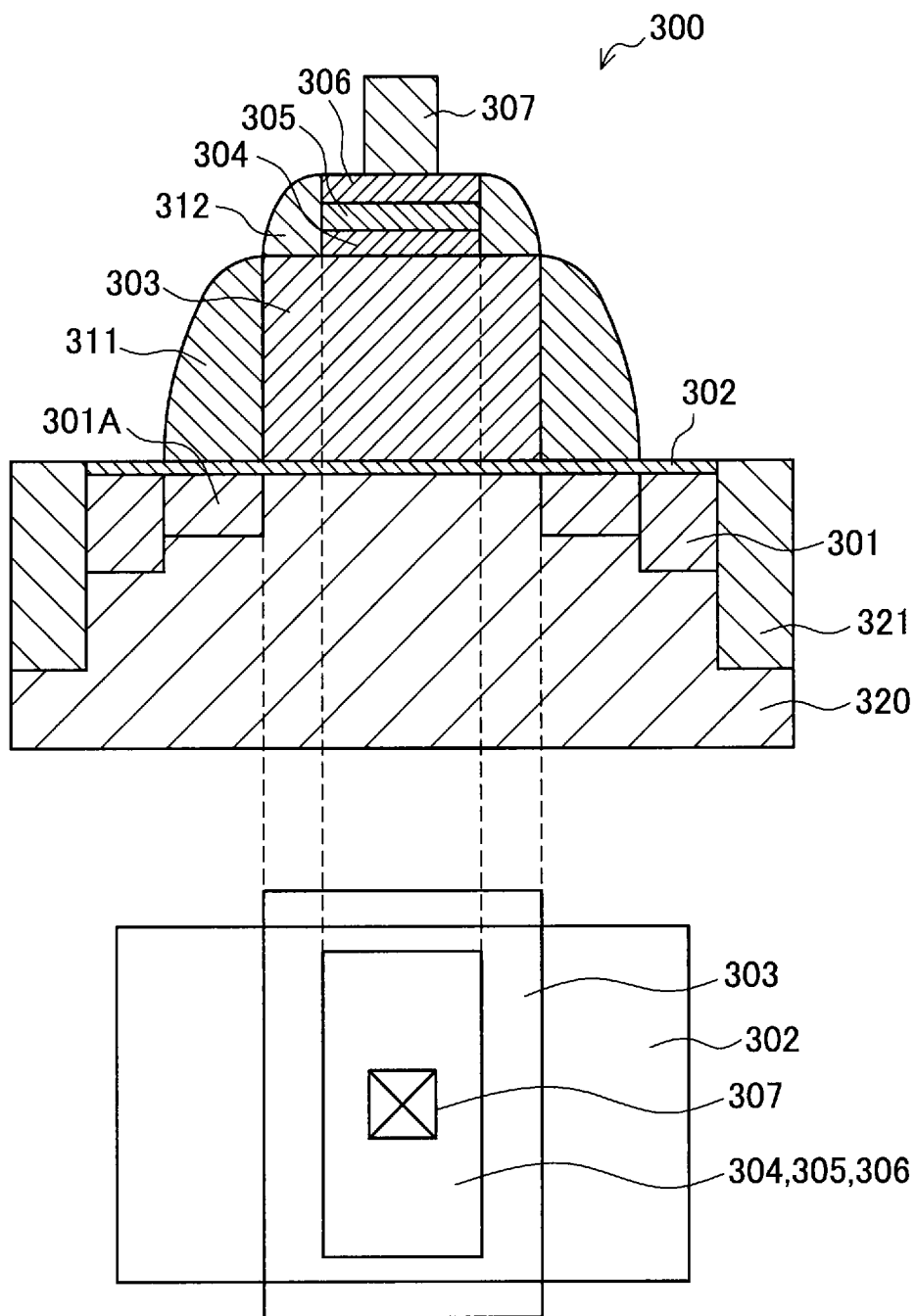
〔図11D〕



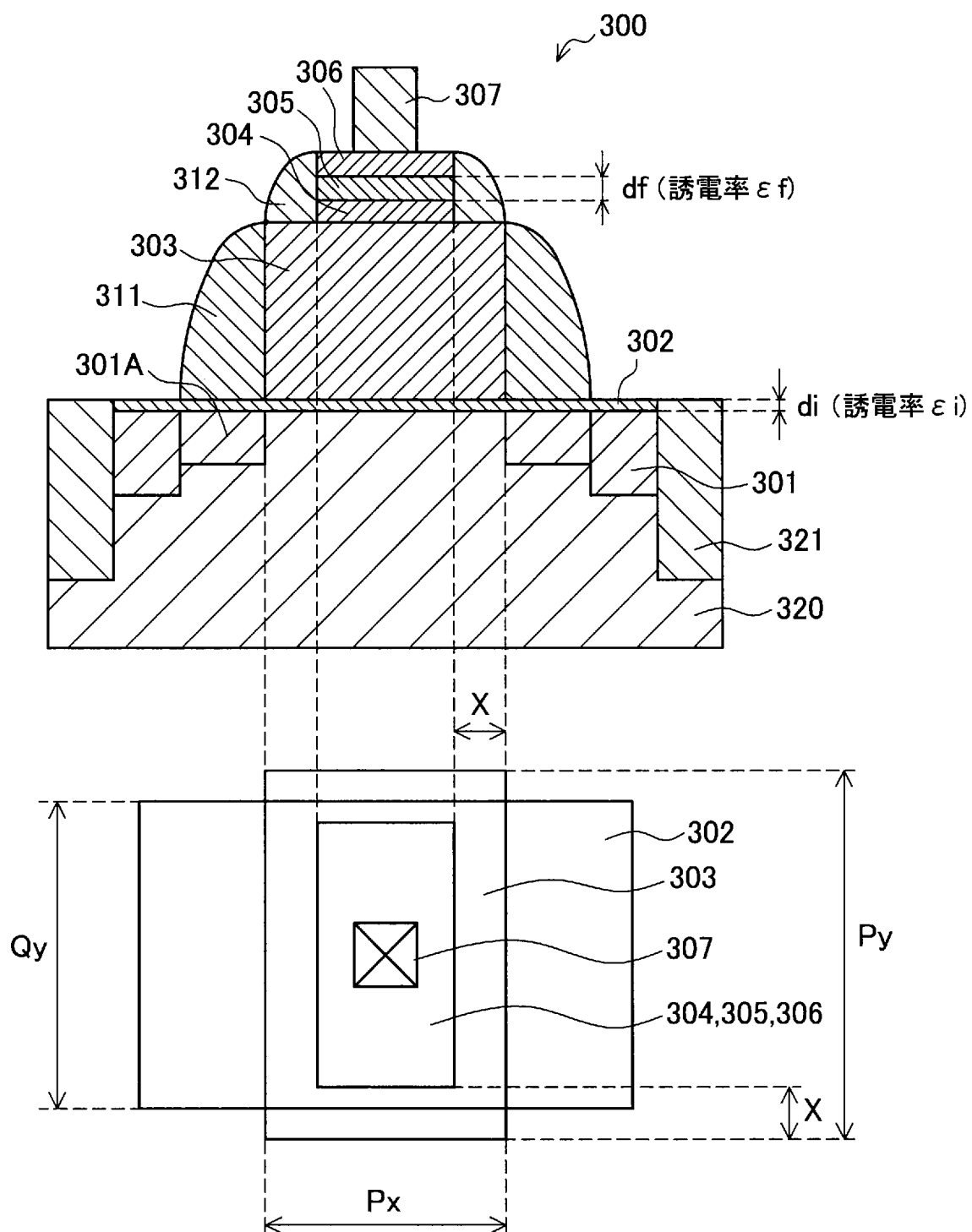
[図12]



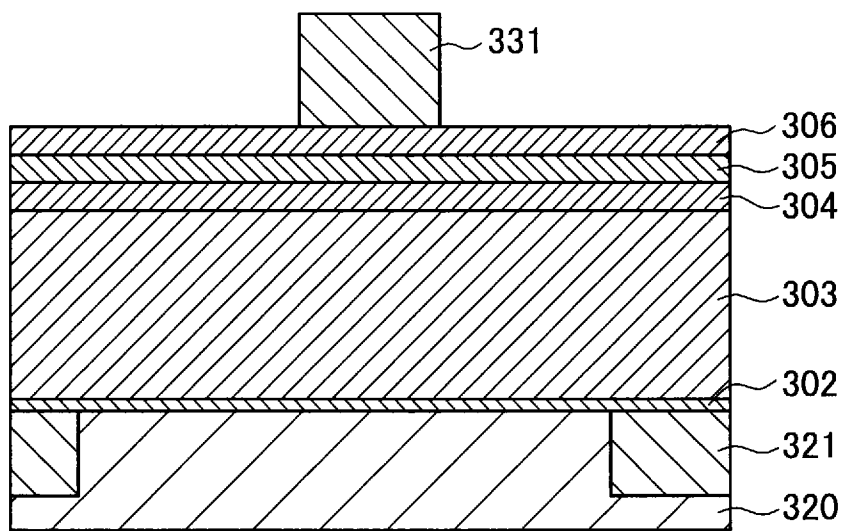
[図14]



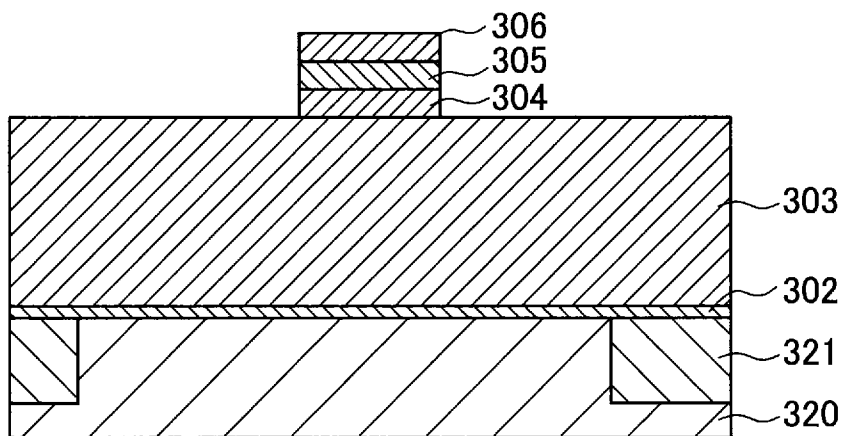
[図15]



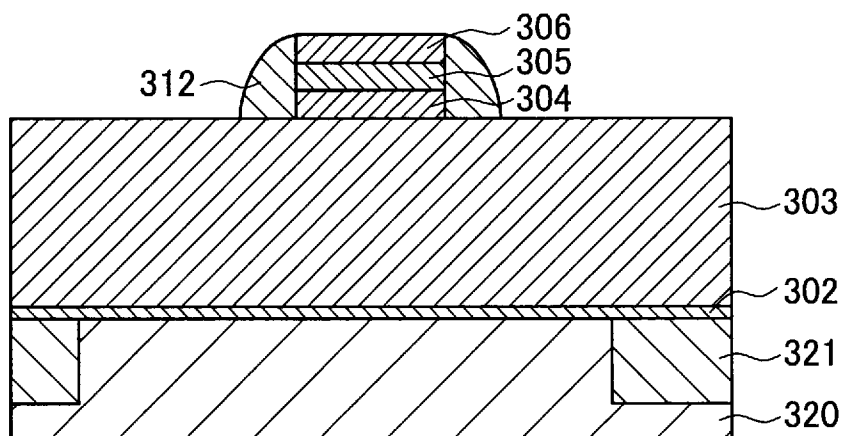
[図16A]



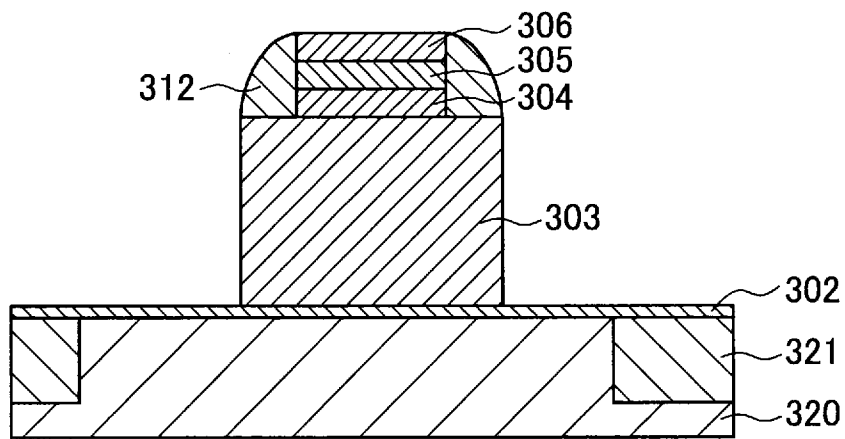
[図16B]



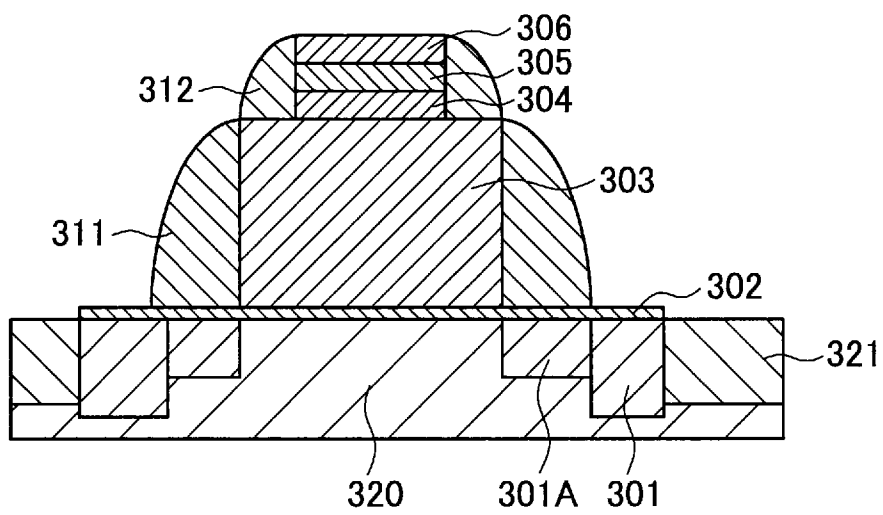
[図16C]



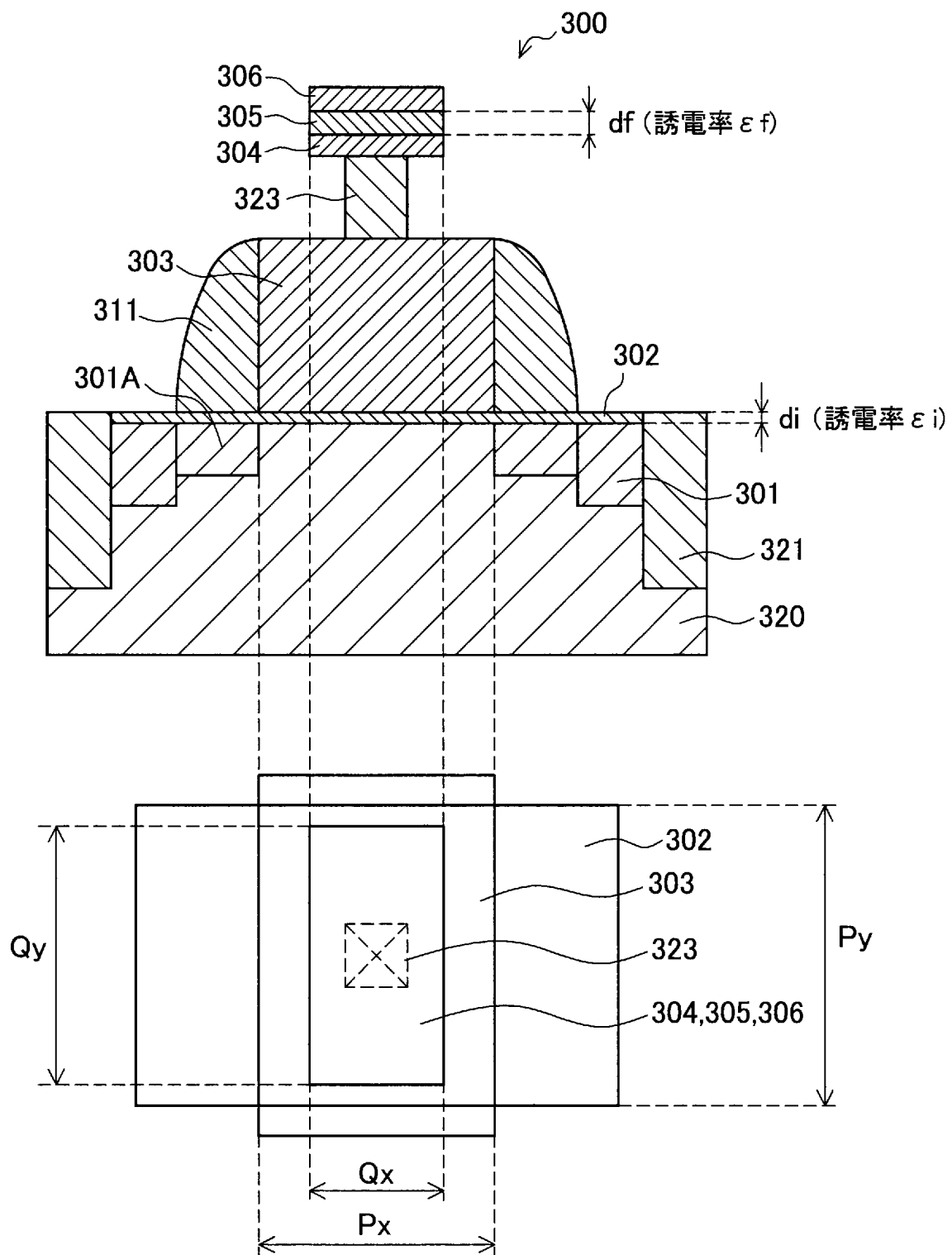
[図16D]



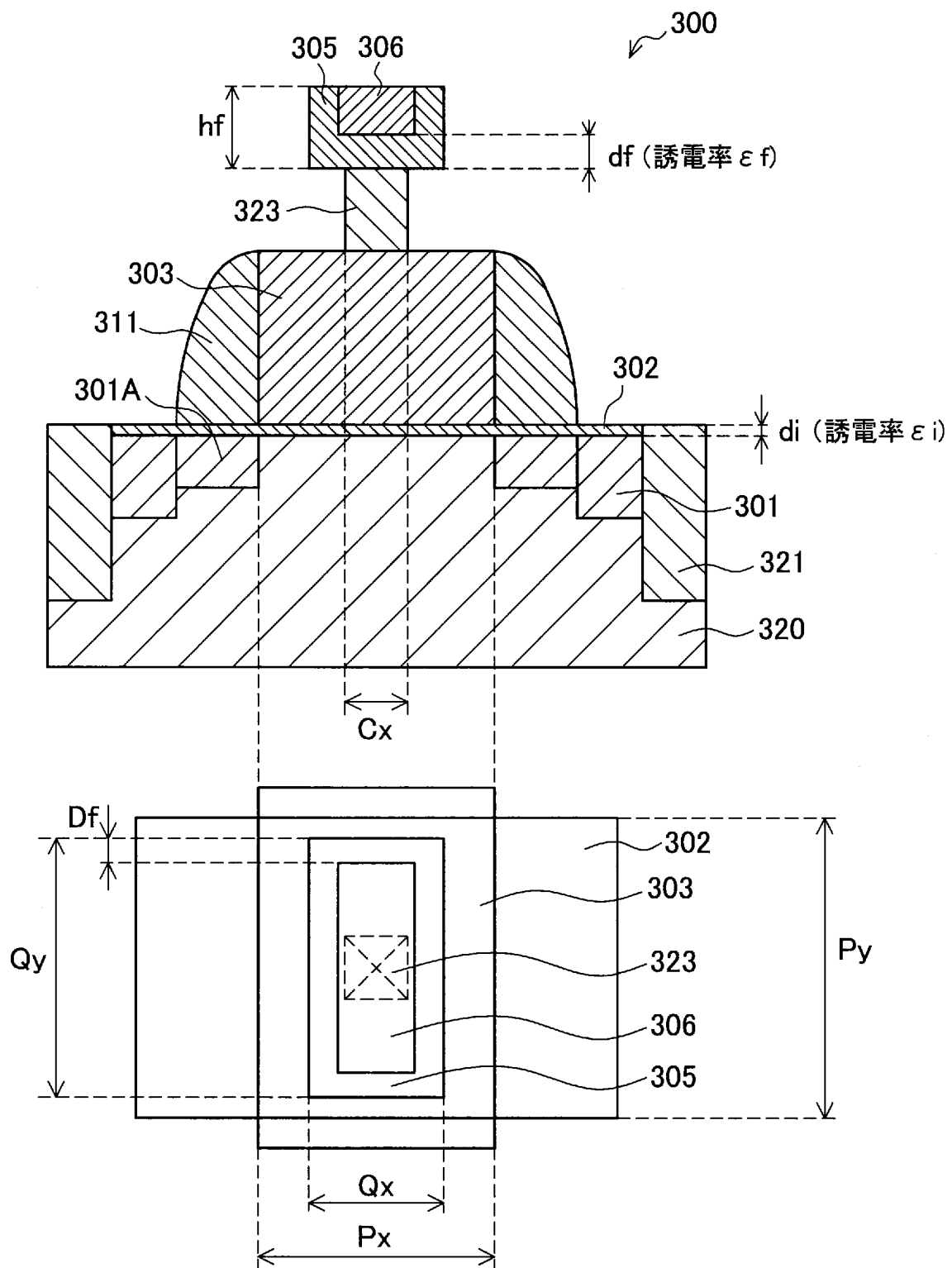
[図16E]



[図17]



[図19]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/009982

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L27/1159 (2017.01) i, H01L21/336 (2006.01) i,
H01L21/768 (2006.01) i, H01L21/8234 (2006.01) i, H01L27/088 (2006.01) i,
H01L29/78 (2006.01) i, H01L29/788 (2006.01) i, H01L29/792 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L27/1159, H01L21/336, H01L21/768, H01L21/8234, H01L27/088,
H01L29/78, H01L29/788, H01L29/792

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2002-289805 A (TARUI, Yasuo) 04 October 2002, paragraphs [0015], [0027]-[0036], fig. 3, 15 (Family: none)	1-6, 11-13 10, 14-17
X Y	US 2015/0311349 A1 (MICRON TECHNOLOGY, INC.) 29 October 2015, paragraphs [0027]-[0034], fig. 1 & WO 2015/164141 A1 & TW 201603281 A & CN 106463510 A	1-3, 7, 8, 11- 13 9, 10, 14, 15, 17



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
21.05.2019

Date of mailing of the international search report
28.05.2019

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/009982

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2009-170511 A (TOSHIBA CORPORATION) 30 July 2009, paragraph [0008], fig. 1A (Family: none)	9
Y	JP 2001-068633 A (HANDOTAI RIKOUGAKU KENKYU CENTER KK) 16 March 2001, paragraph [0034], fig. 4 & US 2001/0024391 A1, paragraph [0043], fig. 4 & WO 2001/017017 A1 & DE 10082909 B & TW 465084 B & KR 10-0415741 B	10, 17
Y	JP 10-294431 A (OKI ELECTRIC IND CO., LTD.) 04 November 1998, paragraphs [0028]-[0031], fig. 1 (Family: none)	14-16
A	JP 11-068069 A (NIPPON STEEL CORPORATION) 09 March 1999, paragraphs [0110]-[0121], fig. 5 & US 2002/0125536 A1, paragraphs [0111]-[0125], fig. 5	1-17

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L27/1159(2017.01)i, H01L21/336(2006.01)i, H01L21/768(2006.01)i, H01L21/8234(2006.01)i,
H01L27/088(2006.01)i, H01L29/78(2006.01)i, H01L29/788(2006.01)i, H01L29/792(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L27/1159, H01L21/336, H01L21/768, H01L21/8234, H01L27/088, H01L29/78, H01L29/788, H01L29/792

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2002-289805 A (垂井康夫) 2002.10.04, [0015], [0027]-[0036], 図 3, 15 (ファミリーなし)	1-6, 11-13 10, 14-17
X Y	US 2015/0311349 A1 (MICRON TECHNOLOGY, INC.) 2015.10.29, [0027]-[0034], 図 1 & WO 2015/164141 A1 & TW 201603281 A & CN 106463510 A	1-3, 7, 8, 11 -13 9, 10, 14, 15, 17

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

21.05.2019

国際調査報告の発送日

28.05.2019

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号 100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

加藤 俊哉

電話番号 03-3581-1101 内線 3516

5 F

9554

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2009-170511 A (株式会社東芝) 2009. 07. 30, [0008], 図 1A (ファミリーなし)	9
Y	JP 2001-068633 A (株式会社半導体理工学研究センター) 2001. 03. 16, [0034], 図 4 & US 2001/0024391 A1, [0043], FIG. 4 & WO 2001/017017 A1 & DE 10082909 B & TW 465084 B & KR 10-0415741 B	10, 17
Y	JP 10-294431 A (沖電気工業株式会社) 1998. 11. 04, [0028]-[0031], 図 1 (ファミリーなし)	14-16
A	JP 11-068069 A (新日本製鐵株式会社) 1999. 03. 09, [0110]-[0121], 図 5 & US 2002/0125536 A1, [0111]-[0125], FIG. 5	1-17