



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0117209
(43) 공개일자 2009년11월12일

(51) Int. Cl.

G09G 3/30 (2006.01) G09G 3/32 (2006.01)
G09G 3/20 (2006.01) H01L 51/50 (2006.01)

(21) 출원번호 10-2008-0043141

(22) 출원일자 2008년05월09일

심사청구일자 2008년05월09일

(71) 출원인

창원대학교 산학협력단

경남 창원시 사림동 9 창원대학교내

텐소프성전자(주)

경상남도 창원시 외동 853-11

(72) 발명자

김영희

경남 창원시 반림동 현대아파트 112동 1001호

(74) 대리인

이철희

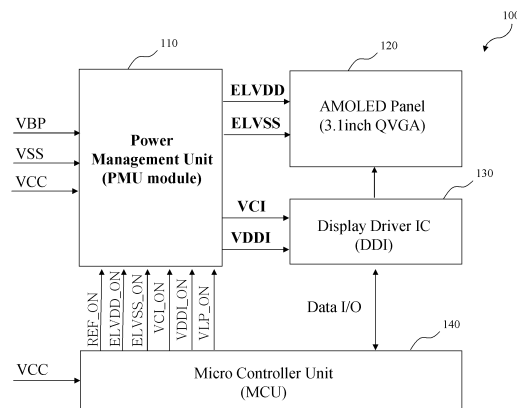
전체 청구항 수 : 총 8 항

(54) AMOLED 디스플레이 모듈

(57) 요약

본 발명은 능동형 유기발광 다이오드 디스플레이를 구비하는 AMOLED 디스플레이 모듈을 개시한다. 상기 AMOLED 디스플레이 모듈은, PMU, AMOLED 패널, DDI 및 MCU를 구비한다. 상기 PMU는 복수 개의 제어신호에 응답하여, 공급전원들을 이용하여 적어도 하나의 패널구동전압, DDI 구동전압 및 인터페이스 전압을 생성한다. 상기 AMOLED 패널은 상기 적어도 하나의 패널구동전압을 이용하여 동작한다. 상기 DDI는 상기 DDI 구동전압 및 상기 인터페이스 전압에 따라 동작하며 디스플레이 데이터에 응답하여 상기 AMOLED 패널을 구동한다. 상기 MCU는 상기 복수 개의 제어신호 및 상기 디스플레이 데이터를 생성한다.

대표도 - 도1



특허청구의 범위

청구항 1

복수 개의 제어신호(REF_ON, ELVDD_ON, ELVSS_ON, VDD_ON, VCI_ON, VLP_ON, VPP_ON, VDDI_ON)에 응답하여, 공급전원들(VBP, VCC, VSS)을 이용하여 적어도 하나의 패널구동전압(VDD, ELVDD, ELVSS), DDI 구동전압(VCI) 및 인터페이스 전압(VDDI)을 생성하는 PMU(Power Module Unit, 110, 1100);

상기 적어도 하나의 패널구동전압(VDD, ELVDD, ELVSS)을 이용하여 동작하는 AMOLED 패널(120, 1120);

상기 DDI 구동전압(VCI) 및 상기 인터페이스 전압에 따라 동작하며 디스플레이 데이터(Data)에 응답하여 상기 AMOLED 패널(120, 1120)을 구동하는 DDI(Display Driver IC, 130, 1130); 및

상기 복수 개의 제어신호(REF_ON, ELVDD_ON, ELVSS_ON, VDD_ON, VCI_ON, VLP_ON, VPP_ON, VDDI_ON) 및 상기 디스플레이 데이터(Data)를 생성하는 MCU(Micro Controller Unit, 140, 1140)를 구비하는 것을 특징으로 하는 AMOLED 디스플레이 모듈.

청구항 2

제1항에 있어서, 상기 PMU(110)는,

기준제어신호(REF_ON)에 응답하여 공급전원들(VBP, VCC, VSS)을 이용하여 VCI 기준바이어스(IREF_VCI, VREF_VCI), ELVDD 기준바이어스(IREF_ELVD, VREF_ELVD), ELVSS 기준바이어스(IREF_ELVS, VREF_ELVS), VP20 기준바이어스(VP20_ELVS), VLP 기준바이어스(IREF_VLP, VREF_VLP) 및 VDDI 기준바이어스(IREF_VDDI, VREF_VDDI)를 생성하는 기준바이어스 생성기(210);

VCI 제어신호(VCI_ON) 및 상기 VCI 기준바이어스(IREF_VCI, VREF_VCI)에 응답하여 상기 DDI 구동전압(VCI)을 생성하는 DDI 구동전압 레귤레이터(220);

ELVDD 제어신호(ELVDD_ON) 및 상기 ELVDD 기준바이어스(IREF_ELVD, VREF_ELVD)에 응답하여 제1패널구동전압(ELVDD)을 생성하는 제1패널구동전압 레귤레이터(230);

VLP 제어신호(VLP_ON) 및 상기 VLP 기준바이어스(IREF_VLP, VREF_VLP)에 응답하여 VLP 전압(VLP)을 생성하는 VLP 전압 레귤레이터(240);

VDDI 제어신호(VDDI_ON) 및 상기 VDDI 기준바이어스(IREF_VDDI, VREF_VDDI)에 응답하여 상기 인터페이스 전압(VDDI)을 생성하는 인터페이스 전압 레귤레이터(250); 및

ELVSS 제어신호(ELVSS_ON), 상기 ELVSS 기준바이어스(IREF_ELVS, VREF_ELVS), 상기 VP20 기준바이어스(VP20_ELVS) 및 상기 VLP 전압(VLP)에 응답하여 제2패널구동전압(ELVSS)을 생성하는 ELVSS 생성기(260)를 구비하며,

상기 공급전원들은 전압준위가 9~16V(Volts)인 제1공급전원(VBP), 전압준위가 5V인 제2공급전원 및 접지전압인 제3공급전원(VSS)이고,

상기 제1패널구동전압(ELVDD)은 5V, 상기 제2패널구동전압(ELVSS)은 -6V(minus six Volts), 상기 DDI 구동전압(VCI)은 2.8V이고 상기 인터페이스 전압(VDDI)은 1.8V인 것을 특징으로 하는 AMOLED 디스플레이 모듈.

청구항 3

제2항에 있어서, 상기 ELVSS 생성기(260)는,

ELVSS 생성기(260)의 출력단자의 전압을 프리차지(precharge) 시키는 프리차지회로(310);

상기 ELVSS 제어신호(ELVSS_ON), 상기 VLP 전압(VLP) 및 상기 ELVSS 기준바이어스(IREF_ELVS, VREF_ELVS)에 응답하여 상기 제2패널구동전압(ELVSS)의 전압준위에 대응되는 발진제어신호(ELVSS_ENb)를 생성하는 ELVSS 레벨 검출기(320);

상기 ELVSS 제어신호(ELVSS_ON), 상기 VLP 전압(VLP) 및 상기 발진제어신호(ELVSS_ENb)에 응답하여 발진신호를 생성하는 링 발진기(330);

상기 VP20 기준바이어스(VP20_ELVS) 및 상기 발진신호에 응답하여 복수 개의 제어클럭신호(CLK)를 생성하는 제

어회로(340); 및

상기 VP20 기준바이어스(VP20_ELVSS) 및 상기 복수 개의 제어클록신호(CLK)에 응답하여 상기 제2패널구동전압(ELVSS)을 생성하는 전하펌프(350)를 구비하는 것을 특징으로 하는 AMOLED 디스플레이 모듈.

청구항 4

제3항에 있어서, 상기 전하펌프(350)는,

제1스위칭 제어신호(G1) 및 제2스위칭 제어신호(G2)를 생성하며, 제0제어클록신호(CLK0) 및 제3제어클록신호(CLK3)에 응답하여 제1노드(ND1) 및 제2노드(ND2)를 프리차지 시키는 프리차지 제어회로(410);

상기 제1스위칭 제어신호(G1)에 응답하여 상기 제1노드(ND1)의 전압을 상기 제2패널구동전압(ELVSS)으로 스위칭하는 제1스위칭트랜지스터(MN5);

상기 제2스위칭 제어신호(G2)에 응답하여 상기 제2노드(ND2)의 전압을 상기 제2패널구동전압(ELVSS)으로 스위칭하는 제2스위칭트랜지스터(MN6);

상기 제1스위칭트랜지스터(MN5)의 바디전압을 안정화시키는 제3바디포텐셜 바이어스 회로(415);

상기 제2스위칭트랜지스터(MN6)의 바디전압을 안정화시키는 제4 디포텐셜 바이어스 회로(416);

제1제어클록신호(CLK1)의 위상을 반전시키는 제1인버터(I1);

일 단자에는 상기 제1인버터(I1)의 출력단자가 연결되고 다른 일 단자에는 상기 제1노드(MN1)가 연결된 제1커패시터(C1);

제2제어클록신호(CLK2)의 위상을 반전시키는 제2인버터(I2);

일 단자에는 상기 제2인버터(I2)의 출력단자가 연결되고 다른 일 단자에는 상기 제2노드(MN2)가 연결된 제2커패시터(C2); 및

상기 제2패널구동전압(ELVSS)에 대응되는 전하를 충전하는 전하저장 커패시터(C_R)를 구비하는 것을 특징으로 하는 AMOLED 디스플레이 모듈.

청구항 5

제4항에 있어서, 상기 프리차지 제어회로(410)는,

일 단자는 상기 VP20 기준바이어스(VP20_ELVSS)에 연결되고 다른 일 단자가 상기 제1노드(ND1)에 연결되며 상기 제0제어클록신호(CLK0)에 응답하여 상기 제2스위칭 제어신호(G2)를 생성하는 제2스위칭 제어신호생성회로(411);

일 단자는 상기 VP20 기준바이어스(VP20_ELVSS)에 연결되고 다른 일 단자는 상기 제2노드(ND2)에 연결되며 상기 제3제어클록신호(CLK3)에 응답하여 상기 제1스위칭 제어신호(G1)를 생성하는 제1스위칭 제어신호생성회로(412);

일 단자가 상기 제1노드(MD1)에 연결되고 다른 일 단자가 제3공급전원(VSS)에 연결되며 게이트에 상기 제2스위칭 제어신호(G2)가 인가되는 제1프리차지스위치(MN1);

일 단자가 상기 제2노드(MD2)에 연결되고 다른 일 단자가 제3공급전원(VSS)에 연결되며 게이트에 상기 제1스위칭 제어신호(G1)가 인가되는 제3프리차지스위치(MN3);

일 단자는 상기 제1노드(ND1)에 연결되고 다른 일 단자는 제3공급전원(VSS)에 연결되며 또 다른 일 단자는 상기 제1프리차지스위치(MN1)의 바디에 연결된 제1바디포텐셜 바이어스회로(413); 및

일 단자는 상기 제2노드(ND2)에 연결되고 다른 일 단자는 제3공급전원(VSS)에 연결되며 또 다른 일 단자는 상기 제3프리차지스위치(MN3)의 바디에 연결된 제2바디포텐셜 바이어스회로(414)를 구비하는 것을 특징으로 하는 AMOLED 디스플레이 모듈.

청구항 6

제5항에 있어서,

상기 제2스위칭 제어신호생성회로(411)는,

일 단자는 상기 VP20 기준바이어스(VP20_ELVSS)에 연결되고 게이트에 인가되는 상기 제0제어클럭신호(CLK0)에 응답하여 다른 일 단자로 상기 제2스위칭 제어신호(G2)를 생성하는 제1제어신호트랜지스터(MP1); 및

일 단자가 상기 제1노드(ND1)에 연결되며 게이트에 인가되는 상기 제0제어클럭신호(CLK0)에 응답하여 다른 일 단자로 상기 제2스위칭 제어신호(G2)를 생성하는 제2제어신호트랜지스터(MN2)를 구비하며,

상기 제1스위칭 제어신호생성회로(412)는,

일 단자는 상기 VP20 기준바이어스(VP20_ELVSS)에 연결되고 게이트에 인가되는 상기 제3제어클럭신호(CLK3)에 응답하여 다른 일 단자로 상기 제1스위칭 제어신호(G1)를 생성하는 제3제어신호트랜지스터(MP2); 및

일 단자는 상기 제2노드(ND2)에 연결되며 게이트에 인가되는 상기 제3제어클럭신호(CLK3)에 응답하여 다른 일 단자로 상기 제1스위칭 제어신호(G1)를 생성하는 제4제어신호트랜지스터(MN4)를 구비하고,

상기 제1바디포텐셜 바이어스회로(413)는,

일 단자가 상기 제1노드(ND1)에 연결되고 다른 일 단자 및 바디가 상기 제1프리차지스위치(MN1)의 바디에 연결되며 게이트가 제3공급전원(VSS)에 연결된 제1바디포텐셜 트랜지스터(MB1); 및

일 단자가 제3공급전원(VSS)에 연결되고 다른 일 단자 및 바디가 상기 제1프리차지스위치(MN1)의 바디에 연결되며 게이트가 상기 제1노드(ND1)에 연결된 제2바디포텐셜 트랜지스터(MB2)를 구비하며,

상기 제2바디포텐셜 바이어스회로(414)는,

일 단자가 제3공급전원(VSS)에 연결되고 다른 일 단자 및 바디가 상기 제3프리차지스위치(MN3)의 바디에 연결되며 게이트가 상기 제2노드(ND1)에 연결된 제3바디포텐셜 트랜지스터(MB3); 및

일 단자가 상기 제2노드(ND2)에 연결되고 다른 일 단자 및 바디가 상기 제3프리차지스위치(MN3)의 바디에 연결되며 게이트가 제3공급전원(VSS)에 연결된 제4바디포텐셜 트랜지스터(MB4)를 구비하고,

상기 제3바디포텐셜 바이어스회로(415)는,

일 단자가 상기 제1노드(ND1)에 연결되고 다른 일 단자 및 바디가 상기 제1스위칭트랜지스터(MN5)의 바디에 연결되며 게이트가 상기 제2패널구동전압(ELVSS)을 생성하는 노드에 연결된 제5바디포텐셜 트랜지스터(MB5); 및

일 단자가 상기 제2패널구동전압(ELVSS)을 생성하는 노드에 연결되고 다른 일 단자 및 바디가 상기 제1스위칭트랜지스터(MN5)의 바디에 연결되며 게이트가 상기 제1노드(ND1)에 연결된 제6바디포텐셜 트랜지스터(MB6)를 구비하며,

상기 제4바디포텐셜 바이어스회로(416)는,

일 단자가 상기 제2노드(ND1)에 연결되고 다른 일 단자 및 바디가 상기 제2스위칭트랜지스터(MN6)의 바디에 연결되며 게이트가 상기 제2패널구동전압(ELVSS)을 생성하는 노드에 연결된 제7바디포텐셜 트랜지스터(MB7); 및

일 단자가 상기 제2패널구동전압(ELVSS)을 생성하는 노드에 연결되고 다른 일 단자 및 바디가 상기 제2스위칭트랜지스터(MN6)의 바디에 연결되며 게이트가 상기 제2노드(ND2)에 연결된 제8바디포텐셜 트랜지스터(MB8)를 구비하는 것을 특징으로 하는 AMOLED 디스플레이 모듈.

청구항 7

제1항에 있어서, 상기 PMU(1100)는,

기준제어신호(REF_ON)에 응답하여 공급전원들(VBP, VCC, VSS)을 이용하여 VCI 기준바이어스(IREF_VCI, VREF_VCI), VPP 기준바이어스(IREF_VPP, VREF_VPP), VLP 기준바이어스(IREF_VLP, VREF_VLP), 및 VDDI 기준바이어스(IREF_VDDI, VREF_VDDI)를 생성하는 기준바이어스 생성기(1210);

VCI 제어신호(VCI_ON) 및 상기 VCI 기준바이어스(IREF_VCI, VREF_VCI)에 응답하여 상기 DDI 구동전압(VCI)을 생성하는 DDI 구동전압 레귤레이터(1220);

VPP 제어신호(VPP_ON) 및 상기 ELVDD 기준바이어스(IREF_VPP, VREF_VPP)에 응답하여 VPP 전압(VPP)을 생성하는 VPP전압 레귤레이터(1230);

VLP 제어신호(VLP_ON) 및 상기 VLP 기준바이어스(IREF_VLP, VREF_VLP)에 응답하여 VLP 전압(VLP)을 생성하는

VLP 전압 레귤레이터(1240);

VDDI 제어신호(VDDI_ON) 및 상기 VDDI 기준바이어스(IREF_VDDI, VREF_VDDI)에 응답하여 상기 인터페이스 전압(VDDI)을 생성하는 인터페이스 전압 레귤레이터(1250); 및

VDD 제어신호(VDD_ON), 상기 VDD 기준바이어스(IREF_VDD, VREF_VDD), 상기 VP 전압(VPP) 및 상기 VLP 전압(VLP)에 응답하여 패널구동전압(VDD)을 생성하는 VDD 생성기(1260)를 구비하며,

상기 공급전원들은 전압준위가 9~16V(Volts)인 제1공급전원(VBP), 전압준위가 5V인 제2공급전원 및 접지전압인 제3공급전원(VSS)이고,

상기 패널구동전압(VDD)은 10V, 상기 DDI 구동전압(VCI)은 2.8V이고 상기 인터페이스 전압(VDDI)은 1.8V인 것을 특징으로 하는 AMOLED 디스플레이 모듈.

청구항 8

제7항에 있어서, 상기 VDD 생성기(1260)는,

VDD 생성기(1260)의 출력단자의 전압을 프리차지(precharge) 시키는 프리차지회로(1310);

상기 VDD 제어신호(VDD_ON), 상기 VLP 전압(VLP) 및 상기 VDD 기준바이어스(IREF_VDD, VREF_VDD)에 응답하여 상기 패널구동전압(VDD)의 전압준위에 대응되는 발진제어신호(VDD_ENb)를 생성하는 VDD 레벨검출기(1320);

상기 VDD 제어신호(VDD_ON), 상기 VLP 전압(VLP) 및 상기 발진제어신호(VDD_ENb)에 응답하여 발진신호(OSC_O)를 생성하는 링 발진기(1330);

상기 VPP 전압(VPP) 및 상기 발진신호(OSC_O)에 응답하여 복수 개의 제어클럭신호(CLK)를 생성하는 제어회로(1340); 및

상기 VPP 전압(VPP) 및 상기 복수 개의 제어클럭신호(CLK)에 응답하여 상기 패널구동전압(VDD)을 생성하는 전하펌프(1350)를 구비하는 것을 특징으로 하는 AMOLED 디스플레이 모듈.

명세서

발명의 상세한 설명

기술 분야

<1> 본 발명은 디스플레이 모듈에 관한 것으로, 특히 AMOLED 디스플레이 모듈에 관한 것이다.

배경 기술

<2> 평판 디스플레이 기술이 발전함에 따라 휴대폰 단말기, 디지털 카메라, 모바일 기기 이외에 자동차 계기판에도 평판 디스플레이가 사용되고 있다. 현재 자동차 계기판에 사용되고 있는 평판 디스플레이는 TFT-LCD(Thin Film Transistor Liquid Crystal Display)가 주를 이룬다. 그러나 TFT-LCD는 자체 발광형이 아닌 별도의 광원을 따로 필요로 하기 때문에, 초박화 및 시야각 등의 측면에서 한계를 가진다. 그래서 향후 자동차 계기판에 사용될 평판 디스플레이로 TFT-LCD에 비해 넓은 시야각 및 높은 채도, 빠른 응답 속도를 지니며 별도의 광원이 필요하지 않는 능동형 유기발광 다이오드(Active-Matrix Organic Light Emitting Diode, AMOLED) 디스플레이의 사용이 확대될 것이다.

발명의 내용

해결 하고자하는 과제

<3> 본 발명이 해결하고자 하는 기술적 과제는, 능동형 유기발광 다이오드 디스플레이를 구비하는 AMOLED 디스플레이 모듈을 제공하는데 있다.

과제 해결수단

<4> 상기 기술적 과제를 이루기 위한 본 발명에 따른 AMOLED 디스플레이 모듈은, PMU, AMOLED 패널, DDI 및 MCU를 구비한다. 상기 PMU는 복수 개의 제어신호에 응답하여, 공급전원들을 이용하여 적어도 하나의 패널구동전압,

DDI 구동전압 및 인터페이스 전압을 생성한다. 상기 AMOLED 패널은 상기 적어도 하나의 패널구동전압을 이용하여 동작한다. 상기 DDI는 상기 DDI 구동전압 및 상기 인터페이스 전압에 따라 동작하며 디스플레이 데이터에 응답하여 상기 AMOLED 패널을 구동한다. 상기 MCU는 상기 복수 개의 제어신호 및 상기 디스플레이 데이터를 생성한다.

효 과

<5> 본 발명은 능동형 유기발광 다이오드(Active-Matrix Organic Light Emitting Diode, AMOLED) 디스플레이를 사용하는데 필요한 전원을 용이하게 공급할 수 있다는 장점이 있다.

발명의 실시를 위한 구체적인 내용

<6> 이하에서는 본 발명의 구체적인 실시 예를 도면을 참조하여 상세히 설명하도록 한다.

<7> 도 1은 본 발명에 따른 AMOLED 디스플레이 모듈의 블록 다이어그램이다.

<8> 도 1을 참조하면, AMOLED 디스플레이 모듈(100)은, PMU(Power Module Unit, 110), AMOLED 패널(120), DDI(Display Driver IC, 130) 및 MCU(Micro Controller Unit, 140)를 구비한다.

<9> PMU(110)는 복수 개의 제어신호(REF_ON, ELVDD_ON, ELVSS_ON, VCI_ON, VLP_ON, VDDI_ON)에 응답하여, 공급전원들(VBP, VCC, VSS)을 이용하여 패널구동전압(ELVDD, ELVSS), DDI 구동전압(VCI) 및 인터페이스 전압(VDDI)을 생성한다. AMOLED 패널(120)은 패널구동전압(ELVDD, ELVSS)을 이용하여 동작한다. DDI(130)는 DDI 구동전압(VCI) 및 인터페이스 전압(VDDI)에 따라 동작하며 디스플레이 데이터(Data)에 응답하여 AMOLED 패널(120)을 구동한다. MCU(140)는 공급전원(VCC)에 따라 동작하며 복수 개의 제어신호(REF_ON, ELVDD_ON, ELVSS_ON, VCI_ON, VLP_ON, VDDI_ON) 및 디스플레이 데이터(Data)를 생성한다.

<10> 도 2는 도 1에 도시된 PMU의 내부 블록다이어그램이다.

<11> 도 2를 참조하면, PMU(110)는 기준바이어스 생성기(210), DDI 구동전압 레귤레이터(220), 제1패널구동전압 레귤레이터(230), VLP 전압 레귤레이터(240), 인터페이스 전압 레귤레이터(250) 및 ELVSS 생성기(260)를 구비한다.

<12> 기준바이어스 생성기(210)는 기준제어신호(REF_ON)에 응답하여 공급전원들(VBP, VCC, VSS)을 이용하여 VCI 기준바이어스(IREF_VCI, VREF_VCI), ELVDD 기준바이어스(IREF_ELVD, VREF_ELVD), ELVSS 기준바이어스(IREF_ELSS, VREF_ELSS), VP20 기준바이어스(VP20_ELSS), VLP 기준바이어스(IREF_VLP, VREF_VLP), VP20 기준바이어스(VP20_ELSS) 및 VDDI 기준바이어스(IREF_VDDI, VREF_VDDI)를 생성한다. DDI 구동전압 레귤레이터(220)는 VCI 제어신호(VCI_ON) 및 VCI 기준바이어스(IREF_VCI, VREF_VCI)에 응답하여 DDI 구동전압(VCI)을 생성한다. 제1패널구동전압 레귤레이터(230)는 ELVDD 제어신호(ELVDD_ON) 및 ELVDD 기준바이어스(IREF_ELVD, VREF_ELVD)에 응답하여 제1패널구동전압(ELVDD)을 생성한다. VLP 전압 레귤레이터(240)는 VLP 제어신호(VLP_ON) 및 VLP 기준바이어스(IREF_VLP, VREF_VLP)에 응답하여 VLP 전압(VLP)을 생성한다. 인터페이스 전압 레귤레이터(250)는 VDDI 제어신호(VDDI_ON) 및 VDDI 기준바이어스(IREF_VDDI, VREF_VDDI)에 응답하여 인터페이스 전압(VDDI)을 생성한다. ELVSS 생성기(260)는 ELVSS 제어신호(ELVSS_ON), 상기 ELVSS 기준바이어스(IREF_ELSS, VREF_ELSS), VP20 기준바이어스(VP20_ELSS) 및 상기 VLP 전압(VLP)에 응답하여 제2패널구동전압(ELVSS)을 생성한다.

<13> 여기서 제1공급전원(VBP)은 전압준위가 9~16V(Volts)이고, 제2공급전원(VCC)은 전압준위가 5V이며, 제3공급전원(VSS)은 접지전압, 제1패널구동전압(ELVDD)은 5V, 제2패널구동전압(ELVSS)은 -6V(minus six Volts), DDI 구동전압(VCI)은 2.8V이고 인터페이스 전압(VDDI)은 1.8V이다.

<14> 도 3은 도 1에 도시된 ELVSS 생성기의 내부 블록다이어그램이다.

<15> 도 3을 참조하면, ELVSS 생성기(260)는, 프리차지회로(310), ELVSS 레벨검출기(320), 링 발진기(330), 제어회로(340) 및 전하펌프(350)를 구비한다.

<16> 프리차지회로(310)는 ELVSS 생성기(260)의 출력단자의 전압을 프리차지(precharge) 시킨다. ELVSS 레벨검출기(320)는 ELVSS 제어신호(ELVSS_ON), VLP 전압(VLP) 및 ELVSS 기준바이어스(VREF_ELSS)에 응답하여 제2패널구동전압(ELVSS)의 전압준위에 대응되는 발진제어신호(ELVSS_ENb)를 생성한다. 링 발진기(330)는 ELVSS 제어신호(ELVSS_ON), VLP 전압(VLP) 및 발진제어신호(ELVSS_ENb)에 응답하여 발진신호를 생성한다. 제어회로(340)는 VP20 기준바이어스(VP20_ELSS) 및 발진신호에 응답하여 복수 개의 제어클럭신호(CLK)를 생성한다. 전하펌프

(350)는 VP20 기준바이어스(VP20_ELVSS) 및 복수 개의 제어클럭신호(CLK)에 응답하여 제2패널구동전압(ELVSS)을 생성한다.

- <17> 도 4는 도 1에 도시된 전하펌프의 회로도의 일실시예이다.
- <18> 도 4를 참조하면, 전하펌프(350)는, 프리차지 제어회로(410), 제1스위치트랜지스터(MN5), 제2스위치트랜지스터(MN6), 제3바디포텐셜 바이어스 회로(415), 제4바디포텐셜 바이어스 회로(416), 제1인버터(I1), 제1커패시터(C1), 제2인버터(I2), 제2커패시터(C2) 및 전하저장 커패시터(C_R)를 구비한다.
- <19> 프리차지 제어회로(410)는 제1스위칭 제어신호(G1) 및 제2스위칭 제어신호(G2)를 생성하며, 제0제어클럭신호(CLK0) 및 제3제어클럭신호(CLK3)에 응답하여 제1노드(ND1) 및 제2노드(ND2)를 프리차지 시킨다. 제1스위치트랜지스터(MN5)는 제1스위칭 제어신호(G1)에 응답하여 제1노드(ND1)의 전압을 상기 제2패널구동전압(ELVSS)으로 스위칭 한다. 제2스위치트랜지스터(MN6)상기 제2스위칭 제어신호(G2)에 응답하여 상기 제2노드(ND2)의 전압을 상기 제2패널구동전압(ELVSS)으로 스위칭 한다.
- <20> 제3바디포텐셜 바이어스 회로(415)는 상기 제1스위치트랜지스터(MN5)의 바디전압을 안정화시킨다. 제4바디포텐셜 바이어스 회로(416)는 상기 제2스위치트랜지스터(MN6)의 바디전압을 안정화시킨다. 제1인버터(I1)는 제1제어클럭신호(CLK1)의 위상을 반전시킨다. 제1커패시터(C1)는 일 단자에는 상기 제1인버터(I1)의 출력단자가 연결되고 다른 일 단자에는 상기 제1노드(MN1)가 연결된다. 제2인버터(I2)는 제2제어클럭신호(CLK2)의 위상을 반전시킨다. 제2커패시터(C2)는 일 단자에는 상기 제2인버터(I2)의 출력단자가 연결되고 다른 일 단자에는 상기 제2노드(MN2)가 연결된다. 전하저장 커패시터(C_R)는 상기 제2패널구동전압(ELVSS)에 대응되는 전하를 충전한다.
- <21> 여기서 프리차지 제어회로(410)는, 제2스위칭 제어신호생성회로(411), 제1스위칭 제어신호생성회로(412), 제1프리차지스위치(MN1), 제3프리차지스위치(MN3), 제1바디포텐셜 바이어스회로(413) 및 제2바디포텐셜 바이어스회로(414)를 구비한다.
- <22> 제2스위칭 제어신호생성회로(411)는 일 단자는 상기 VP20 기준바이어스(VP20_ELVSS)에 연결되고 다른 일 단자가 상기 제1노드(ND1)에 연결되며 상기 제0제어클럭신호(CLK0)에 응답하여 상기 제2스위칭 제어신호(G2)를 생성한다. 제1스위칭 제어신호생성회로(412)는 일 단자는 상기 VP20 기준바이어스(VP20_ELVSS)에 연결되고 다른 일 단자는 상기 제2노드(ND2)에 연결되며 상기 제3제어클럭신호(CLK3)에 응답하여 상기 제1스위칭 제어신호(G1)를 생성한다.
- <23> 여기서 제2스위칭 제어신호생성회로(411)는, 일 단자는 VP20 기준바이어스(VP20_ELVSS)에 연결되고 게이트에 인가되는 제0제어클럭신호(CLK0)에 응답하여 다른 일 단자로 제2스위칭 제어신호(G2)를 생성하는 제1제어신호트랜지스터(MP1) 및 일 단자가 상기 제1노드(ND1)에 연결되며 게이트에 인가되는 제0제어클럭신호(CLK0)에 응답하여 다른 일 단자로 제2스위칭 제어신호(G2)를 생성하는 제2제어신호트랜지스터(MN2)를 구비한다.
- <24> 제1스위칭 제어신호생성회로(412)는, 일 단자는 VP20 기준바이어스(VP20_ELVSS)에 연결되고 게이트에 인가되는 제3제어클럭신호(CLK3)에 응답하여 다른 일 단자로 제1스위칭 제어신호(G1)를 생성하는 제3제어신호트랜지스터(MP2) 및 일 단자는 제2노드(ND2)에 연결되며 게이트에 인가되는 제3제어클럭신호(CLK3)에 응답하여 다른 일 단자로 제1스위칭 제어신호(G1)를 생성하는 제4제어신호트랜지스터(MN4)를 구비한다.
- <25> 제1프리차지스위치(MN1)는 일 단자가 제1노드(MD1)에 연결되고 다른 일 단자가 제3공급전원(VSS)에 연결되며 게이트에 제2스위칭 제어신호(G2)가 인가된다. 제3프리차지스위치(MN3)는 일 단자가 제2노드(MD2)에 연결되고 다른 일 단자가 제3공급전원(VSS)에 연결되며 게이트에 제1스위칭 제어신호(G1)가 인가된다.
- <26> 제1바디포텐셜 바이어스회로(413)는 일 단자는 제1노드(ND1)에 연결되고 다른 일 단자는 제1전원전압(VSS)에 연결되며 또 다른 일 단자는 제1프리차지스위치(MN1)의 바디에 연결된다. 제2바디포텐셜 바이어스회로(414)는 일 단자는 제2노드(ND2)에 연결되고 다른 일 단자는 제3공급전원(VSS)에 연결되며 또 다른 일 단자는 제3프리차지스위치(MN3)의 바디에 연결된다.
- <27> 제1바디포텐셜 바이어스회로(413)는, 일 단자가 제1노드(ND1)에 연결되고 다른 일 단자 및 바디가 제1프리차지스위치(MN1)의 바디에 연결되며 게이트가 제3공급전원(VSS)에 연결된 제1바디포텐셜 트랜지스터(MB1) 및 일 단자가 제1전원전압(VSS)에 연결되고 다른 일 단자 및 바디가 상기 제1프리차지스위치(MN1)의 바디에 연결되며 게이트가 상기 제1노드(ND1)에 연결된 제2바디포텐셜 트랜지스터(MB2)를 구비한다.
- <28> 제2바디포텐셜 바이어스회로(414)는, 일 단자가 제3공급전원(VSS)에 연결되고 다른 일 단자 및 바디가 상기 제3

프리차지스위치(MN3)의 바디에 연결되며 게이트가 제2노드(ND1)에 연결된 제3바디포텐셜 트랜지스터(MB3) 및 일 단자가 제2노드(ND2)에 연결되고 다른 일 단자 및 바디가 상기 제3프리차지스위치(MN3)의 바디에 연결되며 게이트가 제3공급전원(VSS)에 연결된 제4바디포텐셜 트랜지스터(MB4)를 구비한다.

<29> 제3바디포텐셜 바이어스회로(415)는, 일 단자가 제1노드(ND1)에 연결되고 다른 일 단자 및 바디가 제1스위칭 트랜지스터(MN5)의 바디에 연결되며 게이트가 제2패널구동전압(ELVSS)을 생성하는 노드에 연결된 제5바디포텐셜 트랜지스터(MB5) 및 일 단자가 제2패널구동전압(ELVSS)을 생성하는 노드에 연결되고 다른 일 단자 및 바디가 제1스위칭트랜지스터(MN5)의 바디에 연결되며 게이트가 제1노드(ND1)에 연결된 제6바디포텐셜 트랜지스터(MB6)를 구비한다.

<30> 제4바디포텐셜 바이어스회로(416)는, 일 단자가 제2노드(ND1)에 연결되고 다른 일 단자 및 바디가 제2스위칭 트랜지스터(MN6)의 바디에 연결되며 게이트가 제2패널구동전압(ELVSS)을 생성하는 노드에 연결된 제7바디포텐셜 트랜지스터(MB7) 및 일 단자가 제2패널구동전압(ELVSS)을 생성하는 노드에 연결되고 다른 일 단자 및 바디가 제2스위칭트랜지스터(MN6)의 바디에 연결되며 게이트가 제2노드(ND2)에 연결된 제8바디포텐셜 트랜지스터(MB8)를 구비한다.

<31> 도 5는 프리차지회로(310)의 일실시예이다.

<32> 도 6은 ELVSS 레벨감지기의 일실시예이다.

<33> 도 7은 링 발진기(330)의 일실시예이다.

<34> 프리차지회로(310), ELVSS 레벨감지기(320) 및 링 발진기(330)

<35> 이하에서는 도 4에 도시된 전하펌프회로의 동작에 대하여 설명한다.

<36> 도 8은 도 4에 도시된 ELVSS 전하펌프의 정상상태에서의 타이밍 다이어그램이다.

<37> 표 1은 ELVSS 전하펌프의 내부노드들의 전압준위를 도시한다.

표 1

<38>

노드 이름	노드 전압		
		t0	t4
	CLK0	VP20_ELVSS	0
CLK1	VP20_ELVSS	0	
CLK2	0	VP20_ELVSS	
CLK3	0	VP20_ELVSS	
ND1	-VP20_ELVSS	0	
ND2	0	-VP20_ELVSS	
G1	VP20_ELVSS	-VP20_ELVSS	
G2	-VP20_ELVSS	VP20_ELVSS	

<39> 도 8 및 표 1을 참조하면, 제0제어클럭신호(CLK0)가 0V인 t4 시간일 때는 제2스위칭 제어신호(G2)의 전압준위는 VP20_ELVSS(이하 VP20)가 되어 제1프리차지스위치(MN1)를 턴 온 시키므로 제1노드(ND1)의 전압준위는 0V로 프리차지 된다. 제0제어클럭신호(CLK0)가 VP20의 전압준위를 가지는 경우, 제1제어클럭신호(CLK1)의 전압준위가 0V에서 VP20으로 스위칭하면서 제1커패시터(C1)의 용량성 커플링(capacitive coupling)으로 인해 제1노드(ND1)의 전압준위는 0V에서 -VP20으로 떨어지고 제2스위칭 제어신호(G2)의 전압준위가 턴 온 된 제2제어신호트랜지스터(MN2)를 통해 -VP20 전압이 되면서 제1프리차지스위치(MN1)를 턴 오프 시킨다.

<40> 제3제어클럭신호(CLK3)가 0V인 t0 시간일 때 표 1에서 보는바와 같이 제1스위칭 제어신호(G1)의 전압준위는 VP20이 되어 제3프리차지스위치(MN3)를 턴 온 시키므로, 제2노드(ND2)의 전압준위는 0V로 프리차지 된다. 제3제어클럭신호(CLK3)의 전압준위가 VP20인 경우, 제2제어클럭신호(CLK2)가 0V에서 VP20으로 스위칭하면서 제2커패시터(C2)의 용량성 커플링으로 인해 제2노드(ND2)의 전압준위는 0V에서 -VP20으로 떨어지고 제1스위칭 제어신호(G1)의 전압준위는 -VP20이 되면서 제3프리차지스위치(MN3)를 계속 턴 오프 시킨다.

<41> 제1노드(ND1)의 전압준위가 제1커패시터(C1)의 용량성 커플링에 의해 0V에서 -VP20으로 스위칭 되고 제2노드(ND2)의 전압준위가 제2커패시터(C2)의 용량성 커플링에 의해 -VP20에서 0V로 스위칭 되면, 제1스위칭트랜지스

터(MN5)는 턴 온 되고 제2스위치트랜지스터(MN6)는 턴 오프 되어 제1노드(ND1)의 네가티브 전하(negative charge)는 제1스위치트랜지스터(MN5)를 통해 ELVSS 노드로 전달이 된다.

<42> 또한 제2노드(ND2)의 전압준위가 제2커패시터(C2)의 용량성 커플링에 의해 0V에서 -VP20 전압으로 스위칭 되고, 제1노드(ND1)의 전압준위가 제1커패시터(C1)의 용량성 커플링에 의해 -VP20에서 0V로 스위칭 되면 제2스위치트랜지스터(MN6)는 턴 온 되고 제1스위치트랜지스터(MN5)는 턴 오프 되어 제2노드(ND2)의 네가티브 전하는 제2스위치트랜지스터(MN6)를 통해 ELVSS 노드로 전달이 된다.

<43> 따라서 도 8에 도시된 것처럼 네가티브 전하 펌핑(negative charge pumping)은 1 cycle에서 2번 일어난다.

<44> 도 9는 발진주기에 따른 ELVSS 전하펌프의 펌핑전류를 나타낸다.

<45> 도 9를 참조하면, 8V의 VP20_ELVS 전압, 90℃의 온도, 슬로우(Slow) 트랜지스터 모델 조건에서 설계된 ELVSS 전하펌프의 발진 주기에 따른 펌핑 전류를 모의 실험한 결과이다. 10kHz의 클록 주파수에서 부하 전류>Loading current)인 50mA보다 큰 52.11mA의 펌핑 전류를 구동하는 것을 볼 수 있다.

<46> 도 10은 도 1에 도시된 PMU(110)의 출력전압을 나타낸다.

<47> 도 10을 참조하면, 9V의 VBP 전압, 90℃의 온도, 슬로우 트랜지스터 모델 조건에서 설계된 PMU(110)의 파워 온 (Power-on) 순서(sequence)를 모의 실험한 결과이다.

<48> 표 2는 각 내부 전원전압들의 파워 온 시간을 정리한 결과이다.

표 2

<49>

전압	power-on time(ms)
Vref	1.8
VCI	
VLP	5
ELVDD	7.5
ELVSS	5.2
VDDI	7

<50> 도 11은 본 발명에 따른 AMOLED 디스플레이 모듈의 다른 실시예이다.

<51> 도 12는 도 11에 도시된 PMU(1110)의 블록다이어그램이다.

<52> 도 13은 도 12에 도시된 VDD 생성기(1260)의 내부 블록다이어그램이다.

<53> 도 11내지 도 13에 도시된 도면은 도 1 내지 도 3에 도시된 도면을 통해 동작 및 연결 관계를 용이하게 인식할 수 있으므로, 여기서는 자세한 설명은 생략한다.

<54> 도 14는 도 1에 도시된 AMOLED 디스플레이 모듈용 PMU 칩의 레이아웃이다.

<55> 도 14에 도시된 레이아웃은, 0.25 μ m High-Voltage 공정을 이용하여 설계된 3.3인치 급 AMOLED 디스플레이 모듈용 PMU 칩(chip)의 레이아웃이며, 레이아웃 면적은 460 μ m $\times$ 840 μ m이다.

<56> 이상에서는 본 발명에 대한 기술사상을 첨부 도면과 함께 서술하였지만 이는 본 발명의 바람직한 실시 예를 예시적으로 설명한 것이지 본 발명을 한정하는 것은 아니다. 또한 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 이라면 누구나 본 발명의 기술적 사상의 범주를 이탈하지 않는 범위 내에서 다양한 변형 및 모방이 가능함은 명백한 사실이다.

도면의 간단한 설명

<57> 도 1은 본 발명에 따른 AMOLED 디스플레이 모듈의 블록 다이어그램이다.

<58> 도 2는 도 1에 도시된 PMU의 내부 블록다이어그램이다.

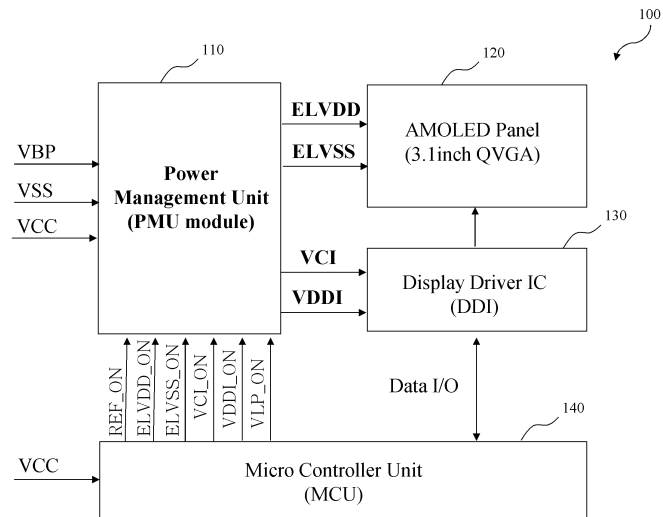
<59> 도 3은 도 1에 도시된 ELVSS 생성기의 내부 블록다이어그램이다.

<60> 도 4는 도 1에 도시된 전하펌프의 회로도의 일실시예이다.

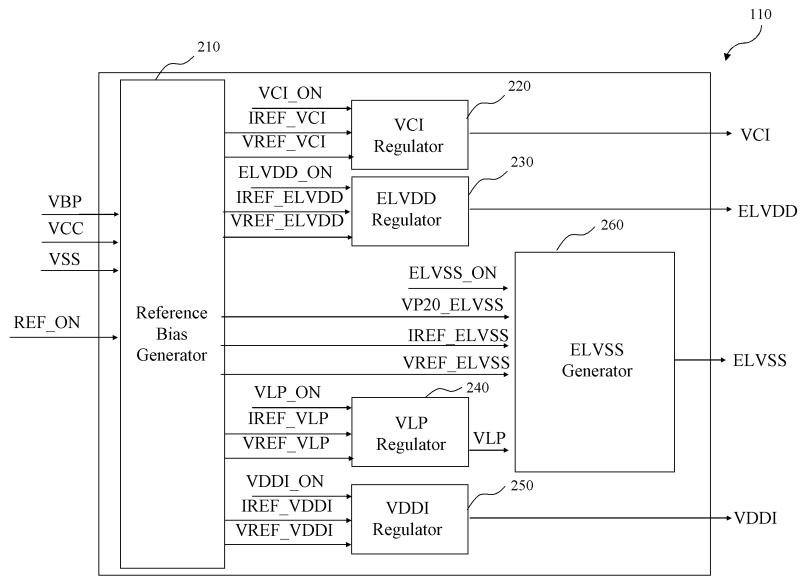
- <61> 도 5는 프리차지회로(310)의 일실시예이다.
- <62> 도 6은 ELVSS 레벨감지기의 일실시예이다.
- <63> 도 7은 링 발진기(330)의 일실시예이다.
- <64> 도 8은 도 4에 도시된 ELVSS 전하펌프의 정상상태에서의 타이밍 다이어그램이다.
- <65> 도 9는 발진주기에 따른 ELVSS 전하펌프의 펌핑전류를 나타낸다.
- <66> 도 10은 도 1에 도시된 PMU(110)의 출력전압을 나타낸다.
- <67> 도 11은 본 발명에 따른 AMOLED 디스플레이 모듈의 다른 실시예이다.
- <68> 도 12는 도 11에 도시된 PMU(1110)의 블록다이어그램이다.
- <69> 도 13은 도 12에 도시된 VDD 생성기(1260)의 내부 블록다이어그램이다.
- <70> 도 14는 도 1에 도시된 AMOLED 디스플레이 모듈용 PMU 칩의 레이아웃이다.

도면

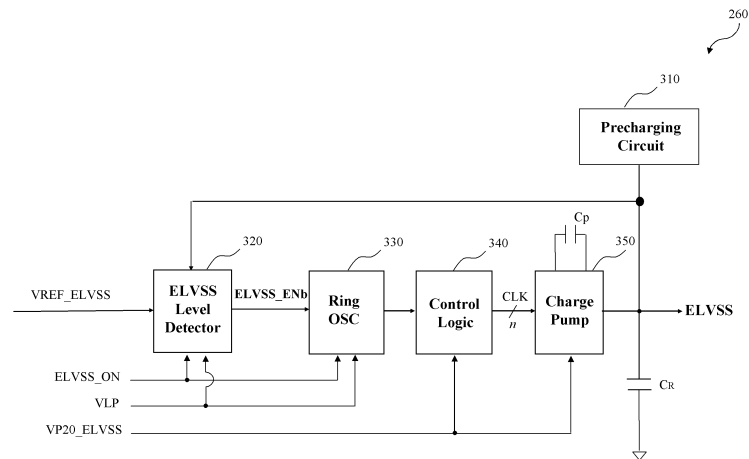
도면1



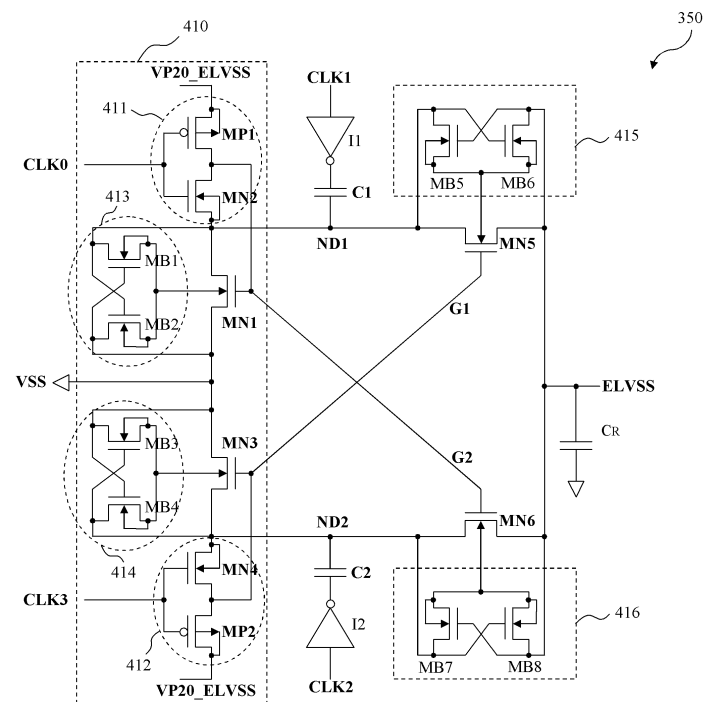
도면2



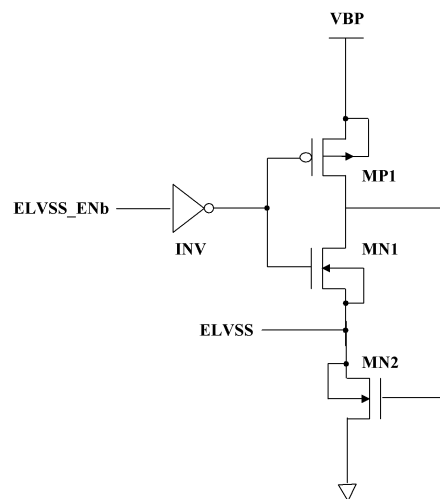
도면3



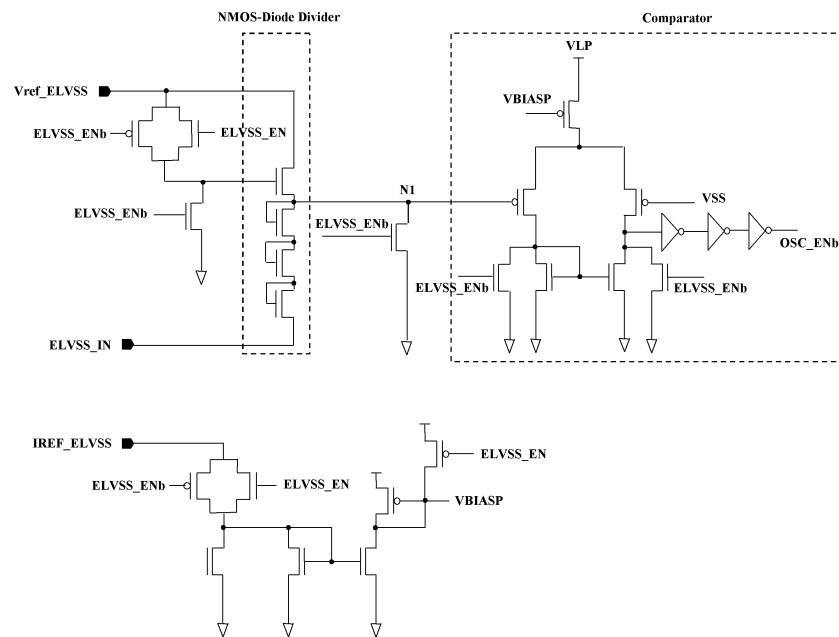
도면4



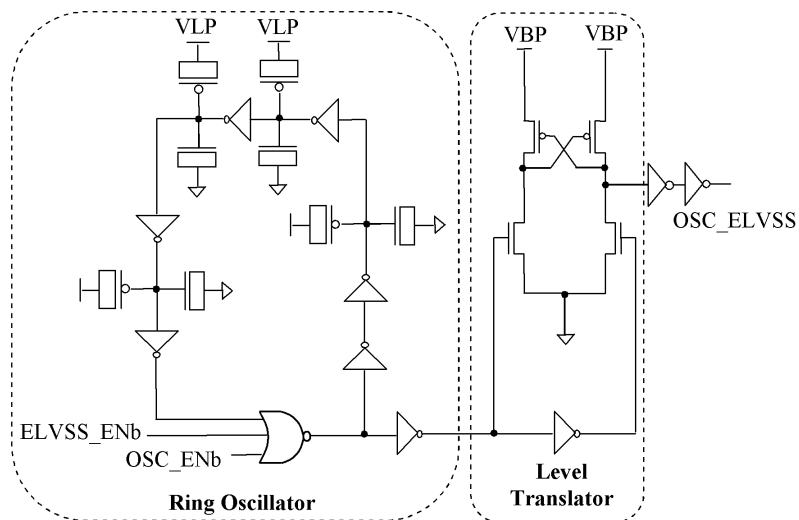
도면5



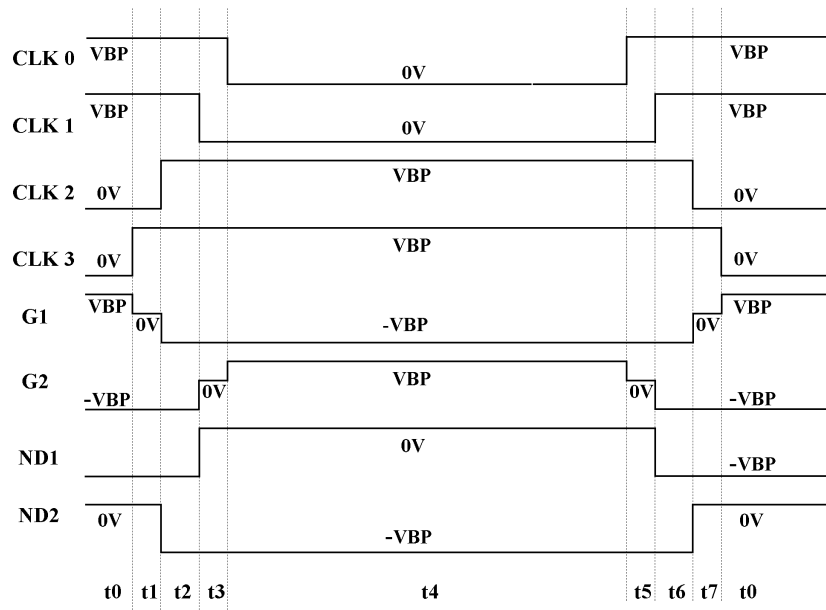
도면6



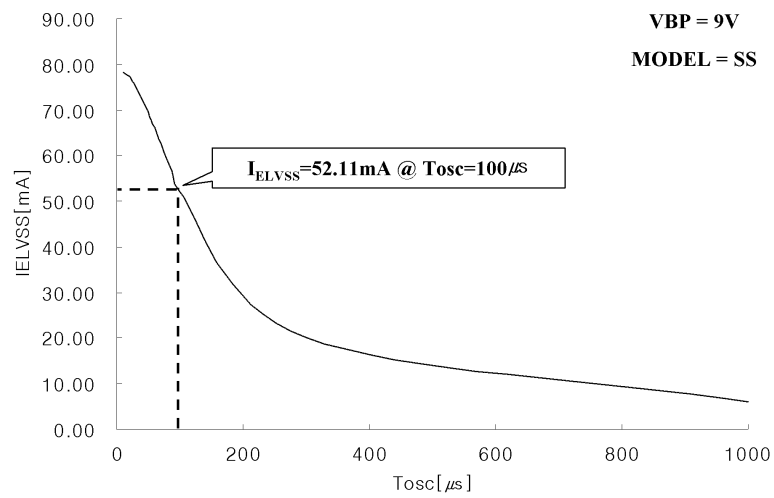
도면7



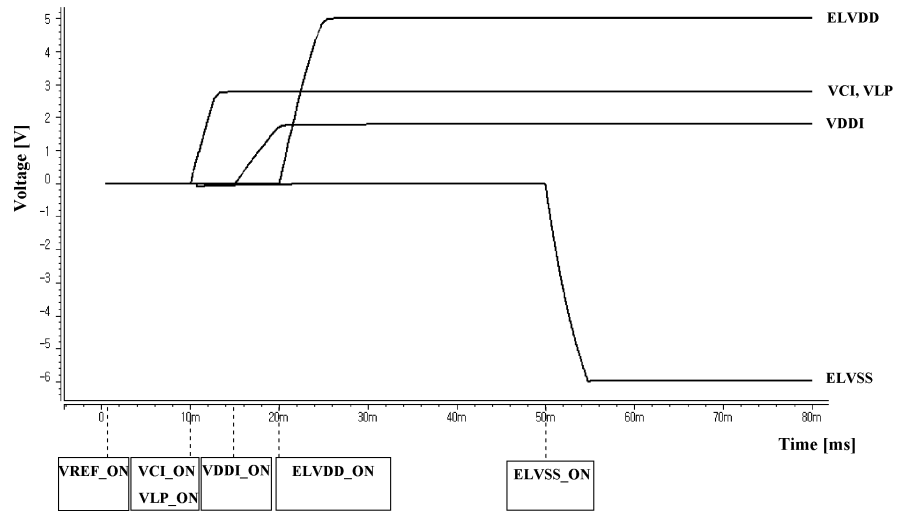
도면8



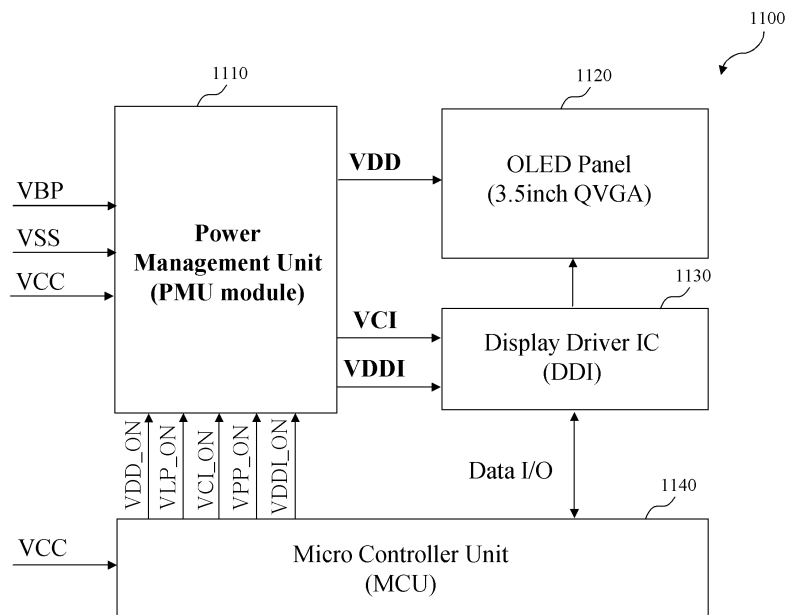
도면9



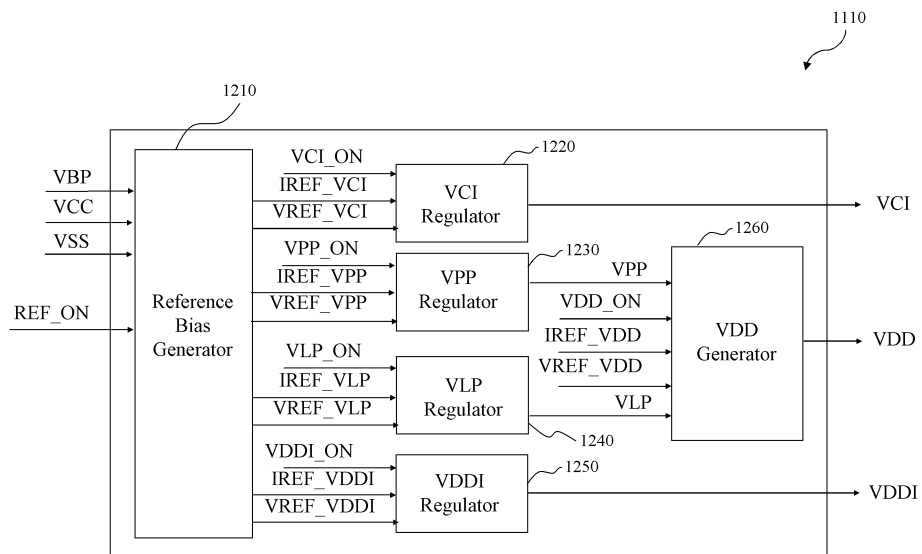
도면10



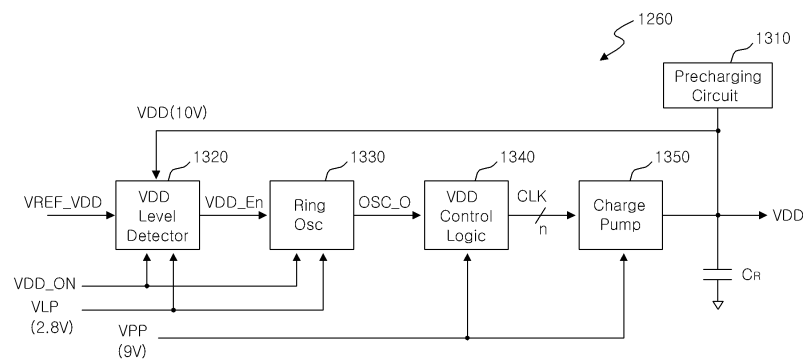
도면11



도면12



도면13



도면14

