I869603

(19)中華民國智慧財產局

(12)發明說明書公告本 **(11)證書號數：TW I869603 B**

(45)公告日： 中華民國 114 (2025) 年 01 月 11 日

(21)申請案號：110122067 (22)申請日： 中華民國 110 (2021) 年 06 月 17 日

(51)Int. Cl.： ***H10B43/40 (2023.01)*** ***H10B43/20 (2023.01)***
H10B43/35 (2023.01)

(30)優先權：2020/09/17 南韓 10-2020-0120039

(71)申請人：南韓商三星電子股份有限公司 (南韓) SAMSUNG ELECTRONICS CO., LTD. (KR)
南韓

(72)發明人：李龍圭 LEE, YONGKYU (KR) ；金榮睦 KIM, YOUNGMOK (KR) ；全昌愍 JEON, CHANGMIN (KR) ；鄭用相 JEONG, YONGSANG (KR)

(74)代理人：林孟閱；盧姵君；陳怡如

(56)參考文獻：

TW	201926474A	TW	202013682A
US	2010/0207204A1	US	2019/0267088A1

審查人員：朱啓信

申請專利範圍項數：15 項 圖式數：19 共 107 頁

(54)名稱

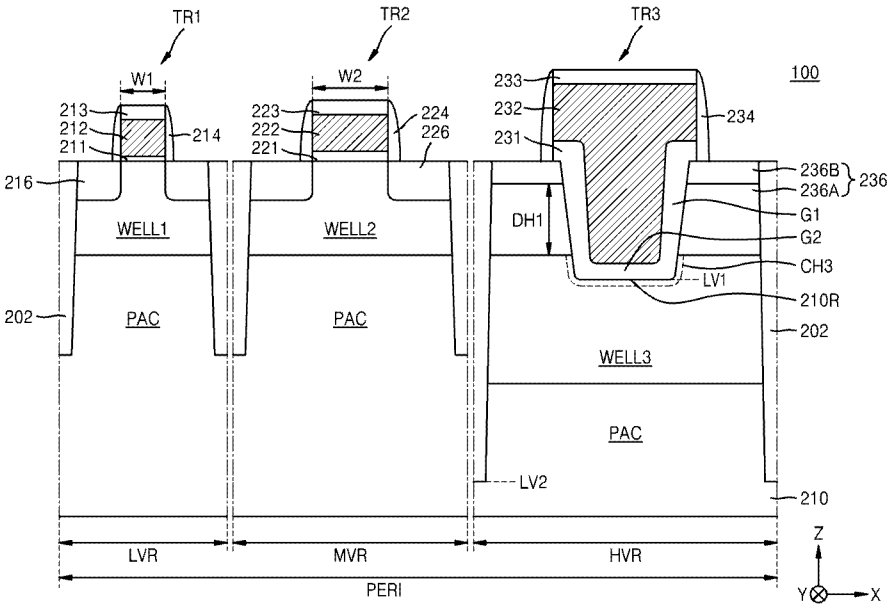
半導體裝置以及電子系統

(57)摘要

一種半導體裝置，包含：胞元區域，包含胞元基底、記憶體胞元陣列以及在記憶體胞元陣列上的第一接合金屬襯墊，記憶體胞元陣列包含堆疊於胞元基底上的多個字元線及在多個字元線上的多個位元線；及周邊電路區域，其上堆疊有胞元區域且包含周邊電路基底、在周邊電路基底上的多個電路以及接合至第一接合金屬襯墊的第二接合金屬襯墊，其中多個電路包含：多個平面通道電晶體，分別包含沿周邊電路基底的頂表面的通道；及至少一個凹陷通道電晶體，包含沿配置於周邊電路中的凹陷溝渠的表面的通道。

A semiconductor device includes: a cell area including a cell substrate, a memory cell array, and a first bonding metal pad on the memory cell array, the memory cell array including a plurality of word lines stacked on the cell substrate and a plurality of bit lines on the plurality of word lines; and a peripheral circuit area having the cell area stacked thereon and including a peripheral circuit substrate, a plurality of circuits on the peripheral circuit substrate, and a second bonding metal pad bonded to the first bonding metal pad, wherein the plurality of circuits include: a plurality of planar channel transistors respectively including a channel along a top surface of the peripheral circuit substrate; and at least one recess channel transistor including a channel along a surface of a recess trench arranged in the peripheral circuit.

指定代表圖：



【圖7C】

符號簡單說明：

100:半導體裝置

202:裝置隔離膜

210:周邊電路基底

210R:凹陷溝渠

211:第一閘極介電膜

212:第一閘極電極

213:第一絕緣罩蓋層

214:第一絕緣間隔件

216:第一源極/汲極區

221:第二閘極介電膜

222:第二閘極電極

223:第二絕緣罩蓋層

224:第二絕緣間隔件

226:第二源極/汲極區

231:第三閘極介電膜

232:第三閘極電極

233:第三絕緣罩蓋層

234:第三絕緣間隔件

236:第三源極/汲極區

236A:第一雜質區

236B:第二雜質區

CH3:通道區

DH1:豎直方向長度

G1:第一部分

G2:第二部分

HVR:第三電晶體區域

LV1、LV2:最下部表面豎直高度

LVR:第一電晶體區域

MVR:第二電晶體區域

PAC:周邊主動區

PERI:周邊電路區域

TR1:第一電晶體

TR2:第二電晶體

TR3:第三電晶體

W1:第一寬度

W2:第二寬度

WELL1、WELL2、WELL3:井

X、Y、Z:方向

專利案號：110122067

公告本

I869603

【發明摘要】

【中文發明名稱】半導體裝置以及電子系統

【英文發明名稱】SEMICONDUCTOR DEVICE AND ELECTRONIC SYSTEM

【中文】一種半導體裝置，包含：胞元區域，包含胞元基底、記憶體胞元陣列以及在記憶體胞元陣列上的第一接合金屬襯墊，記憶體胞元陣列包含堆疊於胞元基底上的多個字元線及在多個字元線上的多個位元線；及周邊電路區域，其上堆疊有胞元區域且包含周邊電路基底、在周邊電路基底上的多個電路以及接合至第一接合金屬襯墊的第二接合金屬襯墊，其中多個電路包含：多個平面通道電晶體，分別包含沿周邊電路基底的頂表面的通道；及至少一個凹陷通道電晶體，包含沿配置於周邊電路中的凹陷溝渠的表面的通道。

【英文】A semiconductor device includes: a cell area including a cell substrate, a memory cell array, and a first bonding metal pad on the memory cell array, the memory cell array including a plurality of word lines stacked on the cell substrate and a plurality of bit lines on the plurality of word lines; and a peripheral circuit area having the cell area stacked thereon and including a peripheral circuit substrate, a plurality of circuits on the peripheral circuit substrate, and a second bonding metal pad bonded to the first bonding metal pad, wherein the plurality of circuits include: a plurality of planar channel transistors respectively including a channel along a top surface of the peripheral

circuit substrate; and at least one recess channel transistor including a channel along a surface of a recess trench arranged in the peripheral circuit.

【指定代表圖】圖7C

【代表圖之符號簡單說明】

100:半導體裝置

202:裝置隔離膜

210:周邊電路基底

210R:凹陷溝渠

211:第一閘極介電膜

212:第一閘極電極

213:第一絕緣罩蓋層

214:第一絕緣間隔件

216:第一源極/汲極區

221:第二閘極介電膜

222:第二閘極電極

223:第二絕緣罩蓋層

224:第二絕緣間隔件

226:第二源極/汲極區

231:第三閘極介電膜

232:第三閘極電極

233:第三絕緣罩蓋層

234:第三絕緣間隔件

236:第三源極/汲極區

236A:第一雜質區

236B:第二雜質區

CH3:通道區

DH1:豎直方向長度

G1:第一部分

G2:第二部分

HVR:第三電晶體區域

LV1、LV2:最下部表面豎直高度

LVR:第一電晶體區域

MVR:第二電晶體區域

PAC:周邊主動區

PERI:周邊電路區域

TR1:第一電晶體

TR2:第二電晶體

TR3:第三電晶體

W1:第一寬度

W2:第二寬度

WELL1、WELL2、WELL3:井

X、Y、Z:方向

【特徵化學式】

無

【發明說明書】

【中文發明名稱】半導體裝置以及電子系統

【英文發明名稱】SEMICONDUCTOR DEVICE AND ELECTRONIC SYSTEM

【技術領域】

【0001】 本發明概念是關於一種半導體裝置及包含半導體裝置的電子系統，且更特定言之，是關於一種包含非揮發性豎直記憶體裝置的半導體裝置及包含半導體裝置的電子系統。

[相關申請案的交叉參考]

【0002】 本申請案主張 2020 年 9 月 17 日向韓國智慧財產局申請的韓國專利申請案第 10-2020-0120039 號的優先權，所述申請案的揭露內容以全文引用的方式併入本文中。

【先前技術】

【0003】 能夠儲存大量資料的半導體裝置可為滿足電子系統的資料儲存需要所需的。因此，為提高半導體裝置的資料儲存容量，已提出包含豎直記憶體裝置的半導體裝置，所述豎直記憶體裝置包含三維配置的記憶體胞元。

【發明內容】

【0004】 本發明概念提供一種半導體裝置，其具有藉由抑制由周

邊電路區域佔據的面積增大而有利於高度整合及平面大小減小的結構，即使在包含三維配置的記憶體胞元的半導體裝置中，在字元線的堆疊的數目及連接到記憶體胞元的電晶體的數目增大以改良整合程度時亦如此。

【0005】 本發明概念亦提供一種包含半導體裝置的電子系統，所述電子系統具有藉由抑制由周邊電路區域佔據的面積增大而有利於高度整合及平面大小減小的結構，即使在包含三維配置的記憶體胞元的半導體裝置中，在字元線的堆疊的數目及連接到記憶體胞元的電晶體的數目增大以改良整合程度時亦如此。

【0006】 根據本發明概念的態樣，提供一種半導體裝置，包含：胞元區域，包含胞元基底、記憶體胞元陣列以及在記憶體胞元陣列上的第一接合金屬襯墊，記憶體胞元陣列包含在豎直方向上堆疊於胞元基底上的多個字元線及在多個字元線上的多個位元線；及周邊電路區域，具有在豎直方向上堆疊於其上的胞元區域，所述周邊電路區域包含周邊電路基底、在周邊電路基底上的多個電路以及接合至第一接合金屬襯墊的第二接合金屬襯墊，其中多個電路包含：多個平面通道電晶體，分別包含沿周邊電路基底的頂表面的通道區；及至少一個凹陷通道電晶體，包含沿周邊電路基底中的凹陷溝渠的表面的通道區。

【0007】 根據本發明概念的另一態樣，提供一種半導體裝置，包含：胞元區域，包含記憶體胞元陣列；及周邊電路區域，在豎直方向上其上堆疊有胞元區域，所述周邊電路區域包含周邊電路基底及在周邊電路基底上且電連接至記憶體胞元陣列的多個電路，其中多個電路包含：多個平面通道電晶體，分別包含沿周邊電路

基底的頂表面的通道區；及至少一個凹陷通道電晶體，包含沿周邊電路基底中的凹陷溝渠的表面的通道區。

【0008】 根據本發明概念的另一態樣，提供一種電子系統，包含：主基底；在主基底上的半導體裝置；以及在主基底上的控制器，所述控制器電連接至半導體裝置，其中所述半導體裝置包含：胞元區域，包含記憶體胞元陣列；周邊電路區域，在豎直方向上其上堆疊有胞元區域，所述周邊電路區域包含周邊電路基底及在周邊電路基底上且電連接至記憶體胞元陣列的多個電路，且其中多個電路包含：多個平面通道電晶體，分別包含沿周邊電路基底的頂表面的通道區；及至少一個凹陷通道電晶體，包含沿周邊電路基底中的凹陷溝渠的表面的通道區。

【圖式簡單說明】

【0009】 將自結合隨附圖式進行的以下詳細描述更清晰地理解本發明概念的實施例，在隨附圖式中：

圖 1 為根據本發明概念的實施例的半導體裝置的方塊圖。

圖 2 為根據本發明概念的實施例的半導體裝置的示意性透視圖。

圖 3 為根據本發明概念的實施例的半導體裝置的記憶體胞元陣列的等效電路圖。

圖 4 為示出根據本發明概念的實施例的半導體裝置的周邊電路結構的一部分中的實例平面配置的示意性佈局。

圖 5 為示出圖 1 中所繪示的記憶體胞元陣列及列解碼器的實例組態的方塊圖。

圖 6 為根據本發明概念的實施例的半導體裝置的一部分的示意性平面視圖。

圖 7A 為示出根據本發明概念的實施例的半導體裝置的胞元區域的組件的平面視圖，圖 7B 示出圖 7A 中所繪示的半導體裝置的胞元區域及周邊電路區域的各別部分的橫截面圖，且圖 7C 為示出圖 7A 中所繪示的半導體裝置的周邊電路區域的一些組件的橫截面圖。

圖 8A 為示出圖 7B 的一些區的放大橫截面圖。

圖 8B 至圖 8D 為各自示出根據本發明概念的實施例的可在半導體裝置中使用的閘極介電膜的實例結構的橫截面圖。

圖 9 為示出根據本發明概念的其他實施例的半導體裝置的橫截面圖。

圖 10 為示出根據本發明概念的又其他實施例的半導體裝置的橫截面圖。

圖 11 為示出根據本發明概念的實施例的包含半導體裝置的電子系統的示意圖。

圖 12 為示出根據本發明概念的實施例的包含半導體裝置的電子系統的示意性透視圖。

圖 13 為示出根據本發明概念的實施例的半導體封裝的示意性橫截面圖。

圖 14 為示出根據本發明概念的實施例的半導體封裝的示意性橫截面圖。

圖 15 為示出根據本發明概念的另一實施例的半導體封裝的示意性橫截面圖。

圖 16A 至圖 16F 為示出根據本發明概念的實施例的製造半導體裝置的方法的過程的橫截面圖。

圖 17 為示出根據本發明概念的其他實施例的製造半導體裝置的方法的圖。

圖 18 為示出根據本發明概念的又其他實施例的製造半導體裝置的方法的圖。

圖 19 為示出根據本發明概念的又其他實施例的製造半導體裝置的方法的圖。

【實施方式】

【0010】 下文中，將參考隨附圖式詳細地描述本發明概念的實施例。貫穿本說明書，類似組件將由類似附圖標號表示，且省略其重複描述。術語「第一」、「第二」等在本文中僅用於將一個元件與另一元件區分開。

【0011】 圖 1 為根據本發明概念的實施例的半導體裝置 10 的方塊圖。

【0012】 參考圖 1，半導體裝置 10 可包含記憶體胞元陣列 20 及周邊電路 30。記憶體胞元陣列 20 包含多個記憶體胞元區塊 BLK1、BLK2……以及 BLKn。多個記憶體胞元區塊 BLK1、BLK2……以及 BLKn 中的每一者可包含多個記憶體胞元。記憶體胞元區塊 BLK1、記憶體胞元區塊 BLK2……以及記憶體胞元區塊 BLKn 可經由位元線 BL、字元線 WL、字串選擇線 SSL 以及接地選擇線 GSL 連接至周邊電路 30。

【0013】 周邊電路 30 可包含列解碼器 32、頁緩衝器 34、資料輸

入/輸出電路 36、控制邏輯 38 以及共同源極線驅動器 39。周邊電路 30 可更包含各種電路，諸如可用於產生半導體裝置 10 的操作所需的各種電壓的電壓產生電路，用於校正自記憶體胞元陣列 20 讀取的資料誤差的錯誤校正電路，以及輸入/輸出介面。

【0014】 記憶體胞元陣列 20 可經由字元線 WL、字串選擇線 SSL 以及接地選擇線 GSL 連接至列解碼器 32，且可經由位元線 BL 連接至頁緩衝器 34。在記憶體胞元陣列 20 中，包含於多個記憶體胞元區塊 BLK1、BLK2……以及 BLKn 中的多個記憶體胞元中的每一者可包含快閃記憶體胞元。記憶體胞元陣列 20 可包含三維記憶體胞元陣列。3 維記憶體胞元陣列可包含多個 NAND 字串，且多個 NAND 字串中的每一者可包含連接至豎直地堆疊的多個字元線 WL 的多個記憶體胞元。

【0015】 周邊電路 30 可自半導體裝置 10 外部接收位址 ADDR、命令 CMD 以及控制信號 CTRL，且可將資料 DATA 傳輸至半導體裝置 10 外部的裝置並自所述裝置接收資料 DATA。

【0016】 列解碼器 32 可回應於來自半導體裝置 10 外部的位址 ADDR 選擇多個記憶體胞元區塊 BLK1、BLK2……以及 BLKn 中的至少一者，且可選擇選定記憶體胞元塊的字元線 WL、字串選擇線 SSL 以及接地選擇線 GSL。列解碼器 32 可將用於執行記憶體操作的電壓傳送至選定記憶體胞元塊的字元線 WL。

【0017】 頁緩衝器 34 可經由位元線 BL 連接至記憶體胞元陣列 20。頁緩衝器 34 可在程式化操作期間藉由作為寫入驅動器操作而將根據意欲儲存於記憶體胞元陣列 20 中的資料 DATA 的電壓施加至位元線 BL，且可在讀取操作期間藉由作為感測放大器操作而感

測儲存於記憶體胞元陣列 20 中的資料 DATA。頁緩衝器 34 可根據由控制邏輯 38 提供的控制信號 PCTL 操作。

【0018】 資料輸入/輸出電路 36 可經由多個資料線 DL 連接至頁緩衝器 34。資料輸入/輸出電路 36 可在程式化操作期間自記憶體控制器接收資料 DATA，且可基於由控制邏輯 38 提供的行位址 C_ADDR 將經程式化資料 DATA 提供至頁緩衝器 34。資料輸入/輸出電路 36 可在讀取操作期間基於由控制邏輯 38 提供的行位址 C_ADDR 將儲存於頁緩衝器 34 中的讀取資料 DATA 提供至記憶體控制器。

【0019】 資料輸入/輸出電路 36 可將輸入至其的位址或命令傳送至控制邏輯 38 或列解碼器 32。周邊電路 30 可更包含靜電放電（electrostatic discharge；ESD）電路及上拉/下拉驅動器。

【0020】 控制邏輯 38 可自記憶體控制器接收命令 CMD 及控制信號 CTRL。控制邏輯 38 可來列位址 R_ADDR 提供至列解碼器 32，且可將行位址 C_ADDR 提供至資料輸入/輸出電路 36。控制邏輯 38 可回應於控制信號 CTRL 而產生在半導體裝置 10 中使用中的各種內部控制信號。舉例而言，當執行諸如程式化操作或抹除操作的記憶體操作時，控制邏輯 38 可調整提供至字元線 WL 及位元線 BL 的電壓的位準。

【0021】 共同源極線驅動器 39 可經由共同源極線 CSL 連接至記憶體胞元陣列 20。共同源極線驅動器 39 可基於由控制邏輯 38 提供的控制信號 CTRL_BIAS 而將共同源極電壓（例如，電源電壓）或接地電壓施加至共同源極線 CSL。

【0022】 在實例實施例中，周邊電路 30 可包含多個金屬氧化物半

導體（metal-oxide-semiconductor；MOS）電晶體，且多個 MOS 電晶體可根據其操作電壓的量值分類且因此以分散方式配置於多個電晶體區域中。舉例而言，周邊電路 30 可包含其中形成多個低電壓 MOS 電晶體的低電壓區域及其中形成多個高電壓 MOS 電晶體的高電壓區域。另外，周邊電路 30 可包含包括 MOS 電晶體的各種區域，所述 MOS 電晶體的操作電壓大於配置於低電壓區域中的 MOS 電晶體的操作電壓且小於配置於高電壓區域中的 MOS 電晶體的操作電壓。

【0023】 圖 2 為根據本發明概念的實施例的半導體裝置 10 的示意性透視圖。

【0024】 參考圖 2，半導體裝置 10 包含在豎直方向（Z 方向）上彼此交疊（例如，堆疊於彼此上）的胞元陣列結構 CAS 及周邊電路結構 PCS。胞元陣列結構 CAS 可包含參考圖 1 所描述的記憶體胞元陣列 20。周邊電路結構 PCS 可包含參考圖 1 所描述的周邊電路 30。在實例實施例中，周邊電路結構 PCS 可包含其中形成多個低電壓 MOS 電晶體的低電壓區域及其中形成多個高電壓 MOS 電晶體的高電壓區域。另外，周邊電路結構 PCS 可包含包括 MOS 電晶體的各種區，所述 MOS 電晶體的操作電壓大於配置於低電壓區域中的 MOS 電晶體的操作電壓且小於配置於高電壓區域中的 MOS 電晶體的操作電壓。低電壓區域、高電壓區域及/或各種區可在水平方向上（例如，在 X 或 Y 方向上）彼此橫向鄰接地配置。

【0025】 連接結構 25 可配置於胞元陣列結構 CAS 與周邊電路結構 PCS 之間。胞元陣列結構 CAS 及周邊電路結構 PCS 可經由連接結構 25 在豎直方向（Z 方向）上堆疊。連接結構 25 可提供胞

元陣列結構 CAS 與周邊電路結構 PCS 之間的實體連接及電連接。胞元陣列結構 CAS 與周邊電路結構 PCS 之間的電連接及資料傳送可經由連接結構 25 進行。連接結構 25 可包含用於將胞元陣列結構 CAS 電連接至周邊電路結構 PCS 的多個連接單元。多個連接單元可包含金屬-金屬接合結構、矽通孔（through-silicon via；TSV）、背面通孔堆疊（back via stack；BVS）、共晶接合結構、球柵陣列（ball grid array；BGA）接合結構、多個配線、多個接觸插塞或其組合。在實例實施例中，金屬-金屬接合結構可包含銅（Cu）、鋁（Al）、鎢（W）或其組合。

【0026】 胞元陣列結構 CAS 可包含多個影像塊 24。多個影像塊 24 中的每一者可包含多個記憶體胞元區塊 BLK1、BLK2……以及 BLKn。多個記憶體胞元區塊 BLK1、BLK2……以及 BLKn 中的每一者可包含三維配置的記憶體胞元。在實例實施例中，兩個影像塊 24 可構成但不限於一個墊。參考圖 1 所描述的記憶體胞元陣列 20 可包含但不限於多個墊，例如四個墊。

【0027】 圖 3 為根據本發明概念的實施例的半導體裝置的記憶體胞元陣列 MCA 的等效電路圖。圖 3 示出具有豎直通道結構的豎直 NAND 快閃記憶體裝置的等效電路圖。圖 1 及圖 2 中所繪示的多個記憶體胞元區塊 BLK1、BLK2……以及 BLKn 中的每一者可包含具有圖 3 中所繪示的電路組態的記憶體胞元陣列 MCA。

【0028】 參考圖 3，記憶體胞元陣列 MCA 可包含多個記憶體胞元串 MS。記憶體胞元陣列 MCA 可包含多個位元線 BL（亦即，位元線 BL1、位元線 BL2……以及位元線 BLm）、多個字元線 WL（亦即，字元線 WL1、字元線 WL2……字元線 WLn-1 以及字元線

WLn)、至少一個字串選擇線 SSL、至少一個接地選擇線 GSL 以及共同源極線 CSL。多個記憶體胞元串 MS 可形成於多個位元線 BL 與共同源極線 CSL 之間。儘管圖 3 示出多個記憶體胞元串 MS 中的每一者包含一個接地選擇線 GSL 及兩個字串選擇線 SSL 的實例，但本發明概念不限於此。舉例而言，多個記憶體胞元串 MS 中的每一者可包含一個字串選擇線 SSL。

【0029】 多個記憶體胞元串 MS 中的每一者可包含字串選擇電晶體 SST、接地選擇電晶體 GST 以及多個記憶體胞元電晶體 MC1、MC2……MCn-1 以及 MCn。字串選擇電晶體 SST 的汲極區可連接至位元線 BL，且接地選擇電晶體 GST 的源極區可連接至共同源極線 CSL。共同源極線 CSL 可為多個接地選擇電晶體 GST 的源極區共同連接至的區。

【0030】 字串選擇電晶體 SST 可連接至字串選擇線 SSL，且接地選擇電晶體 GST 可連接至接地選擇線 GSL。多個記憶體胞元電晶體 MC1、MC2……MCn-1 以及 MCn 中的每一者可連接至字元線 WL。

【0031】 圖 4 為示出根據本發明概念的實施例的半導體裝置 10 的周邊電路結構 PCS 的一部分中的實例平面配置的示意性佈局。

【0032】 參考圖 4，周邊電路結構 PCS 可包含列解碼器 32、頁緩衝器 34 以及多個周邊電路 PEC。多個周邊電路 PEC 可包含圖 1 中所繪示的周邊電路 30 中所包含的各種電路。舉例而言，多個周邊電路 PEC 可包含資料輸入/輸出電路 36、控制邏輯 38、用於產生字元線電壓的電壓產生器、鎖存電路、快取電路、感測放大器、ESD 裝置以及類似者。在實例實施例中，資料輸入/輸出電路 36

可配置於多個周邊電路 PEC 的周邊區域中。頁緩衝器 34 及多個周邊電路 PEC 可配置於在豎直方向上堆疊於記憶體胞元陣列 20（參見圖 1）上或以其他方式與記憶體胞元陣列 20 交疊的位置中。圖 4 中所繪示的平面佈局僅為實例，且可在不脫離本發明概念的精神及範疇的情況下對其進行各種修改及改變。

【0033】 圖 5 為示出圖 1 中所繪示的記憶體胞元陣列 20 及列解碼器 32 的實例組態的方塊圖。

【0034】 參考圖 5，記憶體胞元陣列 20 包含記憶體胞元區塊 BLK。記憶體胞元區塊 BLK 可為圖 2 中所繪示的多個記憶體胞元區塊 BLK1、BLK2……以及 BLKn 中的一者。

【0035】 參考圖 5，列解碼器 32 可包含字串選擇線驅動器 62、字元線驅動器 64、接地選擇線驅動器 66 以及區塊選擇器 68。區塊選擇器 68 可解碼所接收位址的至少一些位元，且因此選擇對應記憶體胞元區塊 BLK。區塊選擇器 68 可配置於多個記憶體胞元區塊 BLK1、BLK2……以及 BLKn（參見圖 2）與字串選擇線驅動器 62、字元線驅動器 64 以及接地選擇線驅動器 66 之間。

【0036】 字串選擇線驅動器 62 可經由區塊選擇器 68 連接至字串選擇線 SSL 且因此驅動字串選擇線 SSL。舉例而言，在抹除操作期間，字串選擇線驅動器 62 可使字串選擇線 SSL 浮動，且在程式化操作期間，字串選擇線驅動器 62 可將高電壓位準下的字串選擇電壓（例如電源電壓）提供至字串選擇線 SSL。

【0037】 字元線驅動器 64 可經由區塊選擇器 68 連接至多個字元線 WL1、WL2……WLn-1 以及 WLn，且因此驅動多個字元線 WL1、WL2……WLn-1 以及 WLn。舉例而言，在抹除操作期間，可將高

電壓位準下的抹除電壓施加至形成記憶體胞元區塊 BLK 的主體區域，且字元線驅動器 64 可將相對低位準下的字元線電壓（例如接地電壓）施加至多個字元線 WL1、WL2……WLn-1 以及 WLn。另外，在程式化操作期間，字元線驅動器 64 可將高位準下的程式化電壓提供至選定字元線且可將通過電壓提供至未選定字元線。

【0038】 接地選擇線驅動器 66 可經由區塊選擇器 68 驅動接地選擇線 GSL。舉例而言，在抹除操作期間，接地選擇線驅動器 66 可使接地選擇線 GSL 浮動，且在程式化操作期間，接地選擇線驅動器 66 可將低位準下的接地選擇電壓（例如接地電壓）提供至接地選擇線 GSL。

【0039】 區塊選擇器 68 可包含多個傳輸電晶體 TR_P。基於多個傳輸電晶體 TR_P 的切換操作，可控制施加至列線的列線電壓，所述列線亦即接地選擇線 GSL、字串選擇線 SSL 以及多個字元線 WL1、WL2……WLn-1 以及 WLn。記憶體裝置 10 的記憶體胞元陣列 20 可包含包括多個閘極線的閘極堆疊，例如包含圖 6 及圖 7B 中所繪示的多個閘極線 130 的閘極堆疊 GS，且多個傳輸電晶體 TR_P 中的每一者可切換施加至構成一個記憶體胞元區塊 BLK 的多個閘極線中的每一者的列線電壓。

【0040】 在實例實施例中，包含於列解碼器 32 中的字串選擇線驅動器 62、字元線驅動器 64、接地選擇線驅動器 66 以及區塊選擇器 68 中的至少一者可包含具有約 10 伏或大於 10 伏的相對較高操作電壓的高電壓 MOS 電晶體。

【0041】 圖 6 為根據本發明概念的實施例的半導體裝置 100 的一部分的示意性平面視圖。

【0042】 參考圖 6，半導體裝置 100 可包含配置於導電板 110 上的胞元陣列結構 CAS。導電板 110 及胞元陣列結構 CAS 可構成圖 1 中所繪示的半導體裝置 10 的記憶體胞元陣列 20。導電板 110 可執行圖 3 中所繪示的共同源極線 CSL 的功能。導電板 110 可支撐胞元陣列結構 CAS。如本文中所使用，「導電板」亦可被稱作「板 CSL」，且「導電板」可意謂與「板 CSL」相同。

【0043】 胞元陣列結構 CAS 可包含多個記憶體胞元區塊 BLK。在實例實施例中，導電板 110 可提供藉以將共同源極電壓傳送至胞元陣列結構 CAS 的路徑。

【0044】 周邊電路結構 PCS（參見圖 2）可配置在圖 6 中所繪示的胞元陣列結構 CAS 下方。周邊電路結構 PCS 可包含參考圖 1 所描述的周邊電路 30。胞元陣列結構 CAS 可經配置以在豎直方向（Z 方向）上堆疊於周邊電路結構 PCS 上或以其他方式與所述周邊電路結構 PCS 交疊，其間具有導電板 110。

【0045】 胞元陣列結構 CAS 可包含在豎直方向（Z 方向）上依序堆疊於導電板 110 上的多個閘極線 130。X-Y 平面中的多個閘極線 130 的區域可隨著與導電板 110 的距離增大而逐漸減小。

【0046】 多個閘極線 130 可藉由在第一水平方向（X 方向）上縱向延伸的多個字元線切割區 WLC 劃分成多個記憶體胞元區塊 BLK。包含於多個記憶體胞元區塊 BLK 中的每一者中的多個閘極線 130 可構成閘極堆疊 GS。多個記憶體胞元區塊 BLK 中的每一者可包含包括一個閘極堆疊 GS 的記憶體堆疊 MST。在多個記憶體堆疊 MST 中的每一者中，多個閘極線 130 可構成繪示於圖 3 中的接地選擇線 GSL、多個字元線 WL 以及字串選擇線 SSL。

【0047】 圖 7A 為示出根據本發明概念的實施例的半導體裝置 100 的胞元區域 CELL 的組件的平面視圖。圖 7B 示出半導體裝置 100 的胞元區域 CELL 及周邊電路區域 PERI 的各別部分的橫截面圖。圖 7C 為示出周邊電路區域 PERI 的一些組件的橫截面圖。

【0048】 參考圖 7A 至圖 7C，半導體裝置 100 可包含胞元區域 CELL 及周邊電路區域 PERI。胞元區域 CELL 及周邊電路區域 PERI 中的每一者可包含襯墊接合區域 PA。胞元區域 CELL 可更包含記憶體胞元區域 MEC 及連接區域 CON。在圖 7B 中，胞元區域 CELL 的記憶體胞元區域 MEC 的組態可對應於沿圖 7A 的線 A1-A1'截取的橫截面的組態。在圖 7B 中，胞元區域 CELL 的連接區域 CON 的組態可對應於沿圖 7A 的線 A2-A2'截取的橫截面的組態。

【0049】 在實例實施例中，半導體裝置 100 可具有晶片對晶片（chip-to-chip；C2C）結構。C2C 結構可為藉由以下操作獲得的結構：在第一晶圓上製造包含胞元區域 CELL 的上部晶片，接著在不同於第一晶圓的第二晶圓上製造包含周邊電路區域 PERI 的下部晶片，且接著藉由接合方法將上部晶片連接至下部晶片。舉例而言，接合方法可指將至少一個第一接合金屬襯墊電連接至至少一個第二接合金屬襯墊的方法，所述第一接合金屬襯墊形成於包含胞元區域 CELL 的上部晶片的最上部金屬層中，所述第二接合金屬襯墊形成於包含周邊電路區域 PERI 的下部晶片的最上部金屬層中。在實例實施例中，當第一接合金屬襯墊及第二接合金屬襯墊包含銅（Cu）時，接合方法可為 Cu-Cu 接合方法。在其他實例實施例中，第一接合金屬襯墊及第二接合金屬襯墊中的每一者可包含鋁（Al）或鎢（W）。

【0050】 周邊電路區域 PERI 可包含：周邊電路基底 210；層間介電質 215；形成於周邊電路基底 210 上的多個電晶體 220A、220B 以及 220C；分別連接至多個電晶體 220A、220B 以及 220C 的多個第一金屬層 230A、230B 以及 230C；以及分別形成於多個第一金屬層 230A、230B 以及 230C 上的多個第二金屬層 240A、240B 以及 240C。周邊電路基底 210 可為連續基底（例如，具有結晶結構連續性的單個晶圓或單塊基底），所述連續基板包含在其各別區或區域中的電晶體 220A、電晶體 220B 以及電晶體 220C。在實例實施例中，多個第一金屬層 230A、230B 以及 230C 可包含鎢，且多個第二金屬層 240A、240B 以及 240C 可包含銅，但本發明概念不限於此。

【0051】 在其他實例實施例中，至少一個金屬層可進一步形成於多個第二金屬層 240A、240B 以及 240C 上。形成於多個第二金屬層 240A、240B 以及 240C 上的至少一個金屬層可包含鋁。

【0052】 層間介電質 215 可覆蓋多個電晶體 220A、220B 以及 220C，多個第一金屬層 230A、230B 以及 230C 以及多個第二金屬層 240A、240B 以及 240C。如本文中所使用，「覆蓋」或「包圍」或「填充」另一元件或區的元件或區可完全或部分地覆蓋或包圍或填充所述另一元件或區。層間介電質 215 可包含氧化矽膜、氮化矽膜或其組合。

【0053】 多個第一接合金屬襯墊 371A 及 372A 可配置於胞元區域 CELL 的襯墊接合區域 PA 中，且多個第二接合金屬襯墊 271A、272A 以及 273A 可配置於周邊電路區域 PERI 的襯墊接合區域 PA 中。多個第一接合金屬襯墊 371A 及 372A 可接合至且因此電連接

至多個第二接合金屬襯墊 271A、272A 以及 273A。多個第一接合金屬襯墊 371A 及 372A 及多個第二接合金屬襯墊 271A、272A 以及 273A 可構成接合結構 BS。

【0054】 多個第一接合金屬襯墊 371B 及 372B 可配置於胞元區域 CELL 的連接區域 CON 中，且多個第二接合金屬襯墊 271B 及 272B 可配置於周邊電路區域 PERI 的區中，所述區在豎直方向（Z 方向）上與胞元區域 CELL 的連接區域 CON 交疊。在周邊電路區域 PERI 中，多個第二接合金屬襯墊 271B 及 272B 可配置於多個第二金屬層 240B 上。多個第一接合金屬襯墊 371B 及 372B 可接合至且因此電連接至多個第二接合金屬襯墊 271B 及 272B。多個第一接合金屬襯墊 371B 及 372B 及多個第二接合金屬襯墊 271B 及 272B 可構成接合結構 BS。

【0055】 多個第一接合金屬襯墊 371C、372C 以及 392 可配置於胞元區域 CELL 的記憶體胞元區域 MEC 中，且多個第二接合金屬襯墊 251、252、271C 以及 272C 可配置於周邊電路區域 PERI 的區中，所述區在豎直方向（Z 方向）上與胞元區域 CELL 的記憶體胞元區域 MEC 交疊。在周邊電路區域 PERI 中，多個第二接合金屬襯墊 251、252、271C 以及 272C 可配置於多個第二金屬層 240C 上。多個第一接合金屬襯墊 371C、372C 以及 392 可接合至且因此電連接至多個第二接合金屬襯墊 251、252、271C 以及 272C。多個第一接合金屬襯墊 371C、372C 以及 392 及多個第二接合金屬襯墊 251、252、271C 以及 272C 可構成接合結構 BS。

【0056】 構成接合結構 BS 的多個第一接合金屬襯墊 371A、372A、371B、372B、371C、372C 以及 392 及多個第二接合金屬

襯墊 271A、272A、271B、272B、271C、272C、252 以及 273A 可各自包含鋁、銅或鎢。

【0057】 在記憶體胞元區域 MEC 及連接區域 CON 中，多個第一接合金屬襯墊 371B、372B、371C、372C 以及 392 可各自由層間介電質 395 絕緣。層間介電質 395 可包含氧化矽膜、氮化矽膜或其組合。

【0058】 如圖 7A 及圖 7B 中所繪示，半導體裝置 100 的胞元區域 CELL 包含胞元基底 102。胞元基底 102 可具有在記憶體胞元區域 MEC、連接區域 CON 以及襯墊接合區域 PA 中沿 X-Y 平面在水平方向上延伸的主表面 102M。胞元基底 102 可包含半導體基底。舉例而言，胞元基底 102 可包含 Si、Ge 或 SiGe。

【0059】 導電板 110 可形成於胞元基底 102 上。導電板 110 可包含金屬層、半導體層或其組合。記憶體胞元陣列 MCA 可形成於記憶體胞元區域 MEC 中的導電板 110 上。連接區域 CON 可鄰近於記憶體胞元區域 MEC 的邊緣而配置。記憶體胞元區域 MEC 可在橫向或水平方向上遠離襯墊接合區域 PA，其間具有連接區域 CON。儘管在圖 7A 及圖 7B 中僅示出配置於記憶體胞元區域 MEC 的一側上的連接區域 CON，但連接區域 CON 可在第一水平方向（X 方向）上配置於記憶體胞元區域 MEC 的相對側上。

【0060】 閘極堆疊 GS 配置於胞元基底 102 的記憶體胞元區域 MEC 及連接區域 CON 上。閘極堆疊 GS 可包含多個閘極線 130 及一體地連接至多個閘極線 130 的多個導電襯墊區 112。閘極堆疊 GS 的配置於記憶體胞元區域 MEC 上的一部分可構成記憶體胞元陣列 MCA。記憶體胞元陣列可包含（例如）但不限於在豎直方向

（Z 方向）上堆疊的 48 個、64 個、96 個或 128 個閘極線 130。包含於閘極堆疊 GS 中的多個閘極線 130 可配置於記憶體胞元區域 MEC 中，可在水平方向上並行於胞元基底 102 的主表面 102M 延伸，且可在豎直方向（Z 方向）上彼此交疊。多個閘極線 130 可包含繪示於圖 3 中的多個字元線 WL、接地選擇線 GSL 以及字串選擇線 SSL。

【0061】 在胞元區域 CELL 中，包含於閘極堆疊 GS 中的多個導電襯墊區 112 可配置於連接區域 CON 中且可構成階梯狀連接單元 STC。多個導電襯墊區 112 中的每一者可一體地連接至多個閘極線 130 當中的各別閘極線 130（亦即，與各別閘極線 130 一體化或在與各別閘極線 130 相同的製程中定義）。

【0062】 如圖 7A 中所繪示，多個字元線切割區 WLC 可在胞元基底 102 上在第一水平方向（X 方向）上延伸。多個字元線切割區 WLC 可界定閘極堆疊 GS 在垂直於第一水平方向（X 方向）的第二水平方向（Y 方向）上的寬度。多個共同源極線 CSL 可在胞元基底 102 上的多個字元線切割區 WLC 中在第一水平方向（X 方向）上縱向延伸。多個共同源極線 CSL 可形成以部分地填充每一閘極堆疊 GS 的一側上的字元線切割區 WLC。在字元線切割區 WLC 中，共同源極線 CSL 可由絕緣間隔件 192 包圍。共同源極線 CSL 及絕緣間隔件 192 可構成穿透記憶體胞元陣列 MCA 的字元線切割結構 WCS。絕緣間隔件 192 可包含氧化矽、氮化矽、SiON、SiOCN、SiCN 或其組合。共同源極線 CSL 可包含諸如鎢、銅或鋁的金屬，諸如氮化鈦或氮化鉭的導電金屬氮化物，諸如鈦或鉭的過渡金屬或其組合。在其他實例實施例中，多個字元線切割區 WLC 可僅填

充有絕緣材料。

【0063】 在第二水平方向（Y 方向）上彼此鄰近的兩個字串選擇線 SSL 可由其間的字串選擇線切割區 SSLC 彼此間隔開。字串選擇線切割區 SSLC 可填充有絕緣膜 174。絕緣膜 174 可包含氧化物膜、氮化物膜或其組合。在實例實施例中，字串選擇線切割區 SSLC 的至少一部分可填充有氣隙。

【0064】 多個閘極線 130 及多個導電襯墊區 112 可各自包含金屬、導電金屬氮化物或其組合。舉例而言，多個閘極線 130 及多個導電襯墊區 112 可各自包含但不限於鎢、鎳、鈷、鉭、氮化鎢、氮化鈦、氮化鉭或其組合。

【0065】 如圖 7B 中所繪示，胞元區域 CELL 可包含分別覆蓋多個閘極線 130 的頂表面及底表面的多個絕緣膜 156。多個絕緣膜 156 當中最接近胞元基底 102 的絕緣膜 156 可具有但不限於小於其他絕緣膜 156 的厚度。多個絕緣膜 156 可包含氧化矽、氮化矽或 SiON。

【0066】 在記憶體胞元區域 MEC 中，多個通道結構 180 可在導電板 110 上在豎直方向（Z 方向）上縱向延伸穿過多個閘極線 130 及多個絕緣膜 156。多個通道結構 180 可在第一水平方向（X 方向）及第二水平方向（Y 方向）上以某一距離彼此隔開地配置。

【0067】 多個通道結構 180 中的每一者可包含閘極介電膜 182、通道區 184、填充絕緣膜 186 以及汲極區 188。通道區 184 可包含摻雜多晶矽及/或未摻雜多晶矽。通道區 184 可具有圓柱形形狀。通道區 184 的內部空間可填充有填充絕緣膜 186。填充絕緣膜 186 可包含絕緣材料。舉例而言，填充絕緣膜 186 可包含氧化矽、氮

化矽、SiON 或其組合。在實例實施例中，可省略填充絕緣膜 186，且在此情況下，通道區 184 可具有無內部空間的柱狀結構。汲極區 188 可包含雜質摻雜多晶矽、金屬、導電金屬氮化物或其組合。構成汲極區 188 的金屬的實例可包含鎢、鎳、鈷、鉭及類似物。

【0068】 多個汲極區 188 可藉由中間絕緣膜 187 彼此絕緣。中間絕緣膜 187 可包含氧化物膜、氮化物膜或其組合。

【0069】 儘管圖 7B 示出其中通道結構 180 包含閘極介電膜 182 且其中閘極介電膜 182 具有沿通道區 184 在豎直方向（Z 方向）上縱向延伸的形狀的實例，但本發明概念不限於此，且可對其進行各種修改及改變。

【0070】 圖 8A 為圖 7B 中的區「BX」的放大橫截面圖，其更詳細地示出圖 7B 中所繪示的閘極介電膜 182。

【0071】 參考圖 8A，閘極介電膜 182 可具有包含依序形成或以其他方式按所陳述次序設置於通道區 184 上的穿隧介電膜 TD、電荷儲存膜 CS 以及阻擋介電膜 BD 的結構。穿隧介電膜 TD、電荷儲存膜 CS 以及阻擋介電膜 BD 的相對厚度不限於圖 8A 中所繪示的彼等厚度且可不同地修改。

【0072】 穿隧介電膜 TD 可包含氧化矽、氧化鉿、氧化鋁、氧化鋯、氧化鉭或類似物。電荷儲存膜 CS 為可儲存自通道區 184 穿過穿隧介電膜 TD 的電子的區，且可包含氮化矽、氮化硼、氮化矽硼或雜質摻雜多晶矽。阻擋介電膜 BD 可包含氧化矽、氮化矽或具有大於氧化矽的介電常數的金屬氧化物。金屬氧化物可包含氧化鉿、氧化鋁、氧化鋯、氧化鉭或其組合。

【0073】 圖 8B 至圖 8D 為分別示出可代替圖 8A 中所繪示的閘極

介電膜 182 使用的閘極介電膜 182A、閘極介電膜 182B 以及閘極介電膜 182C 的實例結構的橫截面圖。在圖 8B 至圖 8D 中的每一者中示出對應於由圖 7B 中的「BX」標記的區的橫截面組態。

【0074】 在實例實施例中，圖 7A 至圖 7C 中繪示的半導體裝置 100 可包含圖 8B 中所繪示的閘極介電膜 182A 而非閘極介電膜 182。閘極介電膜 182A 具有與圖 8A 中所繪示的閘極介電膜 182 實質上相同的組態。然而，閘極介電膜 182A 包含第一阻擋介電膜 BD1 及第二阻擋介電膜 BD2 而非阻擋介電膜 BD。第一阻擋介電膜 BD1 可並行於通道區 184 延伸，且第二阻擋介電膜 BD2 可經配置以包圍閘極線 130。第一阻擋介電膜 BD1 及第二阻擋介電膜 BD2 中的每一者可包含氧化矽、氮化矽或金屬氧化物。舉例而言，第一阻擋介電膜 BD1 可包含氧化矽膜，且第二阻擋介電膜 BD2 可包含具有大於氧化矽膜的介電常數的金屬氧化物膜。

【0075】 在其他實例實施例中，圖 7A 至圖 7C 中所繪示的半導體裝置 100 可包含圖 8C 中所繪示的閘極介電膜 182B 而非閘極介電膜 182。閘極介電膜 182B 可形成以覆蓋閘極線 130 的面向通道區 184 的表面及閘極線 130 的面向絕緣膜 156 的表面。閘極介電膜 182B 可包含依序形成或以其他方式按所陳述次序設置於通道區 184 上或按相反次序設置於閘極線 130 上的穿隧介電膜 TD、電荷儲存膜 CS 以及阻擋介電膜 BD。

【0076】 在又其他實例實施例中，圖 7A 至圖 7C 中所繪示的半導體裝置 100 可包含圖 8D 中所繪示的閘極介電膜 182C 而非閘極介電膜 182。閘極介電膜 182C 可配置於閘極線 130 與通道區 184 之間以覆蓋閘極線 130 的側壁且可不覆蓋閘極線 130 的底表面及頂

表面。閘極介電膜 182C 可包含依序形成或以其他方式按所陳述次序設置於通道區 184 上的穿隧介電膜 TD、電荷儲存膜 CS 以及阻擋介電膜 BD。

【0077】 可包含於根據本發明概念的實施例的半導體裝置中的閘極介電膜的組態及形狀不限於圖 8A 至圖 8D 中所繪示的閘極介電膜 182、閘極介電膜 182A、閘極介電膜 182B 以及閘極介電膜 182C，且可在不脫離本發明概念的精神及範疇的情況下對其進行各種修改及改變。

【0078】 再次參考圖 7A 及圖 7B，構成連接區域 CON 中的階梯狀連接單元 STC 的多個導電襯墊區 112 可分別具有遠離胞元基底 102（例如，在 Z 方向上）逐漸減小的水平寬度（例如，沿 X 方向的長度）。在實例實施例中，多個虛設通道結構（未繪示）可配置成穿過連接區域 CON 中的階梯狀連接單元 STC。虛設通道結構相對於裝置的電氣操作可為非功能性的。多個虛設通道結構可支撐每一閘極堆疊 GS 的邊緣部分及多個導電襯墊區 112，由此用以防止發生非預期結構變形，諸如前述部分及區的彎曲或斷裂。

【0079】 在記憶體胞元區域 MEC 中，多個位元線 BL 可配置於多個通道結構 180 上。多個位元線接觸襯墊 194 可配置於多個通道結構 180 與多個位元線 BL 之間。多個通道結構 180 中的每一者的汲極區 188 可經由位元線接觸襯墊 194 連接至多個位元線 BL 當中的對應一個位元線 BL。多個位元線接觸襯墊 194 可藉由上部絕緣膜 193 彼此絕緣。多個位元線 BL 可藉由層間介電質 195 彼此絕緣。多個位元線接觸襯墊 194 及多個位元線 BL 可各自包含金屬、金屬氮化物或其組合。舉例而言，多個位元線接觸襯墊 194 及多

個位元線 BL 可各自包含鎢、鈦、鉭、銅、鋁、氮化鈦、氮化鉭、氮化鎢或其組合。上部絕緣膜 193 及層間介電質 195 中的每一者可包含氧化矽膜、氮化矽膜或其組合。

【0080】 在胞元區域 CELL 的連接區域 CON 中，絕緣膜 114 配置於胞元基底 102 與中間絕緣膜 187 之間以覆蓋階梯狀連接單元 STC。絕緣膜 114 可覆蓋多個導電襯墊區 112。

【0081】 在豎直方向（Z 方向）上縱向延伸的多個接觸結構 CTS 可配置於連接區域 CON 中的階梯狀連接單元 STC 的多個導電襯墊區 112 上。多個接觸結構 CTS 中的每一者可包含在豎直方向（Z 方向）上縱向延伸的接觸插塞 116 及包圍接觸插塞 116 的絕緣插塞 115。多個接觸結構 CTS 中的每一者的接觸插塞 116 可經配置以電連接至階梯狀連接單元 STC 的導電襯墊區 112。

【0082】 多個接觸結構 CTS 中的每一者可在豎直方向（Z 方向）上自導電襯墊區 112 遠離胞元基底 102 延伸穿過絕緣膜 114、中間絕緣膜 187 以及上部絕緣膜 193。

【0083】 在胞元區域 CELL 的連接區域 CON 中，多個配線層 ML 可分別配置於多個接觸結構 CTS 上。多個配線層 ML 可形成於與配置於記憶體胞元區域 MEC 中的多個位元線 BL 相同的高度或水平處（相對於基底 102、210）。多個配線層 ML 中的每一者可連接至各別接觸插塞 116。多個配線層 ML 中的每一者可經由多個接觸插塞 116 當中的一個接觸插塞 116 電連接至多個導電襯墊區 112 當中的一個導電襯墊區 112。多個配線層 ML 可不包含與記憶體胞元陣列 MCA 豎直交疊的部分。在連接區域 CON 中，多個配線層 ML 可藉由層間介電質 195 彼此絕緣。

【0084】 多個接觸插塞 116 及多個配線層 ML 可各自包含鎢、鈦、鉭、銅、鋁、氮化鈦、氮化鉭、氮化鎢或其組合。多個絕緣插塞 115 可各自包含氮化矽膜、氧化矽膜或其組合。

【0085】 周邊電路區域 PERI 可包含多個電路 CT。多個電路 CT 可包含包括於參考圖 1 所描述的周邊電路 30 中的電路，例如列解碼器 32、頁緩衝器 34、資料輸入/輸出電路 36、控制邏輯 38 以及共同源極線驅動器 39。在實例實施例中，諸如電阻器或電容器的單元元件可進一步配置於周邊電路區域 PERI 中。

【0086】 在胞元區域 CELL 的記憶體胞元區域 MEC 中，通道結構 180 可經由位元線接觸襯墊 194 及位元線 BL 連接至第一接合金屬襯墊 371C 及第一接合金屬襯墊 372C。位元線 BL 可經由第一接合金屬襯墊 371C 及第一接合金屬襯墊 372C 電連接至包含於周邊電路區域 PERI 中的多個電路 CT，例如電連接至頁緩衝器 34。

【0087】 構成頁緩衝器 34 的電晶體 220C 可經由第一金屬層 230C 及第二金屬層 240C 連接至第二接合金屬襯墊 271C 及第二接合金屬襯墊 272C，且第二接合金屬襯墊 271C 及第二接合金屬襯墊 272C 可連接至第一接合金屬襯墊 371C 及第一接合金屬襯墊 372C。

【0088】 在胞元區域 CELL 的連接區域 CON 中，多個接觸結構 CTS 中的每一者的一個末端可連接至導電襯墊區 112，且多個接觸結構 CTS 中的每一者的另一末端可經由配線層 ML 連接至第一接合金屬襯墊 371B 及第一接合金屬襯墊 372B。多個接觸結構 CTS 可經由胞元區域 CELL 的第一接合金屬襯墊 371B 及第一接合金屬襯墊 372B 以及周邊電路區域 PERI 的第二接合金屬襯墊 271B 及

第二接合金屬襯墊 272B 連接至周邊電路區域 PERI 中的多個電路 CT。舉例而言，多個接觸結構 CTS 中的每一者可電連接至周邊電路區域 PERI 的列解碼器 32。在實例實施例中，包含於列解碼器 32 中的電晶體 220B 的操作電壓可不同於包含於頁緩衝器 34 中的電晶體 220C 的操作電壓。舉例而言，包含於頁緩衝器 34 中的電晶體 220C 的操作電壓可大於包含於列解碼器 32 中的電晶體 220B 的操作電壓，但不限於此。

【0089】 在襯墊接合區域 PA 中，可配置多個共同源極線接觸插塞 380。多個共同源極線接觸插塞 380 可各自包含金屬、金屬化合物、多晶矽或其組合。

【0090】 多個共同源極線接觸插塞 380 中的每一者的一個末端可連接至導電板 110。多個共同源極線接觸插塞 380 中的每一者的另一末端可連接至金屬層 360A。金屬層 360A 可連接至第一接合金屬襯墊 371A 及第一接合金屬襯墊 372A。第一接合金屬襯墊 371A 及第一接合金屬襯墊 372A 中的每一者可連接至周邊電路區域 PERI 的第二接合金屬襯墊 271A、第二接合金屬襯墊 272A 以及第二接合金屬襯墊 273A 當中的對應一者。多個共同源極線接觸插塞 380 可經由金屬層 360A、第一接合金屬襯墊 371A 及第一接合金屬襯墊 372A 以及第二接合金屬襯墊 271A 及第二接合金屬襯墊 272A 連接至周邊電路區域 PERI 中的多個電路 CT。在實例實施例中，多個共同源極線接觸插塞 380 可經由金屬層 360A、第一接合金屬襯墊 371A 及第一接合金屬襯墊 372A 以及第二接合金屬襯墊 271A 及第二接合金屬襯墊 272A 連接至周邊電路區域 PERI 中的共同源極線驅動器 39（參見圖 1）。

【0091】 在襯墊接合區域 PA 中，可配置多個輸入/輸出襯墊 205 及 305。周邊電路絕緣膜 290 可形成於周邊電路基底 210 下方以覆蓋周邊電路基底 210 的底表面，且輸入/輸出襯墊 205 可形成於周邊電路絕緣膜 290 上。輸入/輸出襯墊 205 可經由輸入/輸出接觸插塞 207 連接至配置於周邊電路區域 PERI 中的多個電晶體 220A、220B 以及 220C 中的至少一者，所述輸入/輸出接觸插塞 207 穿透周邊電路絕緣膜 290 及周邊電路基底 210。絕緣間隔件 209 可配置於周邊電路基底 210 與輸入/輸出接觸插塞 207 之間。輸入/輸出襯墊 205 及輸入/輸出接觸插塞 207 中的每一者可包含金屬，例如鋁或鎢。絕緣間隔件 209 及周邊電路絕緣膜 290 中的每一者可包含氧化物膜、氮化物膜或其組合。

【0092】 胞元絕緣膜 190 可形成於胞元基底 102 上以覆蓋胞元基底 102 的頂表面。輸入/輸出襯墊 305 可配置於胞元絕緣膜 190 上。輸入/輸出襯墊 305 可經由輸入/輸出接觸插塞 303 及接合結構 BS 連接至配置於周邊電路區域 PERI 中的多個電晶體 220A、220B 以及 220C 中的至少一者。

【0093】 輸入/輸出接觸插塞 303 可水平地遠離胞元基底 102 及導電板 110 配置。輸入/輸出襯墊 305 可不在豎直方向（Z 方向）上與多個導電襯墊區 112 交疊。輸入/輸出接觸插塞 303 可穿過胞元絕緣膜 190 及層間介電質 315 連接至輸入/輸出襯墊 305。輸入/輸出襯墊 305 及輸入/輸出接觸插塞 303 中的每一者可包含金屬，例如鋁或鎢。在實例實施例中，可省略輸入/輸出襯墊 205 及輸入/輸出襯墊 305 中的一者。

【0094】 在襯墊接合區域 PA 中，形成於胞元區域 CELL 的最上部

金屬層中的第一接合金屬襯墊 371A 及第一接合金屬襯墊 372A 可連接至形成於周邊電路區域 PERI 的最上部金屬層中的第二接合金屬襯墊 271A、第二接合金屬襯墊 272A 以及第二接合金屬襯墊 273A 當中的對應者。周邊電路區域 PERI 的第二接合金屬襯墊 273A 可不連接至周邊電路區域 PERI 中的單獨接觸件。類似地，在襯墊接合區域 PA 中，具有與周邊電路區域 PERI 的第二接合金屬襯墊 273A 相同的形狀的第一接合金屬襯墊可形成於胞元區域 CELL 的最上部金屬層中。

【0095】 在記憶體胞元區域 MEC 中，第一接合金屬襯墊 392 可與形成於周邊電路區域 PERI 的最上部金屬層中的第二接合金屬襯墊 251 及第二接合金屬襯墊 252 一致地配置在胞元區域 CELL 的最上部金屬層中。第一接合金屬襯墊 392 及第二接合金屬襯墊 251 以及第二接合金屬襯墊 252 可構成接合結構 BS。

【0096】 在周邊電路區域 PERI 中，多個電晶體 220A、220B 以及 220C 可分別構成形成於周邊電路區域 PERI 中的多個電路 CT。多個電晶體 220A、220B 以及 220C 可經由周邊電路區域 PERI 與胞元區域 CELL 之間的接合結構 BS，配置於記憶體胞元區域 MEC、連接區域 CON 以及胞元區域 CELL 的襯墊接合區域 PA 中的每一者中的配線結構及/或配置於周邊電路區域 PERI 中的配線結構電連接至記憶體胞元區域 MEC。

【0097】 如圖 7C 中所繪示，周邊電路區域 PERI 可包含根據多個電晶體 220A、220B 以及 220C 的操作電壓分類的多個電晶體區域。在實例實施例中，多個電晶體區域可包含：第一電晶體區域 LVR，其包含具有約 0.5 伏至約 1.2 伏的相對低操作電壓的電晶

體；第二電晶體區域 MVR，其包含具有大於約 1.2 伏且小於約 10 伏的中間操作電壓的電晶體；以及第三電晶體區域 HVR，其包含具有等於或大於約 10 伏的相對高操作電壓的電晶體。第一電晶體區域 LVR、第二電晶體區域 MVR 以及第三電晶體區域 HVR 中的每一者中的操作電壓範圍不限於上文所闡述的實例，且在一些情況下可改變。在實例實施例中，第一電晶體區域 LVR 及第二電晶體區域 MVR 的各別操作電壓範圍可彼此部分地交疊。另外，第二電晶體區域 MVR 及第三電晶體區域 HVR 的各別操作電壓範圍可彼此部分地交疊。在本文中，第一電晶體區域 LVR 可被稱為「低電壓電晶體區域」，第二電晶體區域 MVR 可被稱為「中間電壓電晶體區域」，且第三電晶體區域 HVR 可被稱為「高電壓電晶體區域」。

【0098】 在第一電晶體區域 LVR 中，可形成具有平面通道結構的第一電晶體 TR1，其中通道沿周邊電路基底 210 的頂表面形成。在第二電晶體區域 MVR 中，可形成具有平面通道結構的第二電晶體 TR2，其中通道沿周邊電路基底 210 的表面形成。在第三電晶體區域 HVR 中，可形成具有凹陷通道結構的第三電晶體 TR3，其中通道沿形成於周邊電路基底 210 中的凹陷溝渠 210R 的表面形成。本文中，第一電晶體 TR1 及第二電晶體 TR2 中的每一者亦可被稱為「平面通道電晶體」，且第三電晶體 TR3 亦可被稱為「凹陷通道電晶體」。「通道區」可指經組態以界定電晶體的傳導通道的區。

【0099】 周邊電路基底 210 可具有面向胞元區域 CELL 的頂表面。周邊電路基底 210 可包含半導體材料，例如，第 IV 族半導體、

第 III-V 族化合物半導體或第 II-VI 族氧化物半導體。舉例而言，第 IV 族半導體可包含 Si、Ge 或 SiGe。周邊電路基底 210 可提供為塊狀晶圓、磊晶層、絕緣層上矽（Silicon-on-Insulator；SOI）層、絕緣層上半導體（Semiconductor-on-Insulator；SeOI）層或類似物。

【0100】 周邊電路基底 210 可包含由裝置隔離膜 202 界定的多個周邊主動區 PAC。多個井 WELL1、WELL2 以及 WELL3 可形成於多個周邊主動區 PAC 中。多個井 WELL1、WELL2 以及 WELL3 可各自包含某一導電類型（n 型或 p 型）的雜質區，所述導電類型與周邊電路基底 210 的導電類型相同或不同。多個井 WELL1、WELL2 以及 WELL3 可各自包含以與周邊電路基底 210 的摻雜劑濃度不同的摻雜劑濃度摻雜的雜質區。根據第一電晶體 TR1、第二電晶體 TR2 以及第三電晶體 TR3 中的每一者的通道導電類型，多個井 WELL1、WELL2 以及 WELL3 中的每一者中的摻雜劑可包含 N 型雜質或 P 型雜質。裝置隔離膜 202 可包含絕緣材料。舉例而言，裝置隔離膜 202 可包含氧化矽、氮化矽或其組合。裝置隔離膜 202 可藉由淺溝渠隔離（shallow trench isolation；STI）製程形成。

【0101】 第一電晶體 TR1 可包含第一閘極介電膜 211 及第一閘極電極 212。第一閘極電極 212 的頂表面可由第一絕緣罩蓋層 213 覆蓋。第一閘極介電膜 211、第一閘極電極 212 以及第一絕緣罩蓋層 213 中的每一者的側壁可由第一絕緣間隔件 214 覆蓋。第一電晶體 TR1 可更包含在第一閘極電極 212 的相對側上在井 WELL1 中形成的一對第一源極/汲極區 216。所述對第一源極/汲極區 216

可包含與井 WELL1 的導電類型相反的導電類型的雜質區。在實例實施例中，所述對第一源極/汲極區 216 可包含具有不同摻雜劑濃度的多個雜質區。

【0102】 第二電晶體 TR2 可包含第二閘極介電膜 221 及第二閘極電極 222。第二閘極電極 222 的頂表面可由第二絕緣罩蓋層 223 覆蓋。第二閘極介電膜 221、第二閘極電極 222 以及第二絕緣罩蓋層 223 中的每一者的側壁可由第二絕緣間隔件 224 覆蓋。第二電晶體 TR2 可更包含在第二閘極電極 222 的相對側上在井 WELL2 中形成的一對第二源極/汲極區 226。所述對第二源極/汲極區 226 可包含與井 WELL2 的導電類型相反的導電類型的雜質區。在實例實施例中，所述對第二源極/汲極區 226 可包含具有不同摻雜劑濃度的多個雜質區。

【0103】 第一電晶體 TR1 的第一閘極電極 212 在水平方向（例如圖 7C 中的 X 方向）上可具有第一寬度 W1，且第二電晶體 TR2 的第二閘極電極 222 在水平方向（例如圖 7C 中的 X 方向）上可具有大於第一寬度 W1 的第二寬度 W2。

【0104】 第一電晶體 TR1 的第一閘極介電膜 211 的厚度可小於第二電晶體 TR2 的第二閘極介電膜 221 的厚度。在實例實施例中，第一閘極介電膜 211 可具有選自約 5 埃至約 30 埃的範圍的厚度，且第二閘極介電膜 221 可具有選自約 30 埃至約 150 埃的範圍的厚度，但本發明概念不限於上文所闡述的實例。

【0105】 在實例實施例中，所述對第一源極/汲極區 216 及所述對第二源極/汲極區 226 中的至少一者可具有輕微摻雜汲極（lightly doped drain；LDD）結構。在其他實例實施例中，所述對第一源極

/汲極區 216 及所述對第二源極/汲極區 226 中的至少一者可具有升高的源極/汲極結構，其中所述源極/汲極結構的最上部表面高於周邊電路基底 210 的頂表面。

【0106】 配置於第一電晶體區域 LVR 中的第一閘極介電膜 211 可包含高 k 介電膜。高 k 介電膜可為具有比氧化矽膜高的介電常數的介電膜。在實例實施例中，高 k 介電膜可包含氧化鋁（Al_2O_3）、氧化鉭（Ta_2O_3）、氧化鈦（TiO_2）、氧化釔（Y_2O_3）、氧化鋯（ZrO_2）、氧化鋯矽（ZrSiO）、氧化鉿（HfO_2）、氧化鉿矽（HfSiO）、氧化鑭（La_2O_3）、氧化鑭鋁（LaAlO）、氧化鑭鉿（LaHfO）、氧化鉿鋁（HfAlO）、氧化鐠（Pr_2O_3）或其組合。在實例實施例中，第一閘極介電膜 211 可包含摻雜有元素半導體或金屬元素的高 k 介電膜。舉例而言，第一閘極介電膜 211 可包含摻雜有矽（Si）或鑭（La）的氧化鉿膜。在實例實施例中，第一閘極介電膜 211 可更包含第一低 k 介電膜。第一低 k 介電膜可配置於周邊電路基底 210 與高 k 介電膜之間。第一低 k 介電膜可包含氧化物膜、氮化物膜、氮氧化物膜或其組合。舉例而言，第一低 k 介電膜可包含氧化矽膜。

【0107】 配置於第二電晶體區域 MVR 中的第二閘極介電膜 221 可包含第二低 k 介電膜。第二低 k 介電膜可包含氧化物膜、氮化物膜、氮氧化物膜或其組合。舉例而言，第二低 k 介電膜可包含氧化矽膜。

【0108】 配置於第三電晶體區域 HVR 中的第三電晶體 TR3 具有凹陷通道結構。在配置有第三電晶體 TR3 的第三電晶體區域 HVR 中，凹陷至周邊電路基底 210 中的凹陷溝渠 210R 可形成於周邊電路基底 210 的頂表面中。第三電晶體 TR3 可包含覆蓋凹陷溝渠

210R 的內壁的第三閘極介電膜 231 以及配置於第三閘極介電膜 231 上以填充凹陷溝渠 210R 的第三閘極電極 232。第三閘極電極 232 可包含配置於第三閘極介電膜 231 上以填充凹陷溝渠 210R 的填充電極部分以及一體地連接至填充電極部分且自周邊電路基底 210 的頂表面向上突出的突出電極部分。第三閘極電極 232 的頂表面可由第三絕緣罩蓋層 233 覆蓋。第三閘極介電膜 231、第三閘極電極 232 以及第三絕緣罩蓋層 233 中的每一者的側壁可由第三絕緣間隔件 234 覆蓋。

【0109】 第三電晶體 TR3 可更包含在第三閘極電極 232 的相對側上在井 WELL3 中形成的第三源極/汲極區 236。第三源極/汲極區 236 可包含與井 WELL3 的導電類型相反的導電類型的雜質區。第三源極/汲極區 236 可包含：第一雜質區 236A，其具有第一摻雜劑濃度；及較淺第二雜質區 236B，其具有大於第一摻雜劑濃度的第二摻雜劑濃度且鄰近於周邊電路基底 210 的頂表面而配置。舉例而言，當第三電晶體 TR3 為 NMOS 電晶體時，第一雜質區 236A 及第二雜質區 236B 中的每一者可摻雜有 N 型雜質，且第二雜質區 236B 中的 N 型雜質摻雜濃度可大於第一雜質區 236A 中的 N 型雜質摻雜濃度。當第三電晶體 TR3 為 PMOS 電晶體時，第一雜質區 236A 及第二雜質區 236B 中的每一者可摻雜有 P 型雜質，且第二雜質區 236B 中的 P 型雜質摻雜濃度可大於第一雜質區 236A 中的 P 型雜質摻雜濃度。

【0110】 在實例實施例中，第三閘極介電膜 231 的第一部分 G1 的厚度可大於第三閘極介電膜 231 的第二部分 G2 的厚度，所述第一部分 G1 配置於第三閘極電極 232 與第一雜質區 236A 及第二雜質

區 236B 兩者之間，所述第二部分 G2 鄰近於第三電晶體 TR3 的通道區 CH3。在實例實施例中，第三閘極介電膜 231 的厚度可朝向凹陷溝渠 210R 的底部遠離周邊電路基底 210 的頂表面逐漸減小。藉由此組態，第三電晶體 TR3 可具有閘極誘導汲極漏電流的減少且因此呈現良好操作特性。另外，因為第三閘極介電膜 231 在其鄰近於第三電晶體 TR3 的通道區 CH3 的部分中具有相對較小厚度，故第三電晶體 TR3 可具有增加的導通電流（ON-current）且因此具有增加的操作速度。在實例實施例中，儘管第三閘極介電膜 231 的第二部分 G2 可具有選自約 150 埃至約 1,000 埃的範圍的厚度，但本發明概念不限於上文所闡述的實例。

【0111】 相對於基底 210 的頂表面，凹陷溝渠 210R 的最下部表面豎直高度 LV1 可等於或高於裝置隔離膜 202 的最下部表面豎直高度 LV2。亦即，相對於基底 210 的頂表面，凹陷溝渠 210R 的深度可小於隔離膜 202 的深度。在第三電晶體 TR3 中，藉由允許填充凹陷溝渠 210R 的第三閘極電極 232 的填充電極部分在豎直方向（Z 方向）上具有足夠大的長度，第三電晶體 TR3 可具有增加的通道長度且因此具有減少的關斷電流。另外，藉由允許填充凹陷溝渠 210R 的第三閘極電極 232 的填充電極部分在豎直方向（Z 方向）上具有足夠大的長度，第一雜質區 236A 的豎直方向（Z 方向）長度 DH1 可足以允許第三電晶體 TR3 提供足夠的空乏區，藉此增加或最大化第三電晶體 TR3 的耐壓效應。

【0112】 第三閘極介電膜 231 可包含氧化矽膜、SiON、GeON、GeSiO、高 k 介電膜或其組合。可用作高 k 介電膜的特定膜的實例如上文關於可包含於第一閘極介電膜 211 中的高 k 介電膜所描述。

【0113】 第一閘極電極 212、第二閘極電極 222 以及第三閘極電極 232 中的每一者可包含摻雜多晶矽或含金屬膜。摻雜多晶矽可摻雜有 N 型或 P 型雜質。在實例實施例中，P 型雜質可包含硼（B）、氟化硼（BF_2）、銦（In）或類似物，且 N 型雜質可包含磷（P）、砷（As）或類似物。在實例實施例中，構成第一閘極電極 212、第二閘極電極 222 以及第三閘極電極 232 的含金屬膜可包含鈦（Ti）、氮化鈦（TiN）、鎢（W）、氮化鎢（WN）、鈦鋁（TiAl）、氮化鈦鋁（TiAlN）、鉭（Ta）、氮化鉭（TaN）、碳化鈦（TiC）、碳化鉭鋁（TaC）、碳氮化鉭（TaCN）、鉭矽氮化物（TaSiN）、鈷（Co）、釕（Ru）、銅（Cu）、鉬（Mo）、鋁（Al）或其組合。第一閘極電極 212、第二閘極電極 222 以及第三閘極電極 232 中的每一者的豎直方向（Z 方向）厚度不限於圖 7C 中所繪示的實例且視需要可不同地選擇。

【0114】 第一絕緣罩蓋層 213、第二絕緣罩蓋層 223 以及第三絕緣罩蓋層 233 以及第一絕緣間隔件 214、第二絕緣間隔件 224 以及第三絕緣間隔件 234 可各自包含氧化物膜、氮化物膜、氮氧化物膜或其組合。

【0115】 形成於第一電晶體區域 LVR 中的第一電晶體 TR1 包含第一閘極介電膜 211 及第一閘極電極 212，由此可改良其高速操作特性及可靠性。因此，可在半導體裝置 100 的周邊電路區域中的電晶體當中提供高速操作的低電壓電晶體中的至少一些可具有第一電晶體 TR1 的結構。舉例而言，構成參考圖 1 所描述的資料輸入/輸出電路 36 的電晶體中的至少一些可具有第一電晶體 TR1 的結構。包含於參考圖 1 所描述的周邊電路 30 中的電路中的至少一者

可包含形成於第二電晶體區域 MVR 中的第二電晶體 TR2。

【0116】 形成於第三電晶體區域 HVR 中的第三電晶體 TR3 的結構可應用於產生或傳送高電壓的電晶體。舉例而言，構成參考圖 1 所描述的列解碼器 32、頁緩衝器 34 以及共同源極線驅動器 39 的電晶體中的至少一些可具有第三電晶體 TR3 的結構。在實例實施例中，構成參考圖 5 所描述的列解碼器 32 的字串選擇線驅動器 62、字元線驅動器 64、接地選擇線驅動器 66 以及區塊選擇器 68 中的至少一者可包含形成於第三電晶體區域 HVR 中的第三電晶體 TR3。在其他實例實施例中，圖 1 及圖 5 中所繪示的列解碼器 32 可包含自半導體裝置 10 外部接收高電壓的高電壓開關，所述高電壓高於電源電壓。舉例而言，在包含於圖 1 中所繪示的記憶體胞元陣列 20 中的記憶體胞元的程式化或抹除操作期間，可使用約 20 伏或大於 20 伏的高電壓。另外，為了控制此高電壓，可將高電壓自半導體裝置 10 外部提供至高電壓開關。高電壓開關可包含形成於第三電晶體區域 HVR 中的第三電晶體 TR3。另外，包含於參考圖 5 所描述的列解碼器 32 的區塊選擇器 68 中的多個傳輸電晶體 TR_P 可將由包含於周邊電路 30 中的電壓產生器（未繪示）產生的電壓傳送至記憶體胞元陣列 20 的列線，亦即，傳送至接地選擇線 GSL、字串選擇線 SSL 以及多個字元線 WL1、WL2……WLn-1 以及 WLn。藉由多個傳輸電晶體 TR_P 傳送的字元線電壓可為比用於驅動一般電路的電壓高的相對高電壓。因此，多個傳輸電晶體 TR_P 可包含形成於第三電晶體區域 HVR 中的第三電晶體 TR3。

【0117】 舉例而言，當以高電壓驅動的高電壓電晶體包含平面通道電晶體時，為了防止高壓電晶體中的源極與汲極之間的擊穿且

改良其耐壓特性，通道長度需要相對較大。此外，高電壓電晶體的閘極介電膜需要具有大於低電壓電晶體的厚度的厚度以承受閘極電極與源極/汲極區之間的高電勢差。因此，當高電壓電晶體包含平面通道電晶體時，高電壓電晶體可需要比低電壓電晶體大的晶片面積。

【0118】 根據本發明概念，藉由考慮到電晶體的功能，藉由根據操作電壓將不同最佳化結構應用於電晶體，可確保半導體裝置 100 的操作特性及可靠性。另外，在半導體裝置 100 中，即使當字元線 WL 的堆疊的數目增加以改良整合程度且因此連接至記憶體胞元的電晶體的數目增加時，具有相對高操作電壓且形成於第三電晶體區域 HVR 中的第三電晶體 TR3 亦可具有凹陷通道結構，其中通道沿形成於周邊電路基底 210 中的凹陷溝渠 210R 的表面形成，由此歸因於高電壓電晶體減小晶片區域（或防止晶片區域的增大）。因此，即使當字元線 WL 的堆疊的數目增加且因此連接至記憶體胞元的電晶體的數目增加時，由周邊電路區域 PERI 佔據的面積的增大可被抑制或限制，且可提供具有有利於高度整合及平面大小減小的結構的半導體裝置。

【0119】 圖 9 為示出根據本發明概念的其他實施例的半導體裝置 400 的橫截面圖。在圖 9 中，與圖 7C 中相同的附圖標號表示相同構件，且省略其重複描述。

【0120】 參考圖 9，半導體裝置 400 具有與參考圖 6 及圖 7A 至圖 7C 所描述的半導體裝置 100 實質上相同的組態。然而，半導體裝置 400 可包含第四電晶體 TR4，所述第四電晶體 TR4 配置於由周邊電路區域 PERI 的第三電晶體區域 HVR 中的裝置隔離膜 402 界

定的多個周邊主動區 PAC 中且具有凹陷通道結構，所述凹陷通道結構具有沿形成於周邊電路基底 210 中的凹陷溝渠 210R 的表面形成的通道。

【0121】 第四電晶體 TR4 可具有與圖 7C 中所示出的第三電晶體 TR3 實質上相同的組態。然而，第四電晶體 TR4 可具有三井結構。第四電晶體 TR4 可為具有等於或大於約 10 伏的相對高操作電壓的電晶體。其中包含凹陷溝渠 210R 或以其他方式容納第四電晶體 TR4 的袋形井 PW 及其上包含或容納袋形井 PW 的深井 DW 可在第四電晶體 TR4 配置於周邊主動區 PAC 中的位置處形成。

【0122】 當第四電晶體 TR4 為 NMOS 電晶體時，深井 DW 及所述對第三源極/汲極區 236 中的每一者可為摻雜有 N 型雜質的雜質區，且袋形井 PW 可為摻雜有 P 型雜質的雜質區。當第四電晶體 TR4 為 PMOS 電晶體時，深井 DW 及所述對第三源極/汲極區 236 中的每一者可為摻雜有 P 型雜質的雜質區，且袋形井 PW 可為摻雜有 N 型雜質的雜質區。

【0123】 深井 DW 可形成於周邊主動區 PAC 的一部分中，所述部分由裝置隔離膜 402 界定。深井 DW 的最下部部分可處於比裝置隔離膜 402 的最下部部分高的高度處（相對於基底 210）。裝置隔離膜 402 的更詳細組態與關於參考圖 7B 及圖 7C 的裝置隔離膜 202 所描述的實質上相同。

【0124】 半導體裝置 400 可包含周邊電路區域 PERI 的第三電晶體區域 HVR 中的多個第四電晶體 TR4。由於第四電晶體 TR4 具有三井結構，因此第四電晶體 TR4 與鄰近於其且具有不同導電型通道的電晶體之間的絕緣性質可加強，且當第四電晶體 TR4 在等於或

大於約 10 伏的相對高操作電壓下操作時，第四電晶體 TR4 周圍的其他電路可不具有損壞。

【0125】 圖 10 為示出根據本發明概念的又其他實施例的半導體裝置 500 的橫截面圖。在圖 10 中，與圖 7C 中相同的附圖標號表示相同構件，且省略其重複描述。

【0126】 參考圖 10，半導體裝置 500 具有與參考圖 6 及圖 7A 至圖 7C 所描述的半導體裝置 100 實質上相同的組態。然而，半導體裝置 500 的周邊電路區域 PERI 可包含多個高電壓電晶體區域 HVR1 及 HVR2，所述高電壓電晶體區域包含具有等於或大於約 10 伏且彼此不同的相對高操作電壓的多個電晶體。

【0127】 多個高電壓電晶體區域 HVR1 及 HVR2 可包含具有第一操作電壓的第一高電壓電晶體區域 HVR1 及具有大於第一操作電壓的第二操作電壓的第二高電壓電晶體區域 HVR2。在實例實施例中，具有約 20 伏或大於 20 伏的操作電壓的電晶體可形成於第一高電壓電晶體區域 HVR1 中，且具有約 30 伏或大於 30 伏的操作電壓的電晶體可形成於第二高電壓電晶體區域 HVR2 中。在其他實例實施例中，具有約 30 伏或大於 30 伏的操作電壓的電晶體可形成於第一高電壓電晶體區域 HVR1 中，且具有約 50 伏或大於 50 伏的操作電壓的電晶體可形成於第二高電壓電晶體區域 HVR2 中。然而，本發明概念不限於上文所描述的實例，且可對其進行各種修改。

【0128】 界定第一周邊主動區 PAC1 的裝置隔離膜 502 可形成於第一高電壓電晶體區域 HVR1 中。界定第二周邊主動區 PAC2 的裝置隔離膜 504 可形成於第二高電壓電晶體區域 HVR2 中。第一高

電壓電晶體 TR51 可形成於第一高電壓電晶體區域 HVR1 中的第一周邊主動區 PAC1 中，且第二高電壓電晶體 TR52 可形成於第二高電壓電晶體區域 HVR2 中的第二周邊主動區 PAC2 中。第一高電壓電晶體 TR51 及第二高電壓電晶體 TR52 中的每一者可具有與參考圖 7C 所描述的第三電晶體 TR3 實質上相同的組態。第一高電壓電晶體 TR51 可具有其中通道沿形成於周邊電路基底 210 中的第一凹陷溝渠 510R1 的表面形成的凹陷通道結構，且第二高電壓電晶體 TR52 可具有其中通道沿形成於周邊電路基底 210 中的第二凹陷溝渠 510R2 的表面形成的凹陷通道結構。然而，相對於基底 201，第二凹陷溝渠 510R2 的最下部表面高度 LV52 可低於第一凹陷溝渠 510R1 的最下部表面高度 LV51。亦即，自周邊電路基底 210 的頂表面至第二凹陷溝渠 510R2 的最下部表面的豎直長度或深度可大於自周邊電路基底 210 的頂表面至第一凹陷溝渠 510R1 的最下部表面的豎直長度或深度。在豎直方向（Z 方向）上，第二高電壓電晶體 TR52 的閘極電極 542 的長度可比第一高電壓電晶體 TR51 的閘極電極 532 的長度大或可延伸得更深。在水平方向上，第一高電壓電晶體 TR51 及第二高電壓電晶體 TR52 的各別閘極長度或寬度可彼此相等或不同。第一高電壓電晶體 TR51 及第二高電壓電晶體 TR52 的各別通道長度可彼此相等或不同。可視需要不同地選擇第一高電壓電晶體 TR51 及第二高電壓電晶體 TR52 中的每一者的深度或豎直方向閘極長度、寬度或水平方向閘極長度以及通道長度，且其不限於所示組態。

【0129】 與界定其中形成第一高電壓電晶體 TR51 的第一周邊主動區 PAC1 的裝置隔離膜 502 相比，界定其中形成第二高電壓電晶

體 TR52 的第二周邊主動區 PAC2 的裝置隔離膜 504 可形成為更深地進入周邊電路基底 210 中。

【0130】 第一高電壓電晶體 TR51 可包含在第一凹陷溝渠 510R1 的內壁與閘極電極 532 之間的閘極介電膜 531。閘極電極 532 的頂表面可由絕緣罩蓋層 533 覆蓋。閘極介電膜 531、閘極電極 532 以及絕緣罩蓋層 533 中的每一者的側壁可由絕緣間隔件 534 覆蓋。第一高電壓電晶體 TR51 可包含在閘極電極 532 的相對側上在井 W51 中形成的一對源極/汲極區 536。所述對源極/汲極區 536 可包含第一雜質區 536A 及較淺的第二雜質區 536B，其各自包含與井 W51 的導電類型相反的導電類型（n 型或 p 型）的雜質區。第二雜質區 536B 的摻雜劑濃度可大於第一雜質區 536A 的摻雜劑濃度。

【0131】 第二高電壓電晶體 TR52 可包含在第二凹陷溝渠 510R2 的內壁與閘極電極 542 之間的閘極介電膜 541。閘極電極 542 的頂表面可由絕緣罩蓋層 543 覆蓋。閘極介電膜 541、閘極電極 542 以及絕緣罩蓋層 543 中的每一者的側壁可由絕緣間隔件 544 覆蓋。第二高電壓電晶體 TR52 可包含在閘極電極 542 的相對側上在井 W52 中形成的源極/汲極區 538。源極/汲極區 538 可包含第一雜質區 538A 及較淺的第二雜質區 538B，其各自包含與井 W52 的導電類型相反的導電類型的雜質區。第二雜質區 538B 的摻雜劑濃度可大於第一雜質區 538A 的摻雜劑濃度。

【0132】 包含於第一高電壓電晶體 TR51 中的閘極介電膜 531 的厚度可與包含於第二高電壓電晶體 TR52 中的閘極介電膜 541 的厚度相等或不同。可視需要不同地選擇閘極介電膜 531 及閘極介電膜

541 中的每一者的厚度。

【0133】 相對於基底 210 的頂表面，包含於第二高電壓電晶體 TR52 中的第一雜質區 538A 的深度或豎直方向(Z 方向)長度 DH52 可大於包含於第一高電壓電晶體 TR51 中的第一雜質區 536A 的深度或豎直方向(Z 方向)長度 DH51。因此，第二高電壓電晶體 TR52 中的空乏區的寬度可大於第一高電壓電晶體 TR51 中的空乏區的寬度。第二高電壓電晶體 TR52 可提供比第一高電壓電晶體 TR51 大的空乏區，由此實現改良的耐壓效應。

【0134】 在實例實施例中，包含於第一高電壓電晶體 TR51 中的所述對源極/汲極區 536 的摻雜劑濃度可與包含於第二高電壓電晶體 TR52 中的所述對源極/汲極區 538 的摻雜劑濃度不同。在一個實例中，包含於第二高電壓電晶體 TR52 中的源極/汲極區 538 的摻雜劑濃度可大於包含於第一高電壓電晶體 TR51 中的源極/汲極區 536 的摻雜劑濃度。在另一實例中，包含於第二高電壓電晶體 TR52 中的源極/汲極區 538 的摻雜劑濃度可等於或類似於包含於第一高電壓電晶體 TR51 中的源極/汲極區 536 的摻雜劑濃度。

【0135】 在圖 10 中所繪示的半導體裝置 500 中，裝置隔離膜 502 及裝置隔離膜 504、閘極介電膜 531 及閘極介電膜 541、閘極電極 532 及閘極電極 542、絕緣罩蓋層 533 及絕緣罩蓋層 543 以及絕緣間隔件 534 及絕緣間隔件 544 的更詳細組態可分別與關於參考圖 7C 所描述的裝置隔離膜 202、第三閘極介電膜 231、第三閘極電極 232、第三絕緣罩蓋層 233 以及第三絕緣間隔件 234 所描述的實質上相同。

【0136】 在其他實例實施例中，類似於圖 9 中所繪示的第四電晶

體 TR4，第一高電壓電晶體 TR51 及第二高電壓電晶體 TR52 中的至少一者可具有三井結構。

【0137】 根據圖 10 中所繪示的半導體裝置 500，半導體裝置 500 包含多個高電壓電晶體區域 HVR1 及 HVR2，其中具有等於或大於約 10 伏的相對高操作電壓的多個電晶體 TR51 及 TR52 分別配置於周邊電路區域 PERI 中，且具有彼此不同的操作電壓的多個電晶體 TR51 及 TR52 分別形成於多個高電壓電晶體區域 HVR1 及 HVR2 中。基於多個電晶體 TR51 及 TR52 的操作電壓，多個電晶體 TR51 及 TR52 可分別包含具有彼此不同的豎直長度或深度的裝置隔離膜 502 及裝置隔離膜 504，可分別包含具有彼此不同的豎直長度或深度的閘極電極 532 及閘極電極 542，且可分別具有不同空乏區寬度。因此，對於具有等於或大於約 10 伏的相對高操作電壓的多個電晶體 TR51 及 TR52，可根據其各別操作電壓改良或最佳化操作特性。

【0138】 圖 11 為示出根據本發明概念的實施例的包含半導體裝置的電子系統的示意圖。

【0139】 參考圖 11，根據本發明概念的實施例的電子系統 1000 可包含半導體裝置 1100 及電連接至半導體裝置 1100 的控制器 1200。電子系統 1000 可包含儲存裝置或包含所述儲存裝置的電子裝置，所述儲存裝置包括一個半導體裝置 1100 或多個半導體裝置 1100。舉例而言，電子系統 1000 可包含固態磁碟機（solid state drive；SSD）裝置、通用串列匯流排（universal serial bus；USB）裝置、計算系統、醫療裝置或通信裝置，其包含至少一個半導體裝置 1100。

【0140】 半導體裝置 1100 可包含非揮發性記憶體裝置。舉例而言，半導體裝置 1100 可包含 NAND 快閃記憶體裝置，所述 NAND 快閃記憶體裝置包含上文關於已參考圖 1 至圖 10 所描述的半導體裝置 10、半導體裝置 100、半導體裝置 400 以及半導體裝置 500 所描述的結構中的至少一者，半導體裝置 1100 可包含第一結構 1100F 及在第一結構 1100F 上的第二結構 1100S。在實例實施例中，第一結構 1100F 可配置於第二結構 1100S 旁側。第一結構 1100F 可為包含解碼器電路 1110、頁緩衝器 1120 以及邏輯電路 1130 的周邊電路結構。第二結構 1100S 可為包含位元線 BL、共同源極線 CSL、多個字元線 WL、第一上部閘極線 UL1 及第二上部閘極線 UL2、第一下部閘極線 LL1 及第二下部閘極線 LL2 以及在位元線 BL 與共同源極線 CSL 之間的多個記憶體胞元串 CSTR 的記憶體胞元結構。

【0141】 在第二結構 1100S 中，多個記憶體胞元串 CSTR 中的每一者可包含鄰近於共同源極線 CSL 的下部電晶體 LT1 及下部電晶體 LT2、鄰近於位元線 BL 的上部電晶體 UT1 及上部電晶體 UT2，以及在下部電晶體 LT1 及下部電晶體 LT2 與上部電晶體 UT1 及上部電晶體 UT2 之間的多個記憶體胞元電晶體 MCT。可根據實施例以不同方式修改下部電晶體 LT1 及下部電晶體 LT2 的數目及上部電晶體 UT1 及上部電晶體 UT2 的數目。

【0142】 在實例實施例中，上部電晶體 UT1 及上部電晶體 UT2 可各自包含字串選擇電晶體，且下部電晶體 LT1 及下部電晶體 LT2 可各自包含接地選擇電晶體。多個下部閘極線 LL1 及 LL2 可分別為下部電晶體 LT1 及下部電晶體 LT2 的閘極電極。字元線 WL 可

為記憶體胞元電晶體 MCT 的閘極電極，且上部閘極線 UL1 及上部閘極線 UL2 可分別為上部電晶體 UT1 及上部電晶體 UT2 的閘極電極。

【0143】 共同源極線 CSL、多個下部閘極線 LL1 及 LL2、多個字元線 WL 以及多個上部閘極線 UL1 及 UL2 可經由多個第一連接配線 1115 電連接至解碼器電路 1110，所述多個第一連接配線 1115 自第一結構 1100F 內部延伸至第二結構 1100S。多個位元線 BL 可經由多個第二連接配線 1125 電性連接至頁緩衝器 1120，所述第二連接配線 1125 自第一結構 1100F 內部延伸至第二結構 1100S。

【0144】 在第一結構 1100F 中，解碼器電路 1110 及頁緩衝器 1120 可對多個記憶體胞元電晶體 MCT 中的至少一者執行控制操作。解碼器電路 1110 及頁緩衝器 1120 可由邏輯電路 1130 控制。

【0145】 半導體裝置 1100 可經由電連接至邏輯電路 1130 的輸入/輸出襯墊 1101 與控制器 1200 通信。輸入/輸出襯墊 1101 可經由輸入/輸出連接配線 1135 電連接至邏輯電路 1130，所述連接配線 1135 自第一結構 1100F 內部延伸至第二結構 1100S。

【0146】 控制器 1200 可包含處理器 1210、NAND 控制器 1220 以及主機介面 1230。在實例實施例中，電子系統 1000 可包含多個半導體裝置 1100，且在此情況下，控制器 1200 可控制多個半導體裝置 1100。

【0147】 處理器 1210 可控制包含控制器 1200 的電子系統 1000 的全部操作。處理器 1210 可根據某些韌體操作且可藉由控制 NAND 控制器 1220 存取半導體裝置 1100。NAND 控制器 1220 可包含處理與半導體裝置 1100 通信的 NAND 介面 1221。經由 NAND 介面

1221，可傳輸用於控制半導體裝置 1100 的控制命令、意欲寫入至半導體裝置 1100 的多個記憶體胞元電晶體 MCT 的資料、意欲自半導體裝置 1100 的多個記憶體胞元電晶體 MCT 讀取的資料以及類似者。主機介面 1230 可提供電子系統 1000 與外部主機之間的通信的功能。當經由主機介面 1230 自外部主機接收控制命令時，處理器 1210 可回應於所述控制命令而控制半導體裝置 1100。

【0148】 圖 12 為示出根據本發明概念的實施例的包含半導體裝置的電子系統的示意性透視圖。

【0149】 參考圖 12，根據本發明概念的實例實施例的電子系統 2000 可包含主基底 2001、安裝於主基底 2001 上的控制器 2002、一或多個半導體封裝 2003 以及 DRAM 2004。半導體封裝 2003 及 DRAM 2004 可藉由形成於主基底 2001 上的多個配線圖案 2005 而連接至控制器 2002。

【0150】 主基底 2001 可包含包括經組態以耦接至外部主機的多個接腳的連接器 2006。連接器 2006 中的多個接腳的數目及配置可根據電子系統 2000 與外部主機之間的通信介面而變化。在實例實施例中，電子系統 2000 可根據介面中的一者與外部主機通信，所述介面諸如通用串列匯流排（USB）、周邊組件高速互連（Peripheral Component Interconnect Express；PCI-高速）、串列進階附接技術（Serial Advanced Technology Attachment；SATA）以及用於通用快閃儲存器（Universal Flash Storage；UFS）的 M-Phy。在實例實施例中，電子系統 2000 可由經由連接器 2006 自外部主機供應的電力操作。電子系統 2000 可更包含將自外部主機供應的電力分佈至控制器 2002 及半導體封裝 2003 的電力管理積體電路（power

management integrated circuit；PMIC）。

【0151】 控制器 2002 可將資料寫入至半導體封裝 2003 或自半導體封裝 2003 讀取資料，且可改良電子系統 2000 的操作速度。

【0152】 DRAM 2004 可為用於減輕外部主機與半導體封裝 2003 之間的速度差的緩衝記憶體，其為資料儲存空間。包含於電子系統 2000 中的 DRAM 2004 亦可作為一種快取記憶體操作且可提供用於在半導體封裝 2003 上的控制操作中暫時儲存資料的空間。當 DRAM 2004 包含於電子系統 2000 中時，除了用於控制半導體封裝 2003 的 NAND 控制器以外，亦控制器 2002 可更包含用於控制 DRAM 2004 的 DRAM 控制器。

【0153】 半導體封裝 2003 可包含彼此分開或不同的第一半導體封裝 2003a 及第二半導體封裝 2003b。第一半導體封裝 2003a 及第二半導體封裝 2003b 中的每一者可為包含多個半導體晶片 2200 的半導體封裝。第一半導體封裝 2003a 及第二半導體封裝 2003b 中的每一者可包含封裝基底 2100、封裝基底 2100 上的多個半導體晶片 2200、多個半導體晶片 2200 中的每一者的下表面上的黏接層 2300、將多個半導體晶片 2200 電連接至封裝基底 2100 的連接結構 2400 以及配置於封裝基底 2100 上以覆蓋多個半導體晶片 2200 及連接結構 2400 的模製層 2500。

【0154】 封裝基底 2100 可包含包括多個封裝上部襯墊 2130 的印刷電路板。多個半導體晶片 2200 中的每一者可包含輸入/輸出襯墊 2210。輸入/輸出襯墊 2210 可對應於圖 11 的輸入/輸出襯墊 1101。多個半導體晶片 2200 中的每一者可包含多個閘極堆疊 3210 及多個通道結構 3220。多個半導體晶片 2200 中的每一者可包含參考圖

1 至圖 10 所描述的半導體裝置 10、半導體裝置 100、半導體裝置 400 以及半導體裝置 500 中的至少一者。

【0155】 在實例實施例中，連接結構 2400 可包含將輸入/輸出襯墊 2210 電連接至封裝上部襯墊 2130 的接線。因此，在第一半導體封裝 2003a 及第二半導體封裝 2003b 中，多個半導體晶片 2200 可以接線方式彼此電連接且可電連接至封裝基底 2100 的封裝上部襯墊 2130。在實例實施例中，在第一半導體封裝 2003a 及第二半導體封裝 2003b 中，多個半導體晶片 2200 可藉由包含矽通孔（through-silicon via；TSV）的連接結構而非藉由接線類型的連接結構 2400 彼此電連接。

【0156】 在實例實施例中，控制器 2002 及多個半導體晶片 2200 可包含於一個封裝中（例如 2003a 或 2003b 中）。在實例實施例中，控制器 2002 及多個半導體晶片 2200 可安裝於單獨的插入式基底上且可藉由形成於插入式基底上的配線彼此連接，所述插入式基底與主基底 2001 不同。

【0157】 圖 13 為示出根據本發明概念的實施例的半導體封裝的示意性橫截面圖。圖 13 更詳細地示出對應於沿圖 12 的線 II-II'截取的橫截面的組態。

【0158】 參考圖 13，在半導體封裝 2003 中，封裝基底 2100 可包含印刷電路板。封裝基底 2100 可包含封裝基底主體 2120、配置於封裝基底主體 2120 的上表面上的多個封裝上部襯墊 2130（參見圖 12）、配置於封裝基底主體 2120 的下表面上或由所述下表面暴露的多個下部襯墊 2125，以及配置於封裝基底主體 2120 內部以將多個封裝上部襯墊 2130 電連接至多個下部襯墊 2125 的多個內部配

線 2135。多個封裝上部襯墊 2130 可電連接至多個連接結構 2400。多個下部襯墊 2125 可經由多個導電連接單元 2800 連接至電子系統 2000 的主基底 2001 上的多個配線圖案 2005，所述配線圖案 2005 繪示於圖 12 中。

【0159】 多個半導體晶片 2200 中的每一者可包含半導體基底 3010、第一結構 3100 以及第二結構 3200，第一結構 3100 及第二結構 3200 以所陳述次序依序堆疊於半導體基底 3010 上。第一結構 3100 可包含包括多個周邊配線 3110 的周邊電路區域。第一結構 3100 可包含根據電晶體的操作電壓分類的多個電晶體區域 LVR、MVR 以及 HVR，如參考圖 7B 及圖 7C 所描述。如參考圖 7C 所描述，各自具有平面通道結構的第一電晶體 TR1 及第二電晶體 TR2 可形成於分別包含具有相對低操作電壓及中間操作電壓的電晶體的第一電晶體區域 LVR 及第二電晶體區域 MVR 中，在所述平面通道結構中，通道沿周邊電路基底 210 的頂表面形成。具有凹陷通道結構的第三電晶體 TR3 可形成於包含具有相對高操作電壓的電晶體的第三電晶體區域 HVR 中，在所述凹陷通道結構中，通道沿周邊電路基底 210 中的凹陷溝渠 210R 的表面形成。儘管圖 13 示出其中第一結構 3100 具有與圖 7C 中所繪示的半導體裝置 100 的周邊電路區域 PERI 相同的結構的實例，但本發明概念不限於此。舉例而言，第一結構 3100 可具有與圖 9 中所繪示的半導體裝置 400 的周邊電路區域 PERI 或圖 10 中所繪示的半導體裝置 500 周邊電路區域 PERI 相同的結構。

【0160】 第二結構 3200 可包含共同源極線 3205、共同源極線 3205 上的閘極堆疊 3210、穿透閘極堆疊 3210 的通道結構 3220 以及電

連接至通道結構 3220 的位元線 3240。閘極堆疊 3210 可包含圖 7B 中所繪示的閘極堆疊 GS。如圖 7B 中所繪示，閘極堆疊 GS 可包含多個閘極線 130 及一體地連接至多個閘極線 130 的多個導電襯墊區 112。另外，多個半導體晶片 2200 中的每一者可包含電連接至閘極堆疊 GS 的多個導電襯墊區 112 的多個接觸結構 CTS。

【0161】 多個半導體晶片 2200 中的每一者可包含貫通配線 3245，所述貫通配線 3245 電連接至第一結構 3100 的多個周邊配線 3110 且延伸至第二結構 3200 中。貫通配線 3245 可配置於閘極堆疊 3210 外部。在其他實例實施例中，半導體封裝 2003 可更包含穿透閘極堆疊 3210 的貫通配線。多個半導體晶片 2200 中的每一者可包含電連接至第一結構 3100 的多個周邊配線 3110 的輸入/輸出襯墊（圖 12 的 2210）。

【0162】 圖 14 為示出根據本發明概念的實施例的半導體封裝的示意性橫截面圖。圖 14 示出對應於沿圖 12 的線 II-II'截取的橫截面的組態。

【0163】 參考圖 14，半導體封裝 4003 具有與參考圖 13 所描述的半導體封裝 2003 實質上相同的組態。然而，半導體封裝 4003 包含多個半導體晶片 2200A。多個半導體晶片 2200A 中的每一者可包含半導體基底 4010、在半導體基底 4010 上的第一結構 4100 以及配置於第一結構 4100 上且以晶圓接合方式接合至第一結構 4100 的第二結構 4200。

【0164】 第一結構 4100 可包含包括周邊配線 4110 及多個第一接合結構 4150 的周邊電路區域。第一結構 4100 可包含根據電晶體的操作電壓分類的多個電晶體區域 LVR、MVR 以及 HVR，如參考

圖 7B 及圖 7C 所描述。如參考圖 7C 所描述，各自具有平面通道結構的第一電晶體 TR1 及第二電晶體 TR2 可分別形成於包含具有相對低操作電壓或中間操作電壓的電晶體的第一電晶體區域 LVR 及第二電晶體區域 MVR 中，在所述平面通道結構中，通道沿周邊電路基底 210 的頂表面形成。具有凹陷通道結構的第三電晶體 TR3 可形成於包含具有相對高操作電壓的電晶體的第三電晶體區域 HVR 中，在所述凹陷通道結構中，通道沿周邊電路基底 210 中的凹陷溝渠 210R 的表面形成。儘管圖 14 示出其中第一結構 4100 具有與圖 7C 中所繪示的半導體裝置 100 的周邊電路區域 PERI 相同的結構的實例，但本發明概念不限於此。舉例而言，第一結構 4100 可具有與圖 9 中所繪示的半導體裝置 400 的周邊電路區域 PERI 或圖 10 中所繪示的半導體裝置 500 周邊電路區域 PERI 相同的結構。

【0165】 第二結構 4200 可包含共同源極線 4205、共同源極線 4205 與第一結構 4100 之間的閘極堆疊 4210 以及穿透閘極堆疊 4210 的通道結構 4220。閘極堆疊 4210 可包含圖 7B 中所繪示的閘極堆疊 GS。如圖 7B 中所繪示，閘極堆疊 GS 可包含多個閘極線 130 及一體地連接至多個閘極線 130 的多個導電襯墊區 112。另外，多個半導體晶片 2200A 中的每一者可包含電連接至閘極堆疊 GS 的多個導電襯墊區 112 的多個接觸結構 CTS。

【0166】 另外，多個半導體晶片 2200A 中的每一者可包含電連接至閘極堆疊 4210 的各別閘極線 130（參見圖 7B）的多個第二接合結構 4250。在實例實施例中，多個第二接合結構 4250 可包含圖 7B 中所繪示的多個接合結構 BS。舉例而言，多個第二接合結構

4250 當中的一些第二接合結構 4250 可連接至電連接至通道結構 4220 的位元線 4240。多個第二接合結構 4250 當中的一些其他第二接合結構 4250 可經由接觸結構 CTS 電連接至閘極線 130（參見圖 7B）。

【0167】 可使第一結構 4100 的多個第一接合結構 4150 分別與第二結構 4200 的多個第二接合結構 4250 接觸且接合至所述多個第二接合結構 4250。多個第一接合結構 4150 及多個第二接合結構 4250 的接合部分可包含但不限於金屬，例如銅（Cu）。

【0168】 在實例實施例中，圖 13 中所繪示的多個半導體晶片 2200 之間的連接及圖 14 中所繪示的多個半導體晶片 2200A 之間的連接可藉由接線類型的多個連接結構 2400（參見圖 12）進行。在其他實例實施例中，圖 13 中所繪示的多個半導體晶片 2200 之間的連接及圖 14 中所繪示的多個半導體晶片 2200A 之間的連接可以電氣方式由包含 TSV 的連接結構進行。

【0169】 圖 15 為示出根據本發明概念的另一實施例的半導體封裝的示意性橫截面圖。圖 15 更詳細地示出對應於沿圖 12 的線 I-I' 截取的橫截面的組態。

【0170】 參考圖 15，在半導體封裝 5003 中，半導體晶片 2200b 可例如沿其各別側壁彼此豎直對準。半導體晶片 2200b 中的每一者可包含半導體基底 5010、形成於半導體基底 5010 下方的第一結構 5100 以及配置於第一結構 5100 下方且以晶圓接合方式接合至第一結構 5100 的第二結構 5200。

【0171】 第一結構 5100 可包含包括周邊配線 5110 及第一接合結構 5150 的周邊電路區域。第一結構 5100 可包含根據電晶體的操

作電壓分類的多個電晶體區域 LVR、MVR 以及 HVR，如參考圖 7B 及圖 7C 所描述。如參考圖 7C 所描述，各自具有平面通道結構的第一電晶體 TR1 及第二電晶體 TR2 可分別形成於包含具有相對低操作電壓或中間操作電壓的電晶體的第一電晶體區域 LVR 及第二電晶體區域 MVR 中，在所述平面通道結構中，通道沿周邊電路基底 210 的頂表面形成。具有凹陷通道結構的第三電晶體 TR3 可形成於包含具有相對高操作電壓的電晶體的第三電晶體區域 HVR 中，在所述凹陷通道結構中，通道沿周邊電路基底 210 中的凹陷溝渠 210R 的表面形成。儘管圖 15 示出其中第一結構 5100 具有與圖 7C 中所繪示的半導體裝置 100 的周邊電路區域 PERI 相同的結構的實例，但本發明概念不限於此。舉例而言，第一結構 5100 可具有與圖 9 中所繪示的半導體裝置 400 的周邊電路區域 PERI 或圖 10 中所繪示的半導體裝置 500 周邊電路區域 PERI 相同的結構。

【0172】 第二結構 5200 可包含共同源極線 5205、共同源極線 5205 與第一結構 5100 之間的閘極堆疊結構 5210、皆穿透閘極堆疊結構 5210 的記憶體通道結構 5220 及隔離結構 5230 以及電連接至記憶體通道結構 5220 及閘極堆疊結構 5210 的多個閘極線 130 的第二接合結構 5250（參見圖 7B）。在實例實施例中，多個第二接合結構 5250 可包含圖 7B 中所繪示的多個接合結構 BS。舉例而言，多個第二接合結構 5250 當中的一些第二接合結構 5250 可連接至電連接至通道結構 5220 的位元線 5240。多個第二接合結構 5250 當中的一些其他第二接合結構 5250 可經由接觸結構 CTS 電連接至閘極線 130（參見圖 7B）。

【0173】 可使第一結構 5100 的多個第一接合結構 5150 分別與第

二結構 5200 的多個第二接合結構 5250 接觸且接合至所述多個第二接合結構 5250。多個第一接合結構 5150 及多個第二接合結構 5250 的接合部分可包含但不限於金屬，例如銅（Cu）。

【0174】 在半導體晶片 2200b 當中，除最上部半導體晶片之外的剩餘半導體晶片可各自更包含：半導體基底 5010 上的背面絕緣層 5300；背面絕緣層 5300 上的背面輸入/輸出襯墊 5320；以及貫通電極結構 5310，其穿透半導體基底 5010 及背面絕緣層 5300 且將周邊配線 5110 電連接至背面輸入/輸出襯墊 5320。貫通電極結構 5310 中的每一者可包含貫通電極 5310a 及包圍貫通電極 5310a 的側表面的絕緣間隔件 5310b。半導體封裝 5003 可更包含配置於半導體晶片 2200b 中的每一者下方的連接結構 5400，例如導電凸塊。連接結構 5400 可將半導體晶片 2200b 彼此電連接且可將半導體晶片 2200b 電連接至封裝基底 2100。底膠材料層 5510 可包圍連接結構 5400 的側表面。

【0175】 圖 16A 至圖 16F 為示出根據本發明概念的實施例的製造半導體裝置的方法的過程的橫截面圖。在本實例中，藉由採用製造圖 7A 至圖 7C 中所繪示的半導體裝置 100 的方法作為實例來進行描述。在圖 16A 至圖 16E 中，在過程中的每一者中，記憶體胞元區域 MEC 中所繪示的組態表示對應於沿圖 7A 的線 A1-A1'截取的橫截面的組態，且在過程中的每一者中，連接區域 CON 中所繪示的組態表示對應於沿圖 7A 的線 A2-A2'截取的橫截面的組態。

【0176】 參考圖 16A，胞元絕緣膜 190 可形成於基礎基底 710 上，且胞元基底 102 及導電板 110 可依序形成或以其他方式按所陳述次序設置於胞元絕緣膜 190 上。基礎基底 710 可包含諸如矽基底

的半導體基底。

【0177】 參考圖 16B，在記憶體胞元區域 MEC 及連接區域 CON 中，多個絕緣膜 156 及多個犧牲膜 PL 可逐個交替地堆疊於導電板 110 上。多個犧牲膜 PL 可包含氮化矽、碳化矽或多晶矽。多個犧牲膜 PL 中的每一者可用以確保用於在後續製程中形成閘極堆疊 GS 的空間（參見圖 16D）。

【0178】 參考圖 16C，可各自部分地移除多個絕緣膜 156 及多個犧牲膜 PL，使得多個絕緣膜 156 及多個犧牲膜 PL 在連接區域 CON 中形成階梯狀結構 STP，且接著，可形成絕緣膜 114 以覆蓋連接區域 CON 中的階梯狀結構 STP。可形成絕緣膜 114 以覆蓋襯墊接合區域 PA 中的胞元絕緣膜 190、胞元基底 102 以及導電板 110。

【0179】 多個通道孔 180H 形成以穿過記憶體胞元區域 MEC 中的多個絕緣膜 156 及多個犧牲膜 PL 以在豎直方向（Z 方向）上延伸，且藉由在多個通道孔 180H 中的每一者中形成閘極介電膜 182、通道區 184 以及填充絕緣膜 186 而形成多個通道孔填充結構。

【0180】 中間絕緣膜 187 形成以覆蓋記憶體胞元區域 MEC、連接區域 CON 以及襯墊接合區域 PA 中的多個通道孔填充結構、階梯狀結構 STP 以及絕緣膜 114，藉由在中間絕緣膜 187 中形成多個接觸孔 187H 而暴露多個通道孔填充結構的頂表面，且藉由在多個接觸孔 187H 中形成多個汲極區 188 而形成通道結構 180。中間絕緣膜 187 可形成以具有在整個記憶體胞元區域 MEC、連接區域 CON 以及襯墊接合區域 PA 中平坦化的頂表面。

【0181】 參考圖 16D，多個字元線切割區 WLC（參見圖 7A）形成以穿過圖 16C 的所得結構中的多個絕緣膜 156 及多個犧牲膜 PL

以暴露導電板 110，且接著，經由多個字元線切割區 WLC 用多個閘極線 130 及多個導電襯墊區 112 取代多個犧牲膜 PL。

【0182】 在實例實施例中，為用多個閘極線 130 取代多個犧牲膜 PL（參見圖 16B），可藉由選擇性地移除由多個字元線切割區 WLC（參見圖 7A）暴露的多個犧牲膜 PL（參見圖 16C）來製備多個絕緣膜 156 之間的空白空間，且接著，可藉由在空白空間中填充導電材料而形成多個閘極線 130 及多個導電襯墊區 112。

【0183】 如圖 7A 中所繪示，可藉由在多個字元線切割區 WLC 中的每一者中形成絕緣間隔件 192 及共同源極線 CSL 來形成字元線切割結構 WCS。在其他實例實施例中，多個字元線切割區 WLC 可填充有絕緣材料，且可省略形成共同源極線 CSL 的製程。

【0184】 參考圖 16E，上部絕緣膜 193 形成於圖 16D 的所得結構上，且多個位元線接觸襯墊 194 可形成以穿過記憶體胞元區域 MEC 中的上部絕緣膜 193 且因此連接至多個通道結構 180。絕緣膜 114、中間絕緣膜 187 以及上部絕緣膜 193 可構成絕緣結構。

【0185】 藉由將遮罩圖案（未繪示）用作蝕刻遮罩來非等向性地蝕刻連接區域 CON 及襯墊接合區域 PA 中的絕緣結構，可形成多個接觸孔以暴露連接區域 CON 中的多個導電襯墊區 112 及襯墊接合區域 PA 中的導電板 110。接觸結構 CTS 可形成於連接區域 CON 中的多個接觸孔中的每一者中，且共同源極線接觸插塞 380 可形成於襯墊接合區域 PA 中的多個接觸孔中的每一者中。

【0186】 層間介電質 195 可形成於記憶體胞元區域 MEC、連接區域 CON 以及襯墊接合區域 PA 中，且多個位元線 BL 可形成以穿過記憶體胞元區域 MEC 中的層間介電質 195 的一些區，多個配線

層 ML 可形成以穿過連接區域 CON 中的層間介電質 195 的一些區，且金屬層 360A 可形成以穿過襯墊接合區域 PA 中的層間介電質 195 的一些區以連接至共同源極線接觸插塞 380。

【0187】 可形成多個第一接合金屬襯墊，其可用於形成接合結構 BS（參見圖 7B）。多個第一接合金屬襯墊可包含圖 7B 中所繪示的第一接合金屬襯墊 371A、第一接合金屬襯墊 372A、第一接合金屬襯墊 371B、第一接合金屬襯墊 372B、第一接合金屬襯墊 371C、第一接合金屬襯墊 372C 以及第一接合金屬襯墊 392。在形成第一接合金屬襯墊 371A、第一接合金屬襯墊 372A、第一接合金屬襯墊 371B、第一接合金屬襯墊 372B、第一接合金屬襯墊 371C、第一接合金屬襯墊 372C 以及第一接合金屬襯墊 392 的製程期間，層間介電質 395 可形成於記憶體胞元區域 MEC 及連接區域 CON 中以包圍第一接合金屬襯墊 371B、第一接合金屬襯墊 372B、第一接合金屬襯墊 371C、第一接合金屬襯墊 372C 以及第一接合金屬襯墊 392 中的每一者。絕緣膜可形成於襯墊接合區域 PA 中以包圍第一接合金屬襯墊 371A 及第一接合金屬襯墊 372A 中的每一者。填充襯墊接合區域 PA 中的導電圖案之間的空間的絕緣膜可保持作為層間介電質 315。保留於圖 16E 中的基礎基底 710 上的所得結構可構成胞元區域 CELL。

【0188】 參考圖 16F，可形成圖 7B 中所繪示的周邊電路區域 PERI。周邊電路區域 PERI 可包含多個第二接合金屬襯墊。多個第二接合金屬襯墊可包含圖 7B 中所繪示的第二接合金屬襯墊 271A、第二接合金屬襯墊 272A、第二接合金屬襯墊 273A、第二接合金屬襯墊 271B、第二接合金屬襯墊 272B、第二接合金屬襯墊

271C、第二接合金屬襯墊 272C 以及第二接合金屬襯墊 252。

【0189】 包含胞元區域 CELL 的結構（其為圖 16E 的所得結構）堆疊於或以其他方式配置於周邊電路區域 PERI 上以在豎直方向（Z 方向）上與周邊電路區域 PERI 交疊，且胞元區域 CELL 中的多個第一接合金屬襯墊可接合至周邊電路區域 PERI 中的多個第二接合金屬襯墊。

【0190】 在實例實施例中，胞元區域 CELL 中的多個第一接合金屬襯墊可藉由在箭頭 730 的方向上對包含胞元區域 CELL 的結構加壓來直接接合至周邊電路區域 PERI 中的多個第二接合金屬襯墊而無需單獨黏著層。舉例而言，原子級別接合可藉由以下操作形成：在多個第一接合金屬襯墊面向多個第二接合金屬襯墊時，在朝向彼此的方向上對多個第一接合金屬襯墊及多個第二接合金屬襯墊加壓，由此形成接合結構 BS（參見圖 7B）。在實例實施例中，在將多個第一接合金屬襯墊接合至多個第二接合金屬襯墊之前，為了改良其間的接合強度，可進一步執行以下製程：對胞元區域 CELL 的表面（其處暴露多個第一接合金屬襯墊）及周邊電路區域 PERI 的表面（其處暴露多個第二接合金屬襯墊）執行諸如氫電漿處理的表面處理。

【0191】 可藉由自胞元區域 CELL 移除基礎基底 710 來暴露胞元絕緣膜 190。在實例實施例中，為移除基礎基底 710，可使用研磨製程、濕式蝕刻製程或其組合。

【0192】 暴露多個第一接合金屬襯墊中的一些的接觸孔可藉由部分地移除胞元區域 CELL 的襯墊接合區域 PA 中的胞元絕緣膜 190 及層間介電質 315 中的每一者而形成，各別輸入/輸出接觸插塞 303

（參見圖 7B）可形成於接觸孔中的每一者中，且各別輸入/輸出襯墊 305（參見圖 7B）可形成於胞元絕緣膜 190 上，由此製造參考圖 7A 至圖 7C 所描述的半導體裝置 100。

【0193】 儘管已參考圖 16A 至圖 16F 描述了製造圖 7A 至圖 7C 中繪示的半導體裝置 100 的方法，但本領域中具有通常知識者應理解，可藉由在不脫離本發明概念的精神及範疇的情況下對其進行各種修改及改變來製造圖 9 中所繪示的半導體裝置 400 或圖 10 中所繪示的半導體裝置 500。

【0194】 圖 17 為示出根據本發明概念的其他實施例的製造半導體裝置的方法的圖。

【0195】 參考圖 17，包含參考圖 7B 所描述的胞元區域 CELL 的第一結構可形成於第一晶圓 WF1 上。包含參考圖 7B、圖 9 或圖 10 所描述的周邊電路區域 PERI 的第二結構可形成於第二晶圓 WF2 上。

【0196】 第一晶圓 WF1 可接合至第二晶圓 WF2，且第一晶圓 WF1 及第二晶圓 WF2 可在彼此接合時切割，由此形成多個晶片 800。

【0197】 多個晶片 800 中的每一者可包含經堆疊以彼此交疊的第一半導體晶粒 SD1 及第二半導體晶粒 SD2。多個晶片 800 可各自包含參考圖 7A 至圖 10 所描述的半導體裝置 100、半導體裝置 400 以及半導體裝置 500 中的至少一者。自第一晶圓 WF1 獲得的第一半導體晶粒 SD1 可包含參考圖 7B 所描述的胞元區域 CELL。自第二晶圓 WF2 獲得的第二半導體晶粒 SD2 可包含參考圖 7B、圖 7C、圖 9 或圖 10 所描述的周邊電路區域 PERI。

【0198】 圖 18 為示出根據本發明概念的又其他實施例的製造半導

體裝置的方法的圖。

【0199】 參考圖 18，可形成半導體晶粒 DA，其包含包括參考圖 7B 所描述的胞元區域 CELL 的第一結構。包含參考圖 7B、圖 7C、圖 9 或圖 10 所描述的周邊電路區域 PERI 的第二結構可形成於晶圓 WF 上。可藉由在箭頭 930 的方向上對半導體晶粒 DA 加壓而將半導體晶粒 DA 接合至晶圓 WF 上的一些區。參考圖 7B、圖 7C、圖 9 或圖 10 所描述的周邊電路區域 PERI 可配置於晶圓 WF 的與半導體晶粒 DA 交疊的區中。

【0200】 圖 19 為示出根據本發明概念的又其他實施例的製造半導體裝置的方法的圖。

【0201】 參考圖 19，可形成第一半導體晶粒 DA1，其包含包括參考圖 7B 所描述的胞元區域 CELL 的第一結構。可形成第二半導體晶粒 DA2，其包含包括參考圖 7B、圖 7C、圖 9 或圖 10 所描述的周邊電路區域 PERI 的第二結構。可藉由在箭頭 940 的方向上對第一半導體晶粒 DA1 加壓而將第一半導體晶粒 DA1 接合至第二半導體晶粒 DA2。

【0202】 雖然已參考本發明概念的實施例特定展示及描述本發明概念，但將理解，在不脫離以下申請專利範圍的精神及範疇的情況下，可對其形式及細節作出各種改變。

【符號說明】

【0203】

10、100、400、500、1100:半導體裝置

20:記憶體胞元陣列

24:影像塊

25、2400、5400:連接結構

30:周邊電路

32:列解碼器

34:頁緩衝器

36:資料輸入/輸出電路

38:控制邏輯

39:共同源極線驅動器

62:字串選擇線驅動器

64:字元線驅動器

66:接地選擇線驅動器

68:區塊選擇器

102:胞元基底

102M:主表面

110:導電板

112:導電襯墊區

114、156、174:絕緣膜

115:絕緣插塞

116:接觸插塞

130:閘極線

180、3220、4220:通道結構

180H:通道孔

182、182A、182B、182C、531、541:閘極介電膜

184:通道區

186:填充絕緣膜

187:中間絕緣膜

187H:接觸孔

188:汲極區

190:胞元絕緣膜

192、209、534、544、5310b:絕緣間隔件

193:上部絕緣膜

194:位元線接觸襯墊

195、215、315、395:層間介電質

202、402、502:裝置隔離膜

205、305、1101、2210:輸入/輸出襯墊

207、303:輸入/輸出接觸插塞

210:周邊電路基底

210R:凹陷溝渠

211:第一閘極介電膜

212:第一閘極電極

213:第一絕緣罩蓋層

214:第一絕緣間隔件

216:第一源極/汲極區

220A、220B、220C:電晶體

221:第二閘極介電膜

222:第二閘極電極

223:第二絕緣罩蓋層

224:第二絕緣間隔件

226:第二源極/汲極區

230A、230B、230C:第一金屬層

231:第三閘極介電膜

232:第三閘極電極

233:第三絕緣罩蓋層

234:第三絕緣間隔件

236:第三源極/汲極區

236A:第一雜質區

236B:第二雜質區

240A、240B、240C:第二金屬層

251、252、271A、271B、271C、272A、272B、272C、273A:第二接合金屬襯墊

290:周邊電路絕緣膜

360A:金屬層

371A、371B、371C、372A、372B、372C、392:第一接合金屬襯墊

380:共同源極線接觸插塞

510R1:第一凹陷溝渠

510R2:第二凹陷溝渠

532、542:閘極電極

533、543:絕緣罩蓋層

536、538:源極/汲極區

536A、538A:第一雜質區

536B、538B:第二雜質區

710:基礎基底

730、930、940:箭頭

800:晶片

1000、2000:電子系統

1100F、3100、4100、5100:第一結構

1100S、3200、4200、5200:第二結構

1110:解碼器電路

1115:第一連接配線

1120:頁緩衝器

1125:第二連接配線

1130:邏輯電路

1135:輸入/輸出連接配線

1200、2002:控制器

1210:處理器

1220:NAND 控制器

1221:NAND 介面

1230:主機介面

2001:主基底

2003、4003、5003:半導體封裝

2003a:第一半導體封裝

2003b:第二半導體封裝

2004:DRAM

2005:配線圖案

2006:連接器

2100:封裝基底

2120:封裝基底主體

2125:下部襯墊

2130:封裝上部襯墊

2135:內部配線

2200、2200A、2200b:半導體晶片

2300:黏接層

2500:模製層

2800:導電連接單元

3010、4010、5010:半導體基底

3110、4110、5110:周邊配線

3210、4210、GS:閘極堆疊

3240、4240、5240、BL、BL1、BL2、BLm:位元線

3245:貫通配線

4150、5150:第一接合結構

4250、5250:第二接合結構

5210:閘極堆疊結構

5220:記憶體通道結構

5230:隔離結構

5300:背面絕緣層

5310:貫通電極結構

5310a:貫通電極

5320:背面輸入/輸出襯墊

A1-A1'、A2-A2'、I-I'、II-II':線

ADDR:位址

BD:阻擋介電膜

BD1:第一阻擋介電膜

BD2:第二阻擋介電膜

BLK、BLK1、BLK2、BLKn:記憶體胞元區塊

BS:接合結構

BX:區

CAS:胞元陣列結構

CELL:胞元區域

CH3:通道區

CMD:命令

CON:連接區域

CS:電荷儲存膜

CSL、3205、4205、5205:共同源極線

CSTR、MS:記憶體胞元串

CT:電路

CTRL、CTRL_BIAS、PCTL:控制信號

CTS:接觸結構

DA:半導體晶粒

DA1、SD1:第一半導體晶粒

DA2、SD2:第二半導體晶粒

DATA:資料

DH1、DH51、DH52:豎直方向長度

DL:資料線

DW:深井

G1:第一部分

G2:第二部分

GSL:接地選擇線

HVR:第三電晶體區域

HVR1:第一高電壓電晶體區域

HVR2:第二高電壓電晶體區域

LL1:第一下部閘極線

LL2:第二下部閘極線

LT1、LT2:下部電晶體

LV1、LV2:最下部表面豎直高度

LV51、LV52:最下部表面高度

LVR:第一電晶體區域

MC1、MC2、MCn-1、MCn、MCT:記憶體胞元電晶體

MCA:記憶體胞元陣列

MEC:記憶體胞元區域

ML:配線層

MST:記憶體堆疊

MVR:第二電晶體區域

PA:襯墊接合區域

PAC:周邊主動區

PAC1:第一周邊主動區

PAC2:第二周邊主動區

PCS:周邊電路結構

PEC:周邊電路

PERI:周邊電路區域

PL:犧牲膜

PW:袋形井

SSL:字串選擇線

SSLC:字串選擇線切割區

STC:階梯狀連接單元

STP:階梯狀結構

TD:穿隧介電膜

TR_P:傳輸電晶體

TR1:第一電晶體

TR2:第二電晶體

TR3:第三電晶體

TR4:第四電晶體

TR51:第一高電壓電晶體

TR52:第二高電壓電晶體

UL1:第一上部閘極線

UL2:第二上部閘極線

UT1、UT2:上部電晶體

W1:第一寬度

W2:第二寬度

WCS:字元線切割結構

WELL1、WELL2、WELL3、W51、W52:井

WF:晶圓

WF1:第一晶圓

WF2:第二晶圓

WL、WL1、WL2、WLn-1、WLn:字元線

WLC:字元線切割區

X、Y、Z:方向

【發明申請專利範圍】

【請求項1】 一種半導體裝置，包括：

胞元區域，包括胞元基底、記憶體胞元陣列以及在所述記憶體胞元陣列上的第一接合金屬襯墊，所述記憶體胞元陣列包括在豎直方向上堆疊於所述胞元基底上的多個字元線及在所述多個字元線上的多個位元線；以及

周邊電路區域，具有在所述豎直方向上堆疊於其上的所述胞元區域，所述周邊電路區域包括周邊電路基底、在所述周邊電路基底上的多個電路以及接合至所述第一接合金屬襯墊的第二接合金屬襯墊，

其中所述多個電路包括：

多個平面通道電晶體，分別經組態以沿所述周邊電路基底的頂表面形成通道；以及

至少一個凹陷通道電晶體，經組態以沿所述周邊電路基底的凹陷溝渠的表面形成通道，且

其中所述多個平面通道電晶體的各別操作電壓小於 10 伏，且所述至少一個凹陷通道電晶體的操作電壓為 10 伏或大於 10 伏。

【請求項2】 如請求項 1 所述的半導體裝置，其中：

所述周邊電路區域包括包含所述多個平面通道電晶體的低電壓電晶體區域以及橫向地鄰近所述低電壓電晶體區域且包含所述至少一個凹陷通道電晶體的高電壓電晶體區域；以及

所述至少一個凹陷通道電晶體包括在所述凹陷溝渠的內壁上的閘極介電膜以及閘極電極，所述閘極電極包括在所述凹陷溝渠中的所述閘極介電膜上的填充電極部分，以及一體地連接至所述

填充電極部分且自所述周邊電路基底的所述頂表面突出的突出電極部分。

【請求項3】 如請求項 1 所述的半導體裝置，其中：

所述周邊電路區域更包括在其中具有所述凹陷溝渠的所述周邊電路基底中的井；

所述至少一個凹陷通道電晶體包括：在所述凹陷溝渠的內壁上的閘極介電膜，在所述凹陷溝渠中的所述閘極介電膜上的閘極電極，在所述閘極電極的相對側上在所述井中的源極/汲極區，以及所述井中的鄰近於所述凹陷溝渠的底部的通道區；以及

所述閘極介電膜包括在所述源極/汲極區中的一者與所述閘極電極之間的第一部分及鄰近於所述通道區的第二部分，其中所述第一部分的厚度大於所述第二部分的厚度。

【請求項4】 如請求項 1 所述的半導體裝置，其中：

所述周邊電路區域更包括在其中具有所述凹陷溝渠的所述周邊電路基底中的第一導電類型的袋形井，及在所述袋形井下方的第二導電類型的深井；

所述至少一個凹陷通道電晶體包括：在所述凹陷溝渠的內壁上的閘極介電膜，在所述凹陷溝渠中的所述閘極介電膜上的閘極電極，在所述袋形井中的源極/汲極區，以及所述袋形井中的鄰近於所述凹陷溝渠的底部的通道區；以及

所述閘極介電膜包括在所述源極/汲極區與所述閘極電極之間的第一部分及鄰近於所述通道區的第二部分，其中所述第一部分的厚度大於所述第二部分的厚度。

【請求項5】 如請求項 1 所述的半導體裝置，其中：

所述周邊電路區域包括包含所述多個平面通道電晶體的低電壓電晶體區域以及橫向地鄰近所述低電壓電晶體區域且包含所述至少一個凹陷通道電晶體的高電壓電晶體區域；以及

所述至少一個凹陷通道電晶體包括所述高電壓電晶體區域中的第一凹陷通道電晶體及第二凹陷通道電晶體，所述第一凹陷通道電晶體包括在所述豎直方向上延伸至第一深度的第一閘極電極，且所述第二凹陷通道電晶體包括在所述豎直方向上延伸至大於所述第一深度的第二深度的第二閘極電極。

【請求項6】 如請求項 1 所述的半導體裝置，其中：

所述周邊電路區域包括包含所述多個平面通道電晶體的低電壓電晶體區域以及橫向地鄰近所述低電壓電晶體區域且包含所述至少一個凹陷通道電晶體的高電壓電晶體區域；

所述至少一個凹陷通道電晶體包括所述高電壓電晶體區域中的第一凹陷通道電晶體及第二凹陷通道電晶體，所述第一凹陷通道電晶體包括包含第一雜質區及第二雜質區的第一源極/汲極區，所述第一雜質區具有第一摻雜劑濃度，且所述第二雜質區具有大於所述第一摻雜劑濃度的第二摻雜劑濃度，所述第二凹陷通道電晶體包括包含第三雜質區及第四雜質區的第二源極/汲極區，所述第三雜質區具有第三摻雜劑濃度，且所述第四雜質區具有大於所述第三摻雜劑濃度的第四摻雜劑濃度；以及

在所述豎直方向上，所述第二凹陷通道電晶體的所述第三雜質區的深度大於所述第一凹陷通道電晶體的所述第一雜質區的深度。

【請求項7】 如請求項 1 所述的半導體裝置，其中：

所述多個平面通道電晶體包括第一平面通道電晶體及第二平面通道電晶體；

所述第一平面通道電晶體包括在第一水平方向上具有第一寬度的第一閘極電極；以及

所述第二平面通道電晶體包括在所述第一水平方向上具有大於所述第一寬度的第二寬度的第二閘極電極。

【請求項8】 如請求項 1 所述的半導體裝置，其中所述周邊電路區域包括：

第一電晶體區域，包含所述多個平面通道電晶體當中的第一平面通道電晶體，所述第一平面通道電晶體具有第一操作電壓；

第二電晶體區域，包含所述多個平面通道電晶體當中的第二平面通道電晶體，所述第二平面通道電晶體具有大於所述第一操作電壓的第二操作電壓；以及

第三電晶體區域，包含所述至少一個凹陷通道電晶體，所述至少一個凹陷通道電晶體具有大於所述第二操作電壓的第三操作電壓，

其中所述第一操作電壓為 0.5 伏至 1.2 伏，所述第二操作電壓大於 1.2 伏且小於 10 伏，且所述第三操作電壓為 10 伏或大於 10 伏。

【請求項9】 一種半導體裝置，包括：

胞元區域，包括記憶體胞元陣列；以及

周邊電路區域，具有在豎直方向上堆疊於其上的所述胞元區域，所述周邊電路區域包括周邊電路基底及在所述周邊電路基底上且電連接至所述記憶體胞元陣列的多個電路，

其中所述多個電路包括：

多個平面通道電晶體，分別經組態以沿所述周邊電路基底的頂表面形成通道；以及

至少一個凹陷通道電晶體，經組態以沿所述周邊電路基底的凹陷溝渠的表面形成通道，且

其中所述多個平面通道電晶體的各別操作電壓小於 10 伏，且所述至少一個凹陷通道電晶體的操作電壓為 10 伏或大於 10 伏。

【請求項10】如請求項 9 所述的半導體裝置，其中所述周邊電路區域包括：

第一電晶體區域，包含所述多個平面通道電晶體當中的第一平面通道電晶體，所述第一平面通道電晶體具有第一操作電壓；

第二電晶體區域，包含所述多個平面通道電晶體當中的第二平面通道電晶體，所述第二平面通道電晶體具有大於所述第一操作電壓的第二操作電壓；以及

第三電晶體區域，包含所述至少一個凹陷通道電晶體，所述至少一個凹陷通道電晶體具有大於所述第二操作電壓的第三操作電壓。

【請求項11】如請求項 9 所述的半導體裝置，其中所述胞元區域包括：襯墊接合區域，其包含一或多個輸入/輸出襯墊，及記憶體胞元區域，其包含所述記憶體胞元陣列且橫向鄰近於所述襯墊接合區域而配置，以及

其中所述襯墊接合區域堆疊於所述多個平面通道電晶體上，且所述記憶體胞元區域堆疊於所述至少一個凹陷通道電晶體上。

【請求項12】如請求項 9 所述的半導體裝置，其中：

所述周邊電路區域更包括在其中具有所述凹陷溝渠的所述周邊電路基底中的井；

所述至少一個凹陷通道電晶體包括：在所述凹陷溝渠的內壁上的閘極介電膜，在所述凹陷溝渠中的所述閘極介電膜上的閘極電極，在所述閘極電極的相對側上在所述井中的雜質區，以及所述井中的鄰近於所述凹陷溝渠的底部的通道區；以及

所述閘極介電膜包括在所述雜質區中的一者與所述閘極電極之間的第一部分及鄰近於所述通道區的第二部分，其中所述第一部分的厚度大於所述第二部分的厚度。

【請求項13】如請求項 9 所述的半導體裝置，其中：

所述周邊電路區域更包括在其中具有所述凹陷溝渠的所述周邊電路基底中的第一導電類型的袋形井，及在所述袋形井下方的第二導電類型的深井；

所述至少一個凹陷通道電晶體包括：在所述凹陷溝渠的內壁上的閘極介電膜，在所述凹陷溝渠中的所述閘極介電膜上的閘極電極，在所述袋形井中的雜質區，以及所述袋形井中的鄰近於所述凹陷溝渠的底部的通道區；以及

所述閘極介電膜包括在所述雜質區中的一者與所述閘極電極之間的第一部分及鄰近於所述通道區的第二部分，其中所述第一部分的厚度大於所述第二部分的厚度。

【請求項14】一種電子系統，包括：

主基底；

半導體裝置，位於所述主基底上；以及

控制器，位於所述主基底上且電連接至所述半導體裝置，

其中所述半導體裝置包括：

胞元區域，包括記憶體胞元陣列；以及

周邊電路區域，具有在豎直方向上堆疊於其上的所述胞元區域，所述周邊電路區域包括周邊電路基底及在所述周邊電路基底上且電連接至所述記憶體胞元陣列的多個電路，

其中所述多個電路包括：

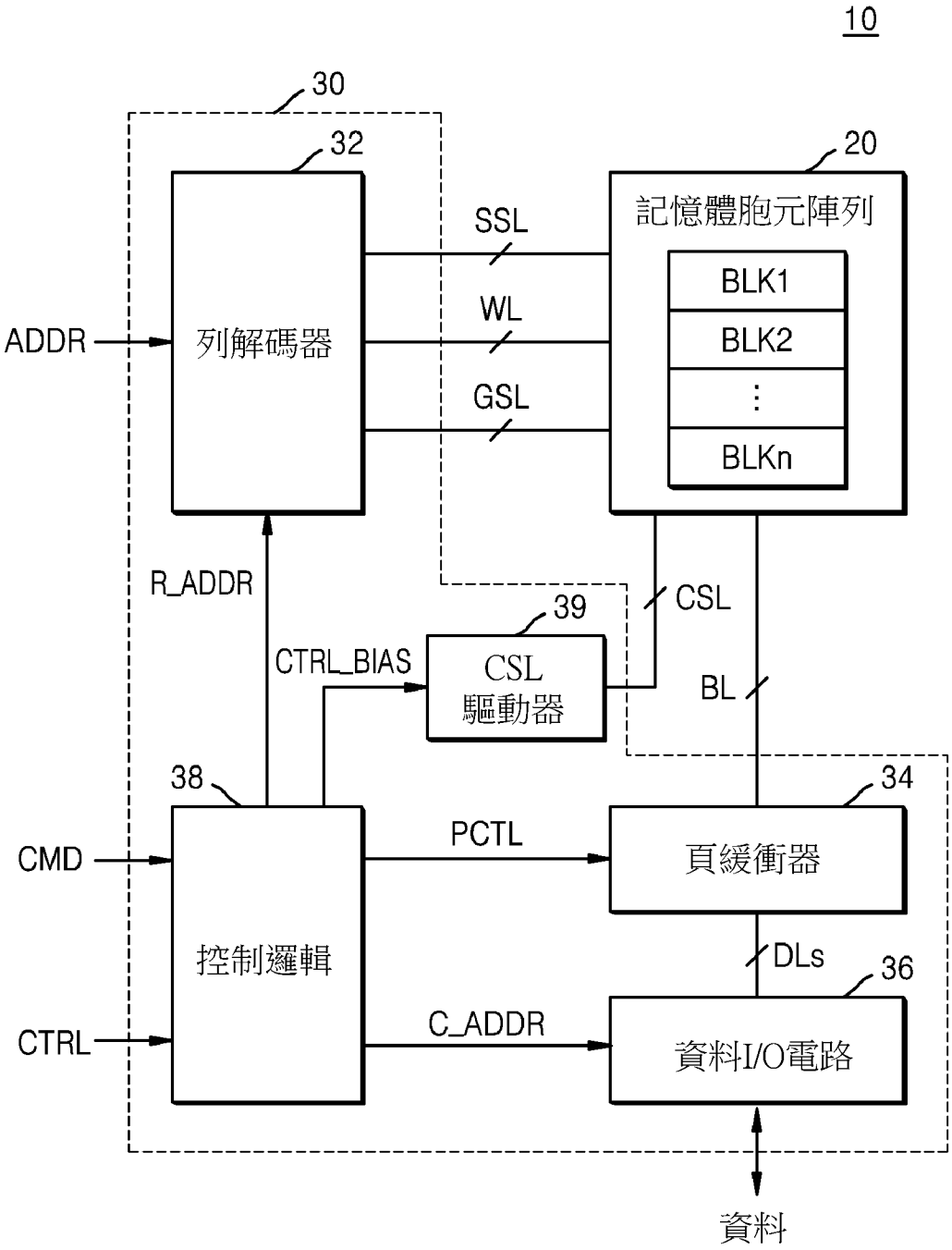
多個平面通道電晶體，分別經組態以沿所述周邊電路基底的頂表面形成通道；以及

至少一個凹陷通道電晶體，經組態以沿所述周邊電路基底的凹陷溝渠的表面形成通道，且

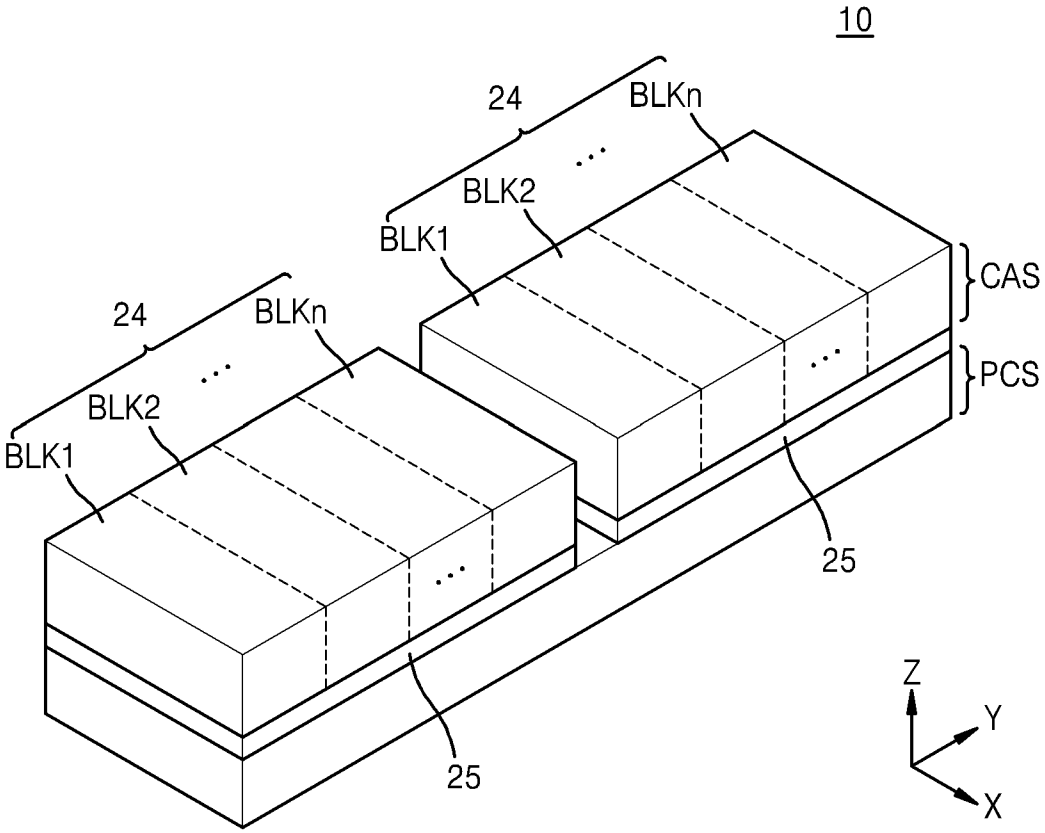
其中所述多個平面通道電晶體的各別操作電壓小於 10 伏，且所述至少一個凹陷通道電晶體的操作電壓為 10 伏或大於 10 伏。

【請求項15】如請求項 14 所述的電子系統，其中所述主基底更包括將所述半導體裝置電連接至所述控制器的配線圖案。

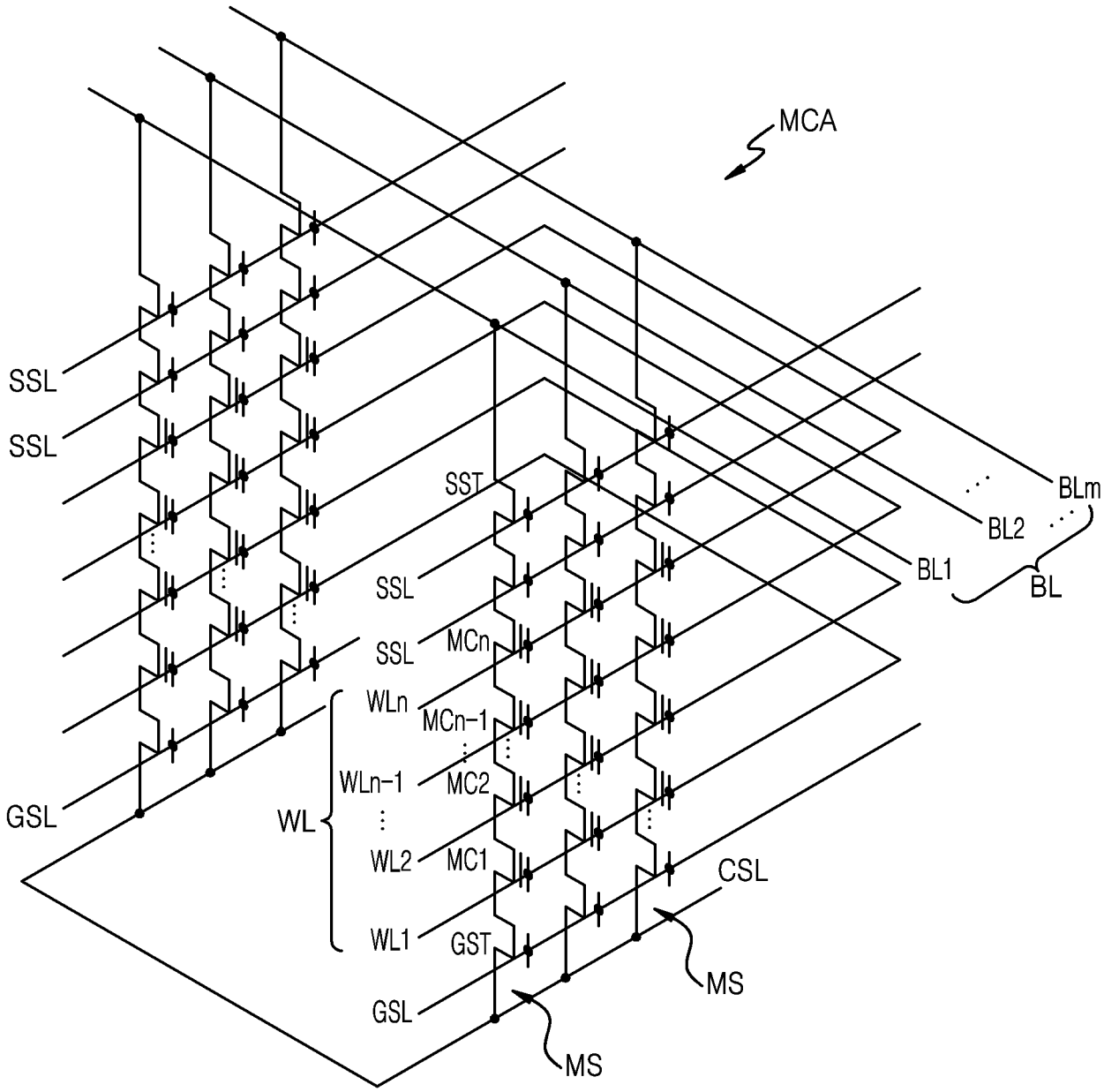
【發明圖式】


10
30
32
20
記憶體胞元陣列
SSL
WL
GSL
ADDR
列解碼器
BLK1
BLK2
BLKn
R_ADDR
CSL
39
CTRL_BIAS
CSL
驅動器
BL
38
34
CMD
PCTL
頁緩衝器
DLs
36
控制邏輯
CTRL
C_ADDR
資料I/O電路
資料

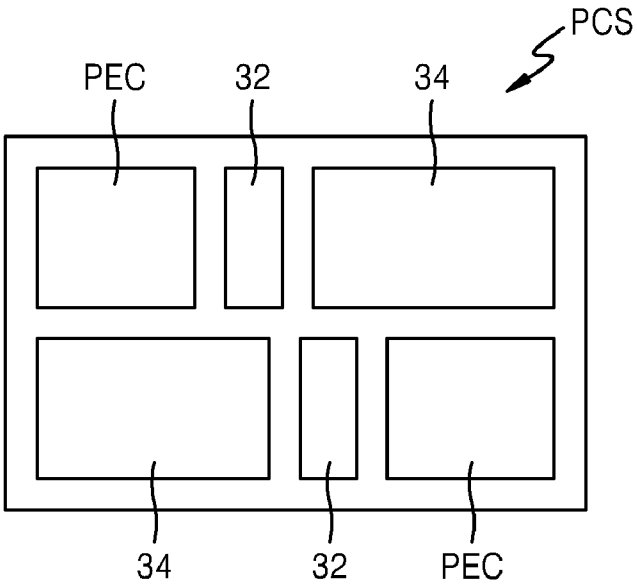
【圖1】



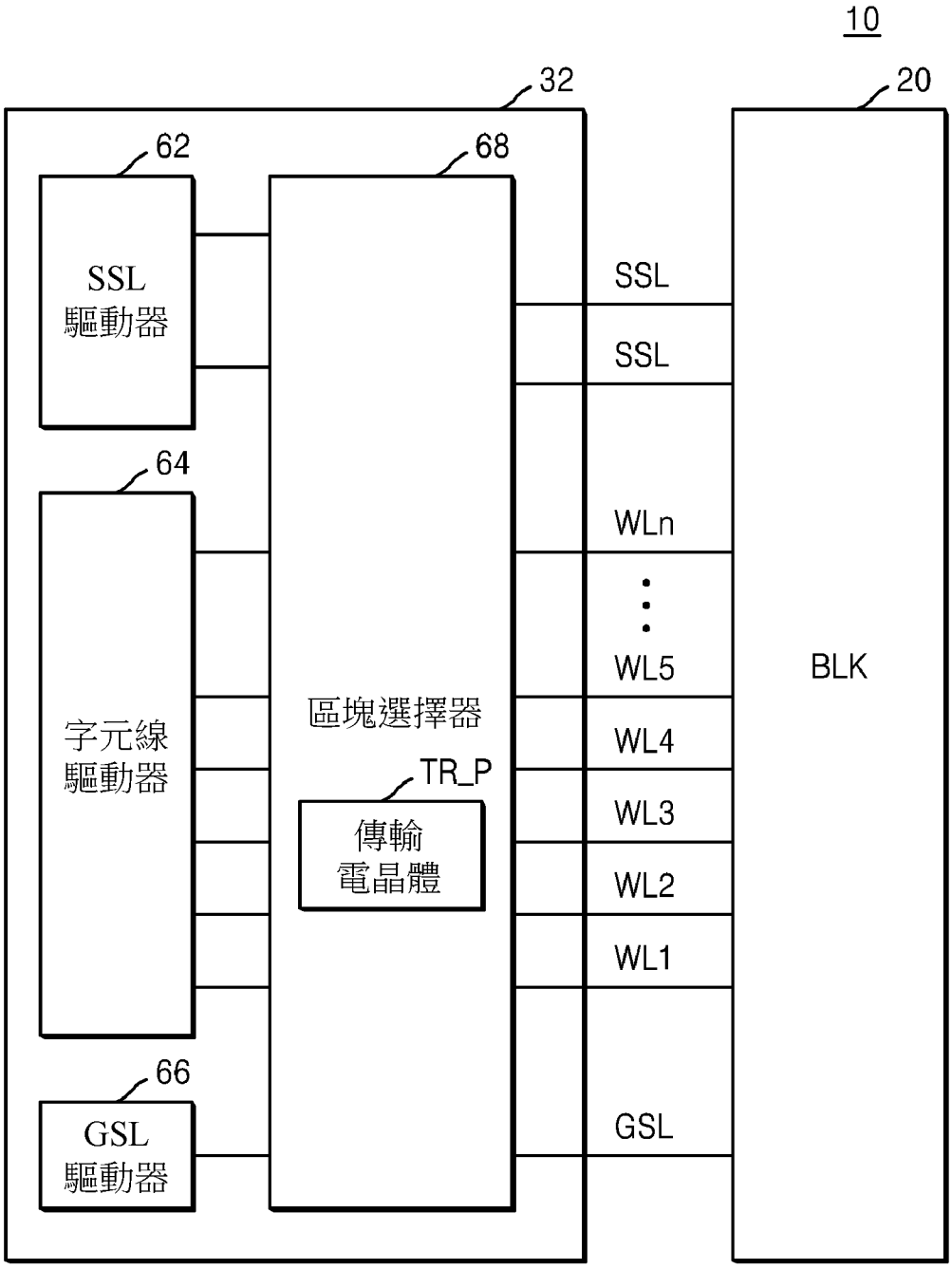
【圖2】


MCA
SSL
SSL
GSL
SST
SSL
SSL
WLn
WLn-1
WL
WL2
WL1
GSL
MCn
MCn-1
MC2
MC1
GST
MS
MS
CSL
BL1
BL2
BLm
BL

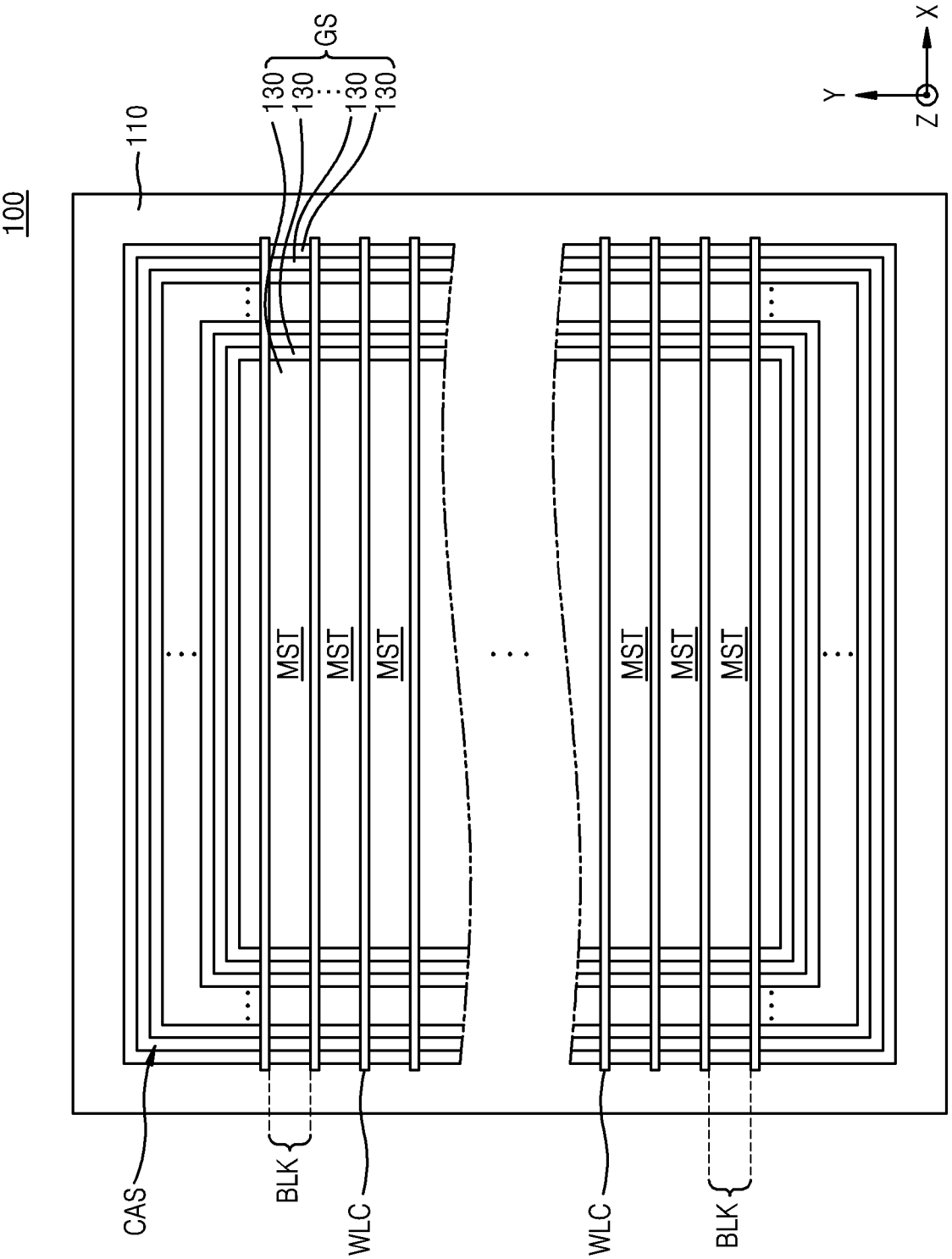
【圖3】



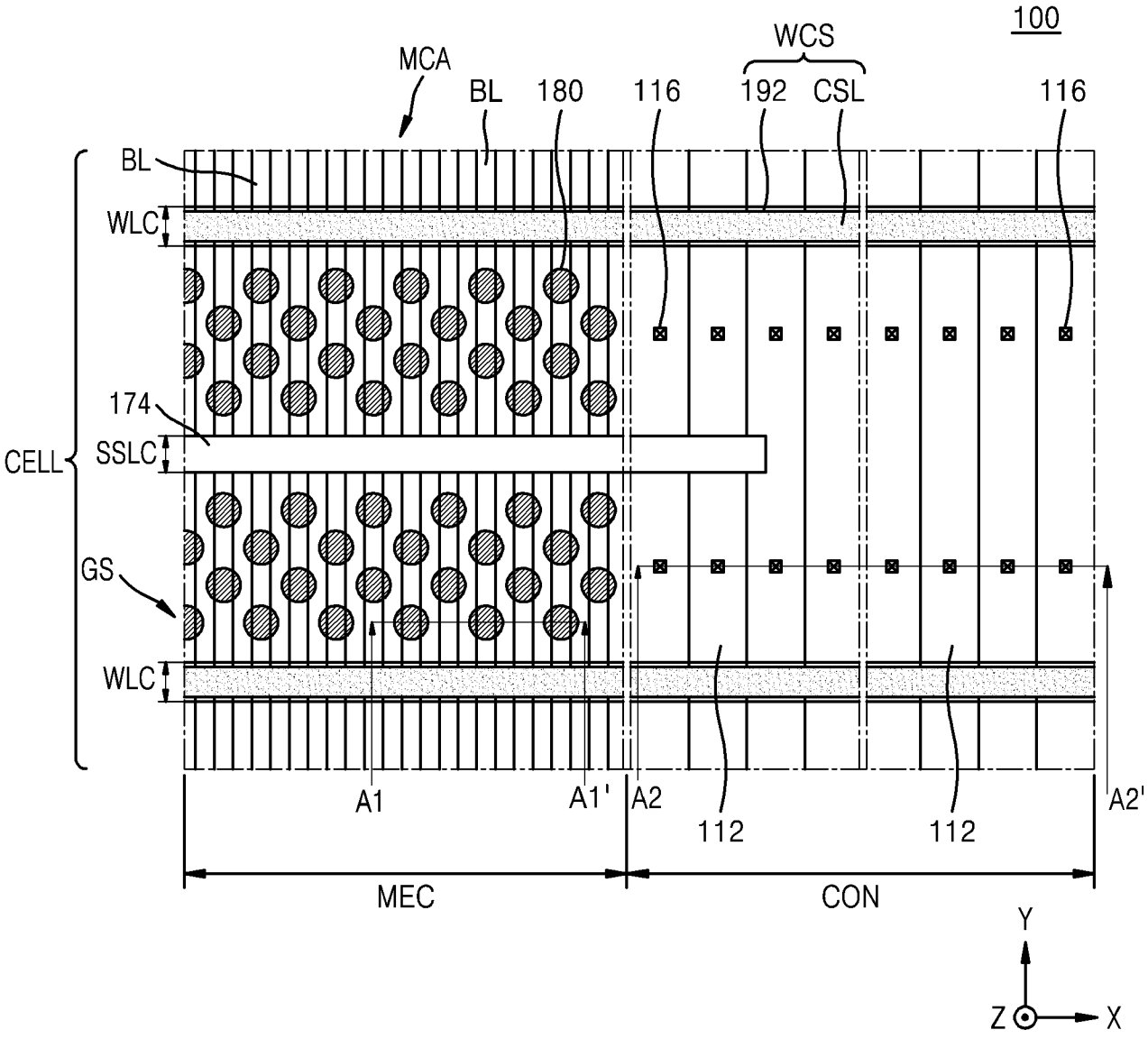
【圖4】


10
32
20
62
68
SSL
驅動器
SSL
SSL
64
WLn
字元線
驅動器
區塊選擇器
WL5
BLK
TR_P
傳輸
電晶體
WL4
WL3
WL2
WL1
66
GSL
驅動器
GSL

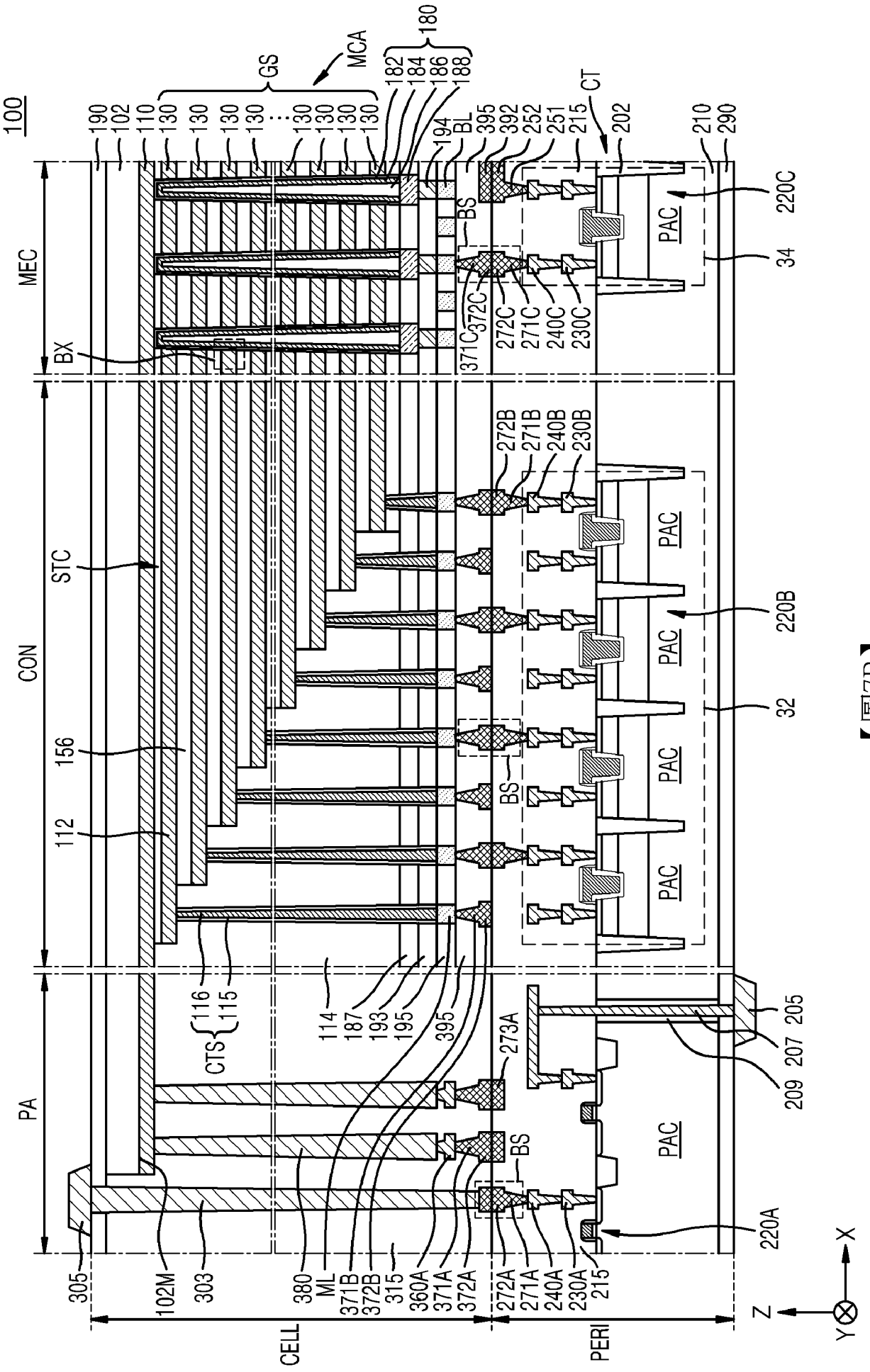
【圖5】


100
110
130
130
130
130
GS
X
Y
Z
MST
MST
MST
MST
MST
MST
CAS
BLK
WLC
WLC
BLK

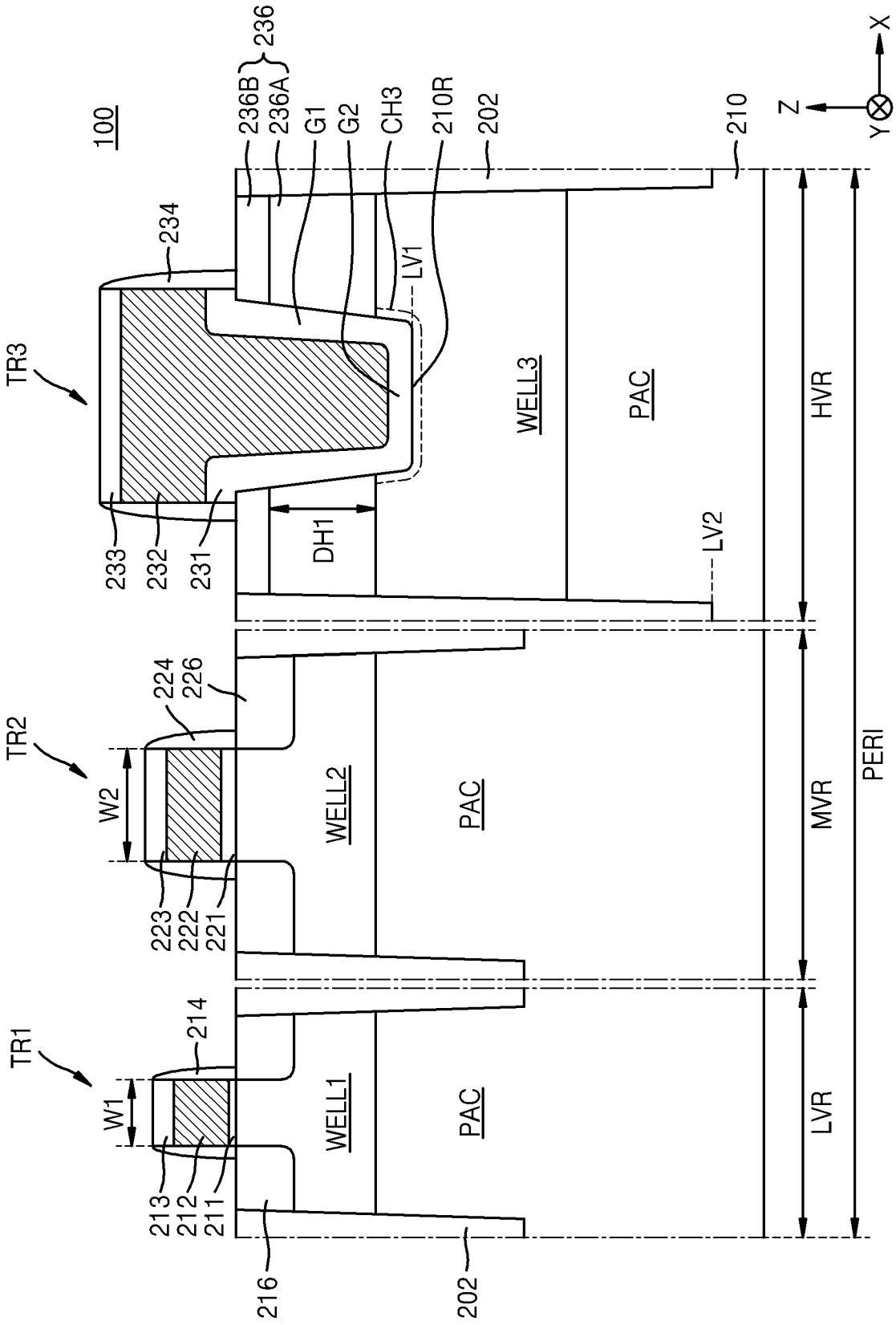
【圖6】


100
WCS
MCA
BL
180
116
192
CSL
116
BL
WLC
174
CELL
SSLC
GS
WLC
A1
A1'
A2
112
112
A2'
MEC
CON
Y
Z
X

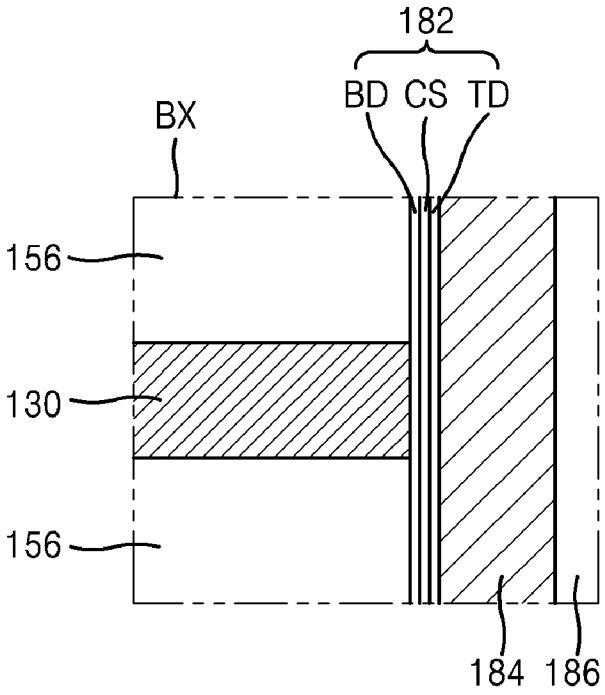
【圖7A】


100
MEC
CON
PA
CELL
PERI
STC
BX
GS
MCA
180
182
184
186
188
190
102
110
130
156
112
116
115
CTS
114
187
193
195
395
273A
380
ML
371B
372B
315
360A
371A
372A
272A
271A
240A
230A
215
305
102M
303
BS
194
BL
395
392
252
251
215
CT
202
210
290
220C
34
372C
371C
272C
271C
240C
230C
272B
271B
240B
230B
220B
32
PAC
205
207
209
220A
X
Y
Z

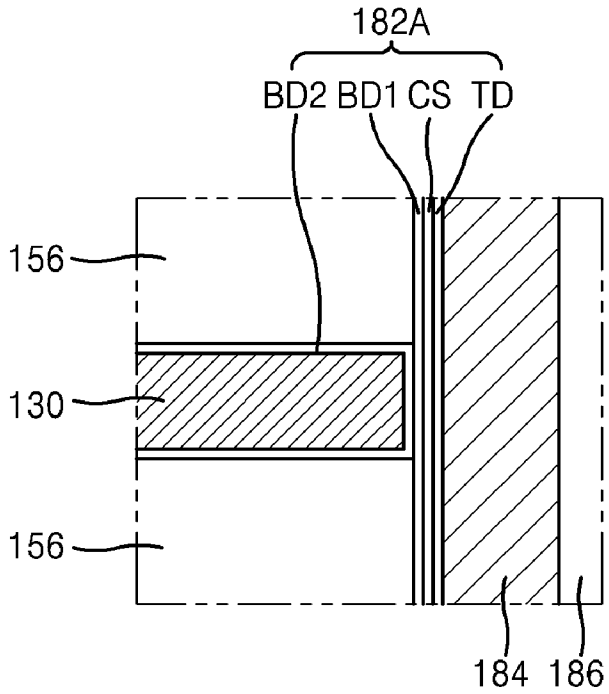
【圖7B】


100
TR3
TR2
TR1
234
233
232
231
236
236B
236A
G1
G2
CH3
LV1
210R
202
210
DH1
LV2
WELL3
PAC
HVR
224
226
W2
223
222
221
WELL2
PAC
MVR
214
W1
213
212
211
WELL1
PAC
LVR
216
202
PERI
Z
X
Y

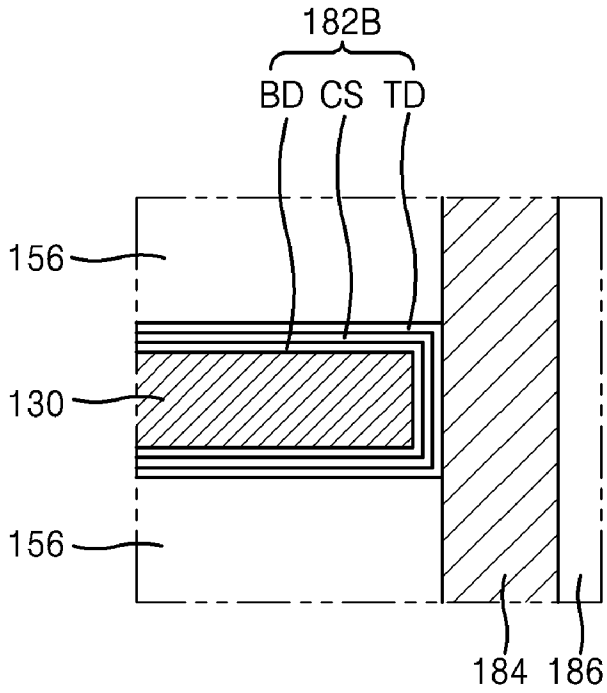
【圖7C】



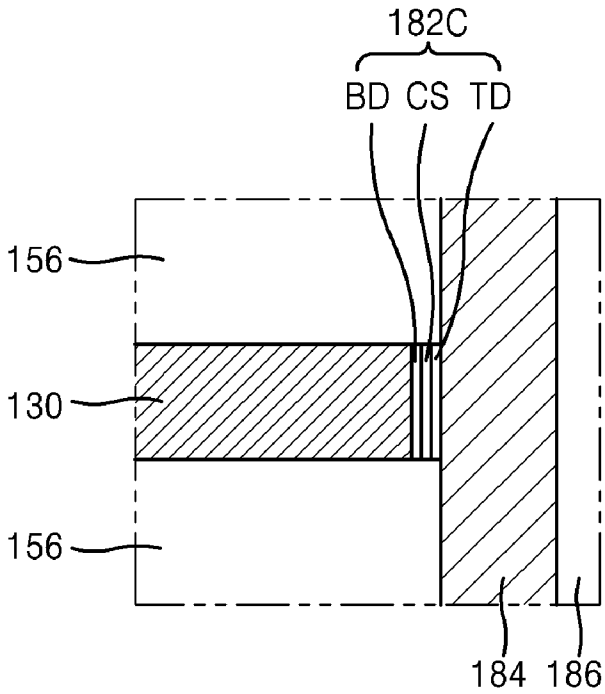
【圖8A】



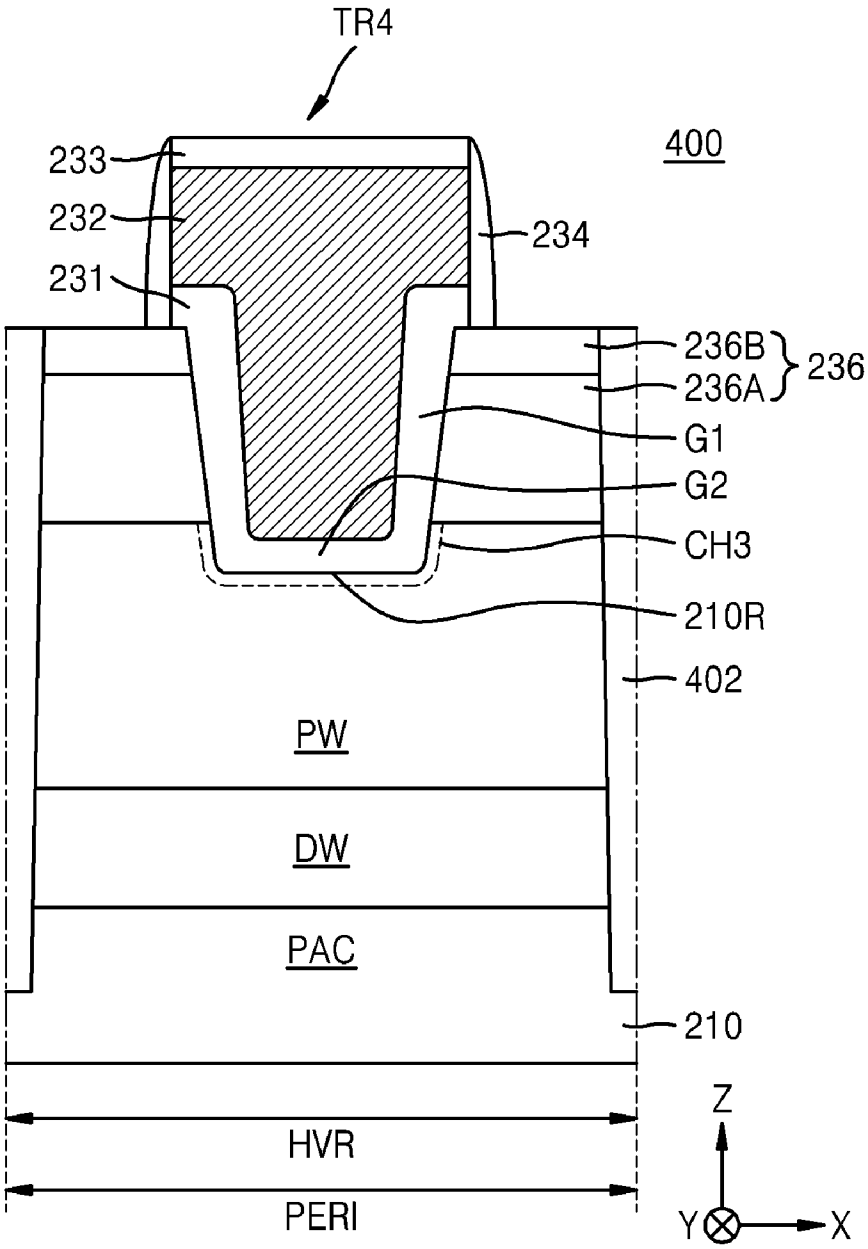
【圖8B】



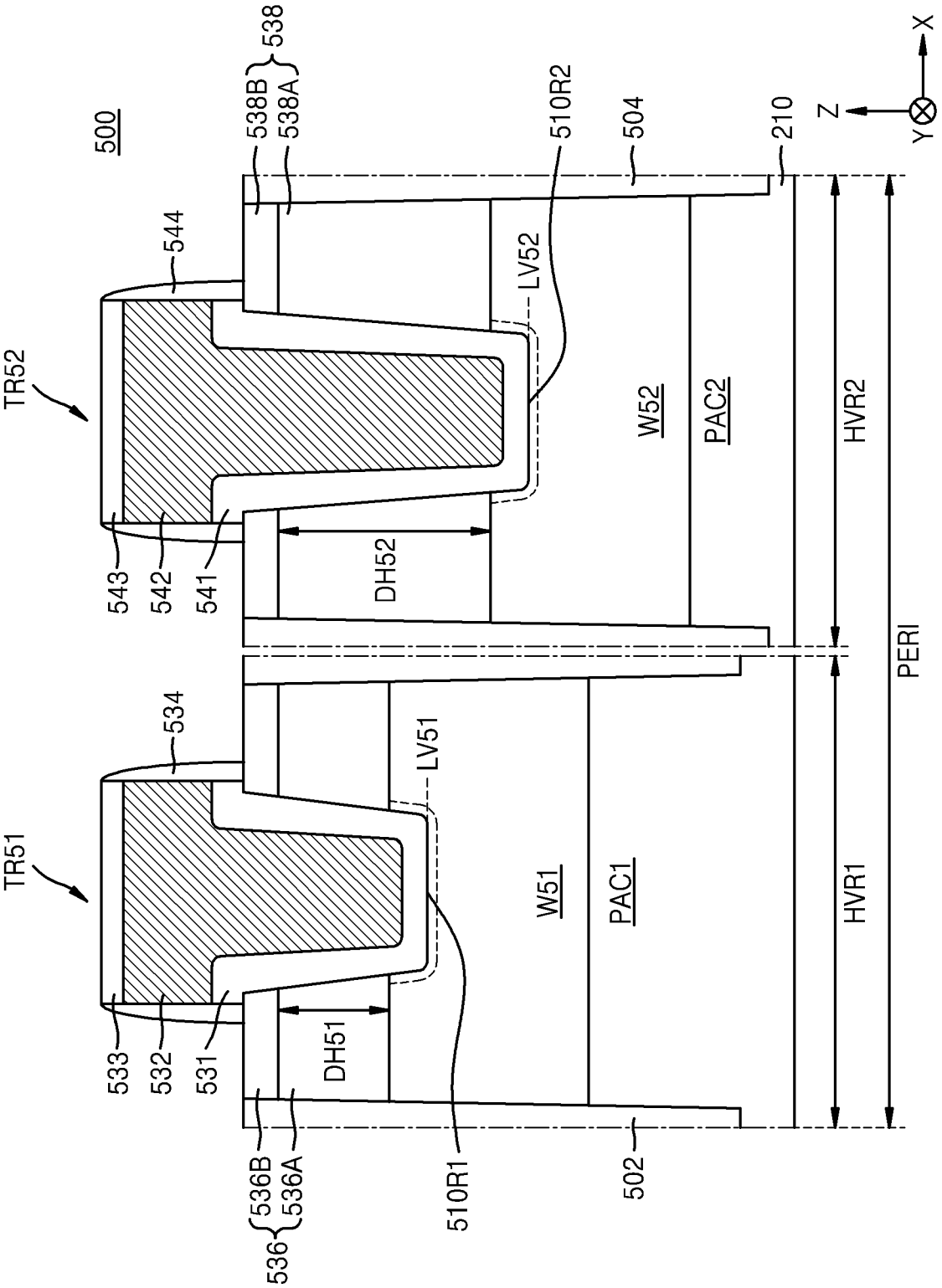
【圖8C】



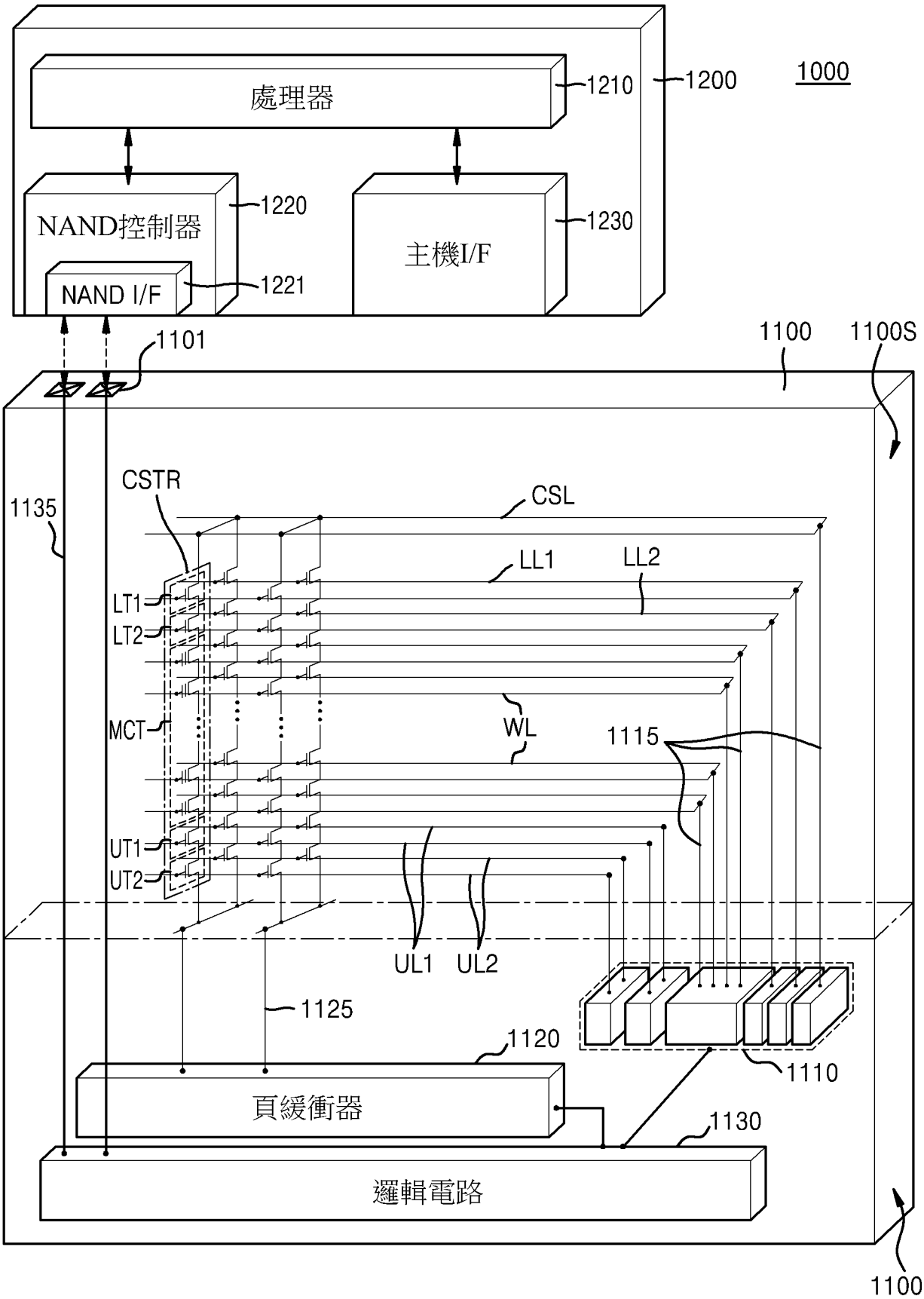
【圖8D】


TR4
400
233
232
231
234
236B
236A
236
G1
G2
CH3
210R
402
PW
DW
PAC
210
HVR
PERI
Z
Y
X

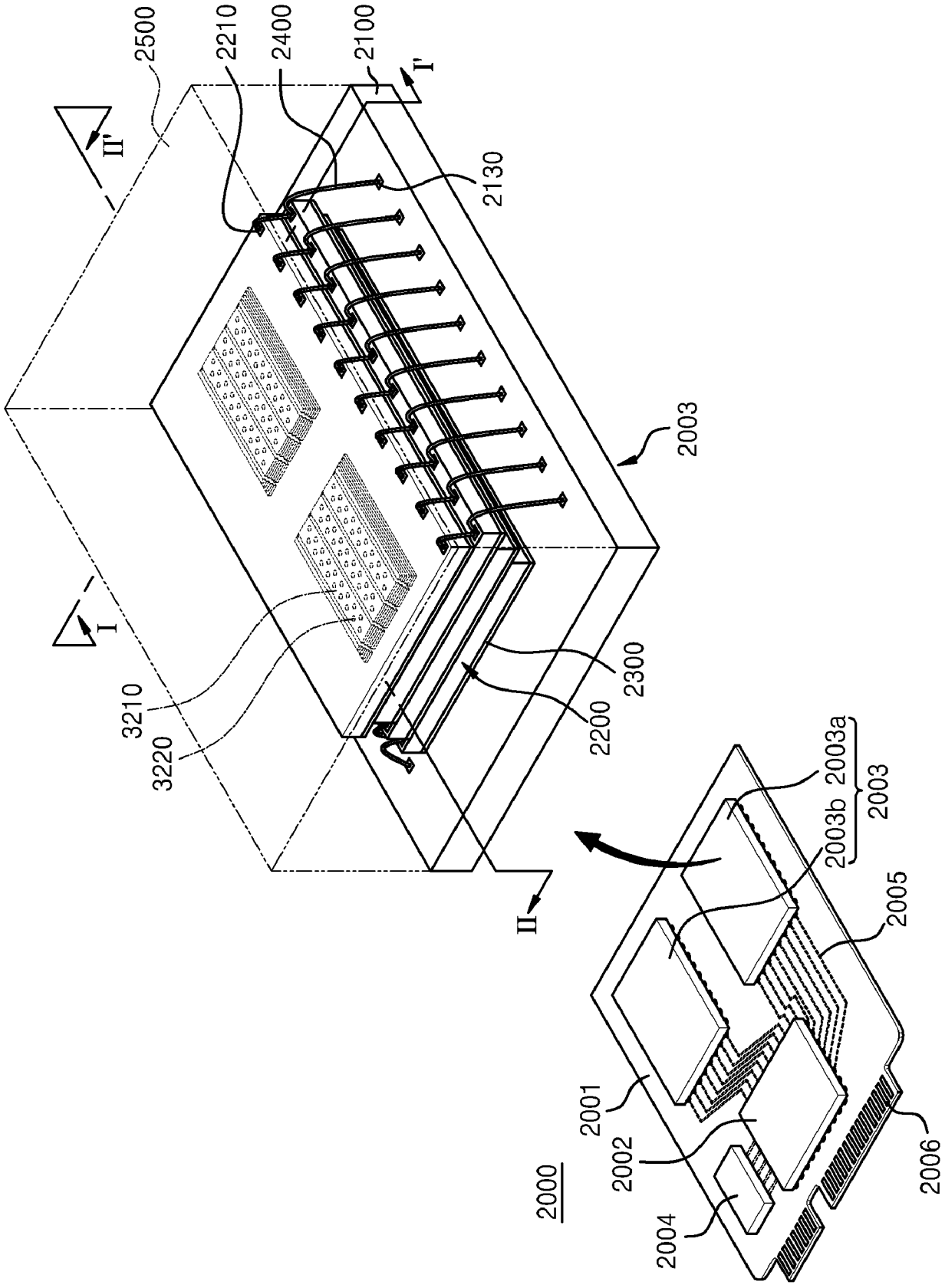
【圖9】


500
538
538B
538A
510R2
504
210
X
Z
Y
544
LV52
TR52
W52
PAC2
HVR2
543
542
541
DH52
534
LV51
TR51
W51
PAC1
HVR1
PERI
533
532
531
DH51
536B
536A
536
510R1
502

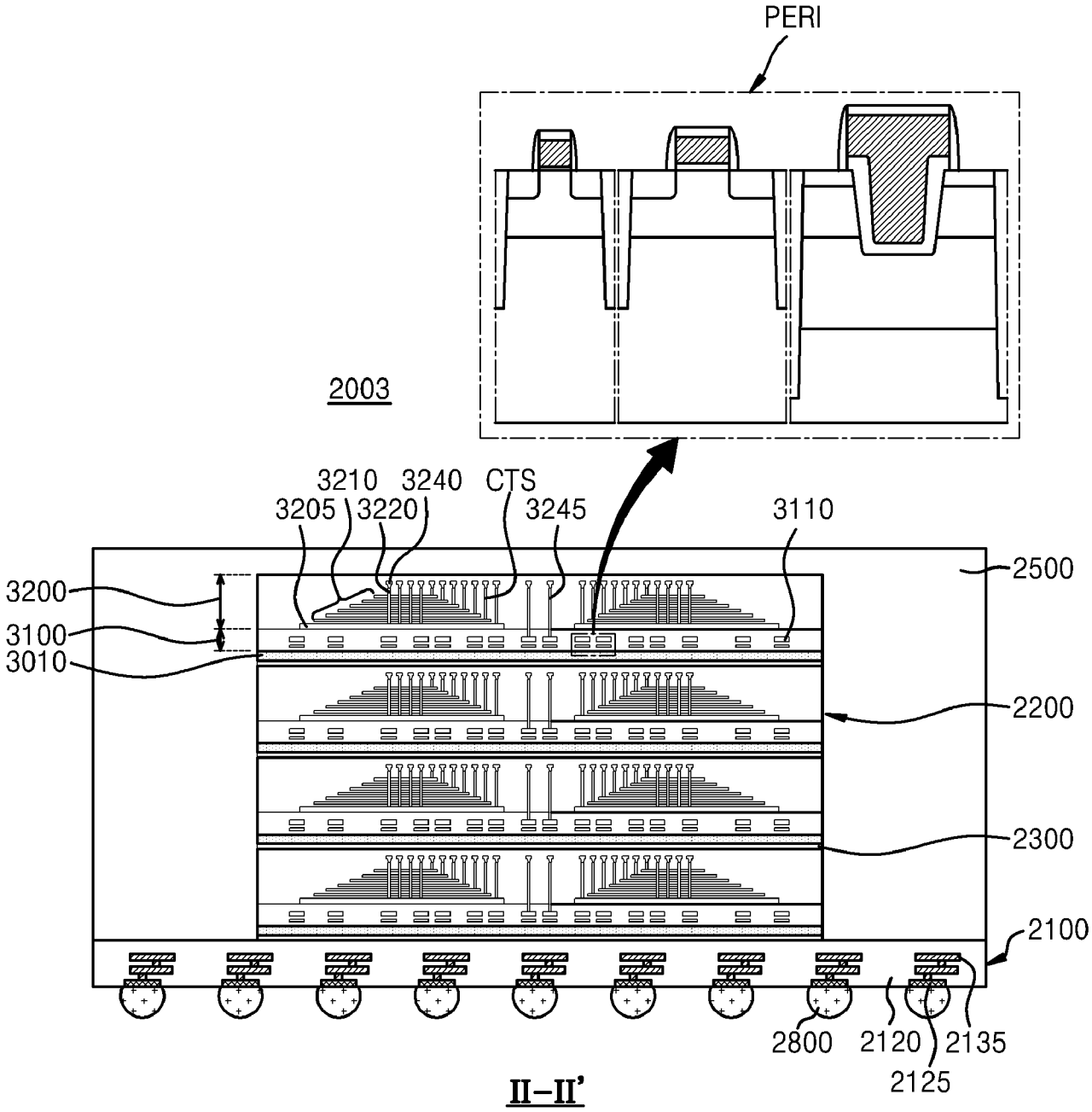
【圖10】


處理器
1210
1200
1000
NAND控制器
1220
主機I/F
1230
NAND I/F
1221
1101
1100
1100S
CSTR
CSL
1135
LL1
LL2
LT1
LT2
MCT
WL
1115
UT1
UT2
UL1
UL2
1125
1120
1110
頁緩衝器
1130
邏輯電路
1100F

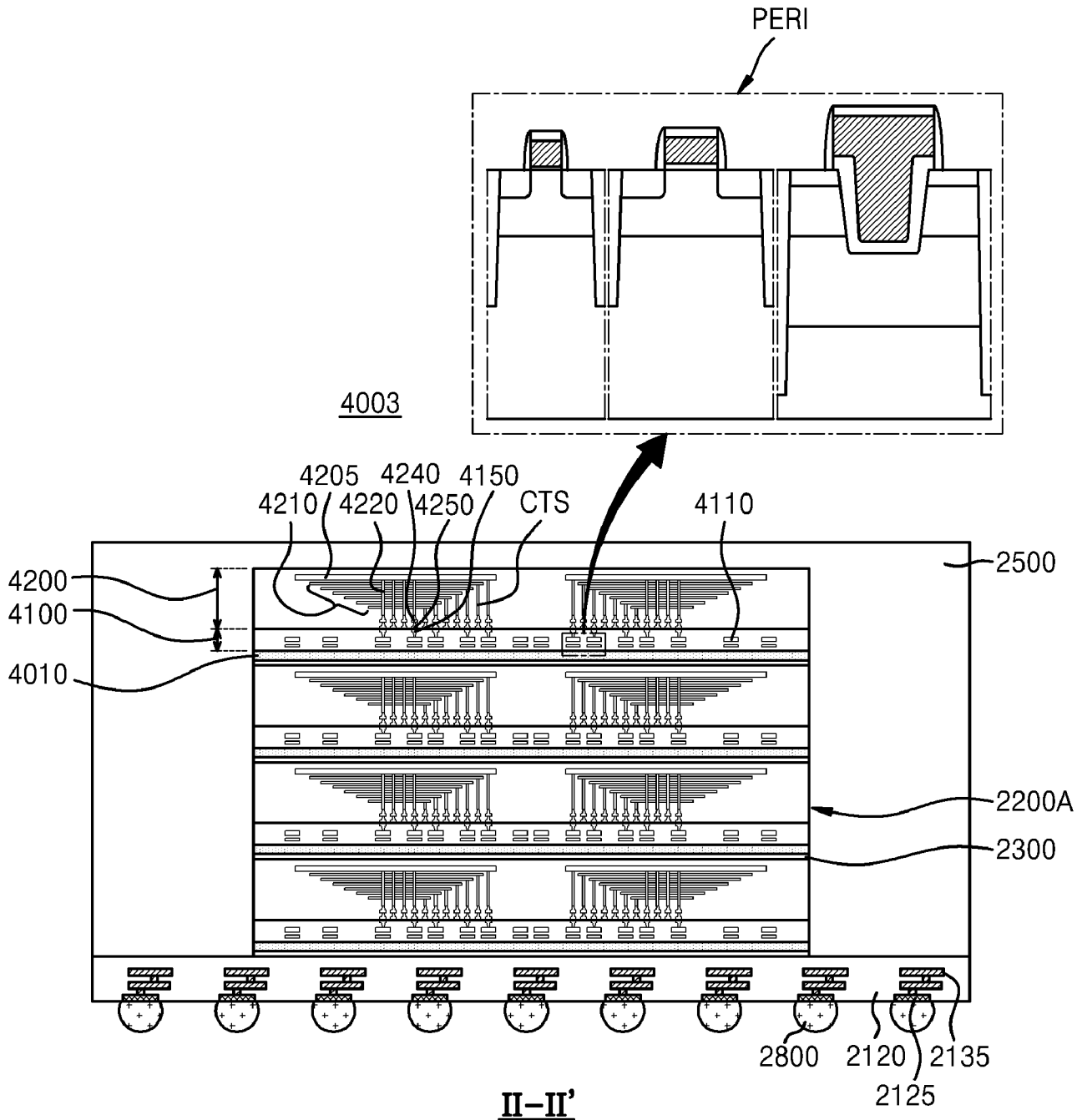
【圖11】


2500
2210
2400
2100
I'
II'
2130
2003
I
3210
3220
2300
2200
II
2003a
2003b
2003
2005
2001
2002
2004
2006
2000

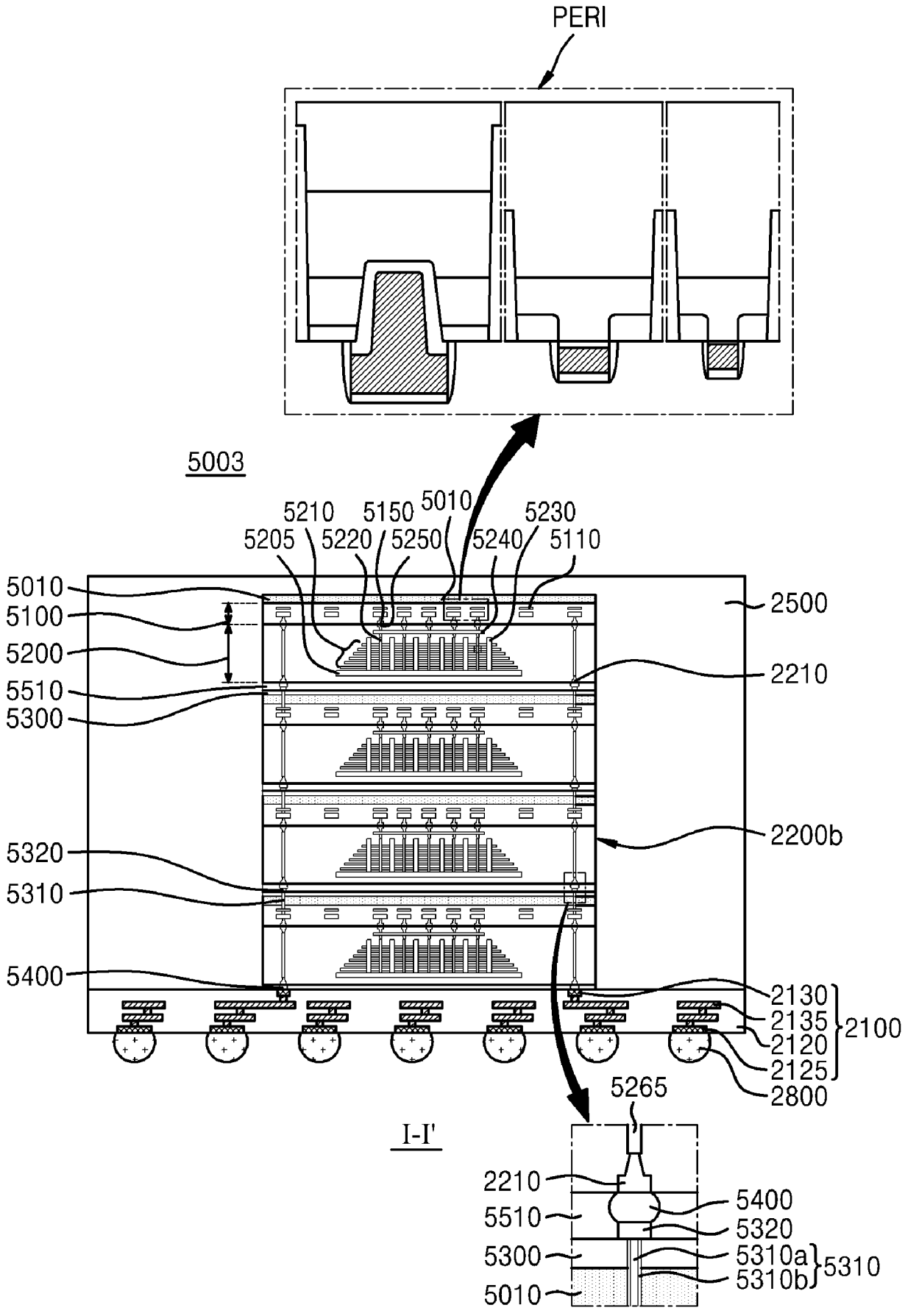
【圖12】


PERI
2003
3210
3240
CTS
3205
3220
3245
3110
3200
3100
3010
2500
2200
2300
2100
2800
2120
2135
2125
II–II'

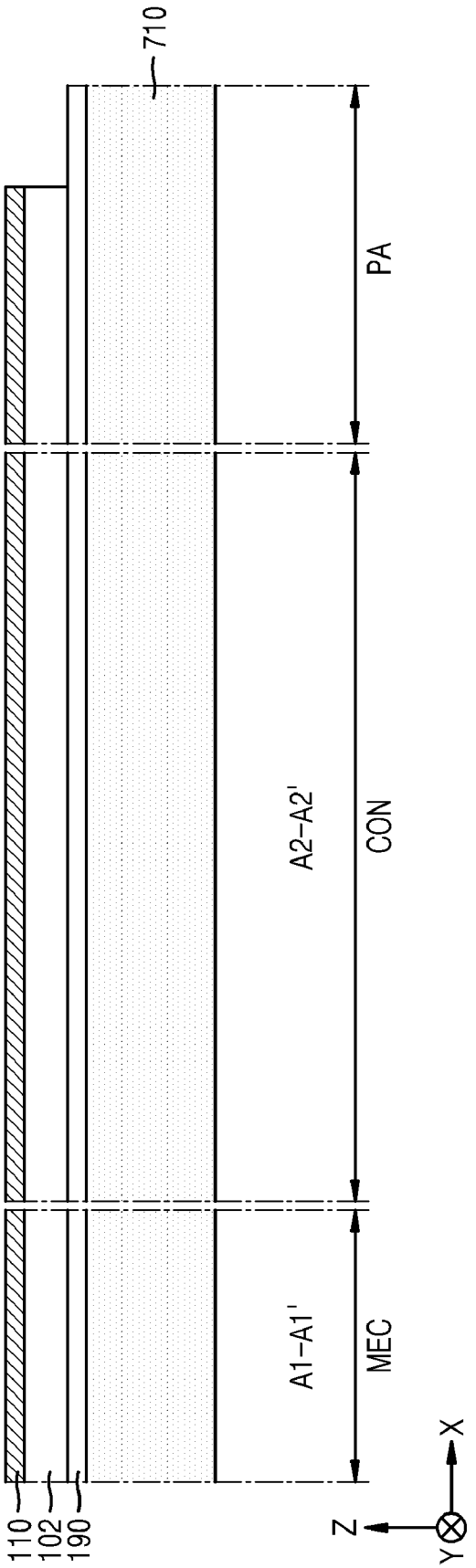
【圖13】


PERI
4003
4205
4240
4150
4210
4220
4250
CTS
4110
2500
4200
4100
4010
2200A
2300
2800
2120
2135
2125
II–II'

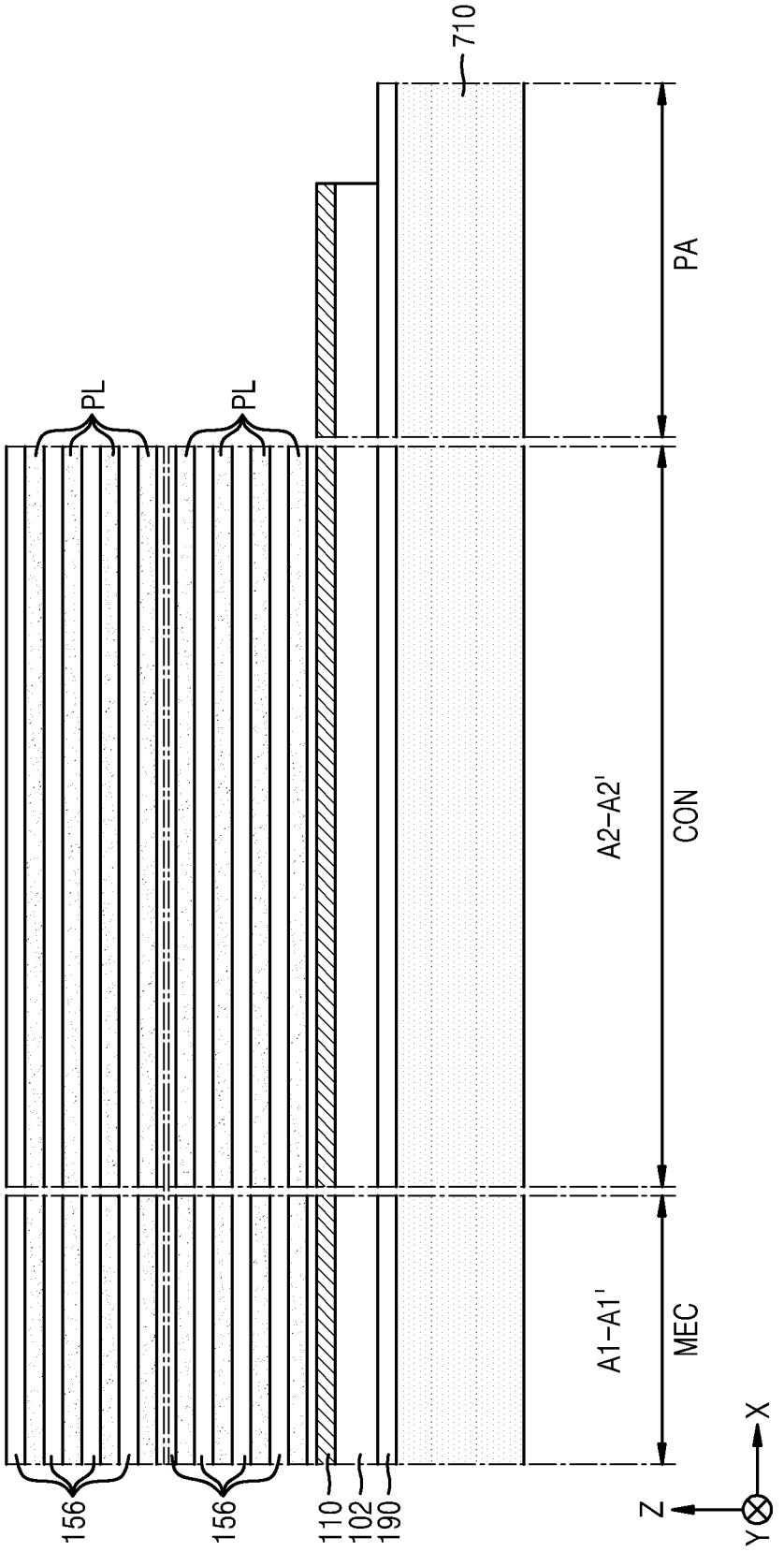
【圖14】


PERI
5003
5210
5150
5010
5230
5205
5220
5250
5240
5110
5010
5100
5200
5510
5300
5320
5310
5400
2500
2210
2200b
2130
2135
2120
2125
2100
2800
5265
I-I'
2210
5510
5300
5010
5400
5320
5310a
5310b
5310

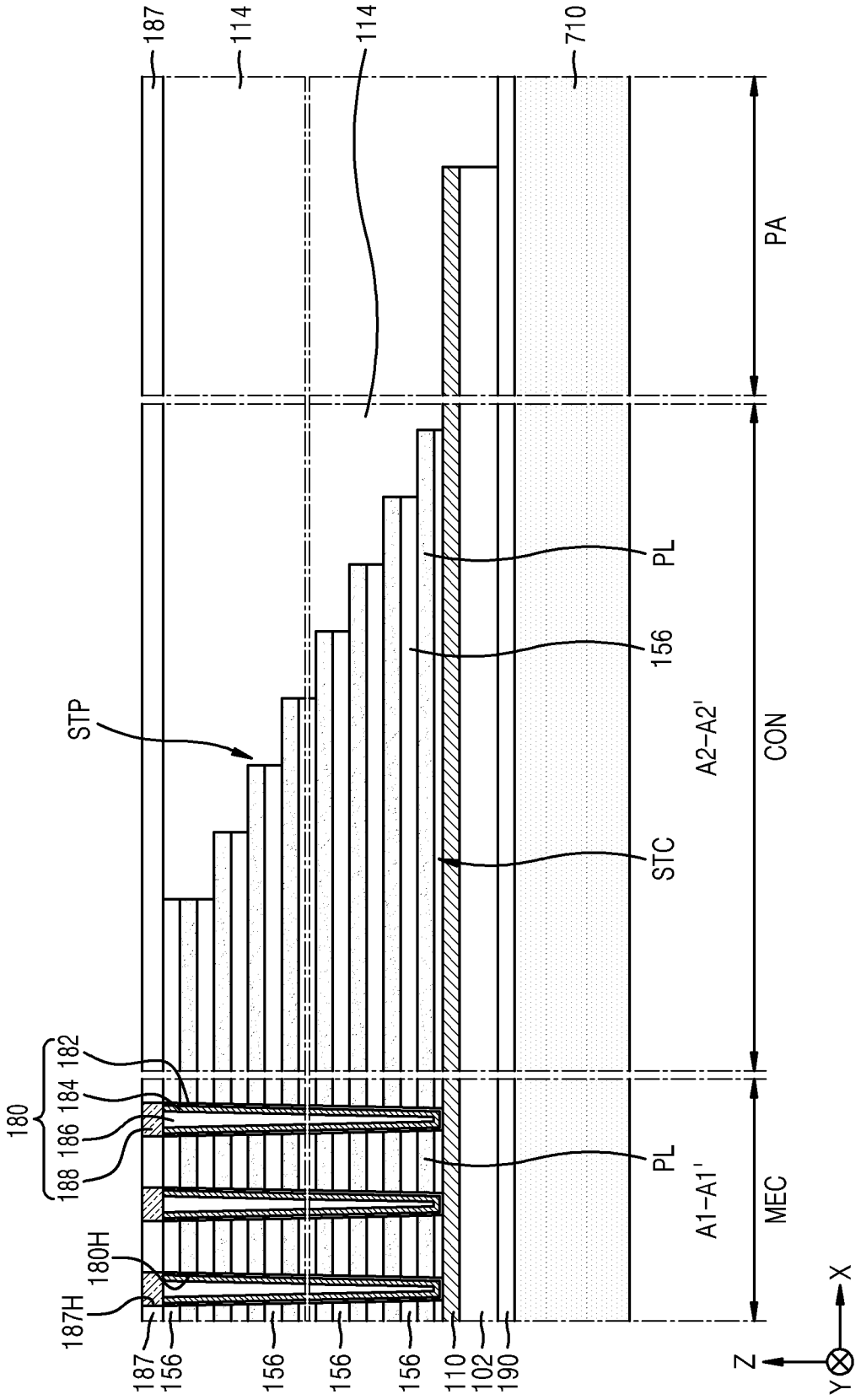
【圖15】



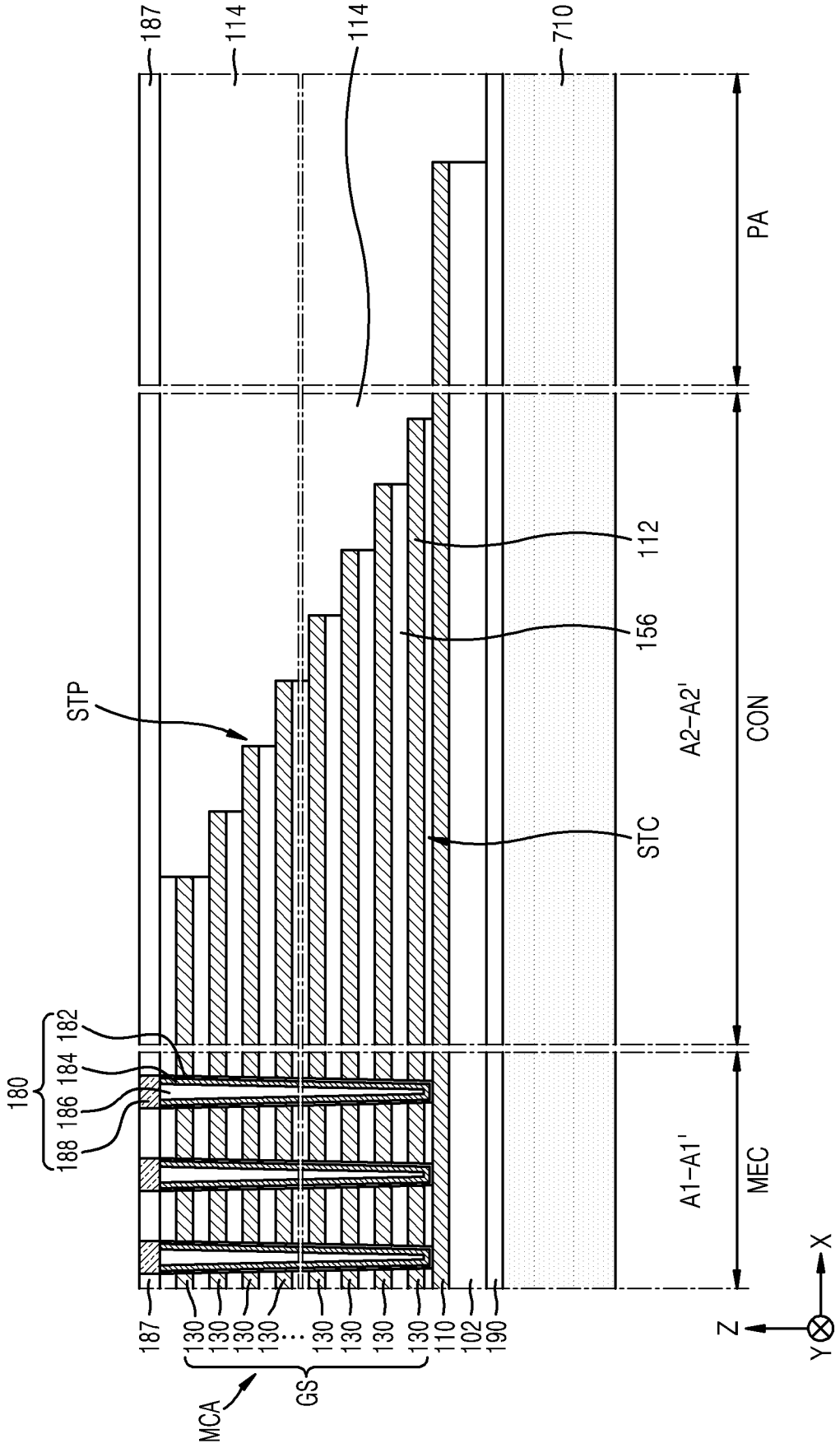
【圖16A】



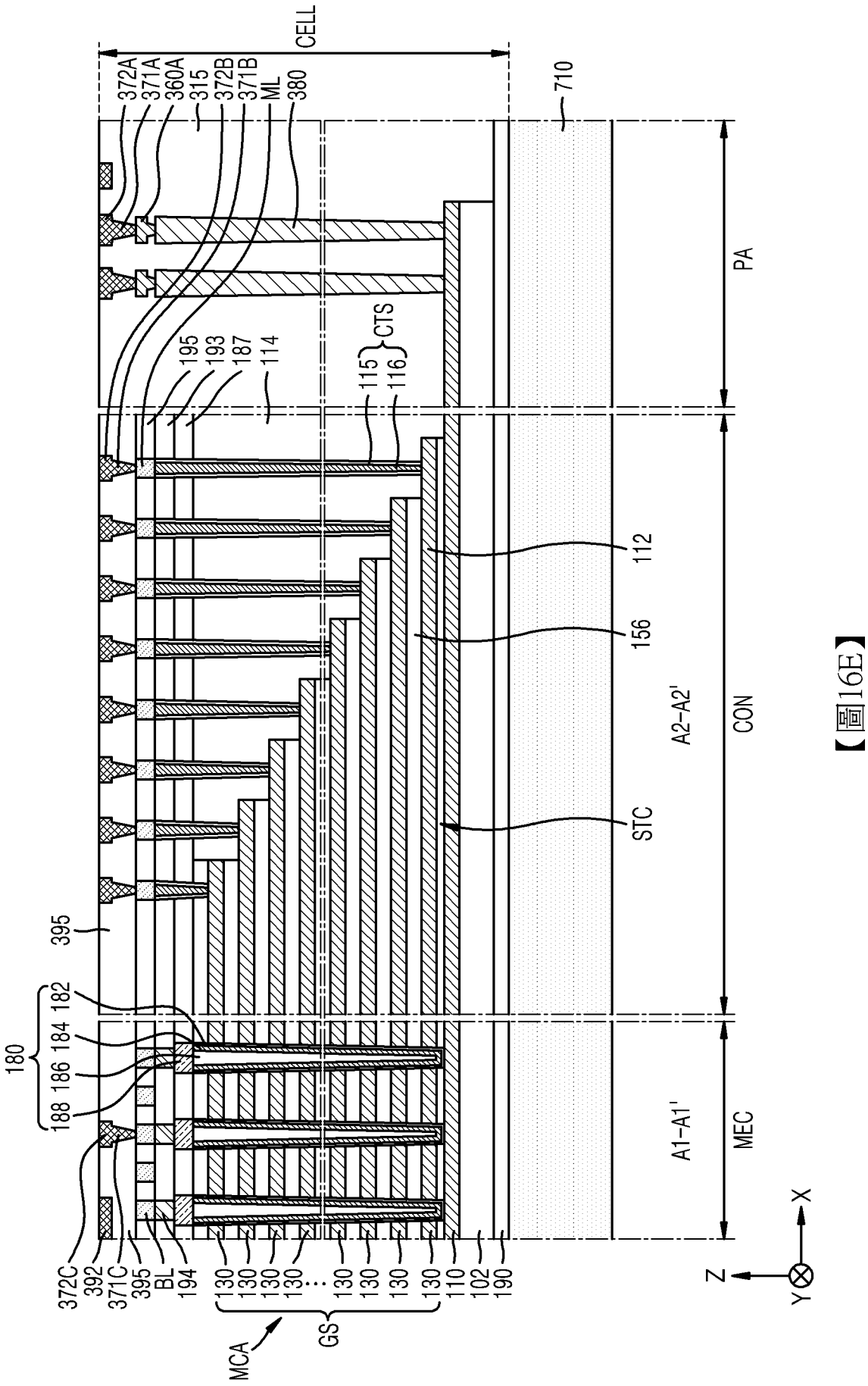
【圖16B】


187
114
114
710
PA
PL
156
STP
A2-A2'
CON
STC
180
182
184
186
188
PL
180H
187H
A1-A1'
MEC
187
156
156
156
156
110
102
190
Z
X
Y

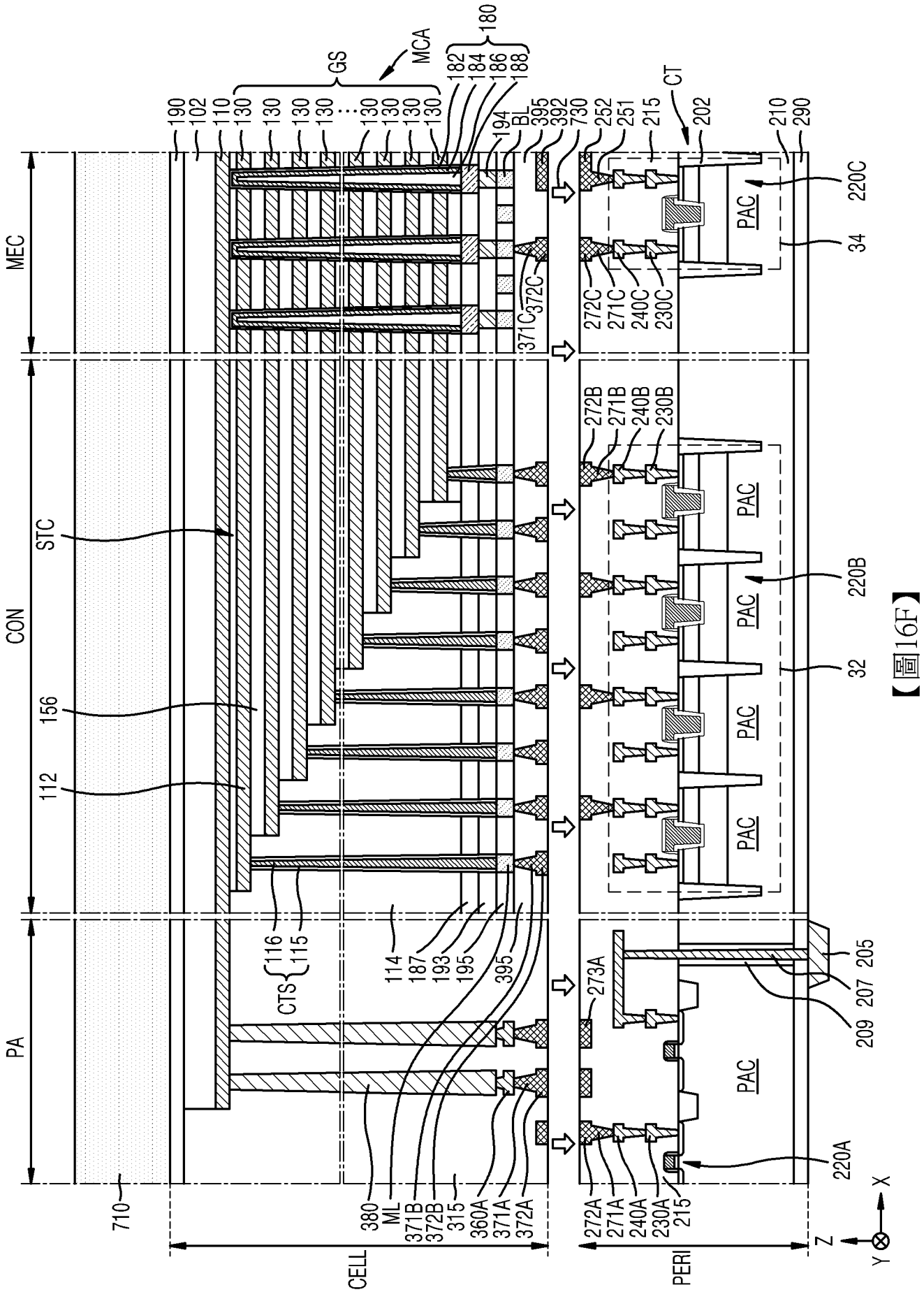
【圖16C】


187
114
114
710
PA
112
156
STP
STC
A2-A2'
CON
180
182
184
186
188
A1-A1'
MEC
187
130
130
130
130
130
130
130
130
110
102
190
MCA
GS
Z
X
Y

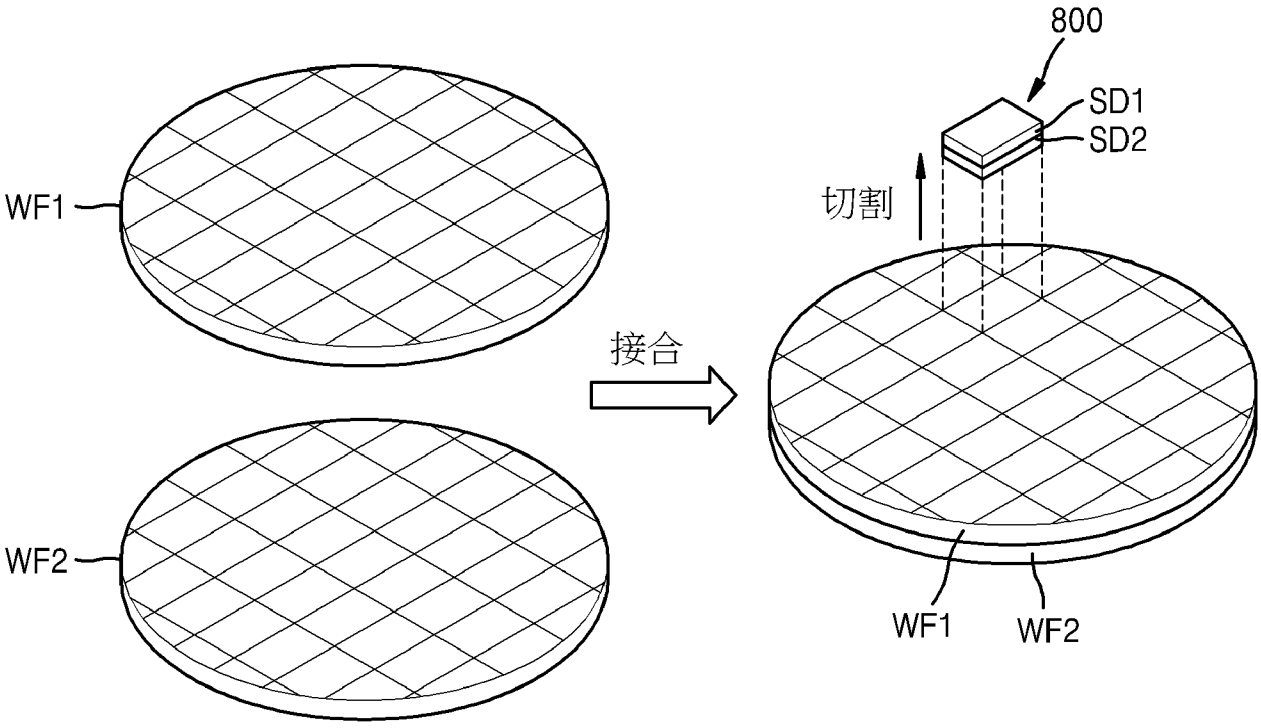
【圖16D】


CELL
372A
371A
360A
315
372B
371B
ML
380
710
PA
195
193
187
114
CTS
115
116
112
156
STC
A2-A2'
CON
395
180
182
184
186
188
A1-A1'
MEC
372C
392
371C
395
BL
194
130
110
102
190
MCA
GS
Z
X
Y

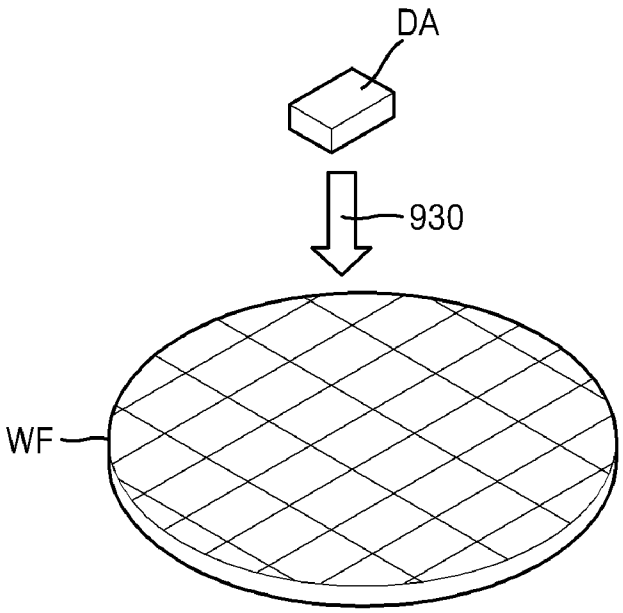
【圖16E】


MEC
CON
PA
STC
156
112
710
CELL
PERI
GS
MCA
180
182
184
186
188
190
102
110
130
194
BL
395
392
730
252
251
215
CT
202
210
290
220C
34
272C
271C
240C
230C
371C
372C
272B
271B
240B
230B
220B
32
PAC
116
115
CTS
114
187
193
195
273A
205
207
209
220A
380
ML
371B
372B
315
360A
371A
372A
272A
271A
240A
230A
Z
X
Y

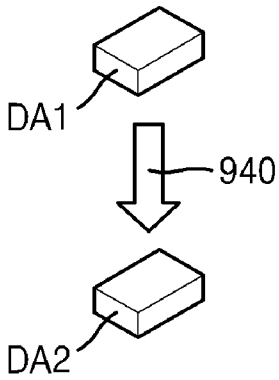
【圖16F】



【圖17】



【圖18】



【圖19】