

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年6月10日(10.06.2021)



(10) 国際公開番号

WO 2021/111994 A1

(51) 国際特許分類:
G05F 3/30 (2006.01)

大阪 市中央区天満橋京町 2 - 6 天満橋八
千代ビル別館 5 F Osaka (JP).

(21) 国際出願番号 : PCT/JP2020/044149

(22) 国際出願日 : 2020年11月27日(27.11.2020)

(25) 国際出願の言語 : 日本語

(26) 国際公開の言語 : 日本語

(30) 優先権データ :
特願 2019-221241 2019年12月6日(06.12.2019) JP

(71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院
溝崎町 2 1 番地 Kyoto (JP).

(72) 発明者: 山本 精一 (YAMAMOTO Seiichi);
〒6158585 京都府京都市右京区西院溝崎町 2
1 番地 ローム株式会社内 Kyoto (JP).

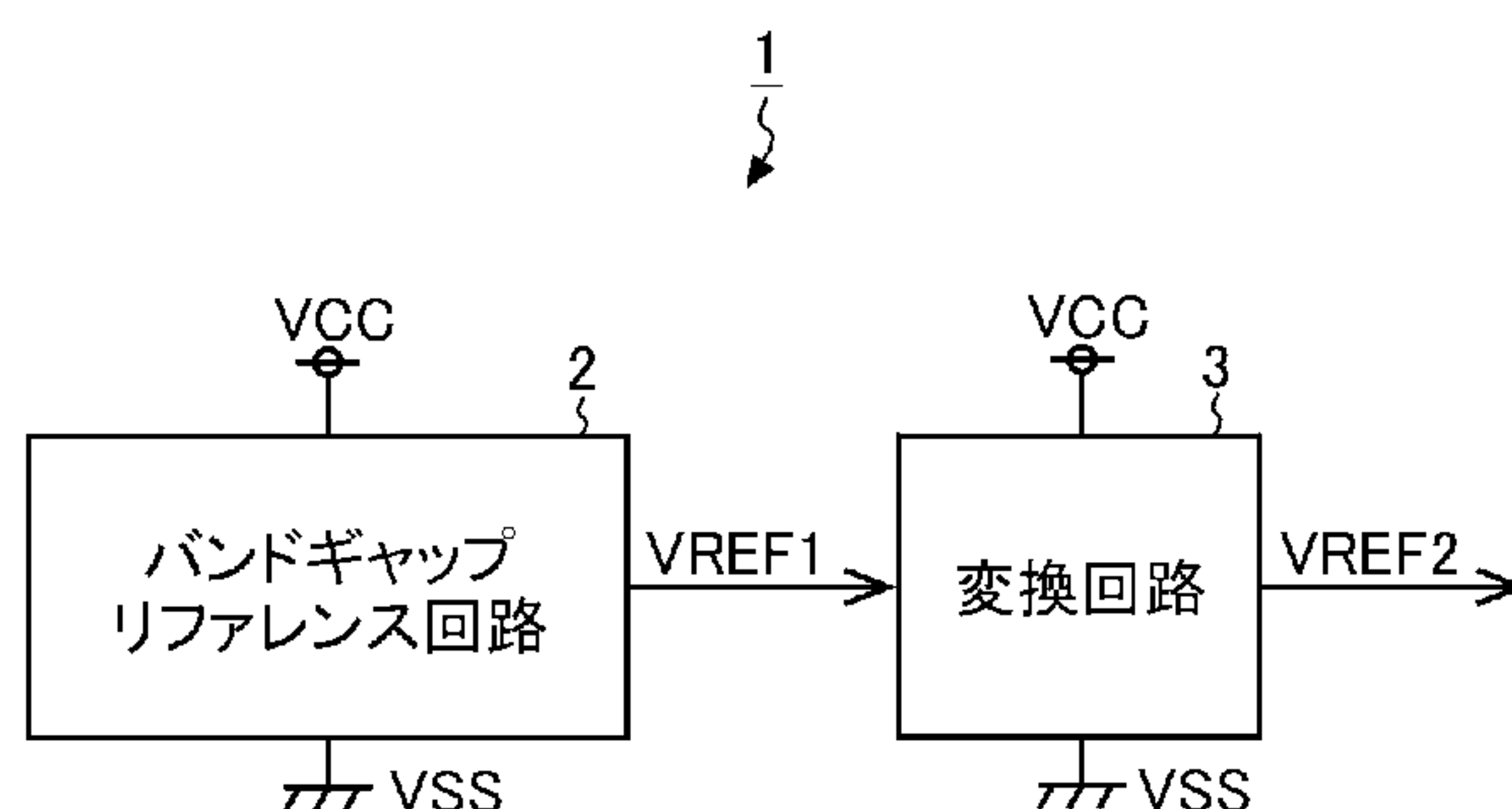
(74) 代理人: 特許業務法人 佐野特許事務所
(SANO PATENT OFFICE); 〒5400032 大阪府

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ,
EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN,
HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS,
MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM,
ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ,
TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,
DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,

(54) Title: REFERENCE VOLTAGE GENERATING CIRCUIT

(54) 発明の名称 : 基準電圧生成回路



2 Bandgap reference circuit

3 Converting circuit

(57) Abstract: A reference voltage generating circuit (1) is provided with: a bandgap reference circuit (2) which generates a first reference voltage (VREF1) that depends on a bandgap reference voltage and a power source voltage (VCC); and a converting circuit (3) which converts the first reference voltage into a second reference voltage (VREF2). The second reference voltage depends on the bandgap reference voltage and a ground voltage (VSS). The ground voltage is lower than the power source voltage.

(57) 要約 : 基準電圧生成回路 (1) は、バンドギャップ基準電圧及び電源電圧 (VCC) に依存する第 1 基準電圧 (VREF1) を生成するバンドギャップリファレンス回路 (2) と、前記第 1 基準電圧を第 2 基準電圧 (VREF2) に変換する変換回路 (3) と、を備える。前記第 2 基準電圧は前記バンドギャップ基準電圧及び接地電圧 (VSS) に依存する。前記接地電圧は前記電源電圧より低い。

[続葉有]

LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告（条約第21条(3)）

明 細 書

発明の名称： 基準電圧生成回路

技術分野

[0001] 本発明は、基準電圧を生成する基準電圧生成回路に関する。

背景技術

[0002] 従来、バンドギャップリファレンス回路と呼ばれる基準電圧生成回路が知られている（例えば特許文献1参照）。特許文献1で開示されている基準電圧生成回路によって生成される基準電圧は、接地電圧を基準とする電圧であって、バンドギャップ基準電圧によって定まる電圧である。なお、バンドギャップ基準電圧は、半導体のバンドギャップ電圧を利用して得られる基準電圧である。

先行技術文献

特許文献

[0003] 特許文献1：特開2016-212837号公報（図3）

発明の概要

発明が解決しようとする課題

[0004] ここで、図8に示す構造の半導体装置を考えた場合、パワートランジスタがNDMOSトランジスタ（N型2重拡散MOSトランジスタ）であれば、HVNW（高電圧N型ウェル）に印加される電圧そのものがパワートランジスタの出力電圧になるため、パワートランジスタのスイッチングによりHVNWに印加される電圧が変動する。そして、その電圧変動が容量結合によってノイズとして伝搬する。

[0005] また、図9に示す構造の半導体装置（＝図8に示す構造の半導体装置）を考えた場合、パワートランジスタがNDMOSトランジスタであれば、例えば回生電流によってHVNWに印加される電圧そのものが負電圧になったときに、寄生トランジスタPTRの寄生コレクタ電流が流れてしまう。

[0006] 基準電圧生成回路に上述したノイズや寄生電流による悪影響が及ばないよ

うにするためには、全てのH V N Wに電源電圧を印加する必要がある。しかしながら、特許文献1で開示されている基準電圧生成回路は、アンプ内の差動対トランジスタのバックゲートに対応するH V N Wとダイオードのアノードに対応するH V N Wとが電源電圧に接続されていない構成であった。

課題を解決するための手段

- [0007] 本明細書中に開示されている基準電圧生成回路は、バンドギャップ基準電圧及び電源電圧に依存する第1基準電圧を生成するバンドギャップリファレンス回路と、前記第1基準電圧を第2基準電圧に変換する変換回路と、を備え、前記第2基準電圧は前記バンドギャップ基準電圧及び接地電圧に依存し、前記接地電圧は前記電源電圧より低い構成（第1の構成）である。
- [0008] 上記第1の構成の基準電圧生成回路において、前記変換回路はアンプを備え、前記バンドギャップリファレンス回路の出力端と前記アンプの第1入力端とが抵抗素子を介さずに接続される構成（第2の構成）としてもよい。
- [0009] 上記第2の構成の基準電圧生成回路において、前記変換回路は、前記電源電圧が印加される第1印加端と前記アンプの第2入力端との間に設けられる第1トランジスタと、前記アンプの前記第2入力端と前記接地電圧が印加される第2印加端との間に設けられる第2トランジスタと、をさらに備え、前記第1トランジスタの制御端が前記第1印加端に接続され、前記第2基準電圧又は前記第2基準電圧の分圧が前記第2トランジスタの制御端に供給される構成（第3の構成）としてもよい。
- [0010] 上記第3の構成の基準電圧生成回路において、前記第1トランジスタのゲート長及び前記第2トランジスタのゲート長は、前記アンプ内部のトランジスタのゲート長より長い構成（第4の構成）としてもよい。
- [0011] 上記第4の構成の基準電圧生成回路において、前記第1トランジスタのゲート長及び前記第2トランジスタのゲート長はそれぞれ5 μ m以上である構成（第5の構成）としてもよい。
- [0012] 上記第4又は第5の構成の基準電圧生成回路において、前記第1トランジスタのゲート長と前記第2トランジスタのゲート長とは、略同一である構成

（第 6 の構成）としてもよい。

[0013] 上記第 3 ～ 第 6 のいずれかの構成の基準電圧生成回路において、前記変換回路は、前記アンプの前記第 2 入力端と前記第 2 トランジスタとの間に設けられる第 3 トランジスタをさらに備え、前記第 3 トランジスタの制御端にバイアス電圧が供給される構成（第 7 の構成）としてもよい。

[0014] 本明細書中に開示されている半導体装置は、上記第 1 ～ 第 7 のいずれかの構成の基準電圧生成回路を備える構成（第 8 の構成）である。

発明の効果

[0015] 本発明によれば、ノイズや寄生電流による悪影響を回避できる基準電圧生成回路を提供することができる。

図面の簡単な説明

[0016] [図1]一実施形態に係る基準電圧生成回路を示す図

[図2]一実施形態に係る基準電圧生成回路の第 1 構成例を示す図

[図3]一実施形態に係る基準電圧生成回路の第 2 構成例を示す図

[図4]一実施形態に係る基準電圧生成回路の第 3 構成例を示す図

[図5]一実施形態に係る基準電圧生成回路の第 3 構成例でオペアンプの非反転入力端に接続される N チャネル型 MOS トランジスタの特性を示す図

[図6]一実施形態に係る基準電圧生成回路の第 4 構成例を示す図

[図7]一実施形態に係る基準電圧生成回路を備える半導体装置の各例を示すブロック図

[図8]半導体装置の構造例を模式的に示す断面斜視図

[図9]半導体装置の構造例を模式的に示す断面斜視図

発明を実施するための形態

[0017] 本明細書において、MOS トランジスタとは、ゲートの構造が、「導電体または抵抗値が小さいポリシリコン等の半導体からなる層」、「絶縁層」、及び「P 型、N 型、又は真性の半導体層」の少なくとも 3 層からなる電界効果トランジスタをいう。つまり、MOS トランジスタのゲートの構造は、金属、酸化物、及び半導体の 3 層構造に限定されない。本明細書において、基

準電圧とは、理想的な状態において一定である電圧を意味しており、実際には温度変化等により僅かに変動し得る電圧である。

[0018] ＜１．一実施形態に係る基準電圧生成回路＞

図１は、一実施形態に係る基準電圧生成回路を示す図である。基準電圧生成回路１は、バンドギャップリファレンス回路２と、変換回路３と、を備える。

[0019] バンドギャップリファレンス回路２は第１基準電圧 V_{REF1} を生成する。第１基準電圧 V_{REF1} はバンドギャップ基準電圧及び電源電圧 V_{CC} に依存する。具体的には、第１基準電圧 V_{REF1} は、電源電圧 V_{CC} を基準とする電圧であって、バンドギャップ基準電圧によって定まる電圧である。なお、バンドギャップ基準電圧は、半導体のバンドギャップ電圧を利用して得られる基準電圧である。

[0020] 変換回路３は、第１基準電圧 V_{REF1} を第２基準電圧 V_{REF2} に変換する。第２基準電圧 V_{REF2} は、バンドギャップ基準電圧及び接地電圧 V_{SS} に依存する。具体的には、第２基準電圧 V_{REF2} は、接地電圧 V_{SS} を基準とする電圧であって、バンドギャップ基準電圧によって定まる電圧である。なお、接地電圧 V_{SS} は電源電圧 V_{CC} より低い電圧である。

[0021] バンドギャップリファレンス回路２は、電源電圧 V_{CC} を基準とする第１基準電圧 V_{REF1} を生成する構成である。したがって、バンドギャップリファレンス回路２を形成するために用いられている全ての $HVNW$ を電源電圧 V_{CC} に接続することができる。これにより、ノイズや寄生電流による悪影響を回避できる。

[0022] そして、基準電圧生成回路１は、変換回路３を備えるので、ノイズや寄生電流による悪影響を回避しながら、接地電圧 V_{SS} を基準とする電圧である第２基準電圧 V_{REF2} を生成することができる。第２基準電圧 V_{REF2} は、接地電圧 V_{SS} を基準とする電圧であるため、他の回路で制限なく広く使用することができる。

[0023] ＜２．第１構成例＞

図2は、基準電圧生成回路1の第1構成例を示す図である。基準電圧生成回路1の第1構成例である基準電圧生成回路1Aは、バンドギャップリファレンス回路2Aと、変換回路3Aと、を備える。バンドギャップリファレンス回路2Aは図1中のバンドギャップリファレンス回路2の一例であり、変換回路3Aは図1中の変換回路3の一例である。

[0024] バンドギャップリファレンス回路2Aは、抵抗 $R_1 \sim R_3$ （いずれもポリ抵抗）と、NPNバイポーラトランジスタ Q_1 及び Q_2 と、オペアンプAMP1と、を備える。NPNバイポーラトランジスタ Q_1 及び Q_2 はそれぞれダイオード接続され、ダイオードとして機能する。

[0025] オペアンプAMP1の第1電源端は、電源電圧 V_{CC} の印加端に接続されている。オペアンプAMP1の第2電源端は、接地電圧 V_{SS} の印加端に接続されている。

[0026] 抵抗 R_1 の第1端と抵抗 R_2 の第1端は、いずれもオペアンプAMP1の出力端に接続されている。抵抗 R_1 の第2端とNPNバイポーラトランジスタ Q_1 のエミッタは、いずれもオペアンプAMP1の非反転入力端（+）に接続されている。抵抗 R_2 の第2端と抵抗 R_3 の第1端は、いずれもオペアンプAMP1の反転入力端（-）に接続されている。抵抗 R_3 の第2端は、NPNバイポーラトランジスタ Q_2 のエミッタに接続されている。NPNバイポーラトランジスタ Q_1 及び Q_2 それぞれのベース及びコレクタは、いずれも電源電圧 V_{CC} の印加端に接続されている。

[0027] オペアンプAMP1の出力端は、バンドギャップリファレンス回路2Aの出力端である。オペアンプAMP1の出力端から第1基準電圧 V_{REF1} が出力される。

[0028] 変換回路3Aは、抵抗 $R_{11} \sim R_{14}$ （いずれもポリ抵抗）と、Nチャネル型MOSトランジスタ Q_{11} と、オペアンプAMP11と、を備える。変換回路3Aは、オペアンプAMP11を用いた差動増幅回路である。

[0029] オペアンプAMP11の第1電源端は、電源電圧 V_{CC} の印加端に接続されている。オペアンプAMP11の第2電源端は、接地電圧 V_{SS} の印加端

に接続されている。

[0030] 抵抗 R_{11} の第 1 端は変換回路 3 A の入力端であって、第 1 基準電圧 V_{REF1} が供給される。抵抗 R_{11} の第 2 端と抵抗 R_{12} の第 1 端は、いずれもオペアンプ AMP 11 の反転入力端（－）に接続されている。抵抗 R_{12} の第 2 端は、オペアンプ AMP 11 の出力端に接続されている。抵抗 R_{13} の第 1 端は、電源電圧 V_{CC} の印加端に接続されている。抵抗 R_{13} の第 2 端と抵抗 R_{14} の第 1 端は、いずれもオペアンプ AMP 11 の非反転入力端（＋）に接続されている。抵抗 R_{14} の第 2 端は、Nチャネル型 MOS トランジスタ Q_{11} のドレインに接続されている。Nチャネル型 MOS トランジスタ Q_{11} のソース及びバックゲートは、接地電圧 V_{SS} の印加端に接続されている。Nチャネル型 MOS トランジスタ Q_{11} のゲートには、Nチャネル型 MOS トランジスタ Q_{11} のオン／オフを切り替えるための信号であるゲート電圧 V_{SW} が供給される。Nチャネル型 MOS トランジスタ Q_{11} をオフにすることで、変換回路 3 A の定常電流をカットすることができる。

[0031] オペアンプ AMP 11 の出力端は、基準電圧生成回路 1 A の出力端である。オペアンプ AMP 11 の出力端から第 2 基準電圧 V_{REF2} が出力される。

[0032] 抵抗 R_{11} 及び R_{13} の各抵抗値をいずれも r_1 とし、抵抗 R_{12} 及び R_{14} の各抵抗値をいずれも r_2 とすると、基準電圧生成回路 1 A から出力される第 2 基準電圧 V_{REF2} は下記の式（1）で表される。なお、式（1）中の BGR はバンドギャップ基準電圧である。

$$V_{REF2} \div BGR \cdot r_2 / r_1 \quad \cdots (1)$$

[0033] 基準電圧生成回路 1 A では、バンドギャップリファレンス回路 2 A の出力端とオペアンプ AMP 11 の反転入力端（－）との間に抵抗 R_{11} が設けられている。すなわち、バンドギャップ基準電圧 BGR が供給される負荷として、電流の流れる抵抗 R_{11} が設けられているので、基準電圧生成回路 1 A は消費電流の観点から改良の余地がある回路となっている。

[0034] < 3. 第 2 構成例 >

図3は、基準電圧生成回路1の第2構成例を示す図である。なお、図3において図2と同一の部分には同一の符号を付し詳細な説明を省略する。基準電圧生成回路1の第2構成例である基準電圧生成回路1Bは、バンドギャップリファレンス回路2Aと、変換回路3Bと、を備える。変換回路3Bも上述した変換回路3Aと同様に図1中の変換回路3の一例である。

[0035] 変換回路3Bは、オペアンプAMP21と、抵抗R21及びR22（いずれもポリ抵抗）と、Pチャネル型MOSトランジスタQ21と、を備える。

[0036] オペアンプAMP21の第1電源端は、電源電圧VCCの印加端に接続されている。オペアンプAMP21の第2電源端は、接地電圧VSSの印加端に接続されている。

[0037] オペアンプAMP21の非反転入力端（+）は、変換回路3Bの入力端であって、第1基準電圧VREF1が供給される。オペアンプAMP21の出力端はPチャネル型MOSトランジスタQ21のゲートに接続されている。抵抗R21の第1端は、電源電圧VCCの印加端及びPチャネル型MOSトランジスタQ21のバックゲートに接続されている。抵抗R21の第2端は、オペアンプAMP21の反転入力端（-）及びPチャネル型MOSトランジスタQ21のソースに接続されている。Pチャネル型MOSトランジスタQ21のドレインは、抵抗R22の第1端に接続されている。抵抗R22の第2端は、接地電圧VSSに接続されている。

[0038] Pチャネル型MOSトランジスタQ21のドレインと抵抗R22の第1端との接続ノードは、基準電圧生成回路1Bの出力端である。Pチャネル型MOSトランジスタQ21のドレインと抵抗R22の第1端との接続ノードから第2基準電圧VREF2が出力される。

[0039] オペアンプAMP21の仮想接地の条件から、抵抗R21の第2端に第1基準電圧VREF1が供給され、抵抗R21の両端電位差はバンドギャップ基準電圧になる。したがって、抵抗R21を流れる電流の値は、バンドギャップ基準電圧を抵抗R21の抵抗値で除した値になる。そのため、抵抗R21の抵抗値を r_1 とし、抵抗R22の抵抗値を r_2 とすると、基準電圧生成

回路 1 B から出力される第 2 基準電圧 V_{REF2} は下記の式 (2) で表される。なお、式 (2) 中の BGR はバンドギャップ基準電圧であり、 I_{SUB} は基板を流れる電流である。

$$V_{REF2} \div r_2 \cdot I_{SUB} + BGR \cdot r_2 / r_1 \quad \dots (2)$$

[0040] 基準電圧生成回路 1 B は、第 2 基準電圧 V_{REF2} が基板を流れる電流 I_{SUB} の影響を受けるため、温度特性の観点から改良の余地がある回路となっている。

[0041] <4. 第 3 構成例>

図 4 は、基準電圧生成回路 1 の第 3 構成例を示す図である。なお、図 4 において図 2 と同一の部分には同一の符号を付し詳細な説明を省略する。基準電圧生成回路 1 の第 3 構成例である基準電圧生成回路 1 C は、バンドギャップリファレンス回路 2 A と、変換回路 3 A と、を備える。変換回路 3 C も上述した変換回路 3 A 及び 3 B と同様に図 1 中の変換回路 3 の一例である。

[0042] 変換回路 3 C は、N チャネル型 MOS トランジスタ Q_{31} 及び Q_{32} と、オペアンプ AMP_{31} と、抵抗 R_{31} 及び R_{32} (いずれもポリ抵抗) と、を備える。

[0043] オペアンプ AMP_{31} の第 1 電源端は、電源電圧 V_{CC} の印加端に接続されている。オペアンプ AMP_{31} の第 2 電源端は、接地電圧 V_{SS} の印加端に接続されている。

[0044] オペアンプ AMP_{31} の反転入力端 (−) は、変換回路 3 C の入力端であって、第 1 基準電圧 V_{REF1} が供給される。N チャネル型 MOS トランジスタ Q_{31} のドレイン及びゲートは、電源電圧 V_{CC} の印加端に接続されている。N チャネル型 MOS トランジスタ Q_{31} のソース及びバックゲート並びに N チャネル型 MOS トランジスタ Q_{32} のドレインは、オペアンプ AMP_{31} の非反転入力端 (+) に接続されている。N チャネル型 MOS トランジスタ Q_{32} のソース及びバックゲートは、接地電圧 V_{SS} に接続されている。

[0045] オペアンプ AMP_{31} の出力端は、基準電圧生成回路 1 C の出力端である

。オペアンプAMP 31の出力端から第2基準電圧VREF 2が出力される。
。

[0046] オペアンプAMP 31の出力端は、抵抗R 31の第1端に接続されている。抵抗R 31の第2端は、抵抗R 32の第1端及びNチャネル型MOSトランジスタQ 32のゲートに接続されている。抵抗R 32の第2端は接地電圧VSSに接続されている。なお、抵抗r 31及び抵抗R 32を設けずに、ペ
アンプAMP 31の出力端が直接Nチャネル型MOSトランジスタQ 32の
ゲートに接続されるようにしてもよい。すなわち、Nチャネル型MOSトラ
ンジスタQ 32のゲートに第2基準電圧VREF 2の分圧ではなく第2基準
電圧VREF 2が供給されてもよい。

[0047] Nチャネル型MOSトランジスタQ 31とNチャネル型MOSトランジス
タQ 32とは直列接続されているので、Nチャネル型MOSトランジスタQ
31のドレイン電流とNチャネル型MOSトランジスタQ 32のドレイン電
流は同一である。

[0048] 基準電圧生成回路1Cでは、Nチャネル型MOSトランジスタQ 31及び
Q 32を図4に示す特性にしている。すなわち、Nチャネル型MOSトラ
ンジスタQ 31及びQ 32それぞれで、Nチャネル型MOSトランジスタのゲ
ートーソース間電圧が一定であれば、飽和領域においてNチャネル型MOS
トランジスタQ 32のドレインーソース間電圧にかかわらず、Nチャネル型
MOSトランジスタのドレイン電流が略一定になるようにしており、さらに
Nチャネル型MOSトランジスタQ 31及びQ 32が略同一特性になるよう
にしている。これにより、後述する式(3)が成立する。

[0049] Nチャネル型MOSトランジスタQ 31及びQ 32がいずれも図4に示す
特性になるように、Nチャネル型MOSトランジスタQ 31及びQ 32のチ
ャネル長を長くし、Nチャネル型MOSトランジスタQ 31及びQ 32の形
状を略同一にしている。例えば、Nチャネル型MOSトランジスタQ 31及
びQ 32のチャネル長は、オペアンプAMP 31内部のトランジスタのゲー
ト長より長くするとよい。要求される第2基準電圧VREF 2の精度にもよ

るが、例えばNチャネル型MOSトランジスタQ31及びQ32のゲート長をそれぞれ5 μ m以上にすれば、飽和領域においてNチャネル型MOSトランジスタQ31及びQ32のドレイン電流が略一定度合いが良好になり、第2基準電圧VREF2の精度が良好になる。また例えば、Nチャネル型MOSトランジスタQ31のゲート長とNチャネル型MOSトランジスタQ32のゲート長とは、略同一にするとよい。

[0050] オペアンプAMP31の仮想接地の条件から、Nチャネル型MOSトランジスタQ31のソースに第1基準電圧VREF1が供給され、Nチャネル型MOSトランジスタQ31のゲートーソース間電圧はバンドギャップ基準電圧になる。一方、Nチャネル型MOSトランジスタQ31のゲートーソース間電圧は、第2基準電圧VREF2の分圧になる。そのため、抵抗R31の抵抗値を r_1 とし、抵抗R32の抵抗値を r_2 とすると、基準電圧生成回路1Cから出力される第2基準電圧VREF2は下記の式(3)で表される。なお、式(3)中のBGRはバンドギャップ基準電圧である。

$$VREF2 \div BGR \cdot (r_1 + r_2) / r_2 \quad \dots (3)$$

[0051] <5. 第4構成例>

図6は、基準電圧生成回路1の第4構成例を示す図である。なお、図6において図4と同一の部分には同一の符号を付し詳細な説明を省略する。基準電圧生成回路1の第4構成例である基準電圧生成回路1Dは、バンドギャップリファレンス回路2Aと、変換回路3Dと、を備える。変換回路3Dも上述した変換回路3A～3Cと同様に図1中の変換回路3の一例である。

[0052] 図6中の変換回路3Dは、図4中の変換回路3CにNチャネル型MOSトランジスタQ33を追加した構成である。

[0053] Nチャネル型MOSトランジスタQ33は、Nチャネル型MOSトランジスタQ31とNチャネル型MOSトランジスタQ32との間に設けられる。Nチャネル型MOSトランジスタQ33のドレインは、Nチャネル型MOSトランジスタQ31のソース及びバックゲート並びにオペアンプAMP31の非反転入力端(+)に接続されている。Nチャネル型MOSトランジスタ

Q 3 3 のソース及びバックゲートは、Nチャネル型MOSトランジスタQ 3 2 のドレインに接続されている。Nチャネル型MOSトランジスタQ 3 3 のゲートには、所定のバイアス電圧V B が供給される。

[0054] 図 6 中の変換回路 3 D は、図 4 中の変換回路 3 C に比べて、電源電圧V C C が変動した場合でもNチャネル型MOSトランジスタQ 3 1 及びQ 3 2 それぞれのドレイン－ソース間電圧の変動を抑えることができる。したがって、図 6 に示す基準電圧生成回路 1 D は、図 4 に示す基準電圧生成回路 1 C に比べて第 2 基準電圧V R E F 2 の安定性が向上する。

[0055] 図 6 中の変換回路 3 D が、図 4 中の変換回路 3 C に比べて、電源電圧V C C が変動した場合でもNチャネル型MOSトランジスタQ 3 1 及びQ 3 2 それぞれのドレイン－ソース間電圧の変動を抑えることができるので、要求される第 2 基準電圧V R E F 2 の精度にもよるが、図 6 に示す基準電圧生成回路 1 D では、Nチャネル型MOSトランジスタQ 3 1 及びQ 3 2 のチャネル長を長くしない構成にすることも可能である。

[0056] < 6. 用途 >

次に、先に説明した基準電圧生成回路 1 の用途例について説明する。図 7 (a) ~ (c) は、基準電圧生成回路 1 を備える半導体装置の各例を示すブロック図である。図 7 (a) の半導体装置 1 0 A は、基準電圧生成回路 1 に加えて、D / A コンバータ 1 1 及びA / D コンバータ 1 2 の少なくとも一方を備える。D / A コンバータ 1 1 は、デジタル信号D I N をアナログ電圧V O U T に変換する。基準電圧生成回路 1 から出力される第 2 基準電圧V R E F 2 は、D / A コンバータ 1 1 の基準電圧端子に供給される。

[0057] A / D コンバータ 1 2 は、アナログ電圧V I N をデジタル信号D O U T に変換する。基準電圧生成回路 1 から出力される第 2 基準電圧V R E F 2 は、A / D コンバータ 1 2 の基準電圧端子に供給される。半導体装置 1 0 A としては、例えば、オーディオその他の用途向けのD S P (デジタル信号処理装置)、マイクロコンピュータ、A S I C (Application Specified IC)、F P G A (Field Programmable Gate Array)などを挙げることができる

。

[0058] 図7(b)の半導体装置10Bは、DC/DCコンバータの制御回路である。半導体装置10Bは、基準電圧生成回路1に加えて、エラーアンプ13、パルス変調器14、及びドライバ15を備える。エラーアンプ13は、DC/DCコンバータの出力電圧に応じたフィードバック電圧 V_{FB} と、第2基準電圧 V_{REF2} との誤差を増幅した電圧である誤差電圧 V_{ERR} を出力する。パルス変調器14は、エラーアンプ13から出力される誤差電圧 V_{ERR} に応じたデューティ比を有するパルス信号SPWMを生成する。ドライバ15は、パルス信号SPWMに基づいてDC/DCコンバータのスイッチングトランジスタ（不図示）を駆動する。なお、DC/DCコンバータのトポロジ及び制御方式は限定されない。

[0059] なお、半導体装置10Bは、フィードバック電圧 V_{FB} を生成する回路及びスイッチングトランジスタの少なくとも一方を内蔵してもよい。

[0060] 図7(c)の半導体装置10Cは、リニアレギュレータの制御回路である。半導体装置10Cは、基準電圧生成回路1に加えて、エラーアンプ16、出力トランジスタ17、並びに分圧抵抗18及び19を備える。分圧抵抗18及び19は、リニアレギュレータの出力電圧に応じたフィードバック電圧 V_{FB} を生成する。エラーアンプ16は、リニアレギュレータの出力電圧に応じたフィードバック電圧 V_{FB} と、第2基準電圧 V_{REF2} との誤差を増幅した電圧である誤差電圧 V_{ERR} を出力する。出力トランジスタ17は、誤差電圧 V_{ERR} に応じて駆動する。

[0061] なお、フィードバック電圧 V_{FB} を生成する回路（分圧抵抗18、19）及び出力トランジスタ19の少なくとも一方を半導体装置10Cの外部に設けてもよい。

[0062] 上記のように、基準電圧生成回路1は、種々の半導体装置に使用することができる。

[0063] <7. 留意点>

なお、本発明の構成は、上記実施形態のほか、発明の主旨を逸脱しない範

図で種々の変更を加えることが可能である。上記実施形態は、全ての点で例示であって、制限的なものではないと考えられるべきであり、本発明の技術的範囲は、上記実施形態の説明ではなく、特許請求の範囲によって示されるものであり、特許請求の範囲と均等の意味及び範囲内に属する全ての変更が含まれると理解されるべきである。

[0064] 例えば基準電圧生成回路 1 を構成する各回路素子は、電源電圧 V_{CC} が印加される N 型ウェル内部に形成されることが好ましい。これにより、電源電圧 V_{CC} が変動した場合にバンドギャップ基準電圧が変動することを抑制することができる。

符号の説明

[0065] 1、1 A ~ 1 C 基準電圧生成回路
 2 バンドギャップリファレンス回路
 3、3 A ~ 3 C 変換回路
 10 A ~ 10 C 半導体装置

請求の範囲

- [請求項1] バンドギャップ基準電圧及び電源電圧に依存する第1基準電圧を生成するバンドギャップリファレンス回路と、
 前記第1基準電圧を第2基準電圧に変換する変換回路と、
 を備え、
 前記第2基準電圧は前記バンドギャップ基準電圧及び接地電圧に依存し、前記接地電圧は前記電源電圧より低い、基準電圧生成回路。
- [請求項2] 前記変換回路はアンプを備え、
 前記バンドギャップリファレンス回路の出力端と前記アンプの第1入力端とが抵抗素子を介さずに接続される、請求項1に記載の基準電圧生成回路。
- [請求項3] 前記変換回路は、
 前記電源電圧が印加される第1印加端と前記アンプの第2入力端との間に設けられる第1トランジスタと、
 前記アンプの前記第2入力端と前記接地電圧が印加される第2印加端との間に設けられる第2トランジスタと、
 をさらに備え、
 前記第1トランジスタの制御端が前記第1印加端に接続され、
 前記第2基準電圧又は前記第2基準電圧の分圧が前記第2トランジスタの制御端に供給される、請求項2に記載の基準電圧生成回路。
- [請求項4] 前記第1トランジスタのゲート長及び前記第2トランジスタのゲート長は、前記アンプ内部のトランジスタのゲート長より長い、請求項3に記載の基準電圧生成回路。
- [請求項5] 前記第1トランジスタのゲート長及び前記第2トランジスタのゲート長はそれぞれ5 μm 以上である、請求項4に記載の基準電圧生成回路。
- [請求項6] 前記第1トランジスタのゲート長と前記第2トランジスタのゲート長とは、略同一である、請求項4又は請求項5に記載の基準電圧生成

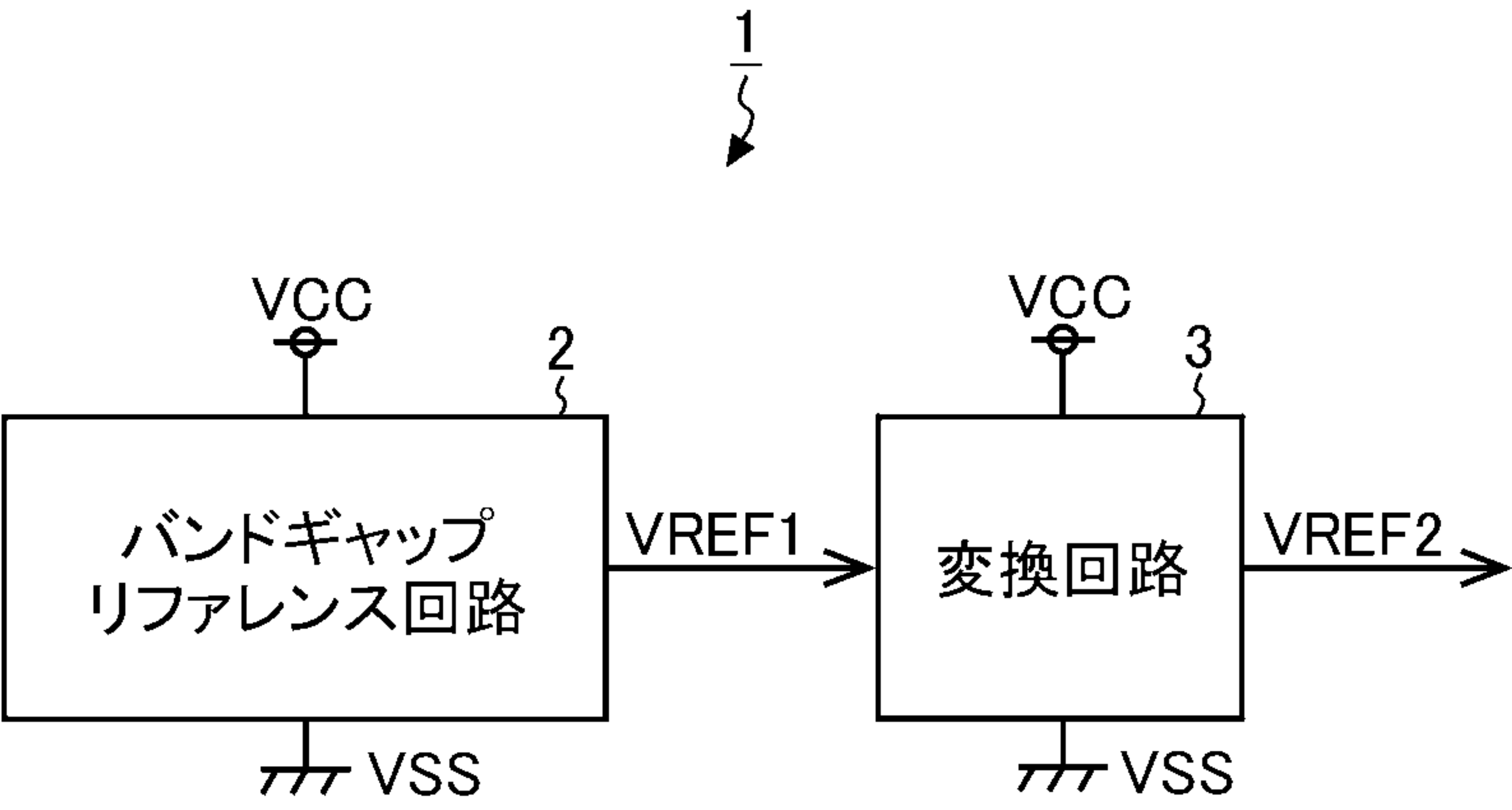
回路。

[請求項7] 前記変換回路は、前記アンプの前記第2入力端と前記第2トランジスタとの間に設けられる第3トランジスタをさらに備え、

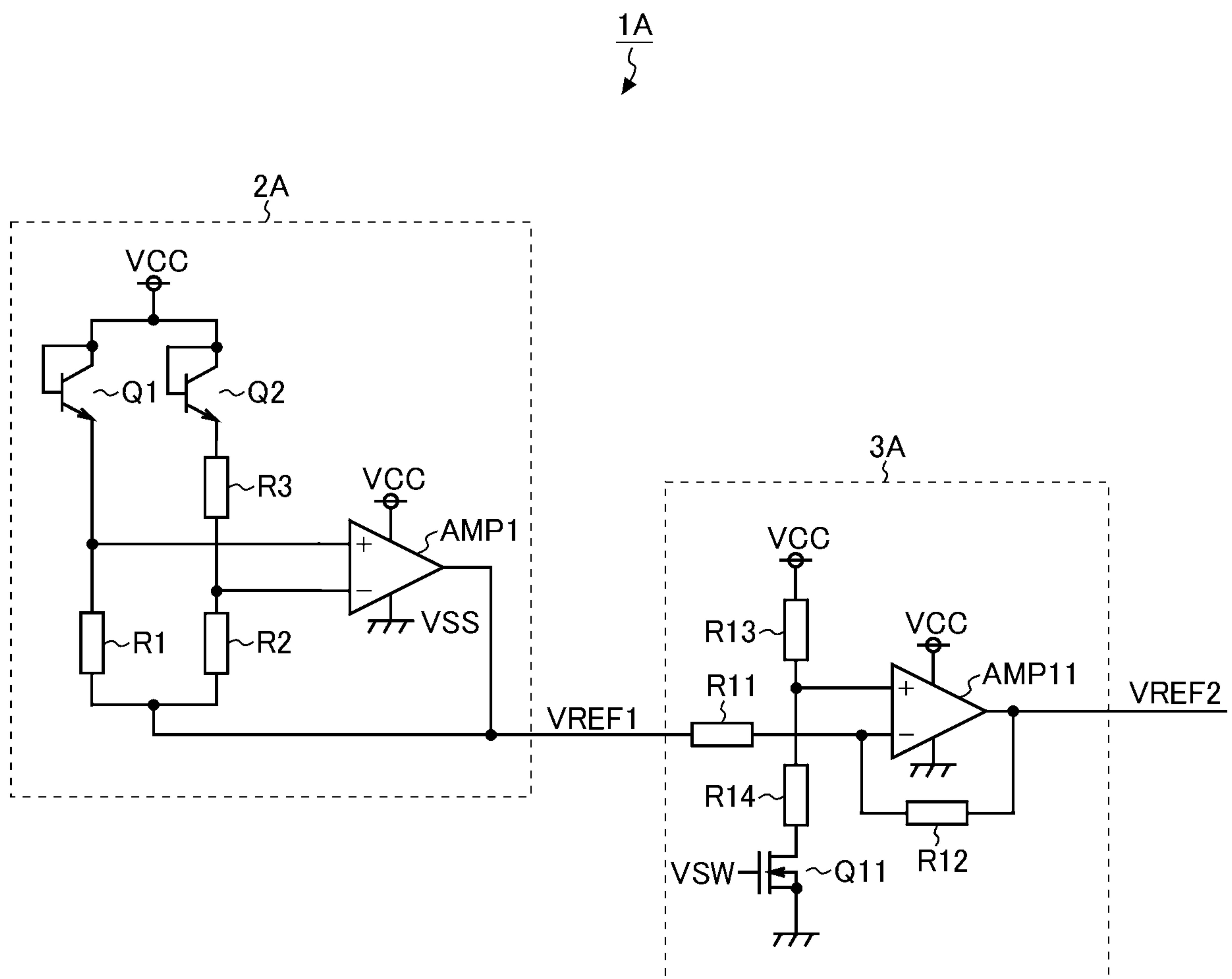
前記第3トランジスタの制御端にバイアス電圧が供給される、請求項3～6のいずれか一項に記載の基準電圧生成回路。

[請求項8] 請求項1～7のいずれか一項に記載の基準電圧生成回路を備える、半導体装置。

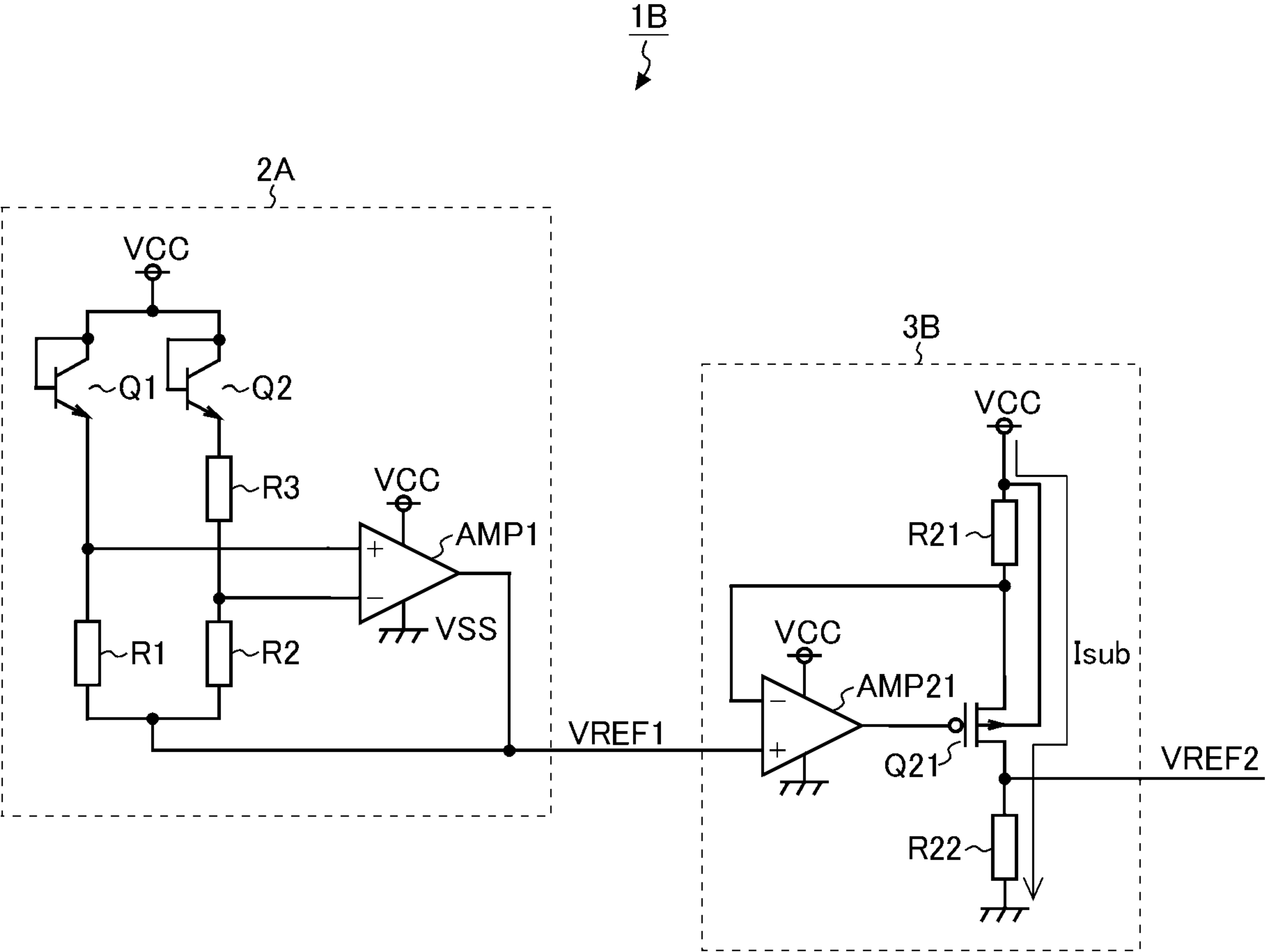
[図1]



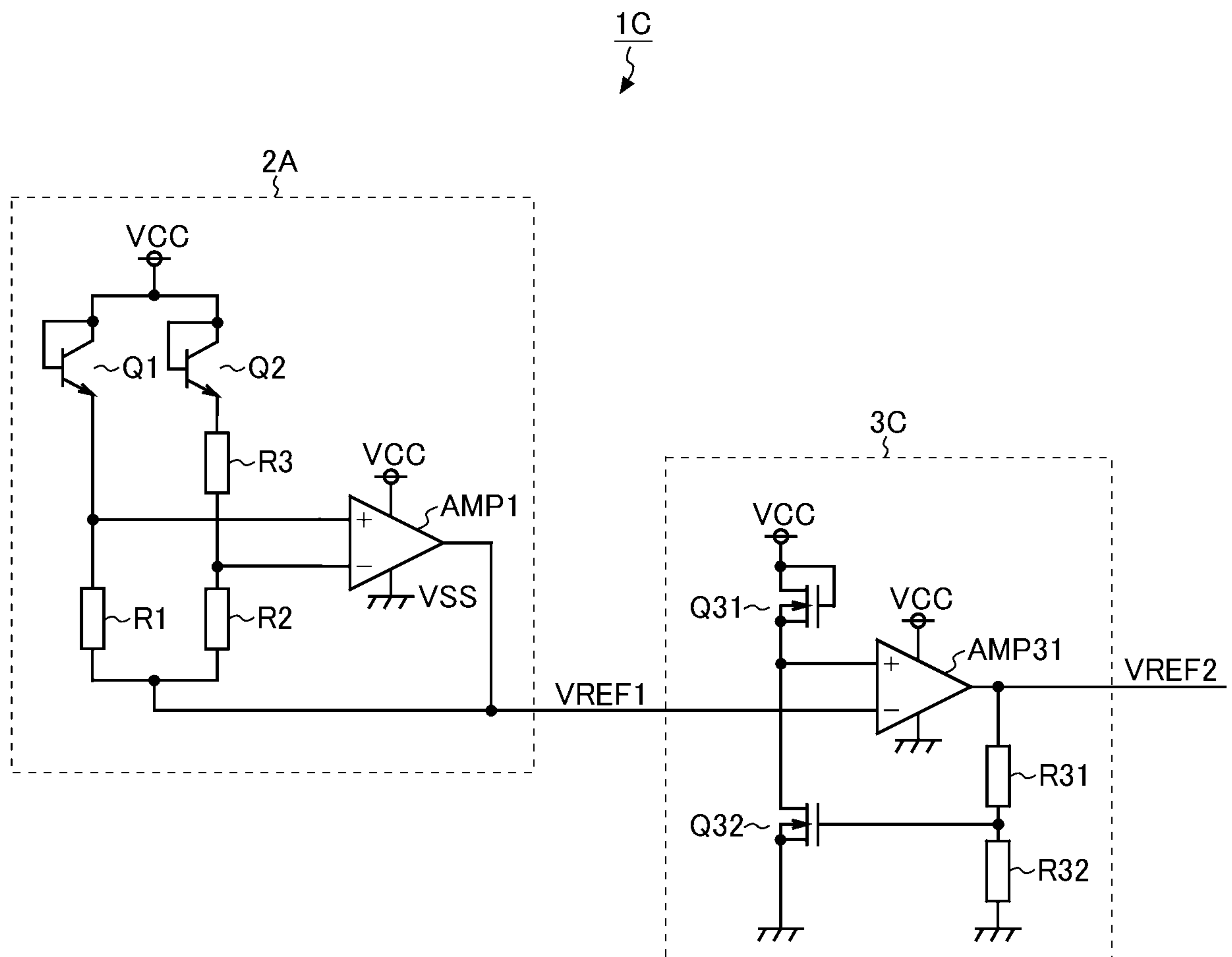
[図2]



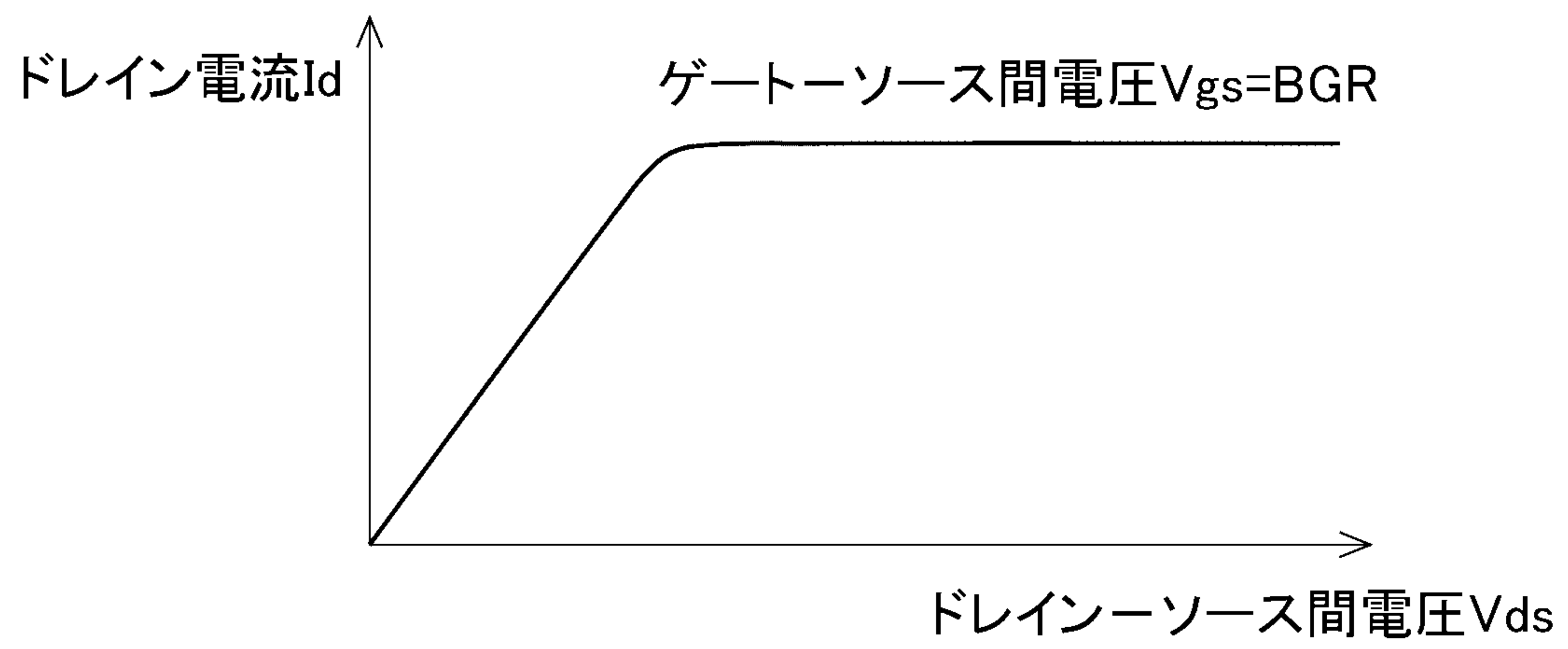
[図3]



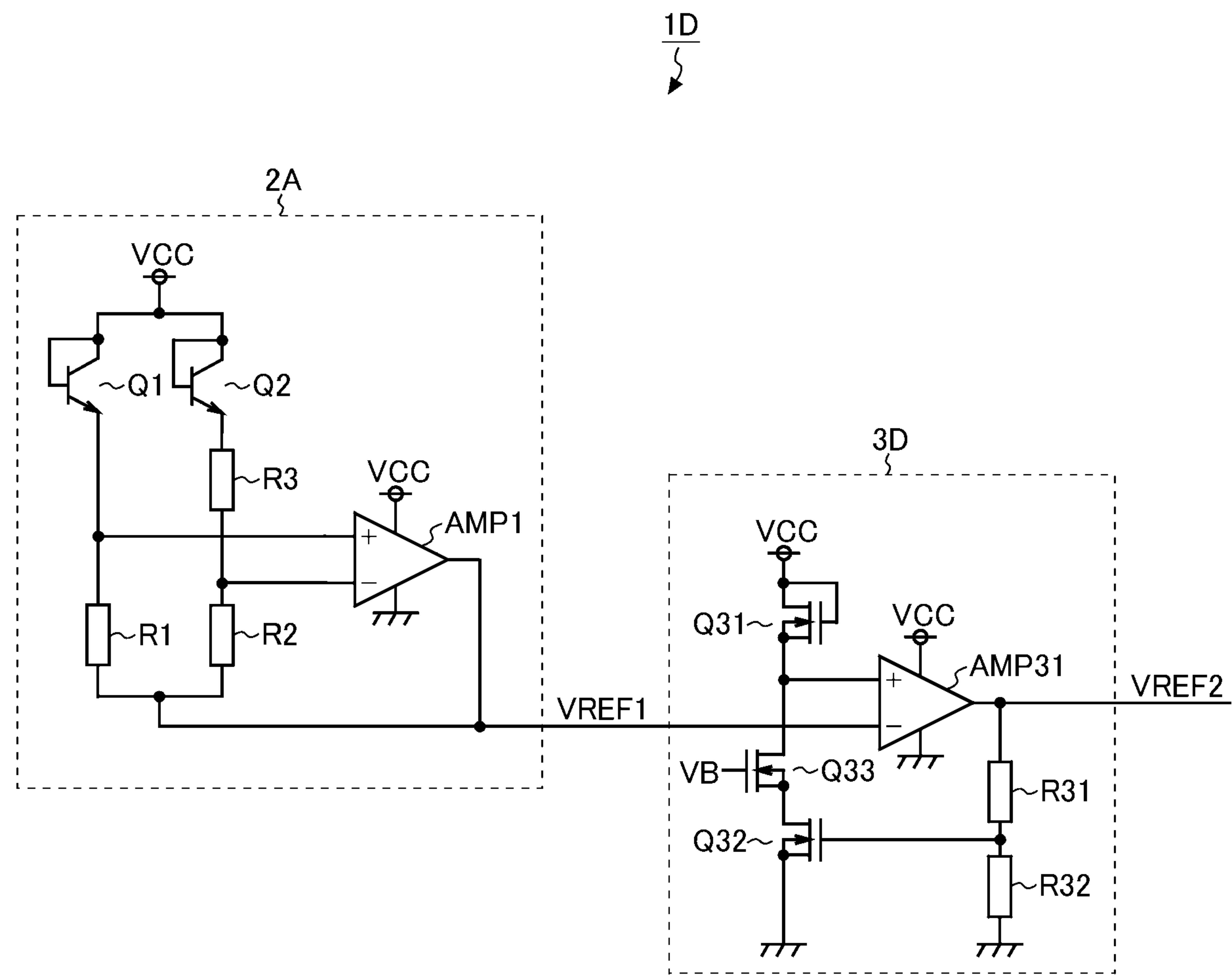
[図4]



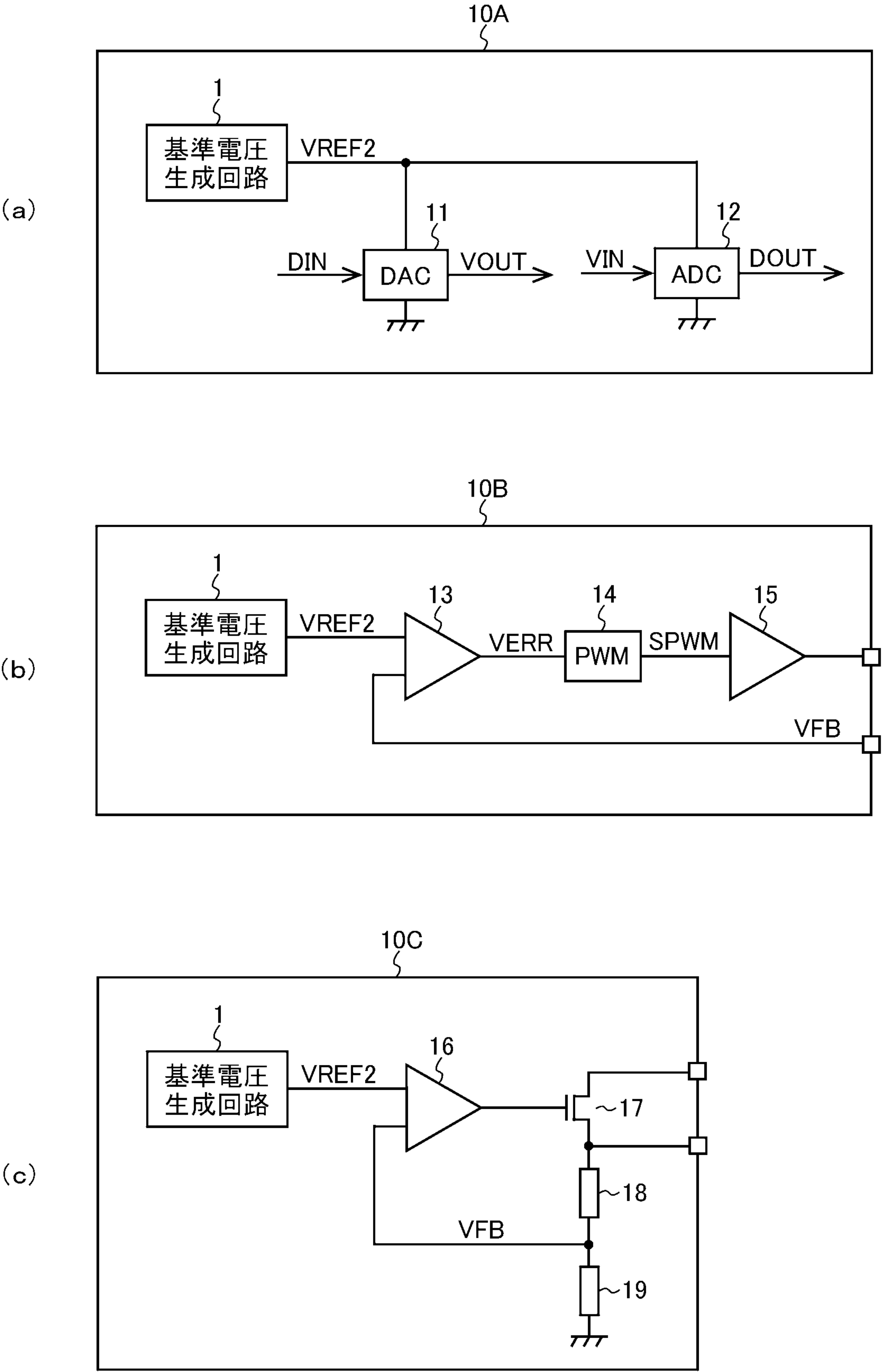
[図5]



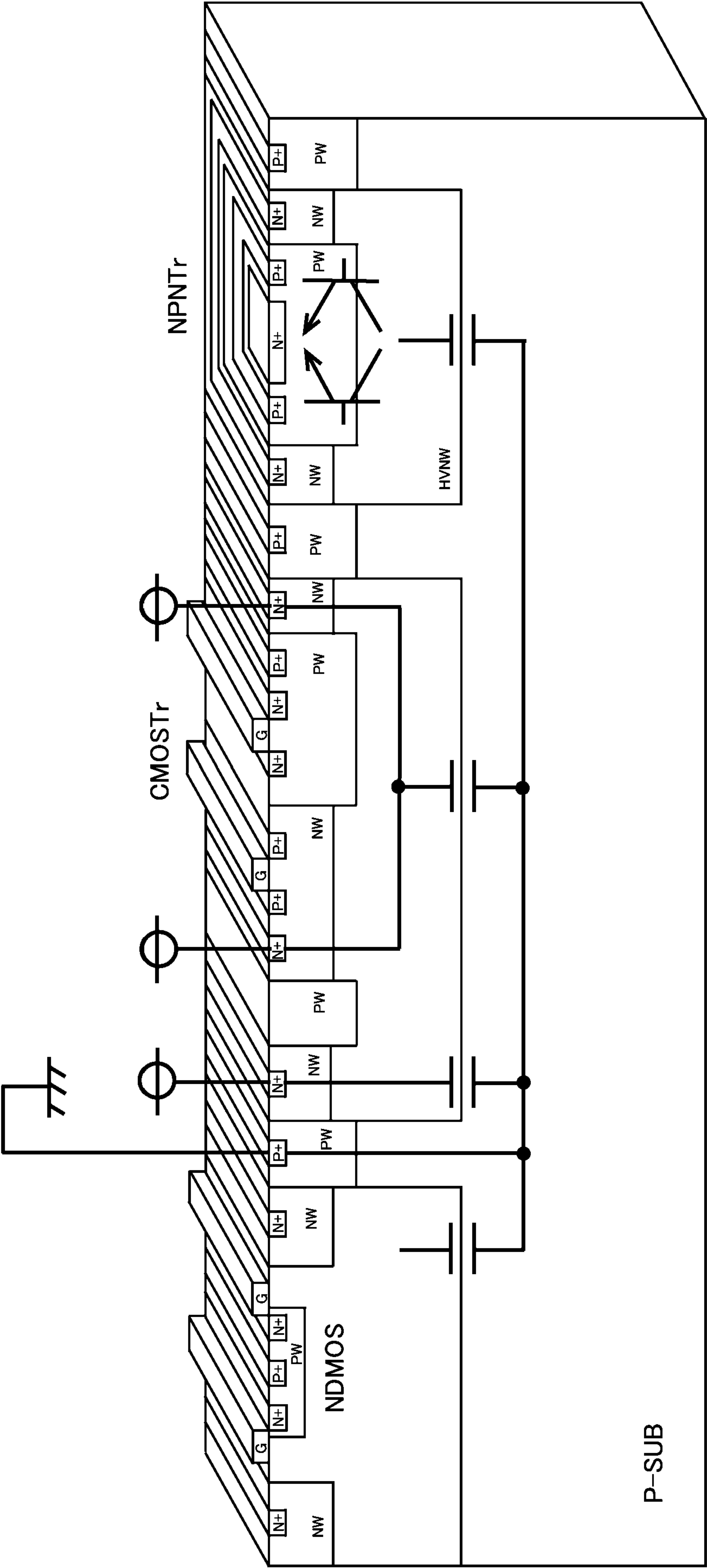
[図6]



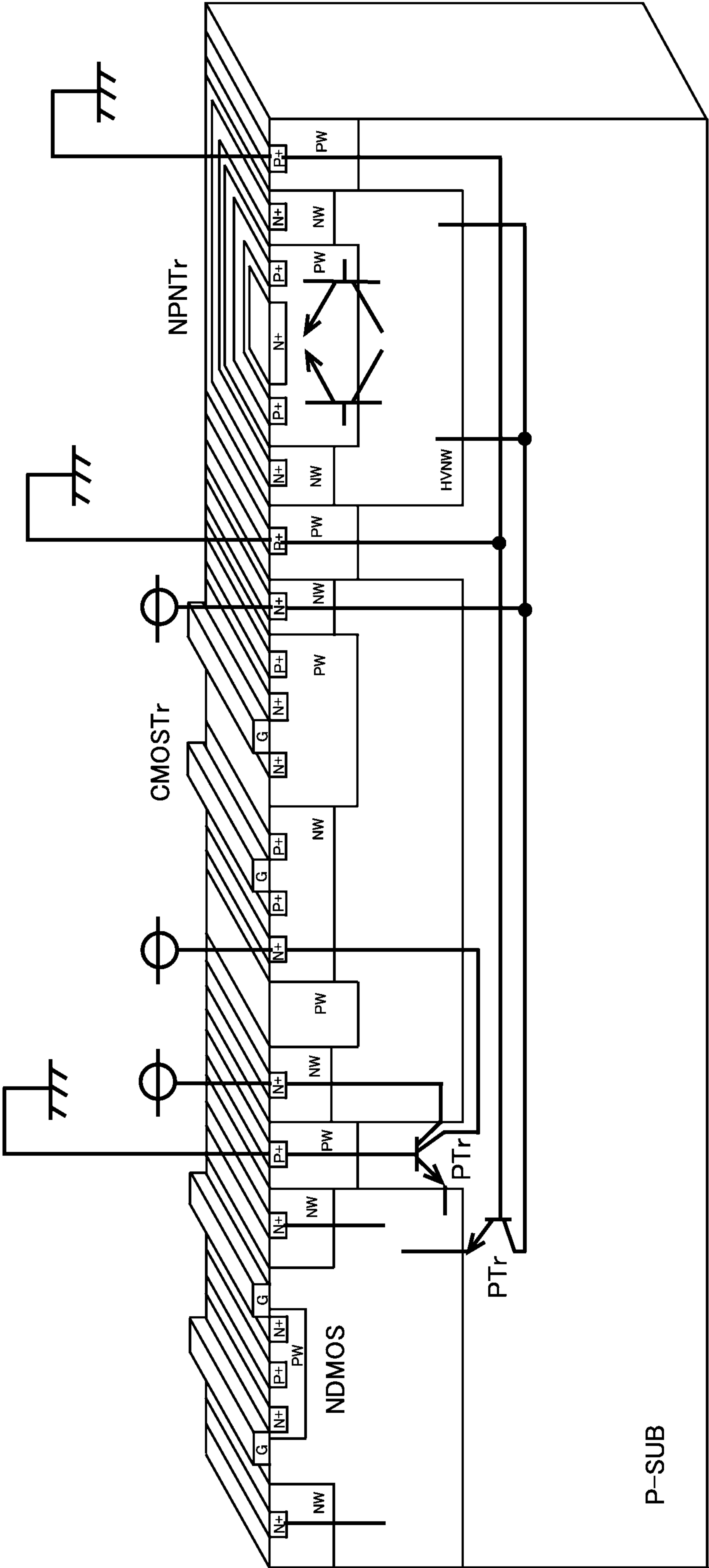
[図7]



[図8]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2020/044149

A. CLASSIFICATION OF SUBJECT MATTER
Int. Cl. G05F3/30 (2006.01) i
FI: G05F3/30
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED
Minimum documentation searched (classification system followed by classification symbols)
Int. Cl. G05F3/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2020
Registered utility model specifications of Japan 1996-2020
Published registered utility model applications of Japan 1994-2020
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 58-96318 A (FUJITSU LTD.) 08 June 1983, page 2, lower left column, line 10 to page 3, lower right column, line 1, fig. 2, 3	1, 2, 8 3-7
Y A	JP 2003-5846 A (TOSHIBA MICRO ELECTRONICS) 08 January 2003, paragraphs [0002]-[0004], fig. 8	1, 2, 8 3-7
A	JP 2016-130905 A (POWERCHIP TECHNOLOGY CORP.) 21 July 2016, entire text, all drawings	1-8
A	JP 58-96317 A (OKI ELECTRIC INDUSTRY CO., LTD.) 08 June 1983, entire text, all drawings	1-8
A	CN 101930248 A (SHANGHAI HUA HONG NEC ELECTRONICS CO.) 29 December 2010, entire text, all drawings	1-8

☐ Further documents are listed in the continuation of Box C.	☒ See patent family annex.
---	--

* Special categories of cited documents:	
“A” document defining the general state of the art which is not considered to be of particular relevance	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“E” earlier application or patent but published on or after the international filing date	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“O” document referring to an oral disclosure, use, exhibition or other means	“&” document member of the same patent family
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 11.12.2020	Date of mailing of the international search report 22.12.2020
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.
PCT/JP2020/044149

Patent Documents referred to in the Report	Publication Date	Patent Family	Publication Date
JP 58-96318 A	08.06.1983	(Family: none)	
JP 2003-5846 A	08.01.2003	(Family: none)	
JP 2016-130905 A	21.07.2016	US 2016/0204699 A1 CN 106200735 A	
JP 58-96317 A	08.06.1983	(Family: none)	
CN 101930248 A	29.12.2010	(Family: none)	

国際調査報告		国際出願番号 PCT/JP2020/044149
A. 発明の属する分野の分類（国際特許分類（IPC）） G05F 3/30(2006.01)i FI: G05F3/30		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） G05F3/30		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922 - 1996年 日本国公開実用新案公報 1971 - 2020年 日本国実用新案登録公報 1996 - 2020年 日本国登録実用新案公報 1994 - 2020年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 58-96318 A（富士通株式会社）08.06.1983（1983 - 06 - 08） 第2頁左下欄第10行－第3頁右下第1行，第2図，第3図	1, 2, 8 3-7
Y A	JP 2003-5846 A（東芝マイクロエレクトロニクス株式会社）08.01.2003（2003 - 01 - 08） 段落【0002】－【0004】，図8	1, 2, 8 3-7
A	JP 2016-130905 A（力晶科技股▲ふん▼有限公司）21.07.2016（2016 - 07 - 21） 全文，全図	1-8
A	JP 58-96317 A（沖電気工業株式会社）08.06.1983（1983 - 06 - 08） 全文，全図	1-8
A	CN 101930248 A（上海華虹NEC電子有限公司）29.12.2010（2010 - 12 - 29） 全文，全図	1-8
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 11. 12. 2020		国際調査報告の発送日 22. 12. 2020
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 栗栖 正和 5G 3987 電話番号 03-3581-1101 内線 3526

PCT/JP2020/044149

引用文献			公表日	パテントファミリー文献	公表日
JP	58-96318	A	08.06.1983	(ファミリーなし)	
JP	2003-5846	A	08.01.2003	(ファミリーなし)	
JP	2016-130905	A	21.07.2016	US	2016/0204699 A1
				CN	106200735 A
JP	58-96317	A	08.06.1983	(ファミリーなし)	
CN	101930248	A	29.12.2010	(ファミリーなし)	