



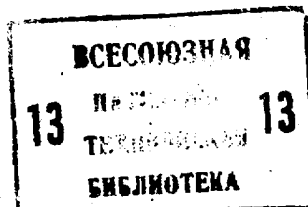
СОЮЗ СОВЕТСКИХ  
СОЦИАЛИСТИЧЕСКИХ  
РЕСПУБЛИК

(19) **SU** (11) **1247862 A 1**

(5D) 4 G 06 F 7/52

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3836695/24-24  
(22) 07.01.85  
(46) 30.07.86. Бюл. № 28  
(71) Минский радиотехнический институт  
(72) А.Г. Батюков и А.А. Шостак  
(53) 681.3(088.8)  
(56) Патент США № 3234367,  
кл. 235-156, 1962.  
Патент США № 3293418, кл. 235-156,  
1964.

Авторское свидетельство СССР  
№ 732868, кл. G 06 F 7/52, 1977.

- (54) УСТРОЙСТВО ДЛЯ ДЕЛЕНИЯ ЧИСЕЛ  
(57) Изобретение относится к области вычислительной техники и может быть применено в быстродействующих арифметических устройствах для выполнения операции деления чисел. Целью изобретения является повышение быстродействия устройства за счет сокращения длительности такта формирования К цифр частного. Устройство для деления чисел содержит первый и второй регистры остатка, регистры делителя и частного, блок деления усеченных чисел, содержащий сумматор принудительного округления делителя, первый и второй вычитатели, первый и второй узлы деления и коммутатор, блок умножения, первый, второй и третий вычитатели, коммутатор, узел коррекции частного и блок управления, причем выходы разрядов первого регистра остатка соединены с входами уменьшаемого второго вычитателя, входы вычитаемого которого соединены с выходами разрядов второго регистра остатка, выходы разности второго вычитателя соединены с входами уменьшаемого пер-

вого и третьего вычитателей, выходы разрядов регистра делителя соединены с входами вычитаемого третьего вычитателя и с входами первой группы блока умножения, входы второй группы которого соединены с выходами коммутатора блока деления усеченных чисел, выходы первой и второй групп блока умножения соединены с входами вычитаемого первой и второй групп первого вычитателя соответственно, вход данных устройства соединен с информационными входами регистра делителя и с информационными входами первой группы коммутатора, информационные входы второй и третьей групп которого соединены с выходами разности первого и третьего вычитателей соответственно, выходы коммутатора соединены с информационными входами первого регистра остатка, информационные входы второго регистра остатка соединены с выходами займа первого вычитателя, выходы старших разрядов регистра делителя соединены с входами сумматора принудительного округления делителя блока деления усеченных чисел, выходы сумматора принудительного округления делителя блока деления усеченных чисел соединены с входами делителя первого и второго узлов деления блока деления усеченных чисел, входы делимого которых соединены с выходами первого и второго вычитателей блока деления усеченных чисел соответственно, входы уменьшаемого первого и второго вычитателей блока деления усеченных чисел соединены с выходами старших разрядов первого регистра остатка, а их вхо-

(19) **SU** (11) **1247862 A 1**

ды вычитаемого соединены с выходами старших разрядов второго регистра остатка, выходы первого и второго узлов деления блока деления усеченных чисел соединены с информационными входами первой и второй групп коммутатора блока деления усеченных чисел соответственно, выходы которого, за исключением старшего разряда, со-

единены с информационными входами первой группы узла коррекции частного, информационные входы второй группы которого соединены с выходами младших разрядов регистра частного, выходы узла коррекции частного соединены с информационными входами младших разрядов регистра частного. 2 з.п. ф-лы, 4 ил.

1

Изобретение относится к вычислительной технике и может быть применено в быстродействующих арифметических устройствах для выполнения операции деления чисел.

Цель изобретения - повышение быстродействия.

На фиг. 1 приведена структурная схема устройства для деления чисел; на фиг. 2 - функциональная схема первого вычитателя; на фиг. 3 - функциональная схема узла коррекции частного при  $K = 5$ ; на фиг. 4 - функциональная схема блока управления.

Устройство содержит первый регистр 1 остатка, второй регистр 2 остатка, регистр 3 делителя, регистр 4 частного, блок 5 деления усеченных чисел, сумматор 6 принудительного округления делителя блока 5 деления усеченных чисел, первый вычитатель 7 блока 5 деления усеченных чисел, второй вычитатель 8 блока 5 деления усеченных чисел, первый узел 9 деления блока 5 деления усеченных чисел, второй узел 10 деления блока 5 деления усеченных чисел, коммутатор 11 блока 5 деления усеченных чисел, блок 12 умножения, первый вычитатель 13, второй вычитатель 14, третий вычитатель 15, коммутатор 16, узел 17 коррекции частного, блок 18 управления, вход 19 данных устройства, вход 20 синхронизации устройства, выход 21 остатка устройства, выход 22 частного устройства, шину 23 логической единицы, шину 24 логического нуля, выходы 25 разрядов первого регистра 1 остатка, выходы 26 старших разрядов первого регистра 1 остатка, выходы 27 разрядов второго

2

регистра 2 остатка, выходы 28 старших разрядов второго регистра 2 остатка, выходы 29 разрядов регистра 3 делителя, выходы 30 старших разрядов регистра 3 делителя, выходы 31 коммутатора 11 блока 5 деления усеченных чисел, выходы 32 коммутатора 11 блока 5 деления усеченных чисел за исключением его старшего разряда, выход 33 старшего разряда коммутатора 11, выходы 34 разности второго вычитателя 14, выход 35 заема старшего разряда третьего вычитателя 15, выходы 37 первой группы блока 12 умножения, выходы 38 второй группы блока 12 умножения, выходы 39 разности первого вычитателя 13, выходы 40 заема первого вычитателя 13, выходы 41 младших разрядов регистра 4 частного, выходы 42 узла 17 коррекции частного, выходы 43-49 блока 18 управления. Вычитатель 13 содержит одnorазрядные двоичные вычитатели 50. Узел 17 содержит элемент НЕ 51, элементы И 52 и четырехразрядный двоичный сумматор 53. Блок 18 управления содержит счетчик 54, дешифратор 55, элементы И 56 и элементы ИЛИ 57.

Устройство для деления чисел работает следующим образом.

Пусть в исходном состоянии счетчик 54 блока 18 обнулен, а на входе 19 присутствует  $n$ -разрядный двоичный код делителя  $U$ . Тогда по первому синхроимпульсу на входе 20, на выходах 43 и 44 блока 18 формируются сигналы, по которым осуществляется запись делителя в регистр 3 и обнуляются регистры 1 и 2. По истечении действия первого импульса на входе 20, счетчик 54 блока 18 переключается в

состояние "1", что, в свою очередь, приводит к появлению сигнала логической "1" на выходе 45 блока 18. Так как в регистрах 1 и 2 хранятся нулевые коды, то на выходах 31 блока 5 формируется нулевой код  $k$ -разрядного частного, на выходе 36 вычитателя 15 образуется сигнал логической "1", на выходах 39 и 40 вычитателя 13 формируются нулевые коды. С приходом второго импульса на вход 20 осуществляется запись с входа 19  $n$ -разрядного кода делимого в регистр 1, нулевого кода заема вычитателя 13 - в регистр 2, и нулевого кода частного - в младшие разряды регистра 4. По истечении действия второго импульса на входе 20, счетчик 54 блока 18 переключается в состояние "2". На этом подготовительный этап, включающий два такта, заканчивается и далее выполняется собственно деление, в процессе которого за  $m$  тактов формируется  $m(k-1)+1$  двоичных цифр частного.

Рассмотрим работу устройства в течение одного  $i$ -го такта ( $1 \leq i \leq m$ ) формирования  $k$  цифр частного. По значению старших разрядов текущего остатка, хранимого в регистрах 1 и 2 в двухрядном коде, и делителя, хранимого в регистре 3, на выходах узла 9 блока 5 формируется  $k$  двоичных цифр частного, в предположении, что при приведении двухрядного кода текущего остатка в однорядный код образуется сигнал заема из младших разрядов остатка в старшие, а на выходах узла 10 блока 5 формируется  $k$  двоичных цифр частного, в предположении, что при приведении двухрядного кода текущего остатка в однорядный код не образуется сигнал заема из младших разрядов остатка в старшие. Параллельно с работой блока 5 работает вычитатель 14, который преобразует двухрядный код текущего остатка в однорядный код.

По значению сигнала заема этого вычитателя 14 осуществляется окончательное формирование  $k$  цифр частного на выходах блока 5. Если этот сигнал заема соответствует сигналу логической "1", то в качестве  $k$ -разрядного частного в устройстве используется значение  $k$  цифр частного, образованных на выходах узла 9 блока 5, а если сигнал заема соответствует сигналу логического "0", то в качестве  $k$ -разрядного частного в устройстве ис-

пользуется значение  $k$  цифр частного, сформированных на выходах узла 10 блока 5. Сформированное на выходах блока 5  $k$ -разрядное частное  $Z_i$  поступает в узел 17 и одновременно подается на входы второй группы блока 12, на выходах 37 и 38 которого образуется произведение  $Y \cdot Z_i$  в двухрядном коде. На выходах 39 и 40 вычитателя 13 формируется в двухрядном коде разность  $r'_i = r_{i-1} - Y \cdot Z_i$ , а на выходах вычитателя 15 образуется разность  $r_i = r_{i-1} - Y$  ( $r_{i-1}$  - значение текущего остатка, сформированное на выходах разности вычитателя 14 в однорядном коде). Если разность, сформированная на выходах вычитателя 15, положительна, а старший разряд  $k$ -разрядного частного, сформированного в блоке 5, равен нулю, то в  $i$ -м такте в качестве очередного остатка  $r_i$  коммутатором 16 выбирается разность  $r'_i$ . Значение этой разности записывается в регистр 1 со сдвигом влево на  $(k-1)$  разрядов, в то время, как регистр 2 обнуляется. При этом в узле 17 образуется скорректированное  $k$ -разрядное частное в виде  $1000 \dots 0$ . Во всех же других случаях в качестве очередного остатка выбирается разность  $r_i$ , значение которой в виде двух чисел записывается соответствующим образом со сдвигом влево на  $(k-1)$  разрядов в регистры 1 и 2. При этом в узле 17 сформированное на выходах блока 5  $k$ -разрядное частное не корректируется. Аналогичным образом работает устройство во всех других тактах формирования  $k$ -двоичных цифр частного.

#### Ф о р м у л а и з о б р е т е н и я .

1. Устройство для деления чисел, содержащее первый регистр остатка, регистр делителя, регистр частного, блок деления усеченных чисел, содержащий сумматор принудительного округления делителя и первый узел деления, блок умножения, три вычитателя, коммутатор, узел коррекции частного и блок управления, причем вход данных устройства соединен с информационными входами регистра делителя и с информационными входами первой группы коммутатора, информационные входы второй и третьей группы которого соединены с выходами разности первого и третьего вычитателей соответствен-

но, выходы коммутатора соединены с информационными входами первого регистра остатка, выходы разрядов которого соединены с входами уменьшаемого второго вычитателя, выходы разности которого соединены с входами уменьшаемого третьего вычитателя, выходы разрядов регистра делителя соединены с входами первой группы блока умножения, выходы старших разрядов регистра делителя соединены с входами сумматора принудительного округления делителя блока деления усеченных чисел, вход переноса сумматора принудительного округления делителя блока деления усеченных чисел подключен к шине логической единицы, а выходы соединены с входами делителя первого узла деления блока деления усеченных чисел, выходы узла коррекции частного соединены с информационными входами младших разрядов регистра частного, выходы разрядов которого являются выходом частного устройства, вход синхронизации устройства соединен с синхровходами регистра частного и первого регистра остатка и с первым входом блока управления, второй вход которого соединен с первым управляющим входом узла коррекции частного и с выходом заема старшего разряда третьего вычитателя, первый выход блока управления соединен с синхровходом регистра делителя и с входом установки в ноль первого регистра остатка, второй, третий и четвертый выходы блока управления соединены с первым, вторым и третьим управляющими входами коммутатора соответственно, пятый выход блока управления является выходом сигнализации окончания деления устройства, о т л и ч а ю щ е е с я тем, что, с целью повышения быстродействия, устройство содержит второй регистр остатка, блок деления усеченных чисел содержит второй узел деления, два вычитателя и коммутатор, первый вычитатель устройства выполнен как вычитатель с запоминанием заема, причем информационные входы второго регистра остатка соединены с выходами заема первого вычитателя, выходы разрядов второго регистра остатка соединены с входами вычитаемого второго вычитателя, выходы разности которого являются выходом остатка устройства, входы уменьшаемого первого вычитателя со-

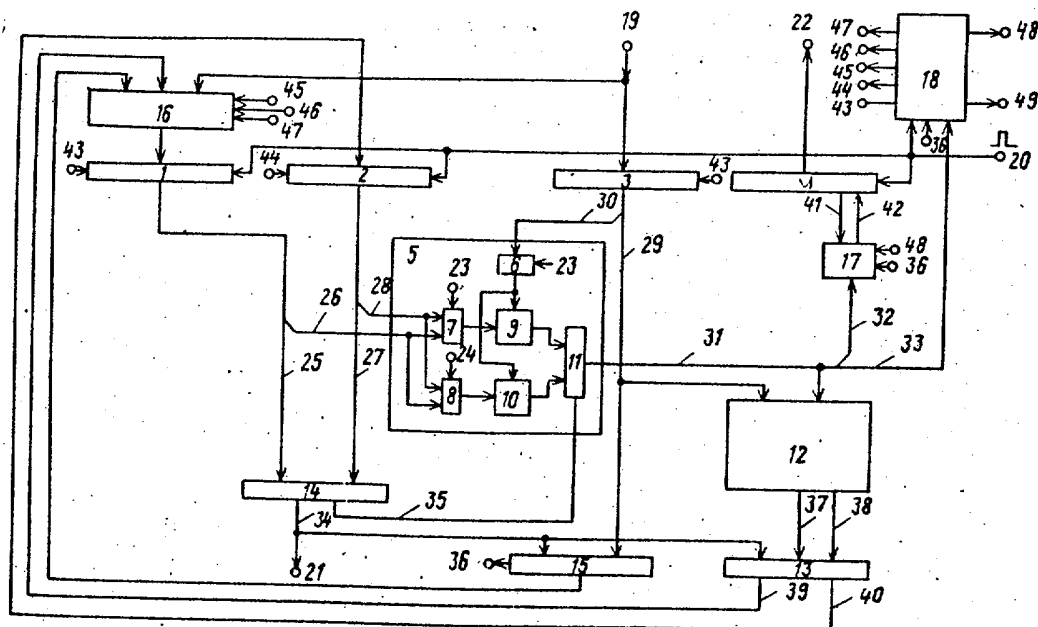
единены с входами уменьшаемого третьего вычитателя, выходы первой и второй групп блока умножения соединены с входами вычитаемого первой и второй групп первого вычитателя соответственно, входы вычитаемого третьего вычитателя соединены с входами первой группы блока умножения, входы второй группы которого соединены с выходами коммутатора блока деления усеченных чисел, входы уменьшаемого первого и второго вычитателей блока деления усеченных чисел соединены с выходами старших разрядов первого регистра остатка, входы вычитаемого первого и второго вычитателей блока деления усеченных чисел соединены с выходами старших разрядов второго регистра остатка, входы заема первого и второго вычитателей блока деления усеченных чисел подключены к шинам логической единицы и нуля соответственно, выходы первого и второго вычитателей блока деления усеченных чисел соединены с входами делителя первого и второго узлов деления блока деления усеченных чисел соответственно, выходы которых соединены с информационными входами первой и второй групп коммутатора блока деления усеченных чисел соответственно, входы делителя второго узла деления блока деления усеченных чисел соединены с входами делителя первого узла деления блока деления усеченных чисел, управляющий вход коммутатора блока деления усеченных чисел соединен с выходом заема старшего разряда второго вычитателя, выходы коммутатора блока деления усеченных чисел, за исключением старшего разряда, соединены с информационными входами первой группы узла коррекции частного, информационные входы второй группы которого соединены с выходами младших разрядов регистра частного, синхровход второго регистра остатка соединен с синхровходом первого регистра остатка, выход старшего разряда коммутатора блока деления усеченных чисел соединен с третьим входом блока управления, шестой выход блока управления соединен с входом установки в ноль второго регистра остатка, седьмой выход блока управления соединен с вторым управляющим входом узла коррекции частного.

2. Устройство по п. 1, о т л и ч а ю щ е е с я тем, что узел кор-

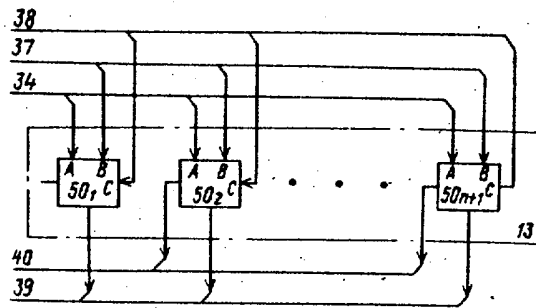
рекции частного содержит  $(k-1)$  элементов И (где  $k$  - число одновременно формируемых в такте цифр частного), элемент НЕ и  $(k-1)$ -разрядный сумматор, причём первые входы элементов И соединены соответственно с информационными входами первой группы узла коррекции частного, а вторые входы объединены и соединены с вторым управляющим входом узла коррекции частного, первые входы разрядов сумматора соединены соответственно с информационными входами второй группы узла коррекции частного, второй вход младшего разряда сумматора соединен через элемент НЕ с первым управляющим входом узла коррекции частного, а вторые входы оставшихся разрядов сумматора подключены к шине логического нуля, выходы элементов И и сумматора являются выходами узла коррекции частного.

3. Устройство по п. 1, отличающееся тем, что блок управления содержит счетчик, дешифратор, элементы И и ИЛИ, причём выходы счетчика соединены с входами дешифратора, первый выход дешифратора соединен с первыми входами первого элемента И и первого элемента ИЛИ, второй выход де-

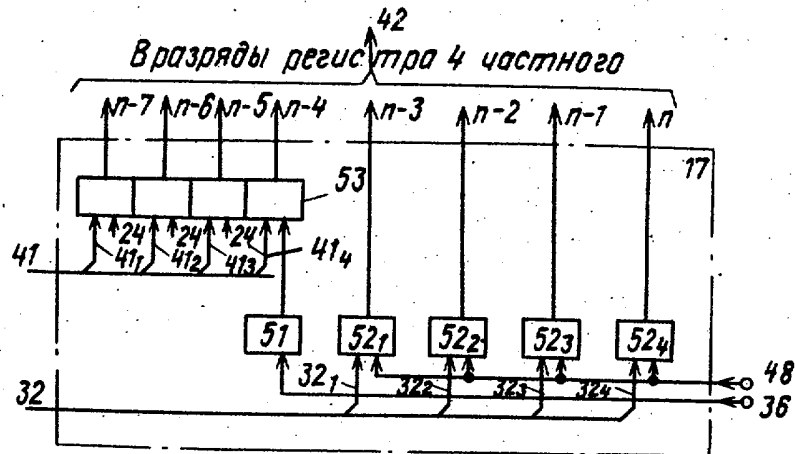
шифратора соединен с инверсным входом третьего элемента И и является вторым выходом блока управления, третий выход дешифратора соединен с первым входом четвертого элемента И, первый и второй входы второго элемента ИЛИ соединены с вторым и третьим входами блока управления соответственно, прямой выход второго элемента ИЛИ соединен с прямым входом третьего элемента И и является седьмым выходом блока управления, инверсный выход второго элемента ИЛИ соединен с вторым входом первого элемента ИЛИ и является четвертым выходом блока управления, выход первого элемента ИЛИ соединен с первым входом второго элемента И, второй вход которого соединен с вторыми входами первого и четвертого элементов И, с входом счетчика и с первым входом блока управления, выходы первого, второго и третьего элементов И являются первым, шестым и третьим выходами блока управления соответственно, выход четвертого элемента И соединен с входом установки в ноль счетчика и является пятым выходом блока управления.



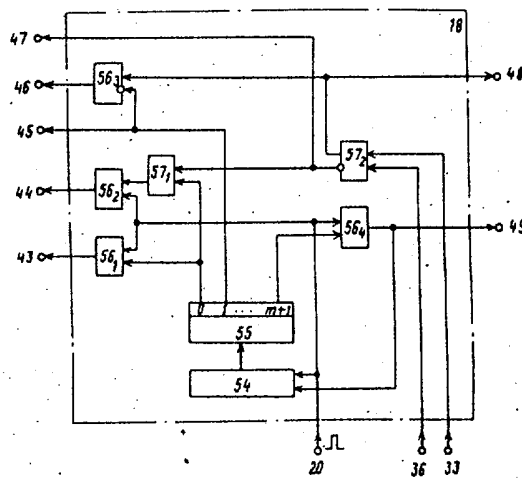
Фиг. 1



Фиг. 2



Фиг. 3



Фиг. 4

Составитель А. Ключев  
 Редактор И. Сегляник Техред М. Ходанич Корректор Л. Пилипенко

Заказ 4126/48 Тираж 671 Подписное

ВНИИПИ Государственного комитета СССР  
 по делам изобретений и открытий  
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4