

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)公開番号
特開2022-13255
(P2022-13255A)

(43)公開日 令和4年1月18日(2022.1.18)

(51)国際特許分類

F I

テーマコード (参考)

H 0 1 L 21/02 (2006.01) H 0 1 L 21/02 B 5 F 2 4 1

H 0 1 L 33/00 (2010.01) H 0 1 L 21/02 C

H 0 1 L 33/00

審査請求 未請求 請求項の数 5 O L (全17頁)

(21)出願番号	特願2020-115681(P2020-115681)	(71)出願人	000190149
(22)出願日	令和2年7月3日(2020.7.3)		信越半導体株式会社
			東京都千代田区大手町二丁目 2 番 1 号
		(74)代理人	100102532
			弁理士 好宮 幹夫
		(74)代理人	100194881
			弁理士 小林 俊弘
		(72)発明者	石崎 順也
			群馬県安中市磯部二丁目 1 3 番 1 号 信
			越半導体株式会社 半導体磯部研究所内
		F ターム (参考)	5F241 AA31 CB36

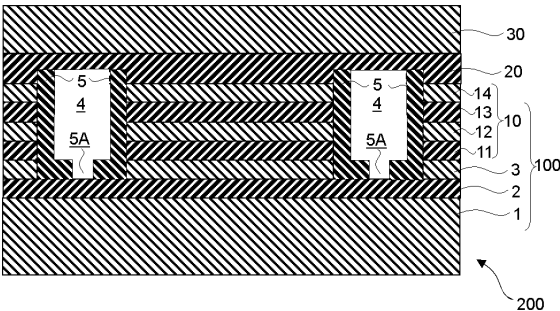
(54)【発明の名称】 接合型半導体ウェーハの製造方法及び接合型半導体素子の製造方法

(57)【要約】

【課題】製造コストを低減することができる接合型半導体ウェーハの製造方法、及び製造コストを低減することができる接合型半導体素子の製造方法を提供すること。

【解決手段】出発基板上に犠牲層をエピタキシャル成長する工程と、犠牲層上に化合物半導体機能層をエピタキシャル成長する工程と、選択エッチング法にて化合物半導体機能層の一部領域に、犠牲層が露出するようにトレンチを形成する工程と、トレンチの表面及び犠牲層の露出部に保護膜を形成する工程と、犠牲層を覆う保護膜の一部を開口して、保護膜に開口部を形成する工程と、化合物半導体機能層と異なる材料の支持基板を接合材を介して化合物半導体機能層に接合する工程と、保護膜の開口部からエッチング液を供給し犠牲層をエッチングすることで、出発基板と化合物半導体機能層とを分離する工程とを有することを特徴とする接合型半導体ウェーハの製造方法。

【選択図】 図 6



【特許請求の範囲】

【請求項 1】

接合型半導体ウェーハの製造方法であって、
出発基板上に犠牲層をエピタキシャル成長する工程と、
前記犠牲層上に化合物半導体機能層をエピタキシャル成長する工程と、
選択エッチング法にて前記化合物半導体機能層の一部領域に、犠牲層が露出するようにトレンチを形成する工程と、
前記トレンチの表面及び前記犠牲層の露出部に保護膜を形成する工程と、
前記犠牲層を覆う前記保護膜の一部を開口して、前記保護膜に開口部を形成する工程と、
前記化合物半導体機能層と異なる材料の支持基板を接合材を介して前記化合物半導体機能層に接合する工程と、
前記開口部からエッチング液を供給し前記犠牲層をエッチングすることで、前記出発基板と前記化合物半導体機能層とを分離する工程と
を有することを特徴とする接合型半導体ウェーハの製造方法。

10

【請求項 2】

前記出発基板として InP からなる基板を用い、前記化合物半導体機能層として、厚さ $0.1\text{ }\mu\text{m}$ 以上の $\text{In}_x(\text{Ga}_y\text{Al}_{1-y})_{1-x}\text{As}$ ($0.4 \leq x \leq 0.6$ 、 $0 \leq y \leq 1$) の層と、厚さ $0.1\text{ }\mu\text{m}$ 以上の InP からなる層とを含むものをエピタキシャル成長することを特徴とする請求項 1 に記載の接合型半導体ウェーハの製造方法。

20

【請求項 3】

前記支持基板として、 AlN 、 Al_2O_3 、 Cu 、 GaAs 、 GaN 、 GaP 、 InP 、 Si 、 SiC 及び SiO_2 からなる群より選択される少なくとも 1 種の材料であって、結晶あるいは非晶質の構造を有する材料を用いることを特徴とする請求項 1 または請求項 2 に記載の接合型半導体ウェーハの製造方法。

【請求項 4】

前記接合材として、 Au 、 Ag 、 Al 、 Ga 、 In 、 Ni 、 Pt 及び Ti からなる群より選択される少なくとも一種以上の金属を含むものを用いることを特徴とする請求項 1 ～請求項 3 のいずれか一項に記載の接合型半導体ウェーハの製造方法。

【請求項 5】

接合型半導体素子の製造方法であって、
請求項 1 ～ 4 のいずれか一項に記載の接合型半導体ウェーハの製造方法によって、接合型半導体ウェーハを製造し、
前記接合型半導体ウェーハを前記トレンチに沿って分割して、接合型半導体素子を得ることを特徴とする接合型半導体素子の製造方法。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、接合型半導体ウェーハの製造方法及び接合型半導体素子の製造方法に関する。

【背景技術】

【0002】

化合物半導体の持つ特性と他の機能性基板とを接合することにより得られる新規機能性基板としての接合型半導体素子が各種提案されている。

40

【0003】

IoT 用センサーでは、駆動基板を有するシリコン基板上に、受電源として太陽電池 (PV) を、信号受信部としてフォトダイオード (PD) を、信号発信部としてレーザーダイオード (LD) や発光ダイオード (LED) を実装して機能性チップが実現できる。

【0004】

発光ダイオードにおいては、シリコン基板に金属接合で発光層を接合した LED が、あるいは透明なサファイア基板に透明接着剤で発光層を接合した LED が提案されている。

【0005】

50

いずれの構造においても、線膨脹係数や屈折率など、異なる物性を有する材料同士を接合し、実現している特徴がある。

【0006】

異種材料同士を接合する際、物性値が異なることから熱設計・光学設計の点において、制約が大きくなる。光学素子を作製する場合、支持基板と半導体層の物性の差異は、屈折率の差異となって現れ、接合界面において、大きな全反射角となって出現し、光学設計の制約を増やすことになる。

【0007】

全反射角を減らすため、屈折率差が少ない材料に変更することは可能ではあるが、その結果として、光吸収係数が大きく、光透過が起きないため、光学設計ができない材料となる場合が生じる。

【0008】

そのため、半導体と支持基板との間に反射膜を設けて、支持基板がいかなる光学特性であっても、接合界面で光反射を起こさせることにより、光学設計の自由度を増やすチップ構造が提案されている。

【0009】

接合界面に金属反射膜を設け、接合を実現する方法は光学設計の自由度を増やし、かつ、機械強度の強い基板と置き換えることにより、機械強度を増やすという利点がある。しかし、その一方で、接合後、半導体機能層をエピタキシャル成長するために使用した出発基板は全溶解し、除去される。

【0010】

出発基板をエッチングすることはInPやGaAsでは容易ではあるが、出発基板は一度の接合でエッチングにより失われる。

【0011】

出発基板として用いられるInP基板やGaAs基板は移載した支持基板より、高価であり、材料費として10～20%程度を占める。そのため、出発基板を全溶解し除去する方策には、ウェーハの製造コストが増加してしまうという問題があった。

【先行技術文献】

【特許文献】

【0012】

【特許文献1】特開平9-63951号公報

【特許文献2】特開2001-102668号公報

【特許文献3】特開2017-228569号公報

【特許文献4】特開2005-72422号公報

【発明の概要】

【発明が解決しようとする課題】

【0013】

本発明は、上記問題を解決するためになされたものであり、製造コストを低減することができる接合型半導体ウェーハの製造方法、及び製造コストを低減することができる接合型半導体素子の製造方法を提供することを目的とする。

【課題を解決するための手段】

【0014】

上記目的を達成するために、本発明では、接合型半導体ウェーハの製造方法であって、出発基板上に犠牲層をエピタキシャル成長する工程と、前記犠牲層上に化合物半導体機能層をエピタキシャル成長する工程と、選択エッチング法にて前記化合物半導体機能層の一部領域に、犠牲層が露出するようにトレンチを形成する工程と、前記トレンチの表面及び前記犠牲層の露出部に保護膜を形成する工程と、前記犠牲層を覆う前記保護膜の一部を開口して、前記保護膜に開口部を形成する工程と、前記化合物半導体機能層と異なる材料の支持基板を接合材を介して前記化合物半導体機能

10

20

30

40

50

層に接合する工程と、

前記開口部からエッチング液を供給し前記犠牲層をエッチングすることで、前記出発基板と前記化合物半導体機能層とを分離する工程と

を有することを特徴とする接合型半導体ウェーハの製造方法を提供する。

【0015】

このような製造方法であれば、化合物半導体機能層と支持基板との接合前に化合物半導体機能層に犠牲層が露出するようにトレンチ部を形成し、そのトレンチの表面及び犠牲層の露出部に保護膜を形成し、更に犠牲層を覆う保護膜の一部を開口することで、犠牲層の選択エッチングを可能とする開口部を形成し、この開口部からエッチング液を供給して犠牲層のエッチングを行うことで、出発基板をエッチングすることなく出発基板と化合物半導体機能層とを分離できるので、出発基板の再利用が可能となることから、製造コストを大幅に低減することができる。

10

【0016】

例えば、前記出発基板としてInPからなる基板を用いることができ、前記化合物半導体機能層として、厚さ $0.1\mu\text{m}$ 以上の $\text{In}_x(\text{Ga}_y\text{Al}_{1-y})_{1-x}\text{As}$ ($0.4 \leq x \leq 0.6$, $0 \leq y \leq 1$)の層と、厚さ $0.1\mu\text{m}$ 以上のInPからなる層とを含むものをエピタキシャル成長することができる。

【0017】

このような製造方法であれば、より高価なInP基板を再利用できるのでより製造コストを低減することができる。

20

【0018】

例えば、前記支持基板として、AlN、 Al_2O_3 、Cu、GaAs、GaN、GaP、InP、Si、SiC及び SiO_2 からなる群より選択される少なくとも1種の材料であって、結晶あるいは非晶質の構造を有する材料を用いることができる。

【0019】

支持基板として上記のものを好適に用いることができる。

【0020】

例えば、前記接合材として、Au、Ag、Al、Ga、In、Ni、Pt及びTiからなる群より選択される少なくとも一種類以上の金属を含むものを用いることができる。

【0021】

接合材として上記のものを好適に用いることができる。

30

【0022】

また、本発明では、接合型半導体素子の製造方法であって、

本発明の接合型半導体ウェーハの製造方法によって、接合型半導体ウェーハを製造し、前記接合型半導体ウェーハを前記トレンチに沿って分割して、接合型半導体素子を得ることを特徴とする接合型半導体素子の製造方法を提供する。

【0023】

このような製造方法であれば、本発明の接合型半導体ウェーハの製造方法によって、接合型半導体ウェーハを製造し、これをトレンチに沿って分割して接合型半導体素子を得るので、出発基板の再利用が可能となることから、接合型半導体素子の製造コストを大幅に低減することができる。

40

【発明の効果】

【0024】

以上のように、本発明の接合型半導体ウェーハの製造方法であれば、高価であり、製造コストに占める割合が大きい出発基板を再利用することができるので、製造コストを大幅に低減して、接合型半導体ウェーハを製造することができる。

【0025】

また、本発明の接合型半導体素子の製造方法であれば、高価であり、製造コストに占める割合が大きい出発基板を再利用することができるので、製造コストを大幅に低減して、接合型半導体素子を製造することができる。

50

【図面の簡単な説明】

【0026】

【図1】本発明の接合型半導体ウェーハの製造方法の一例の一工程を示す概略断面図である。

【図2】本発明の接合型半導体ウェーハの製造方法の一例の一工程を示す概略断面図である。

【図3】本発明の接合型半導体ウェーハの製造方法の一例の一工程を示す概略断面図である。

【図4】本発明の接合型半導体ウェーハの製造方法の一例の一工程を示す概略断面図である。

【図5】本発明の接合型半導体ウェーハの製造方法の一例の一工程を示す概略断面図である。

【図6】本発明の接合型半導体ウェーハの製造方法の一例の一工程を示す概略断面図である。

【図7】本発明の接合型半導体ウェーハの製造方法の一例の一工程を示す概略断面図である。

【図8】本発明の接合型半導体ウェーハの製造方法の一例の一工程を示す概略断面図である。

【図9】本発明の接合型半導体ウェーハの製造方法の一例の一工程を示す概略断面図である。

【図10】本発明の接合型半導体ウェーハの製造方法の一例で得られる接合型半導体ウェーハを示す概略断面図である。

【図11】本発明の接合型半導体素子の製造方法で得られる接合型半導体素子を示す概略断面図である。

【図12】比較例で得られた受光素子を示す概略断面図である。

【図13】比較例を基準とした、実施例の相対材料費を示すグラフである。

【図14】実施例及び比較例の不良率を示すグラフである。

【発明を実施するための形態】

【0027】

上述のように、製造コストを低減することができる接合型半導体ウェーハの製造方法、及び製造コストを低減することができる接合型半導体素子の製造方法の開発が求められていた。

【0028】

本発明者らは、上記課題について鋭意検討を重ねた結果、化合物半導体機能層と支持基板との接合前にエピタキシャルウェーハの化合物半導体機能層に犠牲層が露出するようにトレンチ部を形成し、そのトレンチの表面及び犠牲層の露出部に保護膜を形成し、更に犠牲層を覆う保護膜の一部を開口することで、犠牲層の選択エッチングを可能とする開口部を形成し、この開口部からエッチング液を供給して犠牲層のエッチングを行うことで、出発基板をエッチングすることなく出発基板と化合物半導体機能層とを分離でき、出発基板の再利用が可能となることを見出し、本発明を完成させた。

【0029】

即ち、本発明は、接合型半導体ウェーハの製造方法であって、
出発基板上に犠牲層をエピタキシャル成長する工程と、
前記犠牲層上に化合物半導体機能層をエピタキシャル成長する工程と、
選択エッチング法にて前記化合物半導体機能層の一部領域に、犠牲層が露出するようにトレンチを形成する工程と、
前記トレンチの表面及び前記犠牲層の露出部に保護膜を形成する工程と、
前記犠牲層を覆う前記保護膜の一部を開口して、前記保護膜に開口部を形成する工程と、
前記化合物半導体機能層と異なる材料の支持基板を接合材を介して前記化合物半導体機能層に接合する工程と、

前記開口部からエッチング液を供給し前記犠牲層をエッチングすることで、前記出発基板と前記化合物半導体機能層とを分離する工程と

を有することを特徴とする接合型半導体ウェーハの製造方法である。

【0030】

また、本発明は、接合型半導体素子の製造方法であって、

本発明の接合型半導体ウェーハの製造方法によって、接合型半導体ウェーハを製造し、前記接合型半導体ウェーハを前記トレンチに沿って分割して、接合型半導体素子を得ることを特徴とする接合型半導体素子の製造方法である。

【0031】

なお、特許文献1には、化合物半導体基板上にエッチング除去層を形成し、その上に化合物半導体接着層を形成し、この化合物半導体接着層をシリコン基板上に接着し、その後、エッチング除去層をエッチングにより除去し、次いで化合物半導体接着層上にデバイス形成層を形成する、半導体基板の製造方法が開示されている。しかしながら、特許文献1には、デバイス形成層にトレンチを形成することは開示されていない。また、特許文献1では、エッチング除去層を除去した後に、デバイス形成層を形成している。そして、特許文献1では、化合物半導体（化合物半導体接着層）をシリコン基板に直接接着している。

【0032】

また、特許文献2には、エピタキシャル成長により得られた層同士を接合後、一方の層の下に設けられた $Al_yGa_{1-y}As$ 層をエッチングして、エピタキシャル層と出発基板とを分離する方法が開示されている。しかしながら、特許文献2には、エピタキシャル層と支持基板であるシリコン基板とを直接接合している。

【0033】

また、特許文献3には、ヒートシンク機能を有する基板がアバランシェフォトダイオード（APD）メサに接着層を介して接合されたアバランシェフォトダイオードが開示されている。しかしながら、引用文献3では、APDのメサが上に形成された基板、すなわち出発基板を残置させている。

【0034】

また、特許文献4には、基材部とエピタキシャル層との間にエッチストップ層を有する半導体素子から基材部とエピタキシャル層とを分離する半導体素子のエピタキシャル層分離方法が記載されている。しかしながら、特許文献4に開示された方法では、エピタキシャル層ではなく、基材部の一部を裏面側からエッチストップ層に到達するまで選択的にエッチングして、少なくとも1つのエッチング窓を開けている。

【0035】

以下、本発明について詳細に説明するが、本発明はこれらに限定されるものではない。

【0036】

<接合型半導体ウェーハの製造方法>

本発明の接合型半導体ウェーハの製造方法は、

出発基板上に犠牲層をエピタキシャル成長する工程と、

犠牲層上に化合物半導体機能層をエピタキシャル成長する工程と、

選択エッチング法にて化合物半導体機能層の一部領域に、犠牲層が露出するようにトレンチを形成する工程と、

トレンチの表面及び犠牲層の露出部に保護膜を形成する工程と、

犠牲層を覆う保護膜の一部を開口して、保護膜に開口部を形成する工程と、

化合物半導体機能層と異なる材料の支持基板を接合材を介して化合物半導体機能層に接合する工程と、

保護膜の開口部からエッチング液を供給し犠牲層をエッチングすることで、出発基板と化合物半導体機能層とを分離する工程と

を有することを特徴とする。

【0037】

以下、各工程を順に説明する。

10

20

30

40

50

【0038】

〔出発基板上に犠牲層をエピタキシャル成長する工程〕

まず、出発基板上に犠牲層をエピタキシャル成長する。

出発基板としては、犠牲層及び化合物半導体機能層をその上にエピタキシャル成長できるものであれば、特に限定されない。

【0039】

本発明の接合型半導体ウェーハの製造方法では、出発基板を再利用することができるので、より高価で高品質のInP基板を支持基板として用いたとしても、製造コストをより低減できる。

【0040】

犠牲層としては、出発基板をエッチングしないエッチング液でエッチングできるものを用いることができる。犠牲層としては、例えば、厚さ $0.3\mu\text{m}$ の $i\text{-In}_x\text{Ga}_{1-x}\text{As}_z\text{P}_{1-z}$ ($0.4 \leq x \leq 0.6$ 、 $0.8 \leq z \leq 1$)の層を用いることができる。

【0041】

〔犠牲層上に化合物半導体機能層をエピタキシャル成長する工程〕

次に、犠牲層上に化合物半導体機能層をエピタキシャル成長する。

エピタキシャル成長させる化合物半導体機能層は、半導体素子において目的の機能を果たせるものであれば特に限定されない。例えば、化合物半導体機能層として、厚さ $0.1\mu\text{m}$ 以上の $\text{In}_x(\text{Ga}_y\text{Al}_{1-y})_{1-x}\text{As}$ ($0.4 \leq x \leq 0.6$ 、 $0 \leq y \leq 1$)の層と、厚さ $0.1\mu\text{m}$ 以上のInPからなる層とを含むものをエピタキシャル成長することができる。

【0042】

〔トレンチを形成する工程〕

次に、選択エッチング法にて前記化合物半導体機能層の一部領域に、犠牲層が露出するようにトレンチを形成する。ここで形成するトレンチは、デバイス予定エリアのサイズに沿って形成することできる。このようにトレンチを形成した場合、後工程において、製造した接合型半導体ウェーハをトレンチに沿って分割することにより、接合型半導体素子を容易に製造できる。

【0043】

トレンチ形成は、ウェットエッチング、ドライエッチングいずれの方法も可能である。

【0044】

ウェットエッチングの場合は、フォトリソグラフィーによりレジストパターンを形成後、レジストパターンに沿って化合物半導体機能層を構成する各層を選択エッチングすることで、トレンチを形成することできる。具体例は、後段の実施形態において説明する。

【0045】

ドライエッチングの場合は、 Cl_2 等の塩素系ガスとAr等のプラズマ安定化ガスとを混合した雰囲気にてガスエッチングすることによりエッチングが可能である。ドライエッチングを選択した場合、トレンチ側壁形状に凹凸が生じないという利点があるが、エッチング選択性が低いため、犠牲層で自動的にエッチングを止めることが難しい、そのため、犠牲層の厚さはウェットエッチングの場合と比べて厚くする必要があり、 $0.3\mu\text{m}$ 以上にするのが好ましい。

【0046】

〔保護膜を形成する工程〕

次に、トレンチの表面及び犠牲層の露出部に保護膜を形成する。保護膜形成はゾルゲル法、ディップ法、RF-EB、スパッタ、CVD等、保護膜を成膜出来るのであればどのような方法でも選択可能であるが、例えば、TEOSと O_2 を組み合わせた材料系にてp-CVD法を用いて SiO_2 膜を形成することできる。TEOS系 SiO_2 はカバレッジ被覆性が良好のため、トレンチ側壁部に凹凸が存在しても良好に被覆するため、保護膜形成手法として好適である。 SiO_2 保護膜の厚さは例えば $0.3\mu\text{m}$ とすることができる。

。

10

20

30

40

50

【0047】

〔保護膜に開口部を形成する工程〕

次に、犠牲層を覆う保護膜の一部を開口して、保護膜に開口部を形成する。保護膜の開口部は、例えば、フォトリソグラフィ法により、保護層の表面にレジストマスクとしてのレジストパターンを形成し、このレジストマスクを用いて犠牲層を覆う保護膜の一部を開口し、開口部（開口パターン）を形成することができる。

【0048】

開口パターンエッチングに例えばフッ酸系エッチャントを用いることができる。ただ、開口エッチングはウェットエッチングに限らない。ドライエッチングの場合は、フッ素系ガス（ NF_3 、 SF_6 等）を用いても同様の結果が得られる。

10

【0049】

〔接合する工程〕

次に、化合物半導体機能層と異なる材料の支持基板を接合材を介して化合物半導体機能層に接合する。

【0050】

接合する支持基板は、特に限定されない。支持基板としては、 AlN 、 Al_2O_3 、 Cu 、 GaAs 、 GaN 、 GaP 、 InP 、 Si 、 SiC 及び SiO_2 からなる群より選択される少なくとも1種の材料であって、結晶あるいは非晶質の構造を有する材料を用いることができる。本発明では、支持基板として上記のものを好適に用いることができる。

【0051】

出発基板よりも機械的強度に優れた支持基板を用いることが好ましい。

20

【0052】

用いる接合材は、特に限定されない。例えば、接合材として、 Au 、 Ag 、 Al 、 Ga 、 In 、 Ni 、 Pt 及び Ti からなる群より選択される少なくとも一種類以上の金属を含むものを用いることができる。すなわち、上記一種類以上の金属を含む接合材層により、化合物半導体機能層と支持基板とを接合することができる。

【0053】

接合材層は、複数層の接続金属層から構成されていても良い。例えば、化合物半導体機能層側及び支持基板側にそれぞれ接続金属層を設け、これらの接続金属層を熱圧着して接合してもよい。

30

【0054】

接合温度は 350°C 以上が好ましい。また、接合圧力部は $50\text{N}/\text{cm}^2$ 以上で接合することが好適である。前記条件は接合強度を十分に得るために好適な条件であり、この条件に限定されるものではない。

【0055】

以上のような接合により、支持基板と化合物半導体機能層とが接合材を介して接合された接合ウェーハを得ることができる。

【0056】

〔犠牲層をエッチングすることで、出発基板と化合物半導体機能層とを分離する工程〕

次に、保護膜の開口部からエッチング液を供給し犠牲層をエッチングすることで、出発基板と化合物半導体機能層とを分離する。

40

【0057】

用いるエッチング液は、犠牲層を選択エッチングできるものであれば、特に限定されない。また、保護膜の開口部からのエッチング液の供給の具体的な方法は、特に限定されない。

【0058】

この選択エッチングにより、接合ウェーハから出発基板を分離できる。分離した出発基板は、別のエピタキシャルウェーハ作製のために再利用することができる。

【0059】

〔その他の工程〕

50

本発明の接合型半導体ウェーハの製造方法は、以上の工程以外の工程を含むこともできる。具体例は、後段に示す実施形態を参照されたい。

【0060】

＜接合型半導体素子の製造方法＞

本発明の接合型半導体素子の製造方法は、

本発明の接合型半導体ウェーハの製造方法によって、接合型半導体ウェーハを製造し、接合型半導体ウェーハを上記トレンチに沿って分割して、接合型半導体素子を得ることを特徴とする。

【0061】

分割の具体的な方法は特に限定されないが、例えばダイシングやスクライプ／ブレーキング法などによって、接合型半導体ウェーハを分割することができる。

【0062】

次に、図1～図11を参照しながら、本発明の接合型半導体ウェーハの製造方法、及び接合型半導体素子の製造方法の1つの実施形態を詳細に説明する。しかしながら、本発明は、以下の実施形態に限定されるものではない。

【0063】

(実施形態)

この実施形態では、本発明の一例として、図10に示す接合型半導体ウェーハ1000の製造方法、及び図11に示す接合型半導体素子2000の製造方法を説明する。

【0064】

まず、図1に示すエピタキシャルウェーハ100を準備する。ここでは最初に、半絶縁性InP基板上にi-InPバッファ層を例えば厚さ0.5 μmで形成し、出発基板1を準備する。次いで、この出発基板1上に、i-In_xGa_{1-x}As (0.4 ≤ x ≤ 0.6) 犠牲層 (以下、i-InGaAs 犠牲層又は犠牲層) 2を例えば厚さ0.3 μmでエピタキシャル成長により形成する。次いで、犠牲層2上に、i-InPエッチストップ層3を例えば厚さ0.3 μmで形成し、次いでi-In_xGa_{1-x}As (0.4 ≤ x ≤ 0.6) コンタクト層 (以下、i-InGaAs コンタクト層) 11を例えば厚さ0.1 μmでエピタキシャル成長により形成し、次いでi-InPキャップ層12を例えば厚さ0.1 μmでエピタキシャル成長により形成し、次いでi-In_xGa_{1-x}As (0.4 ≤ x ≤ 0.6) 吸収層 (以下、i-InGaAs 吸収層) 13を例えば厚さ3.0 μmでエピタキシャル成長により形成し、次いでn-InP層14を例えば厚さ1.0 μmでエピタキシャル成長により形成する。これにより、犠牲層2上に、エッチストップ層3と、i-InGaAs コンタクト層11、i-InPキャップ層12、i-InGaAs 吸収層13及びn-InP層14を含んだ化合物半導体機能層10とがエピタキシャル成長したエピタキシャルウェーハ100が得られる。

【0065】

次に、図2に示すように、デバイス予定エリア・サイズに沿って、化合物半導体機能層10にトレンチ4を形成する。トレンチ4の形成の手段は、先に述べたように、ウェットエッチング、ドライエッチングいずれの方法も可能である。

【0066】

ウェットエッチングの場合は、例えば、以下の手順でトレンチ4を形成することができる。まず、フォトリソグラフィー法により化合物半導体機能層10の表面、すなわちn-InP層14の表面にレジストパターンを形成する。次いで、レジストパターンをマスクとして、n-InP層14を塩素系エッチャントで選択エッチングする。n-InP層14の選択エッチング後、硫酸過水系エッチャントに切り替えて、i-InGaAs 吸収層13を選択エッチングする。次いで、塩素系エッチャントに切り替えて、i-InPキャップ層12を選択エッチングする。次いで、硫酸過水系エッチャントに切り替えて、i-InGaAs コンタクト層11を選択エッチングする。次いで、塩素系エッチャントに切り替えて、i-InPエッチングストップ層3を選択エッチングする。以上の工程を経ることで、底部にi-InGaAs 犠牲層2の一部が露出したトレンチ4を形成することができる。

10

20

30

40

50

。

【0067】

また、ドライエッチングの場合は、先に述べたように、 Cl_2 等の塩素系ガスと Ar 等のプラズマ安定化ガスとを混合した雰囲気にてガスエッチングすることによりエッチングが可能である。ドライエッチングを選択した場合、トレンチ4の側壁形状に凹凸が生じないという利点があるが、エッチング選択性が低いため、犠牲層2で自動的にエッチングを止めることが難しい、そのため、犠牲層2の厚さはウェットエッチングの場合と比べて厚くする必要があり、 $0.3\text{ }\mu\text{m}$ 以上にするのが好ましい。

【0068】

次に、図3に示すように、トレンチ4の表面及び犠牲層2の露出部に保護膜5を形成する。保護膜5の形成は、先に述べたように、ゾルゲル法、ディップ法、 RF-EB 、スパッタ、 CVD 等、保護膜5を成膜出来るのであればどのような方法でも選択可能であるが、例えば、 TEOS と O_2 を組み合わせた材料系にて p-CVD 法を用いて SiO_2 膜を形成することができる。 TEOS 系 SiO_2 はカバレッジ被覆性が良好のため、トレンチ4の側壁部に凹凸が存在しても良好に被覆するため、保護膜5の形成手法として好適である。 SiO_2 保護膜の厚さは例えば $0.3\text{ }\mu\text{m}$ とすることができる。

10

【0069】

次に、フォトリソグラフィー法により、犠牲層2を覆う保護膜5の一部の表面にレジストパターンを形成し、形成したレジストパターンをレジストマスクとして用いて、犠牲層2を覆う保護膜5の一部を開口して、図3に示す開口部（開口パターン）5Aを形成する。

20

【0070】

先に述べたように、開口パターンエッチングにフッ酸系エッチャントを用いることができる。ただ、開口エッチングはウェットエッチングに限らない。ドライエッチングの場合は、フッ素系ガス（ NF_3 、 SF_6 等）を用いても同様の結果が得られる。

【0071】

一方で、支持基板30として Si 基板を準備し、図4に示すように、 Si 基板30の表面に接合金属層21を形成する。

【0072】

なお、支持基板30としては Si 基板に限定されるものではなく、 InP 基板より機械的な強度に優れる材料、例えば Al_2O_3 や AlN 、 GaAs 等を選択しても同様の効果が得られる。

30

【0073】

接合金属層21は、支持基板30に接する層には Pt の他、 Al や Ti を選択可能である。接合界面層には Au の他、 Al 、 Ag 、 Ga 、 In 等が選択可能である。

なお、接続金属層21の厚さは、例えば、 Pt 層を $0.1\text{ }\mu\text{m}$ 、 Au 層を $1\text{ }\mu\text{m}$ とすることができる。

【0074】

次に、図5に示すように、エピタキシャルウェーハ100の非トレンチ部15に含まれる n-InP 層14上に接合金属層22を形成する。

【0075】

接合金属層22は、化合物半導体機能層10に接する層に Pt 、接合界面に Au を配置することができる。化合物半導体機能層10に接する層には Pt の他、 Al や Ti 、 Ni 、 Au などを選択可能である。接合金属層22は、次工程の接合が可能な構造で、かつ、後の工程の犠牲層エッチングに対して耐性のある材料系であればどのような材料の組み合わせも選択可能である。

40

なお、接続金属層22の厚さは、例えば、 Pt 層を $0.1\text{ }\mu\text{m}$ 、 Au 層を $1\text{ }\mu\text{m}$ とすることができる。

【0076】

次に、図6に示すように、支持基板30とエピタキシャルウェーハ100とを、接合金属層21及び22を互いに熱圧着することによって接合し、接合ウェーハ200を形成する

50

。接合金属層 21 及び 22 は、互いに圧着して、接合材層 20 となる。

【0077】

先にも述べたように、接合温度は 350℃以上が好ましい。また、接合圧力部は 50 N/cm² 以上で接合することが好適である。前記条件は接合強度を十分に得るために好適な条件であり、この条件に限定されるものではない。

【0078】

次に、接合ウェーハ 200 をエッチング液、例えば硫酸過水系エッチャントに浸漬する。これにより、エッチング液が、例えば図 6 の紙面に対して垂直な方向からトレンチ 4 に入り込んでこのトレンチ 4 を通り、保護層 5 の開口部 5A から犠牲層 2 に供給される。i-InGaAs 犠牲層 2 は InP 層 (i-InP エッチストップ層 3、及び出発基板 1 の i-InP バッファ層) に挟持されており、硫酸過水は InP に対してエッチング選択性がある (InP をエッチングしない) ため、また保護層 5 がトレンチ 4 の表面を被覆しているため、i-InGaAs 犠牲層 2 のみがエッチングされ、図 7 に示すように、InP 出発基板 1 と、化合物半導体機能層 10 とが分離する。

10

【0079】

分離後は、図 7 に示すように、化合物半導体機能層 10 が孤立した島状パターンで支持基板 30 上に残置する。一方、分離した出発基板 1 は、別の接合ウェーハ作製に再利用することができる。

【0080】

次に、i-InP エッチストップ層 3 を塩素系エッチャントで選択エッチングする。i-InP エッチストップ層 3 が除去されたことで、保護層 5 の一部が化合物半導体機能層 10 の表面に飛び出る形となり、次工程以降で剥離しやすく、歩留まり低下の要因となるため、水流などで保護層 5 の飛び出た部分を部分的に剥離する。これにより、図 8 に示すように、i-InGaAs コンタクト層 11 の一方の主面が露出し、保護層 5 の端部も i-InGaAs コンタクト層 11 の露出した主面に揃った状態となる。剥離後、i-InGaAs コンタクト層 11 の表面に Zn を拡散し、i-InGaAs コンタクト層 11 の表面に p 型層を形成する。

20

【0081】

次に、i-InGaAs コンタクト層 11 の表面に保護膜 5 を再度形成する。保護膜 5 の形成にはトレンチ 4 及び犠牲層 2 へ形成した保護膜 5 と同様の工程が適用可能である。その後、図 9 に示すように、形成した保護膜 5 の一部に開口パターン 5B を形成する。更に開口パターン 5B に Zn を拡散させる。

30

【0082】

次に、図 10 に示すように、開口パターン 5B に、i-InGaAs コンタクト層 11A と接するように電極 6 を形成し、支持基板 30 の裏面側にも電極 7 を形成する。電極 6 及び 7 形成後、同じく図 10 に示すように、i-InGaAs コンタクト層 11 の一部を除去し、アパーチャ部 11A を形成する。アパーチャ部 11A 形成後、SiN_x (0 < x ≤ 2) 等の保護層を形成し、保護層のうち電極部分及びダイシング部に対応する部分を除去する。

【0083】

以上の工程を経ることにより、図 10 に示す接合型半導体ウェーハ 1000 が得られる。

40

【0084】

次に、接合型半導体ウェーハ 1000 を、例えばダイシングもしくはスクライブ/ブレーキング法により、トレンチ 4 に沿って分割することにより、図 11 に示す個別素子である接合型半導体素子 2000 を形成する。

【0085】

図 11 に示す接合型半導体素子 2000 は、受光素子であるが、本発明の接合型半導体素子 2000 の製造方法で製造できる接合型半導体素子は、受光素子に限定されない。

【0086】

なお、上記実施形態で用いた、i-InGaAs コンタクト層 11、及び i-InGaA

50

s 吸収層 13 は、 $i\text{-In}_x\text{Ga}_{1-x}\text{As}$ ($0.4 \leq x \leq 0.6$) の代わりに、Al を含む、 $i\text{-In}_x(\text{Ga}_y\text{Al}_{1-y})_{1-x}\text{As}$ ($0.4 \leq x \leq 0.6$, $0 < y \leq 1$) であっても良い。また、上記実施形態で用いた $i\text{-InGaAs}$ 犠牲層 2 は、 $i\text{-In}_x\text{Ga}_{1-x}\text{As}$ ($0.4 \leq x \leq 0.6$) の代わりに、P を含む、 $i\text{-In}_x\text{Ga}_{1-x}\text{As}_z\text{P}_{1-z}$ ($0.4 \leq x \leq 0.6$, $0.8 \leq z < 1$) の層であってもよい。

【実施例】

【0087】

以下、実施例及び比較例を用いて本発明を具体的に説明するが、本発明はこれらに限定されるものではない。

【0088】

(実施例)

実施例では、以下の手順で、図 10 に示すのと同様の構造を有する接合型半導体ウェーハ 1000 及び図 11 に示すのと同様の構造を有する接合型半導体素子 2000 を製造した。

【0089】

まず、以下の手順で、図 1 に示すエピタキシャルウェーハ 100 を準備した。最初に、半絶縁性 InP 基板上に厚さ $0.5 \mu\text{m}$ の $i\text{-InP}$ バッファ層を形成し、出発基板 1 を準備した。次いで、この出発基板 1 上に、厚さ $0.3 \mu\text{m}$ の $i\text{-InGaAs}$ 犠牲層 2 をエピタキシャル成長により形成した。次いで、犠牲層 2 上に、厚さ $0.3 \mu\text{m}$ の $i\text{-InP}$ エッチストップ層 3、厚さ $0.1 \mu\text{m}$ の $i\text{-InGaAs}$ コンタクト層 11、厚さ $0.1 \mu\text{m}$ の $i\text{-InP}$ キャップ層 12、厚さ $3.0 \mu\text{m}$ の $i\text{-InGaAs}$ 吸収層 13、厚さ $1.0 \mu\text{m}$ の $n\text{-InP}$ 層 14 を順にエピタキシャル成長により形成した。これにより、犠牲層 2 上に、エッチストップ層 3 と、 $i\text{-InGaAs}$ コンタクト層 11、 $i\text{-InP}$ キャップ層 12、 $i\text{-InGaAs}$ 吸収層 13 及び $n\text{-InP}$ 層 14 を含んだ化合物半導体機能層 10 とがエピタキシャル成長したエピタキシャルウェーハ 100 を製造した。

【0090】

次に、図 2 に示したように、デバイス予定エリア・サイズに沿って、犠牲層 2 の一部が露出するように、化合物半導体機能層 10 にトレンチを形成した。トレンチ形成は以下の手順に従うウェットエッチングによって行った。最初にフォトリソグラフィー法により化合物半導体機能層 10 の表面にレジストパターンを形成した。次いで、レジストパターンをマスクとして用い、 $n\text{-InP}$ 層 14 を塩素系エッチャントで選択エッチングした。 $n\text{-InP}$ 層 14 の選択エッチング後、硫酸過水系エッチャントに切り替えて、 $i\text{-InGaAs}$ 吸収層 13 を選択エッチングした。次いで、塩素系エッチャントに切り替えて、 $i\text{-InP}$ キャップ層 12 を選択エッチングした。次いで、硫酸過水系エッチャントに切り替えて、 $i\text{-InGaAs}$ コンタクト層 11 を選択エッチングした。次いで、塩素系エッチャントに切り替えて、 $i\text{-InP}$ エッチングストップ層 3 を選択エッチングした。以上の工程を経ることで、底部に $i\text{-InGaAs}$ 犠牲層 2 の一部が露出したトレンチ 4 を形成した。

【0091】

次に、トレンチ 4 の表面及び犠牲層 2 の露出部に保護膜を形成した。具体的には、 TEOS と O_2 を組み合わせた材料系にて p-CVD 法を用いて、保護膜 5 としての厚さ $0.3 \mu\text{m}$ の SiO_2 膜を形成した。

【0092】

次に、フォトリソグラフィー法により、犠牲層 2 を覆う保護膜 5 の一部の表面にレジストパターンを形成し、形成したレジストパターンをレジストマスクとして用いて、フッ酸によって、犠牲層 2 を覆う保護膜 5 の一部を開口して、図 3 に示した開口部（開口パターン）5A を形成した。

【0093】

一方で、図 4 に示したのと同様の、表面に Pt ($0.1 \mu\text{m}$) と Au ($1 \mu\text{m}$) からなる接合金属層 21 を形成した、支持基板 30 としての Si 基板を準備した。

10

20

30

40

50

【0094】

次に、図5に示すように、エピタキシャルウェーハ100の非トレンチ部15に含まれる n - InP 層14上に Pt ($0.1\mu\text{m}$)と Au ($1\mu\text{m}$)からなる接合金属層22を形成した。

【0095】

次に、支持基板30とエピタキシャルウェーハ100とを、接合金属層21及び22を温度 400°C 及び圧力 $100\text{N}/\text{cm}^2$ で互いに熱圧着することによって接合し、図6に示す接合ウェーハを得た。接合金属層21及び22は圧着して接合層20となった。

【0096】

次に、接合ウェーハ200をエッチング液としての硫酸過水系エッチャントに浸漬した。これにより、エッチング液を、トレンチ4を通して、保護層5の開口5Aから犠牲層2に供給した。それにより、エッチング液が犠牲層2のみを選択エッチングし、図7に示すように、 InP 出発基板1と化合物半導体機能層10とを分離した。

【0097】

分離した InP 出発基板1は、他のエピタキシャルウェーハの作製において再利用した。

【0098】

次に、 InP エッチストップ層3を塩素系エッチャントで選択エッチングし、図8に示したように、 i - InGaAs コンタクト層11の一方の主面を露出させた。次いで、 i - InGaAs コンタクト層11の露出した表面に Zn を拡散し、この表面に p 型層を形成した。

【0099】

次に、 i - InGaAs コンタクト層11の表面に保護膜5を再度形成し、形成した保護膜5の一部に、図9に示したように、開口パターン5Bを形成した。更に開口パターン5Bに Zn を拡散させた。

【0100】

次に、図10に示したように、開口パターン5Bに、 i - InGaAs コンタクト層11Aと接するように電極6を形成し、支持基板30の裏面側にも電極7を形成した。電極6及び7形成後、同じく図10に示したように、 i - InGaAs コンタクト層11の一部を除去し、アパーチャ部11Aを形成した。アパーチャ部11A形成後、 SiN_x ($0 < x \leq 2$)等の保護層を形成し、保護層のうち電極部分及びダイシング部に対応する部分を除去した。

【0101】

それにより、図10に示した接合型半導体ウェーハ1000が得られた。

【0102】

次に、接合型半導体ウェーハ1000を、ダイシングによりトレンチ4に沿って分割することにより、図11に示した個別素子である接合型半導体素子(受光素子)2000を形成した。

【0103】

(比較例)

比較例では、以下の手順で、図12に示す受光素子2000'を製造した。

【0104】

まず、 N 型 InP 基板を含む出発基板30'上に化合物半導体機能層(エピタキシャル機能層)10'を形成した。化合物半導体機能層10'は、以下の順に積層した。

【0105】

N 型 InP 基板上に、 i - InP バッファ層を厚さ $0.5\mu\text{m}$ で形成し、出発基板30'とした。この出発基板30'上に、厚さ $1.0\mu\text{m}$ の n - InP クラッド層14'、厚さ $3.0\mu\text{m}$ の i - InGaAs 吸収層13'、厚さ $0.1\mu\text{m}$ の i - InP キャップ層12'、及び厚さ $0.1\mu\text{m}$ の i - InGaAs コンタクト層11'を順にエピタキシャル成長により形成した。これにより、出発基板30'上に、 n - InP クラッド層14'、 i - InGaAs 吸収層13'、 i - InP キャップ層12'、及び i - InGaAs コンタクト

10

20

30

40

50

層 1 1 ' を含んだ化合物半導体機能層 1 0 ' がエピタキシャル成長したエピタキシャルウェーハ 1 0 0 ' を製造した。

【 0 1 0 6 】

次に、 i -InGaAs コンタクト層 1 1 ' の表面に保護膜 5 ' を形成した。次に、フォトリソグラフィ法により、保護膜 5 ' の表面にレジストパターンを形成し、このレジストパターンをレジストマスクとして用いて保護膜 5 ' に開口パターンを形成した。

【 0 1 0 7 】

次に、保護膜 5 ' の開口パターンを通して、 i -InGaAs コンタクト層 1 1 ' 表面に Zn を拡散し、表面に p 型層を形成した。

【 0 1 0 8 】

次いで、開口パターン部に、 Ti 層 $0.1 \mu m$ 、 Au 層 $1.0 \mu m$ からなる電極 6 ' を形成した。

【 0 1 0 9 】

電極 6 ' 形成後、 SiN_x ($0 < x \leq 2$) の保護層を形成し、電極部分及びダイシング部に対応する部分を除去した。

【 0 1 1 0 】

その後、出発基板 3 0 ' の N 型 InP 基板の化合物半導体機能層 1 0 ' とは反対側の面に前述と同様の構造、材料にて裏面コンタクト電極 7 ' を形成した。

【 0 1 1 1 】

裏面コンタクト電極 7 ' 形成後、ダイシングにより個別素子に分離し、図 1 2 に示す受光素子 2 0 0 0 ' を形成した。

【 0 1 1 2 】

(評価)

図 1 3 に、比較例を基準 (100%) とした実施例における材料費の低減効果を示す。図 1 3 から、実施例においては、出発基板を分離しない比較例に対して半分程度まで材料コストが低減したことが分かる。これは出発基板を再利用することにより、実質的に出発基板の材料費が無視できるほど低減できたことによる効果である。これは、支持基板と接合する前に化合物半導体機能層にトレンチを形成し、トレンチの表面を保護膜で被覆した上で支持基板と化合物半導体機能層とを接合し、次いで犠牲層に通じる保護膜の開口部を通してエッチング液を供給して犠牲層を選択エッチングして出発基板と化合物半導体機能層とを分離する本発明の製造方法によって初めて達成できたものである。特に InP / InGaAs 材料系でこの効果を達成するのは、本発明の製造方法以外では極めて困難である。

【 0 1 1 3 】

図 1 4 に実施例及び比較例におけるチップ割れ不良率に関するデータを示す。図 1 4 から明らかなように、出発基板を支持基板としてそのまま利用する比較例に比べて、実施例において割れ不良が改善した。これは、脆い InP 基板から Si 基板に置き換えたことで、パッケージ加工工程の熱及び応力に対するチップの強度が高まったため、機械的強度が改善したものである。

【 0 1 1 4 】

なお、本発明は、上記実施形態に限定されるものではない。上記実施形態は例示であり、本発明の特許請求の範囲に記載された技術的思想と実質的に同一な構成を有し、同様な作用効果を奏するものは、いかなるものであっても本発明の技術的範囲に包含される。

【符号の説明】

【 0 1 1 5 】

1 … 出発基板、 2 … 犠牲層、 3 … エッチストップ層、 4 … トレンチ、 5 及び 5 ' … 保護膜、 5 A … 開口部、 5 B … 開口パターン、 6、6 ' 及び 7 … 電極、 7 ' … 裏面コンタクト電極、 1 0 及び 1 0 ' … 化合物半導体機能層、 1 1 及び 1 1 ' … コンタクト層、 1 1 A … アパーチャ部、 1 2 及び 1 2 ' … キャップ層、 1 3 及び 1 3 ' … 吸収層、 1 4 … n -InP 層、 1 4 ' … クラッド層、 1 5 … 非トレンチ部、 2 0 … 接合材

10

20

30

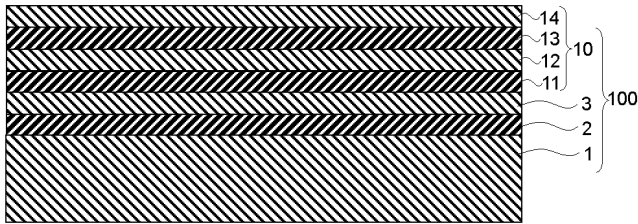
40

50

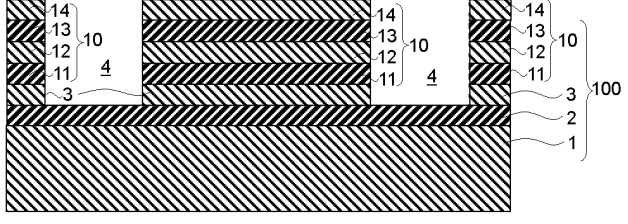
層、 21…接合金属層、 22…接合金属層、 30…支持基板、 30'…出発基板、
100及び100'…エピタキシャルウェーハ、 200…接合ウェーハ、 1000…
接合型半導体ウェーハ、 2000…接合型半導体素子（受光素子）、 2000'…受
光素子。

【図面】

【図 1】

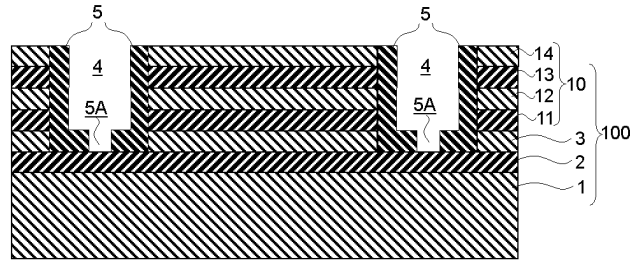


【図 2】



10

【図 3】

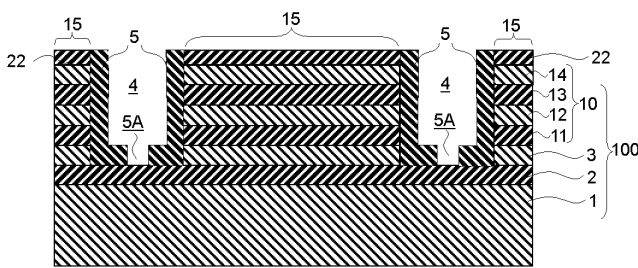


【図 4】

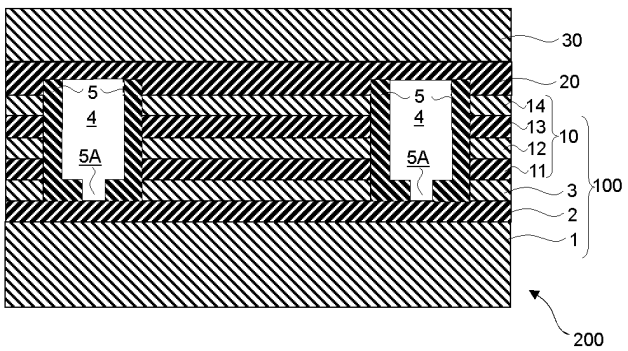


20

【図 5】



【図 6】

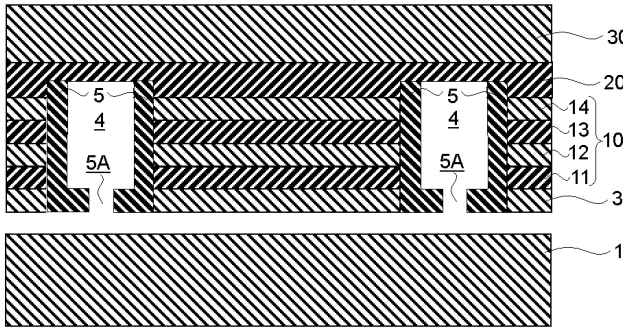


30

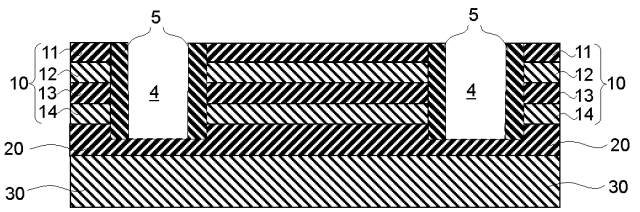
40

50

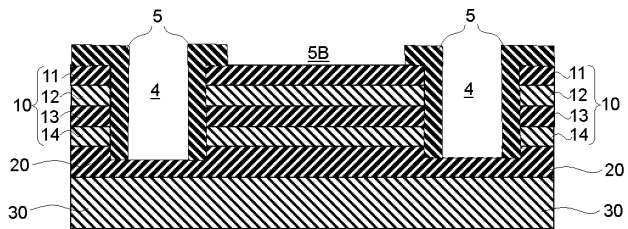
【圖 7】



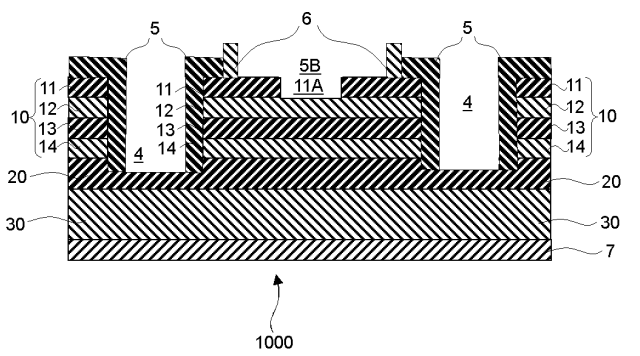
【圖 8】



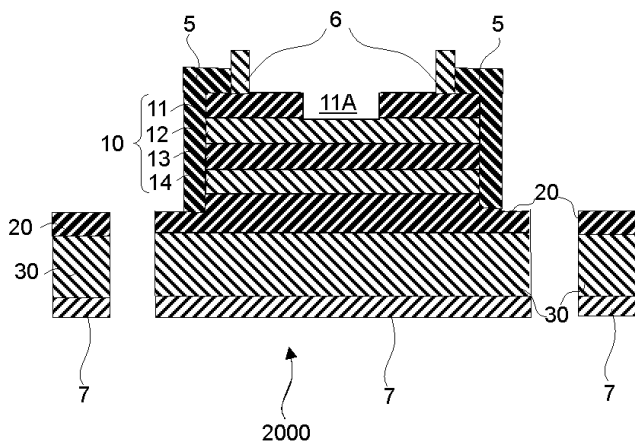
【圖 9】



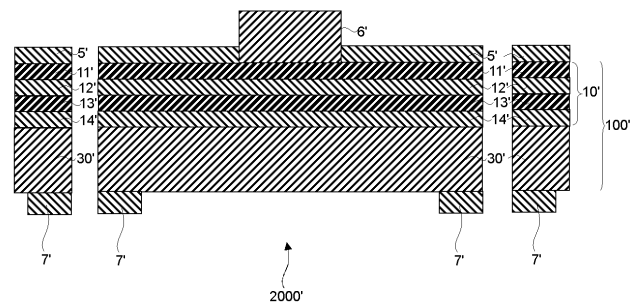
【図 10】



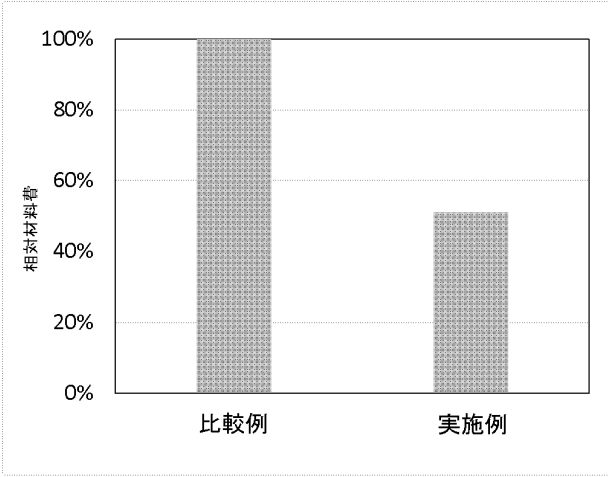
【図 1 1】



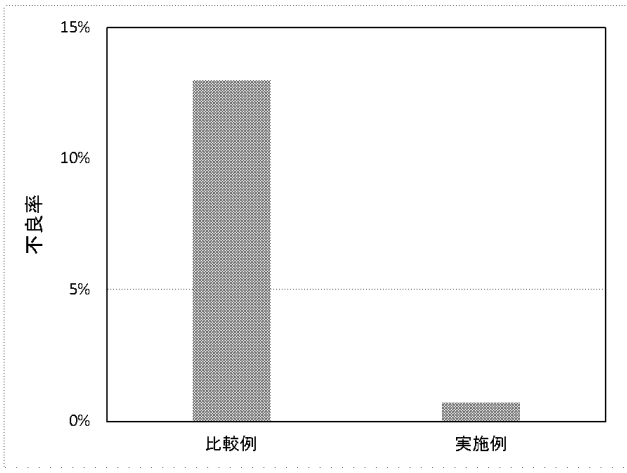
【圖 12】



【図 1 3】



【図 1 4】



10

20

30

40

50