

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 25/00 (2006.01)

G11C 7/00 (2006.01)

G06F 12/00 (2006.01)



[12] 发明专利申请公开说明书

[21] 申请号 200510128956.0

[43] 公开日 2006年8月9日

[11] 公开号 CN 1815731A

[22] 申请日 2005.12.2

[21] 申请号 200510128956.0

[30] 优先权

[32] 2004.12.3 [33] US [31] 11/002148

[71] 申请人 因芬尼昂技术股份公司

地址 德国慕尼黑

[72] 发明人 H·鲁克鲍尔 A·巴哈

C·西歇尔特 D·萨维纳克

P·格雷戈里乌斯 P·瓦尔纳

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 张雪梅 张志醒

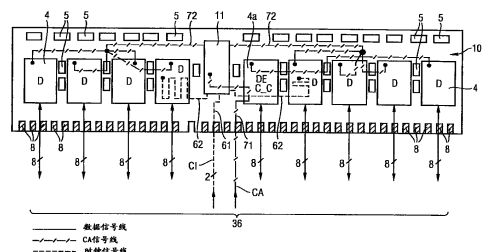
权利要求书 2 页 说明书 7 页 附图 5 页

[54] 发明名称

半导体存储器模块

[57] 摘要

一种半导体存储器模块，包括多个半导体存储器芯片和将输入时钟信号和输入命令和地址信号提供给半导体存储器芯片的汇流信号线。时钟信号再生电路和寄存器电路在半导体存储器模块上布置在连接到汇流信号线的公共芯片封装体内。时钟信号再生电路和寄存器电路分别调节输入时钟信号和临时存储的输入命令和地址信号，分别将被调节的时钟信号和临时存储的命令和地址信号乘以因数 1 : X，并分别向半导体存储器芯片提供被调节的时钟信号和临时存储的命令和地址信号。



1、一种半导体存储器模块，包括：

多个半导体存储器芯片，布置于该半导体存储器模块上；

多个汇流信号线，可操作地至少向半导体存储器芯片提供输入时钟信号和输入命令和地址信号；

时钟信号再生电路和寄存器电路，在半导体存储器模块上布置于连接到汇流信号线的公共芯片封装体内，其中，时钟信号再生电路和寄存器电路分别调节输入时钟信号和临时存储输入命令和地址信号，分别被调节的时钟信号和临时存储的命令和地址信号乘以因数 $1:X$ ，并分别将被调节的时钟信号和临时存储的命令和地址信号提供给半导体存储器芯片。

2、根据权利要求1的半导体存储器模块，其中时钟信号再生电路包括锁相回路（PLL）电路。

3、根据权利要求1的半导体存储器模块，其中将时钟信号和被时钟信号再生电路调节的时钟信号均经由差分时钟信号线提供。

4、根据权利要求1的半导体存储器模块，其中将时钟信号再生电路和寄存器电路作为分离的部分芯片布置在公共芯片封装体内。

5、根据权利要求1的半导体存储器模块，其中将时钟信号再生电路和寄存器电路集成在公共芯片封装体内的公共芯片上。

6、根据权利要求4的半导体存储器模块，其中将由时钟信号再生电路调节的时钟信号提供给公共芯片封装体内的寄存器电路。

7、根据权利要求1的半导体存储器模块，其中将公共芯片封装体基本上布置在半导体存储器模块上的中央位置处。

8、根据权利要求1的半导体存储器模块，其中命令和地址信号的汇流信号线包括混合-T总线结构。

9、根据权利要求1的半导体存储器模块，其中命令和地址信号的汇流信号线包括飞越总线结构。

10、根据权利要求1的半导体存储器模块，其中时钟信号再生电路和寄存器电路分别将时钟信号与命令和地址信号乘以因数 $1:2$ 。

11、根据权利要求1的半导体存储器模块，其中半导体存储器模块包括RDIMM模块。

12、根据权利要求1的半导体存储器模块，其中半导体存储器芯

片包括 DDR-DRAM 半导体存储器。

13、一种半导体电路，包括：

时钟信号再生电路和寄存器电路，布置于公共的芯片封装体内，其中时钟信号再生电路和寄存器电路分别将时钟信号与命令和地址信号乘以因数 $1:X$ 。

14、根据权利要求 13 的半导体电路，其中时钟信号再生电路包括锁相回路 (PLL) 电路。

15、根据权利要求 14 的半导体电路，其中时钟信号再生电路将时钟信号作为差分时钟信号在差分时钟信号线上提供。

16、根据权利要求 15 的半导体电路，其中将时钟信号再生电路和寄存器电路作为分离的部分芯片布置在公共芯片封装体内。

17、根据权利要求 15 的半导体电路，其中将时钟信号再生电路和寄存器电路集成在公共芯片封装体内的公共芯片上。

18、根据权利要求 16 的半导体电路，其中时钟信号再生电路将时钟信号提供给公共芯片封装体内的寄存器电路。

19、根据权利要求 13 的半导体电路，其中时钟信号再生电路和寄存器电路分别将时钟信号与命令和地址信号乘以因数 $1:2$ 。

半导体存储器模块

技术领域

本发明涉及半导体存储器模块，其中，在该半导体存储器模块上布置：几个半导体存储器芯片；汇流信号线，每一个均至少向半导体存储器芯片提供输入的时钟信号以及输入的命令和地址信号；以及半导体电路，其包括缓冲寄存器电路和时钟信号再生电路。

背景技术

目前的存储器系统（DDR1；DDR2；DDR3）提供这样的可能性，即仅向传送命令和地址信号（CA）的 DIMM 命令/地址总线提供一个 CA 总线版本（副本），例如经由混合-T 或飞越（fly-by）总线。随着进速度的一步提高并考虑到 CA 总线的高并行度（例如高至 36 个存储器芯片/每 CA 总线），不再可能有命令和地址信号的便利传输。

解决上述问题的一个可能方案是利用两个 CA 总线的副本。然而，这增加了每存储器通道的管脚数量（例如为了必要的屏蔽需要增加 25 个 CA 信号和管脚）。由于数据线上的高比特率，对于 DDR3 系统的后继技术，例如 DDR4，考虑到差分信号传输。然而，对于微分信号传输，所需的管脚数量显然较高，从技术观点考虑非常难于执行（或导致高成本）。这涉及半导体存储器模块的连接器处的管脚数量、存储器控制器处的管脚数量和主板上的布线法。

由于，归因于 DDR 系统的后继技术的高比特率，仅飞越总线或点至点（P2P）总线是可能的，所以同步所需的任何时钟信号也必须与 CA 信号一起差分传输。

根据附图 4 中示出的现有技术 DDR2 系统的示例性布置是 DDR2 DIMM 半导体存储器模块的示意性布局图，其中将来自外部 CA 总线上的 CA 信号 CA 和半导体电路模块上指定时钟信号 C1 经由混合-T 总线结构传输到 DDR2 DIMM 半导体存储器模块（传输差分时钟信号 C1 的线由虚线表示而传输差分 CA 信号的线由点划线表示）。在该实例中，将各自存储八个数据项 D 的半导体存储芯片 4 和附加纠错芯片（D-E-CC）4a

以及附加无源元件 5 布置在 DIMM 半导体存储器模块上。将属于单独的存储芯片 4 和 D-E-CC 芯片 4a 的数据分别以八位的宽度传输，由此在该半导体模块的情况下，将其分配给 72 个连接器位置处或管脚接触 8。

附图 5 是用于 DDR4 系统的有潜力的半导体存储器模块的示例性示意图，其中根据上述理论方案使用 CA 总线的两个副本。在该实例中，对于 2N 定时，包括时钟信号的差分供给的 CA 信号需要 $25 \times 2 (\times 2)$ 个连接器位置或管脚接触 8。还需要用于屏蔽的线。在图 5 中示出的实例中，使用二比特宽度并差分地向布置在半导体存储器模块左侧的存储器通道和布置在半导体存储器模块右侧的存储器通道的各存储器芯片 4、4a 供给写和读数据，这造成具有 CA 信号的 2N 定时的 X2 基 DDR4 DIMM。在包括几个存储器通道或存储体 (memory bank) 的这种半导体存储器模块的情况下，为半导体存储器模块上的 CA 和 C1 线的两倍的宽布线将过度地限制用于安装诸如去耦电容器的无源元件 5 的安装空间和用于布局连接到半导体存储器的数据信号线的空间，更不必提及所增加的管脚数量。

发明内容

因此，本发明的目的是指定一种适合于高速半导体存储器系统的半导体存储器模块，使得可以消除上述现有技术的缺点，并以空间节省和节省管脚接触的方式将 CA 和 C1 信号提供给布置在该半导体存储器模块上的半导体存储芯片，同时，能够达到传输 CA 和 C1 信号所需的速度。此外，本发明的目的是指定一种半导体电路，其包括设计成与这种半导体存储器模块相匹配的时钟信号再生电路和寄存器电路。

根据本发明的第一个方案，提供一种半导体存储器模块，其包括在该半导体存储器模块上布置在同一个芯片封装体内并连接到汇流信号线的时钟信号再生电路和寄存器电路，以便于调节输入时钟信号并临时存储输入命令和地址信号，且在乘以因数 1:X 之后，将被调节的时钟信号和临时存储的命令和地址信号提供给半导体存储器芯片。

通过利用以上述方式共同容纳在一个新片封装体内的时钟信号再生电路和寄存器电路来实现 CA 和同步时钟信号乘以因数 1:X，能够达到未来存储器技术所需要的速度，且同时，节约了半导体存储器模块

上的安装空间和管脚接触。寄存器电路和时钟信号再生电路在同一个芯片封装体内的结合允许从存储器控制器向完整的半导体存储器模块 (DIMM) 提供一个 CA 副本。由于 CA 信号乘以因数 1:X, 所以可以通过在结合的时钟信号再生和寄存器电路中的局部产生来向几个 DRAM 分支或通道提供几个 CA 副本 (因为, 由于高比特率, 继 DDR3 系统之后的高速 DDR 存储器系统将仅促进飞越总线结构或点至点总线结构, 所以还有必要在半导体存储器模块上调节同步所需的相关时钟信号并将其与 CA 信号一起发送)。

如本发明所提出的, 通过将寄存器电路与时钟信号再生电路结合在同一个芯片封装体内, 还降低了时钟信号再生电路的工作温度。若将时钟信号再生电路设置为单个芯片封装体 (与寄存器电路分离), 则工作温度会显著超出存储器芯片的温度并且会随着时钟信号再生电路所必需驱动的负载数量增加。因此, 本发明所提出的时钟信号再生电路与寄存器电路的结合允许时钟信号再生电路产生的热的分布得到改善。根据本发明的在公共芯片封装体内的时钟信号再生电路和寄存器电路的结合使得公共芯片封装体的工作温度降低至半导体存储器芯片的温度水平。因此, 根据本发明的包括与寄存器电路容纳在公共芯片封装体内的时钟信号再生电路的半导体存储器模块, 在用于非常密集的封装半导体存储器模块中时, 例如用于安装有继 DDR3 系统之后的 DDR 系统的几个 DDR-DRAM 芯片的 DIMM 半导体存储器模块中时, 特别有利, 因为在以这种高元件密度组装的半导体模块的情况下, 通过路由 CA 信号所节省的模块空间可以用于无源和有源元件。

优选地, 时钟信号再生电路包括锁相回路 (PLL) 电路。如前所述, 在计划的高速存储器系统的情况下, 分别经由差分时钟信号线提供时钟信号和被时钟信号再生电路调节的时钟信号。

在根据本发明的半导体存储器模块的一个实施例中, 将时钟信号再生电路和寄存器电路布置为同一封装体内的单独的部分芯片 (管芯)。这些部分芯片例如可以叠置在芯片封装体内。

通过向芯片封装体内的寄存器电路提供由时钟信号再生电路调节的时钟信号, 有利地减小了半导体存储器模块上这些差分时钟信号线所需的空間。

根据本发明的半导体存储器模块的另一个实施例, 将时钟信号再

生电路和寄存器电路集成在封装体内的一个公共的芯片（管芯）上。该第二个实施例是有利的，因为减小了公共时钟信号再生和寄存器电路的芯片面积。

优选地，将包含时钟信号再生电路和寄存器电路的芯片封装体基本上布置在半导体电路模块上的中央位置处。

在根据本发明的半导体电路模块中，包含用于也被传输的时钟信号的信号线的命令和地址信号的汇流线优选（但非必须）形成飞越总线结构。

优选将寄存器和时钟信号再生电路如此设计，即，使得他们各自将时钟信号与命令和地址信号乘以因数 1:2。

在一个实施例中，半导体存储器模块可以为 RDIMM 模块且可以安装有 DDR-DRAM 半导体存储器芯片。

附图说明

在下述说明书中，参考附图，将更加详细地阐述根据本发明的半导体存储器模块以及包括时钟信号再生电路和寄存器电路的适当的半导体电路的上述和另外的优选元件，其中：

图 1 是根据本发明的半导体存储器模块的第一实施例的示意性布局图；

图 2 是根据本发明第一执行例的公共芯片封装体内的时钟信号再生电路和寄存器电路的示意性顶视图；

图 3 是根据本发明的半导体存储器模块的第二实施例的示意性布局图；

图 4 是对时钟信号与命令和地址信号线采用混合-T 总线结构的前述半导体存储器模块的示意性布局图；和

图 5 是采用时钟信号与命令和地址信号总线的两个副本的具有飞越总线结构的前述半导体存储器模块的示意性布局图。

具体实施方式

在图 1 中示意性示出的本发明第一实施例中，将包含时钟信号再生电路 12 与寄存器电路 13 的芯片封装体 11（图 2 中详细示出）布置在半导体存储器模块 10 上位于半导体存储器模块 10 上近似中央位置

处, 在该实例中模块 10 为 RDIMM 模块, 其安装有各自存储八个数据项 D 的 DDR-DRAM 芯片 4 和用于纠错 (DE-CC) 的另一 DDR-DRAM 芯片 4a。半导体存储器模块 10 的外部, 8 比特宽的数据线部分向 DDR-DRAM 芯片 4 和 4a 提供写和读数据。差分时钟信号输入线 61 从管脚接触 8 将时钟信号 C1 提供到公共芯片封装体 11, 而具有特定比特宽度的线部分 71 也从管脚接触 8 将命令和地址输入信号 CA 提供给公共芯片封装体 11。从图 2 中可以看出, 在该实例中, 对于命令和地址信号, 时钟信号再生电路 12 和寄存器电路 13 将时钟信号 61 和 CA 信号 71 乘以因数 1:2。从例如为锁相回路 (PLL) 电路的时钟信号再生电路 12 开始, 差分时钟信号线 62 将被调节的时钟信号供给到分别在模块 10 左侧和右侧的所有存储器芯片 4、4a。另外, 公共芯片封装体 11 中的差分时钟信号线 63 向寄存器电路 13 供给被调节的时钟信号, 如图 2 中所示。临时存储的 (缓冲的) 命令和地址信号从寄存器电路 13 经由半导体存储器模块上的差分命令和地址信号线 72 流向分别在模块 10 左侧和右侧的半导体存储器芯片 4、4a。

根据本发明提议的且包括将时钟信号再生电路和寄存器电路 13 容纳在公共芯片封装体 11 内的操作的方案是有利的, 因为, 节省了半导体存储器模块 10 上的空间, 半导体存储器模块 10 上布置越多的半导体存储器芯片 4, 这种空间节省越重要。

通过将时钟信号再生电路 12 和寄存器电路 13 容纳在公共芯片封装体 11 中, 时钟信号再生电路 12 的温度在操作期间呈现与半导体存储器芯片 4、4a 的温度近似相同的值。

与上面结合图 4 已经描述的半导体存储器模块的总线结构的比较显示, 根据本发明的半导体存储器模块 10 的第一实施例的总线结构也对时钟信号线和 CA 信号线执行混合-T 总线结构。

在第一执行例中, 根据图 2, 可以将时钟信号再生电路 12 和寄存器电路 13 布置在公共的芯片封装体 11 中, 即, 以空间节省方式 (图 2 中未示出) 作为分离的部分芯片 (管芯) 彼此相邻或者作为分离的部分芯片 (管芯) 一个叠置在另一个上。

附图 3 示出根据本发明的半导体存储器模块 100 的第二实施例的示意性布局图。在该第二实施例的情况下, 布置在半导体存储器模块 100 上的半导体存储器芯片 4、4a 形成基于 x2 数据结构 (示出) 或 x4

数据结构（未示出）的 DDR-DIMM 模块。布置在半导体存储器模块 100 上近似中央的位置处的公共芯片封装体 111（与根据图 1 的第一实施例中的情况相同），容纳时钟信号再生电路 12 与地址和命令信号寄存器电路 13，它们分别用于将经由差分时钟信号输入线 61 供给的时钟信号 C1 乘以因数 1:2，以及用于临时存储/缓冲经由 CA 线 71 提供给模块 100 的命令和地址信号 CA 并将其乘以因数 1:2。在图 3 中示出的半导体存储器模块 100 的第二实施例中，借助于飞越或点至点总线结构经由输入 CA 线 71 提供差分命令和地址信号 CA 并经由差分时钟信号输入线 61 提供差分时钟信号 C1，因为飞越总线或点至点（P2P）总线是唯一能够用于继 DDR3 系统之后的 DDR 系统的高比特率的总线结构。在图 3 中示出的半导体存储器模块 100 的第二实施例中，借助于 1N 定时来实现 CA 信号 CA 通过时钟信号 C1 的定时，然而，这不限制本发明的范围。

在图 3 中示出的第二实施例中，容纳在公共芯片封装体 111 内的时钟信号调节与命令和地址信号寄存器电路通过经由差分时钟信号线将被公共芯片封装体 111 内的时钟信号调节电路调节的时钟信号 C1 提供给分别布置在半导体存储器模块 100 左侧和右侧的半导体存储器芯片 4、4a，分别将 CA 信号 CA 和时钟信号 C1 乘以因数 1:2。相同的说明也适用于临时存储/缓冲的 CA 信号。

通常，本发明提议在半导体存储器模块上将时钟信号再生电路和寄存器电路布置在公共的芯片封装体内，并将它们连接到提供命令地址信号 CA 和时钟信号 C1 的汇流信号线 61、71，使得输入时钟信号 C1 被调节且输入命令和地址信号 CA 被临时存储，以便将这些信号乘以因数 1:X 并将被调节的时钟信号 C1 和临时存储的命令和地址信号 CA 提供到布置在半导体存储器模块上的 X 个半导体存储器芯片组。虽然作为实例在图 1 和 3 中示出的半导体存储器模块 10 和 100 的两个实施例中仅提供两个半导体存储器芯片组，但是本领域技术人员直接可以看出能够在该半导体存储器模块上布置两个以上的半导体存储器芯片组或 DRAM 分支，然后它们可借助于被时钟信号调节电路与命令和地址信号寄存器电路乘以因数 1:X 的时钟信号与命令和地址信号被激励。这允许从存储器控制器（未示出）向完整的 DIMM 仅提供一个 CA 副本。通过使 CA 和 C1 信号乘以因数 1:X，可以借助于几个 CA 和 C1 副本的

局部产生来供给几个 DRAM 组。在上面结合图 1-3 所描述的本发明的实施例中，已经消除了作为其中必须提供 CA 总线信号和 C1 总线信号的两个副本的图 5 中示出的半导体存储器模块的特征的管脚接触 8 的双倍管脚数量的缺点。此外，可以通过象本发明提出的那样利用组合的时钟信号调节和寄存器电路 11、111 将 CA 信号和时钟信号乘以因数 1: X，来达到将来的存储器技术所需的高速度。

时钟信号调节电路和寄存器电路可以作为分离的部分芯片彼此相邻地布置，如图 2 中所示，或者作为分离的部分芯片一个叠置于另一个上。本发明所提议的一个可选方案使得能够将时钟信号调节电路和寄存器电路的两种功能集成在一个公共的芯片（结合的管芯）上。

已经描述了新改进的半导体存储器模块的优选实施例，可以认为本领域技术人员根据本发明中所阐述的技术可以做出其它变形、改变和修改。因此应该理解，所有这种改变、变形和修改被认为是落入由附属权利要求书所限定的本发明范围内。虽然本文中采用特定的术语，但是它们仅用于一般的描述意义而没有限制性目的。

附图标记列表：

- 4、4a：半导体存储器芯片
- 5：无源元件
- 8：管脚接触
- 10、100：半导体存储器模块
- 11、111：公共芯片封装体
- 12：时钟信号再生电路
- 13：寄存器电路
- 61、62、63：差分时钟信号线
- 71、72：命令和地址信号线
- CA：命令和地址信号
- C1：时钟信号
- D：数据存储器芯片
- DE_C_C：纠错数据存储器

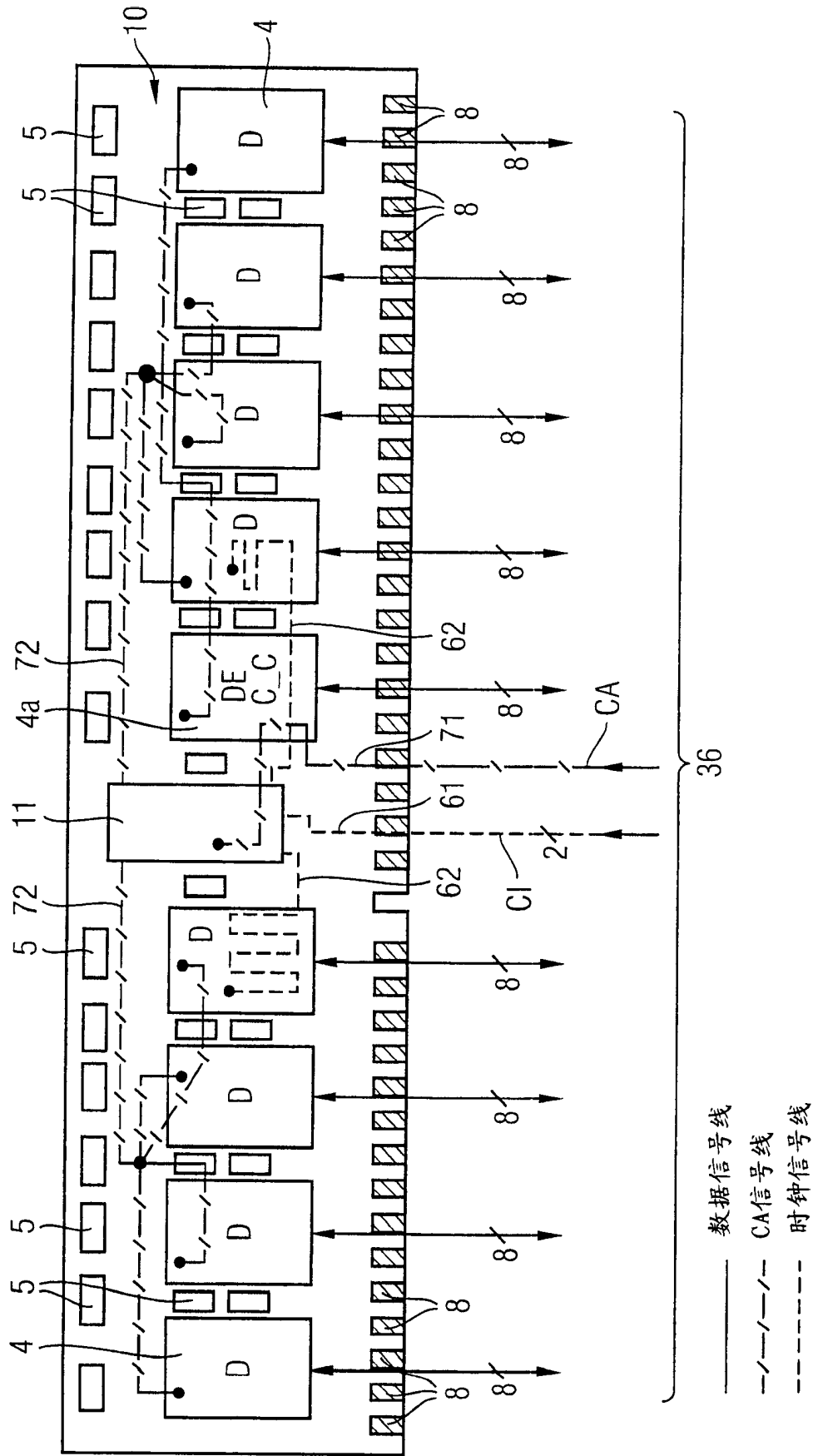
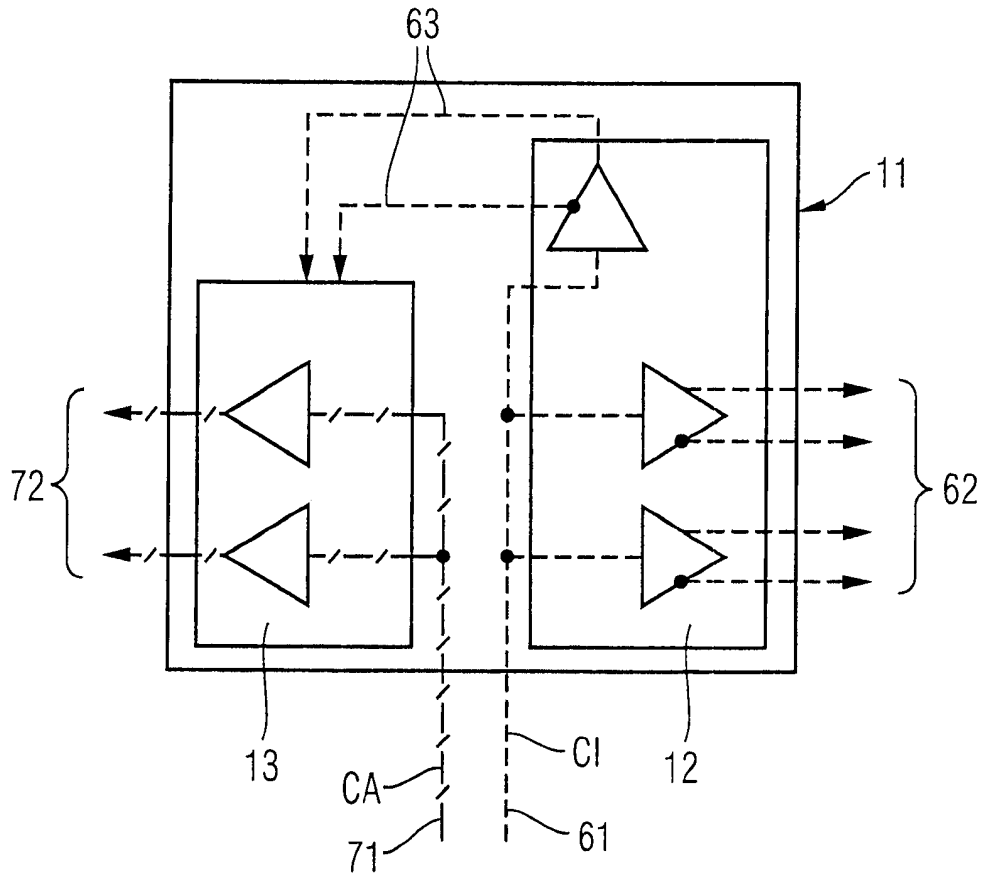


图 1



--//--//--// CA信号线
 - - - - - 时钟信号线

图 2

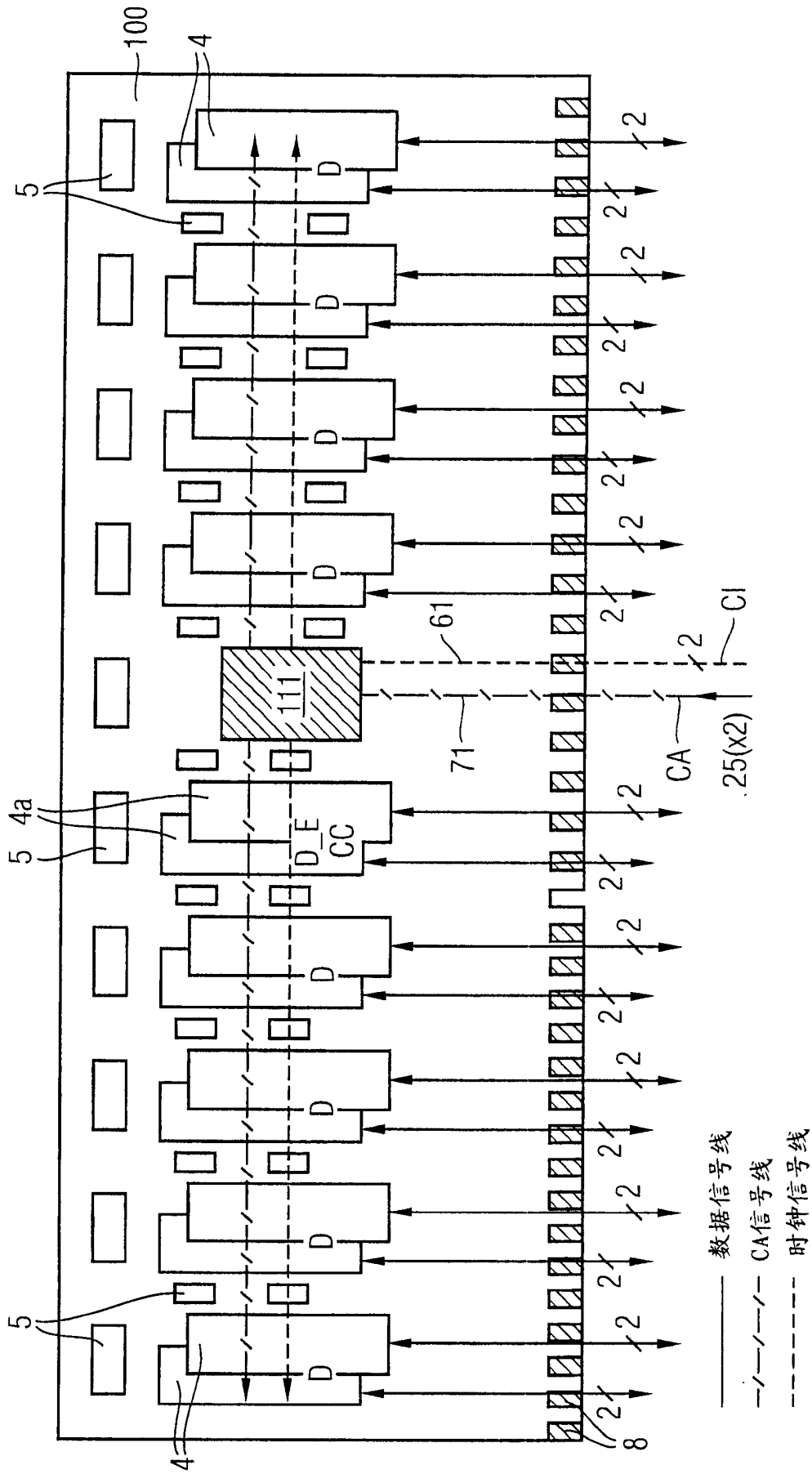


图 3

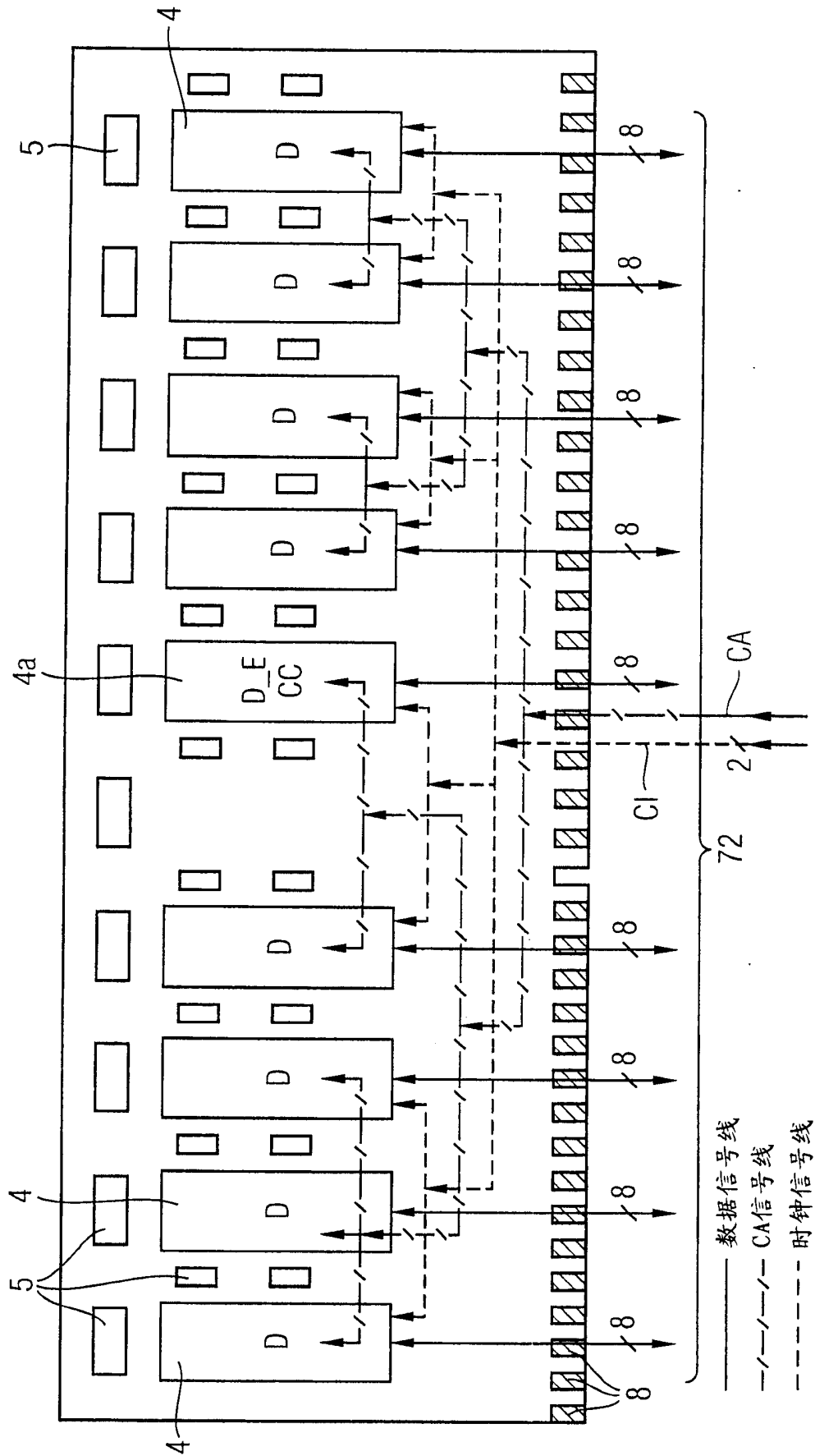


图 4

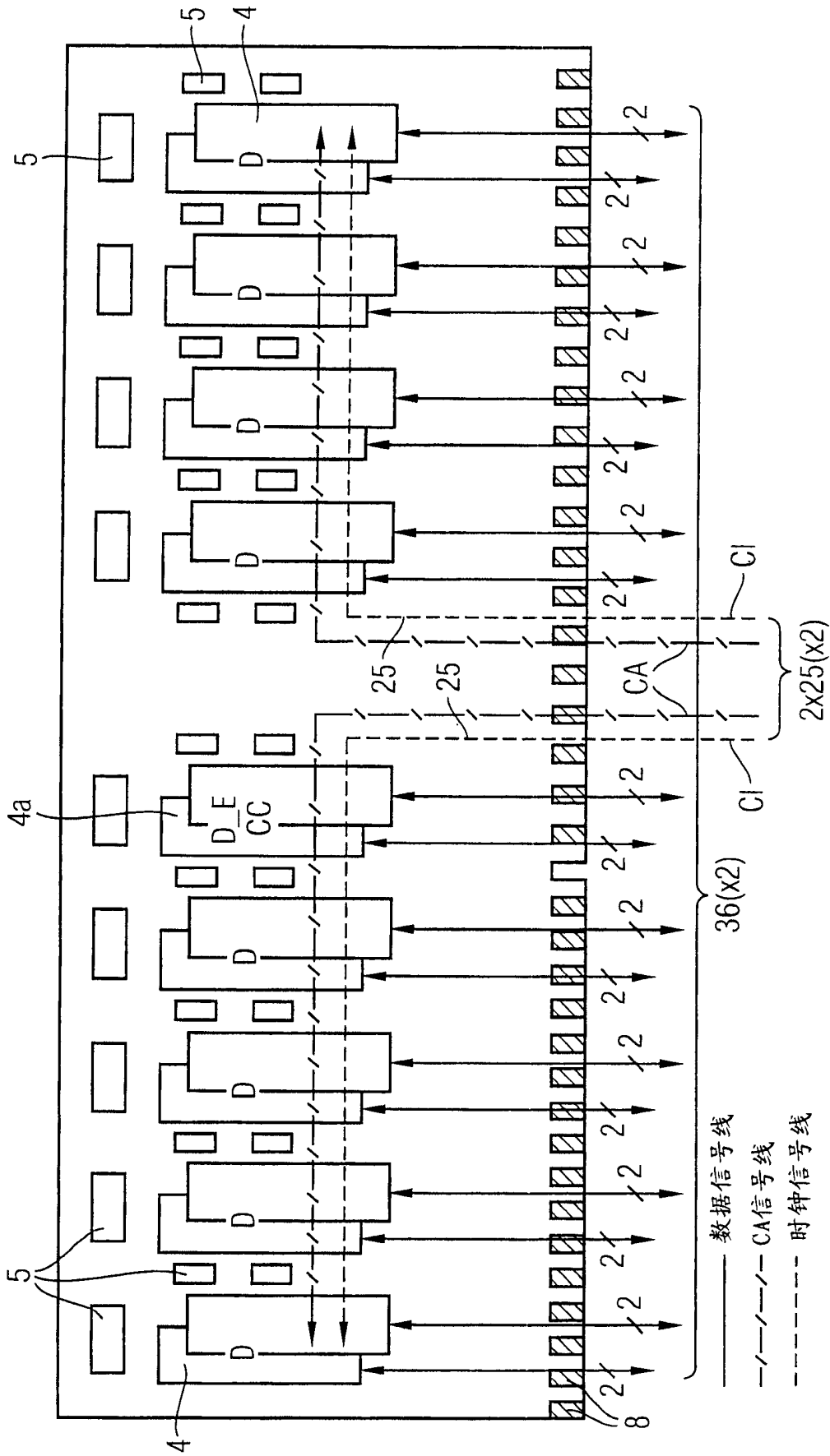


图 5