

公告本

申請日期	86.8.19
案 號	86111P70
類 別	G06F ¹⁵ /76

436710

.4
C4

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	用以處理視訊資料的方法與裝置
	英 文	Methods and Apparatus for Processing Video Data
二、發明 人	姓 名	(1)克利夫.里德 (2)孫 在 澈 (3)亞馬加.奎爾許 (4)里壯恩.古原
	國 籍	(1)美 國 (2)韓 國 (3)巴基斯坦 (4)美 國
	住、居所	(1)美國加州95070沙托佳2666號信箱 (2)美國加州95014古伯提諾1,帕克伍德大道10250 (3)美國加州95134聖荷西307,艾倫村路350號 (4)美國加州95030蒙地士雷諾,丹尼爾地15095
三、申請人	姓 名 (名稱)	三星電子股份有限公司
	國 籍	韓 國
	住、居所 (事務所)	韓國京畿道水原市八達區梅灘洞416番地
	代 表 人 姓 名	尹 鐘 龍

436710

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

美國(地區) 申請專利，申請日期：1996.8.19 案號：08/699,382 ☐有 ☒無主張優先權
699,382

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明()

發明背景

本發明係關於藉由電腦之資料處理，且尤指藉由電腦之視訊資料處理。

電腦已被用來壓縮及解壓縮系統資料。系統資料包括視訊資料，其包括靜止及／或移動圖像之影像。系統資料亦可包括音訊資料，例如一動畫之音軌。提供可允許視訊資料之快速處理的方法與電路，將係令人合意的。

發明概論

本發明提供了允許視訊資料之快速處理的方法與電路。於某些實施例中，本發明之一個電腦系統包括能夠同時操作之三個處理器：一純量處理器、一向量處理器、與一位元流處理器。於視訊資料之編碼或解碼時，向量處理器執行可由一單指令多資料 (SIMD, single instruction multiple data) 處理器所有效率地執行之作業。此等作業包括：(1) 一線性資料轉換，諸如一離散餘弦轉換 (DCT, discrete cosine transform)；與(2) 動作補償。位元流處理器執行包括於特定位元而非字組或半個字組上之運算的作業。此等作業包括例如採用 MPEG-1、MPEG-2、H.261與 H.263標準之霍夫曼 (Huffman) 與 RLC編碼或解碼。純量處理器執行高位準視訊處理 (例如，圖像位準處理)，並使向量處理器與位元流處理器之作業同步，且控制與外部裝置之介面。

五、發明說明()

於某些實施例中，該電腦系統可同時處理數個資料流。結果係，電腦系統之使用者可與二個或多個關係者舉行一視訊會議。因為該位元流處理器能夠切換本文以即時地同時編碼或解碼不同的資料流，多個資料流可被同時作處理。

於某些實施例中，純量處理器與向量處理器係可程式規劃，意謂著此二個處理器之各者均可被程式設計以執行一單一之算術或布林指令。位元流處理器係不可程式規劃，意謂著該位元流處理器係無法被程式設計以於一組視訊資料上進行一整個視訊資料處理作業。該位元流處理器之作成無法被程式設計以執行一單一之算術或布林指令，將允許此位元流處理器之處理更為快速。該等純量處理器與向量處理器之可程式性，將促使系統適用於視訊資料編碼與解碼標準之改變。

本發明之其他特徵與優點係詳述於后。本發明係以隨附之申請專利範圍所界定。

圖式簡單說明

第一圖係根據本發明之一媒體卡之方塊圖。

第二圖係根據本發明之一多媒體處理器之方塊圖。

第三圖係一位元流處理器之方塊圖，此位元流處理器係第二圖之處理器的一部分。

第四至六圖係根據本發明之電腦系統之方塊圖。

五、發明說明(7)

第七圖說明了第二圖之處理器中的韌體 (firmware) 架構。

第八與九圖顯示了用於第一圖之系統的位址圖。

第十圖係第二圖之處理器的DSP核心之方塊圖。

第十一圖說明了使用於一向量處理器之管線，此向量處理器係第二圖之處理器的一部分。

第十二圖係第十一圖之向量處理器的一功能方塊圖。

第十三圖說明了第十一圖之向量處理器中的執行資料路徑。

第十四圖說明了第十一圖之向量處理器中的載入及儲存資料路徑。

第十五圖係第二圖之處理器的一高速緩衝記憶體 (cache) 系統之方塊圖。

第十六圖說明了第十五圖之高速緩衝記憶體系統中的指令資料高速緩衝記憶體。

第十七圖說明了第二圖之處理器中的一高速緩衝記憶體控制單元中之一資料路徑管線。

第十八圖說明了用於第二圖之系統中的一高速緩衝記憶體控制單元中之一位址處理管線的資料路徑。

第十九至二十二圖說明了第二圖之處理器中的狀態機制。

第二十三圖說明了第十五圖之高速緩衝記憶體系統中所用之位址格式。

五、發明說明(4)

第二十四圖說明了第二圖之處理器中的一匯流排。

第二十五圖說明了第二圖之處理器中的一判優 (arbitration) 控制單元。

第二十六至二十九圖係第二圖之處理器的時序圖。

第三十至三十二圖顯示第二圖之處理器中的記憶體請求訊號。

第三十三圖說明了第二圖之處理器中的一匯流排判優控制單元。

第三十四至三十六圖係第二圖之處理器的時序圖。

第三十七與三十八圖說明了第二圖之處理器中的匯流排介面電路。

第三十九與四十圖說明了用於第一圖之系統的一虛擬資訊段緩衝器 (VFB, virtual frame buffer)。

第四十一圖說明了用於第一圖之系統的匯流排介面電路。

第四十二與四十三圖說明了用於第一圖之系統的一記憶體控制器。

第四十四圖說明了用於第一圖之系統的一位址控制器。

第四十五與四十六圖說明了第一圖之系統中所用的格式。

第四十七圖說明了第一圖之系統中的一狀態機制。

第四十八圖係用於第一圖之系統的一資料控制器之方

五、發明說明(5)

塊圖。

第四十九至五十一圖係第一圖之系統的時序圖。

第五十二與五十三圖說明了第二圖之處理器中的裝置介面電路。

第五十四至五十六圖係第一圖之系統的部分方塊圖。

第五十七至五十九圖說明了第一圖之系統中的暫存器。

第六十圖說明了第一圖之系統中的資訊段緩衝器與視訊視窗。

第六十一圖係第一圖之系統的一時序圖。

第六十二圖說明了第一圖之系統中的一暫存器。

第六十三圖係第一圖之系統的一時序圖。

第六十四至六十六圖說明了第一圖之系統中所用的緩衝器。

較佳實施例詳細說明

第一圖顯示了一媒體卡100，其包括一多媒體處理器110。於某些實施例中，處理器110係為一種型式為MSP-1EX（商標）之處理器，其規格係韓國三星（Samsung）半導體公司於美國加州聖荷西所製造。處理器MSP-1EX係詳述於附錄A中。

處理器110係經由一區域匯流排105而與一主機電腦系統（未顯示）相連通。於某些實施例中，該匯流排105係一

五、發明說明(6)

個 32 位元 33 百萬赫茲之 PCI 匯流排。處理器 110 之一數位視訊資料輸出係連接到數位至類比 (D/A, digital-to-analog) 轉換器 112。除了視訊部分，該數位視訊資料可再包括一音訊部分，例如一電影之音軌。轉換器 112 之輸出係適用以連接至一台電視機 (未顯示) 或者其處理類比資料之另一系統。於某些實施例中，處理器 110 亦包括一輸入埠，其用以自一類比至數位 (A/D, analog-to-digital) 轉換器 (參閱第四至六圖) 接收數位視訊資料。

處理器 110 係連接至 Codec (編碼解碼器) 114。Codec 114 係自一磁帶記錄器 (未顯示) 或另一裝置接收類比音訊資料。Codec 114 自電話線 (未顯示) 接收類比電話資料。Codec 114 將該等類比資料作數位化，且將其傳送至處理器 110。Codec 114 接收來自處理器 110 之數位資料，將此等資料轉換成類比形式，且視需要而傳送該等類比資料。

處理器 110 係藉由一匯流排 122 而連接至一記憶體 120。於第一圖中，記憶體 120 係一個同步動態隨機存取記憶體 (SDRAM, synchronous DRAM)，而匯流排 122 係一個 64 位元 80 百萬赫茲之匯流排。其他之記憶體、匯流排寬度與匯流排速度係使用於其他的實施例中。非同步之記憶體與匯流排係使用於某些實施例中。

卡 100 之某些實施例係敘述於美國專利申請案 "多媒體訊號處理器中之多處理器作業" (委任案號 M-4354 US)，其係由 Le Nguyen 於如本案之同一日所提出，且係作為參照

五、發明說明(7)

而納入於此。

第二圖係處理器110之一個實施例的方塊圖。處理器110包括一純量處理器210、一向量處理器("VP")220、與一位元流處理器("BP")245。於某些實施例中，處理器210係一個32位元RISC處理器，其操作於40百萬赫茲，且適用於此技藝中所習知之標準ARM7指令集。向量處理器220係一個單指令多資料(SIMD)處理器，其操作於80百萬赫茲，且具有288位元之向量暫存器。向量處理器(VP)220之一個實施例係敘述於美國專利申請案"多任務計算系統環境中有效之本文儲存及還原"(委任案號M-43 65 US)，其係由Song等人於如本案之同一日所提出，且係作為參照而納入於此。處理器210與220可被程式規劃以執行一單一之算術或布林指令、或者一連續之該等指令。

於某些實施例中，為了得到一高的視訊資料處理速度，位元流處理器245係作成無法被程式規劃以執行一單一之算術或布林指令。尤其是，位元流處理器(BP)245係無法被程式規劃以執行諸如ADD(相加)、OR(或)、ADD AND ACCUMULATE(相加且累積)"等等之一單一指令。反而是，BP 245係可指使以執行一視訊資料處理作業，如附錄A第十章中所述。同時，純量處理器210與向量處理器220係可被程式設計以執行一單一之算術或布林指令。是以，處理器110係可適用於不同之視訊標準。

如第二圖中所示，純量處理器210與向量處理器220均

五、發明說明(8)

係連接至高速緩衝記憶體子系統230。高速緩衝記憶體子系統230係連接至匯流排240(“IOBUS”)與匯流排250(“FBUS”)。於某些實施例中，IOBUS 240係一個32位元40百萬赫茲之匯流排，而FBUS 250係一個64位元80百萬赫茲之匯流排。

IOBUS 240係連接至位元流處理器245、中斷控制器248、全雙工(Full-Duplex) UART單元243、與四個計時器。FBUS 250係連接至記憶體控制器258，其係依次連接至記憶體匯流排122(第一圖)。FBUS 250係連接至PCI匯流排介面電路255，其係連接至PCI匯流排105。FBUS 250係亦連接至裝置介面電路(亦稱為“客戶特殊應用積體電路，Customer ASIC”)252，其包括以與視訊D/A 112(第一圖)、Codec 114、及可能一視訊A/D轉換器(諸如第四至六圖中所示)等之介面電路。處理器110亦包括一記憶體資料搬移器(mover)290。

處理器110可同時處理數個資料流。例如，若處理器110之使用者有與二個或三個對象之視訊會議，處理器110提供可允許使用者看見且聽到該多個對象之視訊與音訊處理。為了處理多個視訊資料流，處理器110提供本文切換。此意謂著BP 245係於多個資料流之間作切換。於一個視訊會議中，每一個資料流均可能來自一個單獨之遠方對象。或者係，另外的資料流係可能來自於電影頻道，以允許該使用者能夠同時參與視訊會議且觀賞一個簡介或電影放映

五、發明說明(9)

。本文切換係詳述於附錄 A 之章節 10.12。當本文係欲作切換時，純量處理器 210 儲存目前之本文，且使 BP 245 初始化以處理一個不同之本文。

BP 245 可處理下列之視訊資料格式：

1. MPEG-1，於 ISO/IEC 標準 11172 (1992 年) 中所述；
2. MPEG-2，於文獻 ISO/IEC JTC 1/SC 29 N 0981 Rev (1995 年 3 月 31 日) 所述；
3. H.261，於 "ITU-T 推薦書 H.261" (1993 年 3 月) 所述；及
4. H.263，於 "草案 ITU-T 推薦書 H.263" (1996 年 5 月 2 日) 所述。

視訊資料處理係分割於純量處理器 210、向量處理器 220 與位元流處理器 245 之間，以達到高處理速度。尤其係，向量處理器 220 執行線性轉換（諸如一離散餘弦轉換 (DCT) 或其反轉換 (IDCT)）及動作補償。此等作業係適合於向量處理器，因為此等作業經常需有相同的指令以執行於多個資料。位元流處理器 245 執行霍夫曼解碼及編碼、與齒狀 (zig-zag) 位元流處理。純量處理器 210 執行視訊與音訊解多工及同步化、與 I/O 介面任務。

編碼與解碼作業之實例係揭示於附錄 A，章節 10.6.1 與 10.6.2。於一個編碼作業，未壓縮之數位資料係由記憶體 120 或主機系統（未顯示）經由匯流排 105 而來到。於某

五、發明說明(10)

些實施例中，裝置介面電路252包括一視訊A/D轉換器，且該未壓縮之資料係來自該轉換器。向量處理器220。執行量化(quantization)、DCT、與動作補償。位元流處理器245收到VP 220之輸出，並產生區塊群(GOBs, Group of Blocks)或截割段(Slices)。尤其係，BP 245執行霍夫曼及RLC編碼、與齒狀位元流處理。純量處理器210收到BP 245之輸出，並執行圖像層編碼(coding)、圖像群(GOP, group of pictures)編碼、與序列層編碼。純量處理器210接著將音訊與視訊資料作多工，並傳送編碼後之資料至一個儲存裝置(經由匯流排105或122)或者一個網路。至網路之傳送係涉及傳送至裝置介面電路252，其於某些實施例中係連接至一個網路。

於解碼時，其處理係相反。純量處理器210解多工該等系統資料至視訊與音訊元件中，且執行該視訊資料序列層、GOP、與圖像層解碼。所得之GOBs或截割段係提供至位元流處理器245。處理器245執行齒狀處理與霍夫曼及RLC解碼。VP 220收到BP 245之輸出，並執行解量化(dequantization)、IDCT、與動作補償。VP 220執行任何可能需要之後續處理(例如，使圖像影像之邊緣平滑)，並提供重建之數位圖像至裝置介面電路252或一儲存裝置。純量處理器210、向量處理器220與位元流處理器245可操作於平行之不同資料區塊。

純量處理器210可處理圖像層與較高層之事實，係降低

五、發明說明(11)

了跨處理器之通訊。此係因為該圖像層與較高層包含有純量處理器210用以控制及I/O功能之資訊，但其不為向量處理器220或位元流處理器245所用。該等資訊之一個實例係一資訊段速率，其為純量處理器210所用以傳送資訊段至裝置介面電路252。

第三圖係位元流處理器245之一個實施例的方塊圖。第三圖中所示之訊號係詳述於附錄A章節10.5。此等訊號提供了介於位元流處理器245與IOBUS 240(第二圖)之間的一個介面。於BP 245，此等訊號係由包括SRAM 320之IOBUS介面單元310所處理。BP 245亦包括VLC FIFO單元330、VLC LUT ROM 340、控制狀態機制350、與BP核心單元360，該BP核心單元360包括一個暫存器檔案與一個SRAM。第三圖之方塊係詳述於附錄A章節10.4。

ROM 340包含用於霍夫曼編碼與解碼之搜尋列表(look-up table)，其均適用於四種標準：MPEG-1、MPEG-2、H.261、與H.263。雖然有大量資訊儲存於該等列表中，ROM 340僅具有768×12位元之尺寸。此尺寸係藉由共用該等列表及於附錄B章節4所述之技術所達成。

本發明並不受限於前述之實施例及後文之附錄。尤其是，本發明並不受限於此等實施例之任何電路、時脈速率、或時序。其他之實施例及變化均係在隨附之申請專利範圍所界定的本發明範疇之內。

五、發明說明 (A-1)

附錄 A

MSP-1EX系統規格 (說明書)

第一章 技術概觀

本章係如敘述硬體與軟體設計者所知多媒體訊號處理器 ("MSP-X") 之技術概觀。

1.1 功能性

多媒體訊號處理器 (MSP-X, Multimedia Signal Processor) 構成單晶片 VLSI 族, 係設計以提供用於個人電腦與消費性產品應用之大範圍整合功能性。

MSP 族係基於一種強大之向量處理器架構, 其運用單一指令多資料 (SIMD, Single Instruction Multiple Data) 之計算模型以用於最佳成本 / 性能。其特點包括:

- 完全可程式性
 - 基於 ARM 指令集架構
 - 整合 40 MHz ARM7 RISC CPU 核心
 - 80 MHz 向量處理器, 用於高性能數位訊號處理
 - 2.56 Gops, 用於 9 位元整數 ALU 運算
 - 2.56 Gops, 用於 16 位元整數乘法累積運算
 - 640 Mflops, 用於 32 位元 IEEE 浮點加法
 - 1280 Mflops, 用於 32 位元 IEEE 浮點乘法 & 加法
 - 未使用之 10 K gates, 用於可選擇之顧客化或圖像功能
- 性能
- 基於 0.65 μ m 3.3v/5v CMOS 技術

五、發明說明 (A-2)

- 128支腳至256支腳之封裝

該 MSP 將初始地提供四個主要功能性：

- 視訊
- 音訊 / 聲音
- 電訊
- 2D/3D 圖像 (可選項)

1 . 1 . 1 視 訊

- 所有功能性係於韌體 (firmware) 為可程式
- 即時 MPEG-1 解碼與編碼
- 即時 MPEG-2 解碼
- 接近即時 MPEG-2 編碼
- 即時 H.324 解碼與編碼
- 對於任何螢幕尺寸或解析度之影像比例
- 介於 RGB 與 YUV 間之顏色空間轉換
- 用於畫面增強與雜訊消除之影像濾波
- 4/3 下拉式轉換

1 . 1 . 2 音 訊 / 聲 音

- 所有功能性係於韌體為可程式
- 即時 MPEG-1 音訊解碼與編碼
- 即時 MPEG-2 音訊解碼與編碼
- 即時 H.320 與 H.324 音訊解碼與編碼

五、發明說明 (A-3)

- 即時 G.728與 G.723語音編碼 (coding)
- 即時聲霸卡 (SoundBlaster) 仿真 (emulation)
- 波形列表 (Wavetable) 合成
- FM合成

1 . 1 . 3 電訊1 . 1 . 3 . 1 數據機 (Modem)

- 標準非同步 COM埠介面 (NS 16550 A UART 可相容)
- V.34, 由 28.8K至 2.4Kbps
- CCITT-V.32 bis, 以 4800、9600未編碼、與 9600

bps格子 (Trellis) 編碼之資料率

- Hayes AT命令集可相容性
- 呼叫過程監示器
- V.25 bis自動撥號
- DTMF與脈衝撥號
- 非同步誤差修復協定
- V.42誤差更正

1 . 1 . 3 . 2 傳真

- V.29, 以 9600 bps或 7200 bps
- V.27 ter, 以 4800 bps或 2400 bps
- 呼叫過程監視器
- 自動撥號

五、發明說明 (A-4)

- DTMF與脈衝撥號
- G3傳送
- T.4/T.30運算

1 . 1 . 3 . 3 電話答錄

- 經由電話機或麥克風之錄音問候語
- 自動地答接電話，且以預錄留言作回應
- 錄音該打電話者之留言
- 播出由打電話者所留下之留言

1 . 1 . 4 2D/3D圖像 (可選項)

- BITBLT
- 2D直線 & 多邊形之描畫及加陰影線
- 用於3D點、線與三角形之幾何 & 亮度計算
- 3D顏色計算，以纖物映射法
- 溶和

1 . 2 硬體架構1 . 2 . 1 概觀

MSP-1多媒體協同處理器 (Coproprocessor) 族係設計以達成包括整合層級、成本與性能之不同需求。包括有一個MSP-1處理器之系統的方塊圖係顯示於第四圖中。

該MSP-1族包括下列接腳分佈 (pin-out) 選項：

五、發明說明 (A-5)

- MSP-1係設計以用作為不具外部 SDRAM之進入層級。
- MSP-1EX包括一 32位元記憶體匯流排，用以介面至外部 SDRAM。
- MSP-1F包括一 64位元記憶體匯流排，用以介面至外部 SDRAM。
- MSP-1G包括一整合之 SVGA控制器，RAM DAC加快 3D圖像加速。

第五圖顯示包括一個 MSP-1E處理器之系統的方塊圖。

1 . 2 . 2 外部 CODECs (編碼解碼器)

第六圖顯示出包括有一個 MSP-1處理器之系統的方塊圖，其具有外部編碼解碼器 (codecs)。

1 . 2 . 2 . 1 MSP-1EX材料清單

以下為一份用於 MSP-1EX之建議材料清單：

- MSP-1EX
- 512 K × 32位元同步 DRAM
- NTSC/PAL編碼器 (三星公司之 KS 0119)
- 音訊 & 電訊編碼解碼器 (類比元件之 AD 1843)
- 雜項 (電容器、電阻器、放大器、連接器，等等。
- . .)
- 印刷電路板

五、發明說明 (A-6)

1 . 3 微架構 (MICRO-ARCHITECTURE)

1 . 3 . 1 概觀

MSP微架構基本上包含一非常強大之DSP核心 (CORE) 與一顧客特定記憶體 & I/O子系統。參考第二圖，該DSP核心包括：

- 一個32位元ARM7 RISC CPU，以40MHz執行，且係用於一般處理
- 一個向量處理器，以80MHz執行，且係用於訊號處理
- 一個共用之高速緩衝記憶體子系統，以80MHz執行，且包含2KB指令高速緩衝記憶體、5KB資料高速緩衝記憶體、與16KB之ROM高速緩衝記憶體。該資料高速緩衝記憶體可由硬體或軟體所控制。
- 一個快速64位元匯流排 (FBUS, fast bus)，以80MHz執行，且介面至若干之內部FBUS周邊設備。
- 一個較慢32位元匯流排 (IOBUS)，以40MHz執行，且介面至若干之IOBUS周邊設備。

該等內部FBUS周邊設備包括：

- 一個32位元33MHz PCI匯流排介面
- 一個64位元SDRAM記憶體控制器
- 一個8通道DMA控制器
- 一個顧客ASIC邏輯方塊。該顧客ASIC邏輯方塊提供總共10 K gates，其包括至不同之類比編碼解碼器與顧客特定I/O元件之二個介面。該介面邏輯支援三星公司之KS0119

五、發明說明 (A-7)

NTSC編碼器與類比元件之AD 1843編碼解碼器。

- 一個記憶體資料移動器，其係用於DMA資料，由主機 (Pentium) 記憶體至MSP區域SDRAM記憶體。

該內部IOBUS周邊設備包括：

- 一個位元流處理器，其負責視訊位元流之處理
- 一個16450 UART串列線路
- 一個8254相容之計時器
- 一個8259相容之中斷控制器

該MSP亦包括一個特殊暫存器 (MSP控制暫存器)，其係用於軟體控制初始化與中斷。

1 . 4 MSP-1EX接腳說明

1 . 4 . 1 總數：256支接腳

1 . 4 . 2 PCI匯流排介面 (53支接腳)

CLK 時脈輸入接腳

RSTL 重置輸入接腳，低位動作

AD[31:0] 位址與資料匯流排接腳

C_BE0L 控制 & 位元組0致能接腳，低位動作

C_BE1L 控制 & 位元組1致能接腳，低位動作

C_BE2L 控制 & 位元組2致能接腳，低位動作

C_BE3L 控制 & 位元組3致能接腳，低位動作

PAR 極性接腳

FRAMEL 周期資訊段接腳，低位動作

五、發明說明(4-8)

IRDYL	啟始器備妥接腳，低位動作
TRDYL	目標備妥接腳，低位動作
STOPL	停止交互作用接腳，低位動作
LOCKL	鎖住交互作用接腳，低位動作
IDSEL	初始化元件選擇輸入接腳
DEVSEL	元件選擇接腳，低位動作
REQL	匯流排請求接腳，低位動作
GNTL	匯流排容許接腳，低位動作
PERRL	極性誤差接腳，低位動作
SERRL	系統誤差接腳，低位動作
INTAL	中斷接腳，低位動作

1 · 4 · 3 雜項 (6 支接腳)

TCK	JTAG測試時脈輸入接腳
TDI	JTAG測試資料輸入接腳
TDO	JTAG測試資料輸出接腳
TMS	JTAG測試模式選擇輸入接腳
TRSTL	JTAG測試重置輸入接腳
CLK	時脈輸入，此係40MHz時脈輸入接腳

1 · 4 · 4 KS0 119 NTSC/PAL編碼器介面 (24支接腳)

SFRS	資訊段同步輸出至KS 0119，用於三線主介面
SCLK	串列時脈輸出至KS 0119

五、發明說明 (A-9)

SDAT	串列資料 I/O
BGHS	水平同步訊號，輸入至 MSP
BGVS	垂直同步訊號，輸入至 MSP
MSSEL	主控器 (master) 選擇
PD[15:0]	圖素 (pixel) 資料輸出至 KS 0119
BGCLK	圖素時脈輸出至 KS 0119
RPOMCSL	BIOS PROM 晶片選擇
1 . 4 . 5	<u>AD 1843 音訊 & 電訊編碼解碼器介面 (6 支接腳)</u>
A43SCLK	串列時脈，輸入／輸出。SCLK 係一個雙向訊號，其當匯流排主控器 (BM, Bus Master) 接腳係驅動高位 (HI) 時提供時脈作為一輸出至串列匯流排，且當該 BM 接腳係驅動低位 (LO) 時接受時脈作為輸入。
A43SDFS	串列資料資訊段同步 (sync)，輸入／輸出。SDFS 係一個雙向訊號，其當該 BM 接腳係驅動 HI 時提供資訊段同步訊號作為一輸出至串列匯流排，且當 BM 接腳係驅動 LO 時接受該資訊段同步訊號作為輸入。
A43SDI	串列資料，輸入至 AD 1843，自 MSP 輸出。所有控制與播放傳送係 16 位元長，且其係以 MSB 為先。
A43SDO	串列資料，自 AD1843 輸出，輸入至 MSP。所有

五、發明說明 (A-10)

狀態 & 控制暫存器讀取與播放傳送係 16 位元長，且以 MSB 為先。

1 . 4 . 6 記憶體匯流排介面 (87 支接腳)

- RAS1L 輸出接腳 (低位動作)。此係列位址選通以由 MA[11:0] 門住列位址至被選定之 SDRAM 程式庫內部列位址緩衝器。
- CAS1L 輸出接腳 (低位動作)。此係行位址選通以由 MA[11:0] 門住行位址至被選定之 SDRAM 程式庫內部行位址緩衝器。
- MWEL 輸出接腳 (低位動作)。此係至該 SDRAM 之寫入致能。
- MAI[11:0] 輸出接腳。至 SDRAM 之多工之列與行位址訊號。
- MD[63:0] 輸入 / 輸出 SDRAM 資料接腳。
- MA23 輸出接腳。記憶體位址位元 <23>。
- MA24 輸出接腳。記憶體位址位元 <24>。
- DQM 輸出接腳。使得 SDRAM 資料在時脈後輸出高阻抗，且遮罩該輸出。(此接腳係僅用於同步 DRAM 介面)
- MCKE 輸出接腳。遮罩 SDRAM 之系統時脈，以自下一個時脈周期起停止動作。
- MCSOL 輸出接腳 (低位動作)。用於低位 32 位元之

五、發明說明 (A-II)

SDRAM晶片選擇。

MCS1L 輸出接腳（低位動作）。用於高位32位元之
SDRAM晶片選擇。

MR.DYH 輸出接腳。SDRAM備妥訊號。

MEMCLK 輸出接腳。此係至SDRAM之時脈輸出接腳。

1 . 4 . 7 電源供應

VDD 3.3伏特電源接腳

VCC 5伏特電源接腳

VSS 接地接腳

列表 1 MSP_1 EX接腳指定

晶片焊墊#	封裝接腳#	型 式	名 稱	說 明
1	202	IN	VDD	3.3V電源供應
2	1	I/O	AD31	用於PCI匯流排之位址&資料
3	2	I/O	AD30	
4	3	I/O	AD29	

五、發明說明 (A-12)

5	4	I/O	AD28	
6	5	I/O	AD27	
7	205	IN	GND	接地
8	6	IN	VCC	5V電源供應
9	7	I/O	AD26	用於PCI匯流排之位址&資料
10	8	I/O	AD25_S09	用於PCI匯流排/測試串列輸出之位址&資料
11	9	I/O	AD24_S08	用於PCI匯流排/測試串列輸出之位址&資料
12	10	I/O	C_BE3L	用於PCI之控制/位元組致能
13	208	IN	VDD	3.3V電源供應
14	11	IN	IDSEL	用於PCI之初始化選取
15	12	I/O	AD23 S07	

五、發明說明 (A-13)

16	13	I/O	AD22_S06	用於PCI匯流排/測試串列輸出 之位址&資料
17	14	I/O	AD21_S05	
18	15	I/O	AD20_S04	
19	209	IN	GND	接地
20	16	IN	VCC	5V電源供應
21	17	I/O	AD19_S03	用於PCI匯流排/測試串列輸出 之位址&資料
22	18	I/O	AD18_S02	
23	19	I/O	AD17_S01	
24	210	IN	VDD	3.3V電源供應
25	20	I/O	AD16_S00	用於PCI匯流排/測試串列輸出 之位址&資料
26	21	I/O	C_BE2L	用於PCI之控制/位元組致能

五、發明說明 (A-14)

27	22	I/O	FRAMEL	PCI匯流排周期啟始
28	23	I/O	IRDYL	於PCI(主控器)之啟動器備妥
29	211	IN	GND	接地
30	24	I/O	TRDYL	於PCI(從屬器)之目標備妥
31	25	IN	VCC	5V電源供應
32	26	I/O	DVSELL	於PCI之元選取
33	27	I/O	STOPL	停止於PCI之目前交易
34	28	I/O	LOCKL	鎖存於PCI之目前交易
35	214	IN	VDD	3.3V電源供應
36	29	I/O	PERRL	於PCI之極性錯誤
37	30	I/O	SERRL	於PCI之系統錯誤

五、發明說明 (A-15)

38	31	IN	TCA	測試時脈A
39	32	I/O	PAR	於PCI之極性
40	215	IN	GND	接地
41	33	I/O	C_BE1L	用於PCI之控制/位元組致能
42	34	I/O	AD15_S19	用於PCI匯流排/測試串列輸入 之位址&資料
43	35	IN	VCC	5V電源供應
44	36	I/O	AD14_S18	用於PCI匯流排/測試串列輸入 之位址&資料
45	37	I/O	AD13_S17	
46	38	I/O	AD12_S16	
47	218	IN	VDD	3.3V電源供應
48	39	I/O	AD11_S15	

五、發明說明 (A-16)

49	40	I/O	AD10_S14	用於PCI匯流排/測試串列輸入 之位址&資料
50	41	I/O	AD09_S13	
51	42	I/O	AD08_S12	
52	221	IN	GND	接地
53	43	I/O	C_BEOL	用於PCI之控制/位元組致能
54	44	IN	TCB	測試時脈B
55	45	IN	VCC	5V電源供應
56	46	IN	TM	測試模式
57	47	I/O	AD07_S11	用於PCI匯流排/測試串列輸出 之位址&資料
58	48	I/O	AD06_S10	用於PCI匯流排/測試串列輸出 之位址&資料

五、發明說明 (A-17)

59	222	IN	VDD	3.3V電源供應
60	49	I/O	AD05_MT5	用於PCI匯流排/記憶體測試資料 之位址&資料
61	50	I/O	AD04_MT4	用於PCI匯流排/記憶體測試資料 之位址&資料
62	226	IN	VDD	3.3V電源供應
63	227	IN	GND	接地
64	51	IN	VCC	5V電源供應
65	52	I/O	AD03_MT3	用於PCI匯流排/記憶體測試資料 之位址&資料
66	53	I/O	AD02_MT2	用於PCI匯流排/記憶體測試資料 之位址&資料
67	227	IN	GND	接地
68	54	I/O	AD01_MT1	用於PCI匯流排/記憶體測試資料

五、發明說明 (A-18)

				之位址&資料
69	55	I/O	AD00_MTO	用於PCI匯流排/記憶體測試資料 之位址&資料
70	228	IN	VDD	3.3V電源供應
71	229	IN	GND	接地
72	56	OUT	MA11	SDRAM位址匯流排
73	57	OUT	MA10	
74	58	OUT	MA9	
75	59	OUT	MA8	
76	60	OUT	MA7	
77	230	IN	VDD	3.3V電源供應
78	231	IN	GND	接地

五、發明說明 (A-19)

79	61	OUT	MA6	SDRAM位址匯流排
80	62	OUT	MA5	
81	63	OUT	MA4	
82	64	OUT	MA3	
83	232	IN	VDD	3.3V電源供應
84	233	IN	GND	接地
85	65	OUT	MA2	SDRAM位址匯流排
86	66	OUT	MA1	
87	67	OUT	MA0	
88	68	OUT	RAS1L	SDRAM行位址選通1
89	234	IN	VDD	3.3V電源供應
90	235	IN	GND	接地

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (A-10)

91	69	OUT	CAS1L	SDRAM列選通1
92	70	OUT	MEMCLK	SDRAM時脈(80 Mhz)
93	71	OUT	MWEL	SDRAM 寫入致能
94	72	OUT	DQM	SDRAM DQM
95	73	OUT	MCSOL	SDRAM 晶片選擇(低字組)
96	74	OUT	MCSIL	SDRAM 晶片選擇(高字組)
97	236	IN	VDD	3.3V電源供應
98	237	IN	GND	接地
99	75	OUT	MCKE	SDRAM時脈致能
100	76	IN	MRDYH	SDRAM 備妥
101	238	IN	VDD	3.3V電源供應

五、發明說明 (A-21)

102	239	IN	GND	接地
103	77	I/O	MD0	SDRAM資料匯流排
104	78	I/O	MD1	
105	79	I/O	MD2	
106	80	I/O	MD3	
107	240	IN	VDD	3.3V電源供應
108	241	IN	GND	接地
109	81	I/O	MD4	SDRAM資料匯流排
110	82	I/O	MD5	
111	83	I/O	MD6	
112	84	I/O	MD7	
113	242	IN	VDD	3.3V電源供應

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (A-22)

114	243	IN	GND	接地
115	85	I/O	MD8	SDRAM資料匯流排
116	86	I/O	MD9	
117	87	I/O	MD10	
118	88	I/O	MD11	
119	244	IN	VDD	3.3V電源供應
120	245	IN	GND	接地
121	89	I/O	MD12	SDRAM資料匯流排
122	90	I/O	MD13	
123	91	I/O	MD14	
124	92	I/O	MD15	

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (A-23)

125	246	IN	VDD	3.3V電源供應
126	247	IN	GND	接地
127	93	I/O	MD16	SDRAM資料匯流排
128	94	I/O	MD17	
129	95	I/O	MD18	
130	96	I/O	MD19	
131	248	IN	VDD	3.3V電源供應
132	249	IN	GND	接地
133	97	I/O	MD20	SDRAM資料匯流排
134	98	I/O	MD21	
135	99	I/O	MD22	
136	100	I/O	MD23	

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (A-24)

137	250	IN	VDD	3.3V電源供應
138	251	IN	GND	接地
139	101	I/O	MD24	資料匯流排
140	102	I/O	MD25	
141	103	I/O	MD26	
142	104	I/O	MD27	
143	254	IN	VDD	3.3V電源供應
144	255	IN	GND	接地
145	105	I/O	MD28	SDRAM資料匯流排
146	106	I/O	MD29	
147	107	I/O	MD30	

五、發明說明 (A-25)

148	108	I/O	MD31	
149	256	IN	VDD	3.3V電源供應
150	257	IN	GND	接地
151	109	I/O	MD32	SDRAM資料匯流排
152	110	I/O	MD33	
153	111	I/O	MD34	
154	112	I/O	MD35	
155	258	IN	VDD	3.3V電源供應
156	259	IN	GND	接地
157	113	I/O	MD36	SDRAM資料匯流排
158	114	I/O	MD37	
159	115	I/O	MD38	

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (A-26)

160	116	I/O	MD39	
161	260	IN	VDD	3.3V電源供應
162	261	IN	GND	接地
163	117	I/O	MD40	SDRAM資料匯流排
164	118	I/O	MD41	
165	119	I/O	MD42	
166	120	IN	MSPCK	MSP系統時脈
167	262	IN	VDD	3.3V電源供應
168	263	IN	GND	接地
169	121	I/O	MD43	SDRAM資料匯流排
170	122	I/O	MD44	

五、發明說明 (A-27)

171	123	I/O	MD45	
172	124	I/O	MD46	
173	264	IN	VDD	3.3V電源供應
174	265	IN	GND	接地
175	125	I/O	MD47	SDRAM資料匯流排
176	126	I/O	MD48	
177	127	I/O	MD49	
178	128	I/O	MD50	
179	266	IN	VDD	3.3V電源供應
180	267	IN	GND	接地
181	129	I/O	MD51	
182	130	I/O	MD52	

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (A-28)

183	131	I/O	MD53	SDRAM資料匯流排
184	132	I/O	MD54	
185	269	IN	GND	接地
186	133	I/O	MD55	SDRAM資料匯流排
187	134	I/O	MD56	
188	135	I/O	MD57	
189	136	I/O	MD58	
190	270	IN	VDD	3.3V電源供應
191	271	IN	GND	接地
192	137	OUT	MD59	
193	138	I/O	MD60	

436710

A7
B7

五、發明說明 (A-29)

194	139	I/O	MD61	SDRAM資料匯流排
195	140	I/O	MD62	
196	141	I/O	MD63	
197	273	IN	GND	接地
198	142	OUT	MA23	記憶體位址位元<23>
199	143	OUT	MA24	記憶體位址位元<24>
200	144	OUT	RESET0	系統重置至其他晶片
201	145	OUT	TCSOL	磚瓦式晶片選擇0
202	146	OUT	TCSIL	磚瓦式晶片選擇1
203	147	OUT	PD15_PA15	KS119圖素資料輸出匯流排 BIOS PROM位址
204	148	OUT	PD14_PA14	
205	149	OUT	PD13_PA13	

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (A-30)

206	150	OUT	PD12_PA12	
207	276	IN	VDD	3.3電源供應
208	277	IN	GND	接地
209	151	OUT	PD11_PA11	KS119圖素資料輸出匯流排 BIOS PROM位址
210	152	OUT	PD10_PA10	
211	153	OUT	PD9_PA9	
212	154	OUT	PD8_PA8	
213	278	IN	VDD	3.3V電源供應
214	279	IN	GND	接地
215	155	OUT	PD7_PA7	KS119圖素資料輸出匯流排 BIOS PROM位址
216	156	OUT	PD6_PA6	

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

436710.

A7

B7

五、發明說明 (A-31)

217	157	OUT	PD5_PA5	
218	158	OUT	PD4_PA4	
219	281	IN	GND	接地
220	159	OUT	PD3_PA3	圖素資料輸出匯流BIOS PROM 位址
221	160	OUT	PD2_PA2	
222	161	OUT	PD1_PA1	
223	162	OUT	PD0_PA0	
224	282	IN	VDD	3.3V電源供應
225	163	IN	VCC	5V電源供應
226	164	IN	C7	BIOS EPROM資料
227	165	IN	C6	
228	166	IN	C5	

-31-

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

436710.

A7

B7

五、發明說明 (A-32)

229	167	IN	C4	
230	283	IN	GND	接地
231	168	IN	C3	BIOS EPROM資料
232	169	IN	C2	
233	170	IN	C1	
234	171	IN	C0	
235	286	IN	VDD	3.3V電源供應
236	172	OUT	PROMCSL	BIOS PROM晶片選擇
237	173	IN	BGVS	KS119垂直同步
238	174	IN	BGHS	KS119水平同步
239	175	OUT	MSSEL	KS119主控器選擇

-32-

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

436710.

A7

B7

五、發明說明 (A-33)

240	176	IN	BGCLK	圖素時脈輸入
241	177			備用
242	178	IN	VCC	5V電源供應
243	289	IN	GND	接地
244	179	OUT	SCLK	KS119串列時脈
245	180	I/O	SDAT	KS119串列資料
246	181	OUT	SFRS	KS119資訊段同步
247	182			備用
248	183	IN	SERIAL_IN	串列輸入
249	184	OUT	SERIAL_O	串列輸出
250	185	IN	A43SDFS	1843 CODEC資訊段同步
251	292	IN	VDD	3.3V電源供應

-33-

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

五、發明說明 (A-3K)

252	293	IN	GND	接地
253	186	IN	A43SCLK	1843 CODEC時脈
254	187	OUT	A43SDI	1843 CODEC串列資料輸出
255	188	IN	A43SDO	1843 CODEC串列資料輸入
256	189	IN	VCC	5V電源供應
257	190	IN	TDI	JTAG測試資料輸入
258	297	IN	GND	接地
259	191	IN	TCK	JTAG測試時脈
260	192	OUT	TDO	JTAG測試資料輸出
261	193	IN	TRSTL	JTAG測試重置
262	194	IN	TMS	JTAG測試模式

五、發明說明 (A-35)

263	195	OUT	INTAL	用於PCI之中斷A
264	196	IN	RSTL	PCI重置
265	298	IN	VDD	3.3V電源供應
266	197	IN	PCICLK	PCI時脈
267	198	IN	GNTL	PCI匯流排答應
268	199	OUT	REOL	PCI匯流排請求
269	299	IN	GND	接地
270	200			備用

1. 5 韌體架構

1. 5. 1 概觀

透過高度最佳化結合向量化DSP韌體程式庫（由向量處理器所執行）與系統管理功能（由ARM7所執行），MSP提供其強大、開放應用之環境。

MSP將訊號處理發展與主應用軟體發展區隔，使其能夠

五、發明說明 (A-36)

提供可分開之性能、有效成本之多媒體 & 通訊、以及易於使用與可管理性。此外，其將可降低應用軟體開發與維護成本。

1. 5. 2 韌體架構

MSP 韌體系統架構係描述於第七圖中。粗線區域代表 MSP 系統部分。細線區域代表內在之 PC 應用軟體與作業系統。

1. 5. 2. 1 MOSA (Multimedia Operating System Architecture, 多媒體作業系統架構)

MSP 之即時作業系統核心係名為 "MOSA"，其係微軟公司 (Microsoft) 即時核心 MMOSA 之一個子集合。

MOSA 係一個即時、強健性 (robust)、多任務 (multitasking)、先取式 (preemptive) 之作業系統，其係最佳化用於在 MSP 上所實施之多媒體應用。其特執行下列主要功能：

- 介面至主機視窗 (Windows) 95 & 視窗 NT
- 自主機下載所選擇之應用韌體
- 排定於 ARM7 與向量處理器中執行之 MSP 任務
- 管理包括記憶體 & I/O 元件之所有 MSP 系統資源
- 同步介於 MSP 任務間之通訊
- 報告 MSP 有關之中斷、異常、與狀態情形

五、發明說明 (4-31)

MOSA係限於在 ARM7上執行。

為得到更多細節，請參考 MMOSA即時核心規格。

1 . 5 . 2 . 2 媒體程式庫模組

多媒體程式庫模組提供了大範圍之模組，其執行諸如資料通訊、MPEG視訊 & 音訊、語音編碼與合成、聲霸卡相容音訊等等之功能。每個模組係對於 MSP環境作最佳化，且係設計以於一多任務環境中執行。

1 . 5 . 3 電訊程式庫 (TELECOM LIBRARY)

1 . 5 . 3 . 1 概觀

以適當之 DSP 軟體，MSP 可被用以支援具有截距之聲音應用、回答打進之電話、以及儲存留言於硬碟上。系統喇叭可被與一麥克風共用以提供一半雙工免手持聽筒電話 (speaker phone) 之服務，而無須用到電話聽筒。回內與向外電話之處理係檢測出且由系統所運用。電話處理音調亦可透過電話聽筒、系統喇叭、立體耳機、或音訊輸出頻道而聽出，如同在程式控制下所選定。

1 . 6 程式設計模型

1 . 6 . 1 概觀

由硬體之觀點，MSP 係包含二個 CPU 與若干個整合周邊

五、發明說明 (A-38)

元件之一種單晶片的解決之道。由軟體之觀點，MSP係存在於PCI匯流排上之一種高性能的數位訊號處理 (DSP, Digital Signal Processing) 元件。

MSP藉由主機CPU之控制係達成如后：

- 透過PCI匯流排以讀取 & 寫入MSP控制 & 狀態暫存器
- 或者透過
- 存在於主機系統記憶體之共用資料結構
- 存在於MSP區域記憶體之共用資料結構

MSP程式執行總是以ARM7 CPU啟始，其接著可啟動於向量處理器中之一第二獨立執行流。藉著於ARM7中之某些共用處理器 (STARTVP、INTVP、TESTVP) 與於向量處理器中之特定指令 (VJOIN、VINT)，可達成介於ARM7 CPU與向量控制器之間的控制同步化。藉著於ARM7中所執行之資料移動指令，可實現介於ARM7與向量處理器間之資料傳送。

ARM7 CPU係典型地負責用於主機介面、資源管理、I/O元件處理，以及大部分之中斷 & 異常處理。向量處理器係負責所有之數位訊號處理與某些特殊中斷，諸如協同處理器中斷 (由ARM7發出至向量處理器) 或硬體堆疊 (stack) 溢流 (於向量處理器中)。

MSP亦包括若干個整合周邊設備，用以介面至不同之I/O元件。所有周邊元件之位址係記憶體映射，且因此能以標準記憶體載入 & 儲存指令所存取 (由ARM7 CPU或向量處理器)。

五、發明說明 (A-79)

1 . 6 . 2 開機、重置 & 初始化

在開機 (power-up) 後，MSP將自動地進入一個自我測試序列，以完全地驗證其功能性。該自我測試序列包括：

- 所有內部MSP暫存器之初始化
- 於晶片上執行自我測試診斷，以驗證MSP之所有元件。

該自我測試序列係預計持續大約<tbd>秒鐘。在自我測試序列結束時，MSP將係備妥以執行MSP韌體，其將包括：

- MSP之初始化軟體的載入與執行
- MSP之即時作業系統核心MMOSA的載入與執行

該MSP支援三種重置：

- 透過PCI匯流排之硬體控制系統重置
- 透過於MSP控制暫存器中的PCI系統重置位元之軟體控制系統重置
- 透過亦於MSP控制暫存器中的ARM7& 向量重新啟動位元之軟體控制重新啟動

1 . 6 . 3 PCI配置暫存器

如同於PCI匯流排上之一個I/O元件，MSP包含一組配置暫存器，如由PCI修訂本2.1規格所界定且係敘述於列表2

五、發明說明 (A40)

中。

列表 2 PCI 配置暫存器

偏 移	說 明
0x00	元 件 & 廠 商 識 別
0x04	狀 態 & 命 令
0x08	類 別 碼 & 版 本 識 別
0x0C	雜 項 暫 存 器
0x10	MSP 基 本 位 址 暫 存 器 (MSP_BASE)
0x14	虛 擬 資 訊 段 緩 衝 器 基 本 位 址 暫 存 器
0x18	基 本 位 址 暫 存 器 2 (未 用 到)
0x1C	基 本 位 址 暫 存 器 3 (未 用 到)
0x20	基 本 位 址 暫 存 器 4 (未 用 到)

(請先閱讀背面之注意事項再填寫本頁)

裝 訂 線

五、發明說明 (A-4')

0x24	基本位址暫存器5(未用到)
0x28	保留
0x2C	保留
0x30	擴充ROM基本位址
0x3C	中斷線路

1.6.3.1 元件 & 廠商識別暫存器

請參考PCI匯流排規格修訂本2.1以得到更多細節。

1.6.3.2 狀態 & 命令暫存器

請參考PCI匯流排規格修訂本2.1以得到更多細節。

1.6.3.3 類別碼 & 修訂本識別暫存器

請參考PCI匯流排規格修訂本2.1以得到更多細節。

對於MSP-1EX，類別碼係界定為03，且子類別係為0。

1.6.3.4 雜項暫存器

五、發明說明 (A42)

請參考 PCI 匯流排規格修訂本 2.1 以得到更多細節。

1 . 6 . 3 . 5 MSP 基本位址暫存器 (MSP BASE)

此暫存器包含用於 MSP 元件之基本位址。其係由主機系統軟體 (視窗 95/NT) 所寫入，且係由用於記憶體定址之 MSP 硬體所運用。

1 . 6 . 3 . 6 VFB 基本位址暫存器

此暫存器包含用於 VGA 虛擬資訊段緩衝器之基本位址。其係由主機系統軟體 (視窗 95/NT) 所寫入，且係由用於 VGA 資訊段緩衝器之仿真的 MSP 硬體所運用。

1 . 6 . 3 . 7 展開 ROM 基本位址

請參考 PCI 匯流排規格修訂本 2.1 以得到更多細節。

1 . 6 . 3 . 8 中斷線路暫存器

請參考 PCI 匯流排規格修訂本 2.1 以得到更多細節。

1 . 6 . 4 ARM7 CPU

ARM7 RISC CPU 係 MSP 之主控處理器。其包含 32 位元資料路徑，且適合於標準 ARM7 指令集架構。ARM7 亦包括特殊協定處理器指令，以與向量處理器作介面。

五、發明說明 (A-43)

1 . 6 . 5 向量處理器

向量處理器係MSP之DSP核心。其包含288位元資料路徑，且作用為至ARM7之一個協同處理器。其功能性係如於向量處理器架構文獻中所述。

向量處理器以80MHz執行，且包含六級之排線：找取 (fetch)、解碼、發佈 (issuier)、暫存器存取、執行與寫入。其係最佳化以用於DSP相關處理。

1 . 6 . 6 虛擬記憶體管理

MSP-1EX並未支援虛擬記憶體管理。

1 . 6 . 7 中斷 & 異常處理

於MSP中之中斷 & 異常處理係大部分由ARM7所達成。

所有內部輸入／輸出元件中斷係進入內部8254中斷控制器，其將該等中斷作出優先判斷，且將最高優先之中斷送至ARM7以作進一步處理。

1 . 6 . 8 實際記憶體位址映射

ARM與向量處理器程式將所有之MSP輸入／輸出元件視為記憶體映射，其根據於第八圖中所示之實際記憶體。

請注意，MSP位址映射（如由ARM7或向量處理器所觀之），係由零啟始且一直延伸至高達4GB。

於由2GB至4GB之區域中，該等位址係映射至主機（

五、發明說明 (A-44)

Pentium) PCI位址，由0至2GB，根據下列關係：（以十六進制）

主機 PCI位址： $= \text{ARM7位址} - 80000000$

此映射允許 ARM7 (或向量處理器) 使用範圍由2GB至4GB之位址，以存取範圍由0至2GB之主機 PCI記憶體位址。所有超過2GB之主機 PCI記憶體位址係不能由 ARM7 所存取。

主機 (Pentium) 程式亦將所有 MSP 輸入/輸出元件視為記憶體映射，但係根據如第九圖所示之一種較為受限之實際位址映射。

請注意，由主機 (Pentium) 程式之觀點中：

- MSP_BASE 係 MSP 位址映射之啟始
- MSP_BASE + 7DFFFFFF 係 MSP 位址映射之結束
- 此 MSP 位址映射係僅界定於此 128MB 之範圍。

列表 3 MSP I/O 元件位址映射

ARM7 位址 [31:0] (in hex)	主機位址 [26:0] (in hex)	元 件
0000 0000	000 0000	內部 ROM
0040 0000	040 0000	內部抹去焊墊 SRAM

五、發明說明 (A45)

0080 0000	080 0000	外步同步 DRAM
0480 0000	480 0000	內部 DRAM 記憶體控制器
0490 0000	490 0000	內部虛擬資訊段緩衝器控制器
04A0 0000	4A0 0000	內部 DMA 控制器
04B0 0000	4B0 0000	KS0119 CODEC 串列線路
04C0 0000	4C0 0000	KS0122 CODEC 串列線路
04C0 0200	4C0 0200	A01843 CODEC 串列線路
04D0 0000	4D0 0000	記憶體資料移動器
04D0 A000 至 07BF FFFF	4D0 A000 至 7BF FFFF	保留
07C0 0000	7C0 0000	內部位元流處理器
07D0 0000	7D0 0000	內部 8259 中斷控制器

五、發明說明 (A-46)

07D0 0010	7D0 0010	內部 8254 計時器
07D0 0020	7D0 0020	內部 16540 UART
07E0 0000 至 07DF FFFF	7E0 0000 至 7DF FFFF	保留
07DF FFF0	7DF FFF0	MSP主機控制暫存器
07DF FFF4	7DF FFF4	MSP ARM7控制暫存器
07DF FFF8	7DF FFF8	保留
07DF FFFB	7DF FFFB	保留
07E0 0000 至 FFFF FFFF		保留
8000 0000 至		其他主機 PCI 元件 (映射至主機 PCI 記憶體之 0 至 7 FFFF FFFF)

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (A49)

FFFF FFFF		

1.6.9 MSP主機控制暫存器

MSP_1EX 包含一個特殊暫存器，其係用於由主機 (Pentium處理器) 之初始化與中斷。

列表 4 MSP主機控制暫存器界定

位元 #	說 明
0	PCI 系統重置
1	ARM7 & 向量處理器重新啟動
2	來自主機 (Pentium) 之 MSP 中斷請求
3	來自 MSP 之 PCI 主機中斷請求
4	PCI 主機中斷確認
31:5	保留

位元 <0> PCI 系統重置。此位元係主機 (Pentium) 所用以完全地重置整個 MSP 系統硬體，其包括所有 MSP 相

五、發明說明 (4-48)

關之內部 & 外部輸入 / 輸出元件。在一個 PCI 系統重置之後，MSP 將進行其標準重置序列，包括執行對於 ARM7、向量處理器與 I/O 位元之所有於晶片上的自我測試診斷。此重置具有硬體系統重置之等效作用。

位元 <1> ARM7 & 向量處理器重新啟動。此位元係由主機 (Pentium) 所用以重新啟動 ARM7 與向量處理器。此重新啟動係多少有些不同於完整之 PCI 系統重置，即該 MSP 並未進行任何正常重置序列，且並未執行任何於晶片上之自我測試診斷。當此位元係設定時，ARM7 將啟動執行於位址 0，且向量處理器將進入閒置 (idle) 模式。其將不會影響任何內部或外部 I/O 元件。

位元 <2> 來自主機 (Pentium) 之 MSP 中斷請求。此位元係由主機 (Pentium) 所用以直接地中斷 MSP，且其係連接至該內部 8259 可程式中斷控制器 (PIC, Programmable Interrupt Controller) 之接腳一者，其係接著用以中斷 ARM7。此位元係由主機 (Pentium) 所設定，且係由 ARM7 所清除。

位元 <3> PCI 主機中斷確認。此位元係由主機 (Pentium) 所用以確認 MSP 產生之一個 PCI 主機中斷請求。此位元係由主機 (Pentium) 所設定，且係由 ARM7 所清除。

五、發明說明 (A49)

位元 <31:4> 保留

1.6.10 MSP ARM7 控制暫存器

MSP-1EX 包含一個特殊暫存器，其係用以中斷該主機（藉由 ARM7 處理器）。

列表 5 MSP ARM7 控制暫存器界定

位元 #	說明
0	來自 MPS 之 PCI 主機中斷請求
31:1	保留

位元 <0> 來自 MSP 之 PCI 主機中斷。此位元係由 MSP 所用以中斷主機，其透過於 PCI 匯流排 1 的 PCI INTA# 接腳之動作宣告。此位元係由 ARM 所設定，且係由主機 (Pentium) 透過 PCI 匯流排所清除。

位元 <31:1> 保留

1.6.11 MSP 內部 μ ROM

內部 ROM 包括總計 16K 位元組，且包括：

- μ ROM 初始化軟體
- 自我測試診斷軟體
- 不同之系統管理軟體
- 不同之程式庫子例行程式

五、發明說明 (A-50)

• 用於某些指令與資料常數之高速緩衝記憶體

其位址映射係描述於列表 6，如后。

列表 6 內部 μ ROM 位址映射

位址偏移 (十六進制)	說 明
	ARM7 重置 & 初始化位址
	向量處理器重置 & 初始化位址
	FALU 巨集格自我測試診斷
	SRAM 巨集格自我測試診斷
	向量處理器核心自我測試診斷
	高速緩衝記憶體控制器自我測試診斷
	記憶體控制器自我測試診斷
	PCI 匯流排自我測試診斷

五、發明說明 (A-51)

	位元流處理器自我測試診斷
	DMA控制器自我測試診斷
	8254內部計時器自我測試診斷
	8259中斷控制器自我測試診斷
	16450 UART暫存器自我測試診斷
	KS0122串列線路自我測試診斷
	KS0119串列線路自我測試診斷
	A01843串列線路自我測試診斷
	ARM7輸入&輸出元件中斷處理裝置0
	ARM7輸入&輸出元件中斷處理裝置1
	ARM7輸入&輸出元件中斷處理裝置2
	ARM7輸入&輸出元件中斷處理裝置3

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (A-52)

	ARM7指令異常處理裝置
	向量處理器中斷(由ARM7)
	向量處理器斷點異常
	向量處理器DSP程式庫子例行程式
	MPEG-1視訊程式庫子例行程式
	MPEG-1音訊程式庫子例行程式
	MPEG-2視訊程式庫子例行程式
	MPEG-2音訊程式庫子例行程式
	聲霸卡程式庫子例行程式
	V.34 DSP程式庫子例行程式
	電話應用程式庫子例行程式

五、發明說明 (A-53)

	2D圖像程式庫子例行程式
	3D圖像程式庫子例行程式
	H.261程式庫子例行程式
	H.263程式庫子例行程式
	G.728程式庫子例行程式
	G.723程式庫子例行程式
	ARM7資料常數
	向量處理器資料常數

1.6.12 MSP內部SRAM

取決於如由MSP之向量&控制&狀態暫存器(VCSR, Vector & Control & Status register)所指定之選擇, 內部SRAM可作為一個高速緩衝記憶體或區域記憶體。

於區域記憶體模式, 其位址空間係映射於內部SRAM部分, 其啟始於位置<MCP_BASE>:040 0000。

1.6.13 MSP內部週邊設備

五、發明說明 (A-54)

MSP 亦包含若干個週邊設備，存在於其二個內部匯流排：64位元 80MHz 之 F 匯流排、與 32位元 40MHz 之 IO 匯流排。

於 F 匯流排上之元件包括：

- 用於外部同步 DRAM 之記憶體控制器
- 一個虛擬資訊段緩衝器介面
- 一個用於外部 PCI 匯流排之 PCI 匯流排控制器
- 顧客 ASIC 介面
- 一個八頻道 DMA 控制器
- 一個記憶體資料移動器 (用於主機記憶體至 / 自 SDRAM 資料傳送)
- KS0122 編碼解碼器串列線路
- KS0119 編碼解碼器串列線路
- KS1843 編碼解碼器串列線路

於 IO 匯流排上之元件包括：

- 一個 8254 相容之可程式區間計時器
- 一個 8259 相容之可程式中斷控制器 (八階層)
- 一個 16450 相容之 UART 串列線路
- 一個用於 MPEG 視訊位元流解碼 & 編碼之位元流處理器

此等周邊設備之暫存器位址映射係顯示於列表 7 中。

列表 7 內部周邊設備暫存器位址映射

五、發明說明 (A-55)

元件	位址偏移 (十六進制)	說 明
MAP DMA 控制器	4A0 0000	目前位址暫存器 0 (位元 <31:3>)
	4A0 0008	目前位址暫存器 1 (位元 <31:3>)
	4A0 0010	目前位址暫存器 2 (位元 <31:3>)
	4A0 0018	目前位址暫存器 3 (位元 <31:3>)
	4A0 0020	目前位址暫存器 4 (位元 <31:3>)
	4A0 0028	目前位址暫存器 5 (位元 <31:3>)
	4A0 0030	目前位址暫存器 6 (位元 <31:3>)
	4A0 0038	目前位址暫存器 7 (位元 <31:3>)
	4A0 0050	停止位址暫存器 0 (位元 <31:3>)
	4A0 0058	停止位址暫存器 1 (位元 <31:3>)
	4A0 0060	停止位址暫存器 2 (位元 <31:3>)
	4A0 0068	停止位址暫存器 3 (位元 <31:3>)
	4A0 0070	停止位址暫存器 4 (位元 <31:3>)
	4A0 0078	停止位址暫存器 5 (位元 <31:3>)
	4A0 0080	停止位址暫存器 6 (位元 <31:3>)
	4A0 0088	停止位址暫存器 7 (位元 <31:3>)
	4A0 00A0	狀態暫存器

五、發明說明 (A-56)

	4A0 00A8	控制暫存器A
	4A0 00B0	遮罩暫存器
記憶體資料移動器	4D0 0000	MSP目前位址暫存器
	4D0 0008	主機目位址暫存器
	4D0 0010	MSP停止位址暫存器
	4D0 0018	主機停止位址暫存器
	4D0 0020	狀態暫存器
	4D0 0028	控制暫存器

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (4-57)

VFB		
元件	位址偏移 (十六進制)	說 明
KS0122 串列線路	04C0 2000	資訊段尺寸暫存器
	04C0 2001	ID
	04C0 2002	控制/資料位元組

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (A-58)

04C0 2003	索引/資料 0
04C0 2004	索引/資料 1
04C0 2005	索引/資料 2
04C0 2006	索引/資料 3
04C0 2007	保留
04C0 2008	讀取資料串列介面
04C0 2009	保留
04C0 200A	邏輯控制暫存器
04C0 200B	保留
04C0 200C	保留
04C0 200D	保留

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (A-59)

KS0119 串列線路	04C0 200E	狀態暫存器
	04C0 200F	保留
	04B0 2000	資訊段尺寸暫存器
	04B0 2001	ID
	04B0 2002	控制/資料位元組
	04B0 2003	索引/資料 0
	04B0 2004	索引/資料 1
	04B0 2005	索引/資料 2
	04B0 2006	索引/資料 3
	04B0 2007	狀態暫存器
	04B0 2008	讀取資料串列介面
	04B0 2009	讀取 PROM 資料

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (A-60)

	04B0 200A	邏輯控制暫存器
	04B0 200B	HS、VS極性
	04B0 200C	HS偏移
	04B0 200D	VS偏移
	04C0 200E	保留
	04C0 200F	保留
元件	位址偏移 (十六進制)	說 明
AD1843 CODEC 介面	04C0 4000 (僅作寫入)	DAC1 控制暫存器寫入資料輸入
	04C0 5000 (僅作寫入)	DAC2 控制暫存器寫入資料輸入
	04C0 6000 (僅作寫入)	ADC 左控制暫存器寫入資料輸入
	04C0 7000	ADC 右控制暫存器寫入資料輸入

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (A-1)

(僅作寫入)	
04C0 4000 +2	DAC1 控制字組輸入
04C0 5000 +2	DAC2 控制字組輸入
04C0 6000 +2	ADC 左控制字組輸入
04C0 7000 +2	ADC 右控制字組輸入
04C0 4000 (僅作讀取)	DAC1 控制暫存器寫入資料輸出
04C0 5000 (僅作讀取)	DAC2 控制暫存器寫入資料輸出
04C0 6000 (僅作讀取)	ADC 左控制暫存器寫入資料輸出
04C0 7000 (僅作讀取)	ADC 右控制暫存器寫入資料輸出
04C0 6000 +2	ADC 左旗標暫存器
04C0 7000	ADC 右旗標暫存器

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (A62)

+2	
04C0 6000	ADC 左第一資料
+10	
04C0 6000	ADC 左第二資料
+12	
04C0 6000	ADC 左第三資料
+14	
04C0 6000	ADC 左第四資料
+16	
04C0 7000	ADC 右第一資料
+10	
04C0 7000	ADC 右第二資料
+12	
04C0 7000	ADC 右第三資料
+14	
04C0 7000	ADC 右第四資料
+16	
04C0 4000	DAC1 控制旗標暫存器
+20	
04C0 5000	DAC2 控制旗標暫存器

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (A-63)

	+20	
	04C0 6000	ADC 左控制旗標暫存器
	+20	
	04C0 7000	ADC 右控制旗標暫存器
	+20	
8259 中斷控制 器	7D0 0000	初始化命令字組 1
	未定義	初始化命令字組 2 (未用到)
	未定義	初始化命令字組 3 (未用到)
	7D0 0004	初始化命令字組 4
	7D0 0004	作業控制字組 1
	7D0 0000	作業控制字組 2
	7D0 0000	作業控制字組 3
	7D0 0010	計數器#0暫存器 (R/W)
	7D0 0014	計數器#1暫存器 (R/W)

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (A-64)

8254	計時器	7D0 0018	計數器#2暫存器 (R/W)
		7D0 001C	控制字組暫存器 (W)
元件	位址偏移 (十六進制)	說 明	
16450 UART		7D0 0020	接收暫存器
			發出暫存器
			除數暫存器
		7D0 0024	中斷識別暫存器
		7D0 0028	中斷致能除數暫存器
		7D0 002C	線路控制暫存器
		7D0 0030	數據機控制暫存器
		04C0 0034	線路狀態暫存器

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (A-65)

位元流 處理器	04C0 0038	數據機狀態暫存器
	7D0 003C	草寫暫存器
	7C0 0000 至 7C0 0003	BP處理模式暫存器
	7C0 0004 至 7C0 007	BP控制暫存器
	7C0 0008 至 7C0 000B	輸入緩衝器0之啟始位址
	7C0 000C 至 7C0 000F	輸入緩衝器0之結束位址
	7C0 0010 至	輸入緩衝器1之啟始位址

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (A66)

位元流 處理器	7C0 0013	
	7C0 0014 至 7C0 0017	輸入緩衝器1之結束位址
	7C0 0018 至 7C0 001B	輸出緩衝器0之啟始位址
	7C0 001C 至 7C0 001F	輸出緩衝器0之結束位址
	7C0 0020 至 7C0 0023	輸出緩衝器1之啟始位址
	7C0 0024 至 7C0 0027	輸出緩衝器1之結束位址
	7C0 0028	

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

五、發明說明 (A-67)

至 7C0 002B	本文儲存啟始位址
7C0 002C 至 7C0 002F	用於線路輸入或輸出雙重緩衝器之 最後資料的位元組位址
7C0 0030 7C0 0031 - - 7C0 004E 7C0 004F	BP狀態暫存器之最低有效位元 次低有效位元 - - 次高有效位元 BP狀態暫存器之最高有效位元
7C0 0050 至 7C0 0053	BP狀態暫存器
7C0 0054 至 7C0 0057	BP中斷遮罩暫存器及圖像垂直與水 平尺寸(巨集區塊數)
7C0 0058	ARM7中斷請求接腳

-67-

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (A-68)

	7C0 0059 至 7C0 005F	保留用作未來之擴充
元件	位址偏移 (十六進制)	說 明
位元流 處理器	7C0 0060 至 7C0 19F	BP高速緩衝記憶體區
	7C0 01A0 至 7CF FFFF	保留用作未來之擴充

1.6.14 IO 匯流排周邊設備

1.6.14.1 8254相容之可程式區間計時器

MSP包括一個標準8254 相容可程式區間計時器，為軟體所運用，具有下列功能性：

- 包括三個獨立之16位元計數器
- 支援六個可程式計數器模式

所有計數器係藉著寫入於控制字組暫存器與初始計數

五、發明說明 (4-69)

而作程式設計。

控制字組暫存器

此暫存器包含用於計時器之不同的控制資訊。其位元定義係描述於列表 8，如后：

列表 8 控制字組暫存器

位元 #	說 明
0	B.C.D 計數選取 (缺設：二進制)
3:1	計數模式： 000: 模式 0 001: 模式 1 x10: 模式 2 x11: 模式 3 100: 模式 4 101: 模式 5
5:4	讀取/寫入選取： 00: 計數器鎖存命令 01: 僅讀取/寫入最低有效位元組 10: 僅讀取/寫入最高有效位元組 11: 先讀取/寫入最低有效位元組，後讀取/

五、發明說明 (A-10)

	寫入最高有效位元組
7:6	選取計數器： 00：選取計數器 0 01：選取計數器 1 10：選取計數器 2 11：選取計數器 3

狀態暫存器

此暫存器包含計時器之狀態資訊。

計數器 0、1與 2

此三個計數器係計時器之主要計數元件。每個計數器係 16 位元寬、可先預置，且以二進制或 BCD 模式而下數。其輸入、閘、與輸出係由儲存於控制字組暫存器之模式選擇所配置。此三個計數器係為全然各自獨立。

1.6.14.2 8259 相容之可程式中斷控制器 (PIC)

MSP 可程式中斷控制器係標準之 8259，其係共用於所有之基於 X86 的個人電腦。其功能性包括：

- 支援八階層之優先順序
- 可程式之中斷模式
- 個別之請求遮罩容量

於 MSP-1EX，該等八階層中斷輸入係暫時地分派至不同的 I/O 元件，如后：

五、發明說明 (A-71)

- 階層 0 (最高者) 係分派至 8254 計時器
- 階層 1 係分派至虛擬資訊段緩衝器 (VFB)
- 階層 2 係分派至顧客 ASIC 邏輯區塊，包括 DMA 控制器
- 階層 3 係分派至位元流處理器
- 階層 4 係分派至 PCI 匯流排介面
- 階層 5 係分派至 <tb>
- 階層 6 係分派至 <tb>
- 階層 7 係分派至 16550 UART

中斷控制器之輸出訊號係連接至 ARM7 RISC CPU 之中斷請求線路 (n FIQ)。

暫存器說明

三個 8 位元暫存器係用以初始化 PIC 之作業：

- 初始化命令字組 1 (ICW1)
- 初始化命令字組 2 (ICW2)：未用於 MSP-1EX
- 初始化命令字組 3 (ICW3)：未用於 MSP-1EX
- 初始化命令字組 4 (ICW4)

另有三個 8 位元暫存器係用以控制 PIC 之作業：

- 作業控制字組 1 (OCW 1)
- 作業控制字組 2 (OCW 2)
- 作業控制字組 3 (OCW 3)

請注意，所有此等暫存器之定址係特定地於位址部分 (位元 <0>) 與資料部分作編碼。請參考標準 8259 規格以得到更多細節。

五、發明說明 (A-12)

列表 9 8259 暫存器說明

名稱	說明
ICW1<7:0>	初始化命令字組 1 位元 < 0 >: ICW4 係所需 位元 < 1 >: 須為 "1" (僅有單一 8259) 位元 < 2 >: 未界定 (呼叫位址區間) 位元 < 3 >: 須為 "1" (位準觸發模式) 位元 < 4 >: 須為 "1" 位元 < 7:5 >: 未界定 (中斷向量位址)
ICW2<7:0>	初始化命令字組 2 (未用到)
ICW3<7:0>	初始化命令字組 3 (未用到)
ICW1<7:0>	初始化命令字組 4 位元 < 0 >: 須為 "1" (8086 模式) 位元 < 1 >: 中斷自動結束 位元 < 2 >: 未界定 位元 < 3 >: 須為 "0" (未緩衝模式) 位元 < 4 >: 特殊之滿巢模式

五、發明說明 (A-73)

	位元 <7:5>:須為 "0"
OCW1<7:0>	作業控制字組 1:中斷致能遮罩 位元 <n>用於輸入請求 #n之致能中斷
OCW2<7:0>	作業控制字組 2 位元 <2:0>:欲作用之中斷位準 位元 <4:3>:須為 "0" 位元 <7:5>: 001:非特定之 EOI命令 011:特定之 EOI命令 101:旋轉於非特定之 EOI命令 100:旋轉入自動 EOI模式(設定) 000:旋轉入自動 EOI模式(清除) 111:旋轉於特定之 EOI命令 110:設定優先順序命令 010:無作業
OCW3<7:0>	作業控制字組 3 位元 <1:0> 10:讀取中斷請求暫存器 (IRR) 11:讀取服務暫存器 (ISR) 00:無作用

五、發明說明 (A-14)

	01:無作用
	位元 < 2 >:輪詢命令
	位元 < 4:3 >:須為 "0"
	位元 < 5 >:特殊遮罩模式
	位元 < 6 >:致能特殊遮罩模式
	位元 < 7 >:須為 "0"

1.6.14.3 16450 相容之 UART 串列線路

MSP 包括一個 16450 相容之 UART 串列線路，其係用作為一個至外部串列 I/O 元件之介面。

請參考標準 16450 規格以得到更多細節。

1.6.14.4 位元流處理器

位元流處理器係一個專用之邏輯區塊，其處理視訊位元流資料。其功能性包括：

- 可變長度之霍夫曼解碼與編碼
- 解開與封裝以齒狀 (ZIG-ZAG) 儲存格式之視訊資料
- 其他雜項位元階層處理

位元流處理器係如同一並行 (Concurrent) 處理單元而動作，且係於向量處理器或 ARM7 之軟體控制下。為得到更多之細節，請參考位元流處理器之章節。

1.6.15 F 匯流排周邊設備

F 匯流排周邊設備包括

- 顧客 ASIC 邏輯介面

五、發明說明 (A75)

- 一個八頻道 DMA 控制器
- 至三星公司 KS0119之視訊編碼器串列線路介面
- 至類比元件 AD1843之音訊 &電訊串列線路介面

1.6.15.1 ASIC介面邏輯介面

此小節包含對於所有外部編碼解碼器與顧客指定 ASIC邏輯區塊之介面邏輯。此區塊係整個實施於硬體，且並無可見程式之暫存器。請參考 ASIC介面之章節以得到更多之設計細節。

1.6.15.2 DMA控制器

MSP-1 EX 包含一個晶片上之 DMA控制器，具有下列功能性：

- 八個獨立之 DMA頻道
- 個別 DMA頻道之致能 / 禁能控制
- I/O元件至記憶體之傳送，或反之亦然
- 位址增量或減量

請參考 ASIC介面之章節以得到更多設計細節。

1.6.15.3 記憶體資料移動器

MSP-1 EX亦包含另一個特殊記憶體資料移動器，其係用以移動介於主機 (Pentium) 記憶體與 MSP區域 SDRAM記憶體之間的資料。記憶體資料移動器係基本上為一個特殊 DMA 控制器，其包含下列暫存器：

- MSP 目前位址暫存器：此 32位元暫存器界定於記憶體資料傳送開始時之 SDRAM 記憶體位址。此暫存器

五、發明說明 (A-16)

可由 ARM7 讀取或寫入，且其初始值應由 ARM7 所載入。
。該位址將基於資料傳送尺寸而作增量。

- 主機目前位址暫存器：此 32 位元暫存器界定於記憶體資料傳送開始時之主機記憶體位址。此暫存器可由 ARM7 所讀取或寫入，且其初始值應由 ARM7 所載入。
。該位址應係基於資料傳送尺寸而增量。
- MSP 停止位址暫存器：此 32 位元暫存器界定於記憶體資料傳送結束時之 SDRAM 記憶體位址。此暫存器可由 ARM7 所讀取或寫入，且將用以與該 MSP 目前位址暫存器作比較。若係相配時，記憶體資料移動器將產生一個 MSP 處理結束之訊號。
- 主機停止位址暫存器：此係 32 位元暫存器界定於記憶體位址傳送結束時之主機記憶體位址。此暫存器可由 ARM7 所讀取或寫入，且將用以與該主機目前位址暫存器作比較。若係相配時，記憶體資料移動器將產生一個主機處理結束之訊號。
- 狀態暫存器：此暫存器包含有關該記憶體資料移動器之狀態資訊。該位元編碼將係如后：
 < 0 >：MSP EOP0 此位元指定該記憶體資料移動器是否已到達 MSP 停止位址。若 ARM7 使資源目前位址暫存器初始化，此位元將被重置為 00800000 (十六進制)。此位元應僅係由 ARM7 所讀取而不作寫入。

五、發明說明 (A-19)

< 1 > : 主機 EOP。此位元指定該記憶體資料移動器是否已到達主機停止位址。若 ARM7 使主機目前位址暫存器初始化，此位元將被重置為 80000000 (十六進制)。此位元應僅由 ARM7 所讀取而不作寫入。

• 控制暫存器：此暫存器包含有關於記憶體資料移動器之資訊。該位元編碼將係如后：

< 0 > : 方向。此位元指定資料傳送之方向。若此位元係 "0" (缺設, default)，資料傳送之方向將係由主機 (Pentium) 記憶體至 MSP SDRAM 記憶體。若此位元係 "1"，則該方向係由 SDRAM 至主機記憶體。此位元應係由 ARM7 所寫入。

< 1 > : 中斷致能。此位元指定該記憶體資料移動器於資料傳送結束時是否應中斷 ARM7。此位元應係由 ARM7 所寫入。

< 2 > : DMA 致能。此位元致能該記憶體資料移動器以操作。此位元應係由 ARM7 所寫入。

< 3 > : 資料傳送尺寸。若此位元係 "0" (缺設)，每個記憶體資料傳送之尺寸將係 32 位元組。若此位元係 "1"，該尺寸將係 64 位元組。此位元組係由 ARM7 所寫入。

1.6.15.4 KS 0119 視訊編碼器串列線路介面

五、發明說明 (A-78)

KS 0119 視訊編碼器串列線路介面包括：

- 一個雙緩衝器之接收資料緩衝器暫存器，其包含來自編碼解碼器之讀取資料。
- 一個雙緩衝器之發送資料緩衝器暫存器，其包含寫入至編碼解碼器之資料。
- 一個控制 & 狀態暫存器，其包含用於串列線路之不同的控制 & 狀態資訊。

列表 10 KS0119 視訊編碼器串列線路介面暫存器

位址偏移 (hex)	位元寬	說明
00	8	接收資料緩衝器暫存器
01	8	傳送資料緩衝器暫存器
02	8	控制 & 狀態暫存器

該控制 & 狀態暫存器之位元編碼係如后：

位元 < 0 > 接收資料緩衝器係滿的 (full)。此位元係設定在當串列線路已收到來自 KS0119 編碼解碼器之八位元資料時。若該中斷致能 (位元 < 7 >) 係設定，一個中斷請求亦將被發出至 ARM7。

五、發明說明 (A-19)

位元 < 1 > 發送資料緩衝器係空的 (empty)。此位元係設定在當串列線路係備妥以發送資料至 KS0119 編碼解碼器時。若中斷致能 (位元 < 7 >) 係設定，一個中斷請求亦將被發出至該 ARM7。

位元 < 7 > 中斷致能。此位元係用以致能中斷請求至該 ARM7。

1.6.15.5 AD 1843 音訊 & 電訊 串列線路 介面

AD 1843 串列線路介面包括：

- 一組雙緩衝器之暫存器，其包含讀取來自編碼解碼器之資料。
- 一組雙緩衝器之暫存器，其包含寫入至編碼解碼器之資料。
- 一個控制 & 狀態暫存器，其包含用於串列線路之不同的控制 & 狀態資訊。

請參考 AD1843 編碼解碼器介面之章節以得到更多之細節。

1.6.16 指令性能

列表 11 顯示出於向量處理器周期計數中之指令性能，其中每個周期係等於 12.5ns。外部記憶體匯流排寬度係假設為 64 位元，且以 40MHz 之分頁模式時脈。所有指令性能均係提供於 32 位元組向量模式。其規約係如后：

ras : 外部記憶體於第一次存取所需之周期數。典型上係等於 75ns 或者 6 個周期。

五、發明說明 (A-80)

latench (等待時間)：用於執行第一個指令之周期數

rate(速率)：介於執行相似連續指令間之周期數。

當等待時間係同於速率時，僅會顯示一個數目。

列表 11 指令執行性能

助憶符號	位元組 (8/9-位元)	半字組 (16-位元)	字組 (32-位元)	浮點 (32-位元)
VCACHE				
VLCB	等待時間 = 4, 速率 = 2			
VLCB.off	等待時間 = 行位址選通 +9, 速率 = 行位址選通			
VLR	等待時間 = 3, 速率 = 1			
VLR.off	等待時間 = 行位址選通 +8, 速率 = 行位址選通			
VL	等待時間 = 3, 速率 = 1			
VL.off	等待時間 = 行位址選通 +8, 速率 = 行位址選通			

五、發明說明 (A-81)

VLD	等待時間 = 4, 速率 = 2			
VLDoff	等待時間 = 行位址選通 +12, 速率 = 8			
VLQ	等待時間 = 6, 速率 = 4			
VLQoff	等待時間 = 行位址選通 +20, 速率 = 16			
VPFFCH	行位址選通 + (高速緩衝記憶體線路#) × 4			
助憶符號	位元組 (8/9-位元)	半字組 (16-位元)	字組 (32-位元)	浮點 (32-位元)
VLWS	等待時間 = 4, 速率 = 1			
VLWS.off	等待時間 = 行位址選通 +8, 速率 = 行位址選通			
VLI	1			
VSTCB	等待時間 = 4, 速率 = 2			
VSTCBoff	等待時間 = 行位址選通 +9, 速率 = 行位址選通			

五、發明說明 (A-82)

VST	等待時間 = 4, 速率 = 1		
VST.off	等待時間 = 行位址選通 +8, 速率 = 行位址選通		
VSTD	等待時間 = 5, 速率 = 2		
VSTD.off	等待時間 = 行位址選通 +12, 速率 = 8		
VSTQ	等待時間 = 7, 速率 = 4		
VSTQoff	等待時間 = 行位址選通 +20, 速率 = 16		
VSTR	等待時間 = 4, 速率 = 1		
VSTR.off	等待時間 = 行位址選通 +7, 速率 = 行位址選通		
VWBACK	行位址選通 + (高速緩衝記憶體線路#) × 4		
CFC			
CTC			

五、發明說明 (A-83)

MCR	未定義	等待時間 = 2		未定義	
MCRS		速率 = 1			
MRC					
MRCS					
VMOV	等待時間 = 2, 速率 = 1				
VCMOV					
VCMOVM					
VEXTRT					
VINSERT					
助憶符號	位元組 (8/9-位元)	半字組 (16-位元)	字組 (32-位元)	浮點 (32-位元)	
CPINT	未定義		10	未定義	

-83-

五、發明說明 (A-84)

FORK	6
RESUME	6
SYNCH	4
VCBR	2
VCBRI	2
VD1CBR	2
VD2CBR	2
VD3CBR	2
VCJSR	2
VCJSRI	2
VCJSR	2
VCINT	4

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (A-85)

VCJOIN		4
VCCS		2
VADD	1	2 (等待時間)
VADDH		1 (速率)
VAND		未定義
VASL		
VASA		
VAAS3		
VASS3		
VASUB		2 (等待時間)
VAVG		1 (速率)

(請先閱讀背面之注意事項再填為本頁)

裝

訂

線

五、發明說明 (A-86)

VAUGH				
VAVGQ				
VCVTIF	未定義		2(等待時間 1(速率)	未定義
VCMPV	1			2(等待時間 1(速率)
VCNTLZ				未定義
VCVTB9				
VCVTFF	未定義			2(等待時間 1(速率)
助憶符號	位元組 (8/9-位元)	半字組 (16-位元)	字組 (32-位元)	浮點 (32-位元)
VDIVI				
VDIVS				

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (A-87)

VSATU		
VEXTSGN2	1	未定義
VESL		
VESR		
VEXTSGN3		
VASTL		
VASR		
VLSL		
VDIV2N		
VLSR		
VMAC		

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (A-88)

VMACF		
VMACL	2 (等待時間)	3 (等待時間)
VMAS	1 (速率)	1 (速率)
VMASF		
VMASL		
VMAX	1	2 (等待時間) 1 (速率)
VMUL		
VMULA	2 (等待時間)	3 (等待時間)
VMULF	1 (速率)	1 (速率)
VMULL		
VNOR		

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (A-89)

VOR	1			未定義
VROUND	未定義			2 (等待時間) 1 (速率)
助憶符號	位元組 (8/9-位元)	半字組 (16-位元)	字組 (32-位元)	浮點 (32-位元)
VSHFL	未定義			未定義
VSHFLH				
VSHFLL				
VUNSHFL				
VUNSHFLH				
VUNSHFLL				
VSUB	1			2 (等待時間)

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (A-90)

VSUB2	1 (速率)
VSUBS	
VXNOR	
VXOR	
VXORALL	
	未定義

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

第二章 DSP 核心 (CORE)

本章係敘述如硬體與軟體設計者所知敘述 DSP 核心之規格。

2.1 概觀

DSP 核心係 MCP 之基本構成區塊，且係僅僅負責於所有之計算。其包含：

- 一個 32 位元 ARM7 RISC CPU，以 40MHz 執行，且係用於諸如即時 OS、中斷與異常處理、輸入 / 輸出元件管理等等之通用資料處理。
- 一個向量處理器，以 80MHz 執行，且係用於諸如離散餘弦轉換、FIR 濾波、迴旋 (convolution)、視

五、發明說明 (A-91)

訊移動估測等等之數位訊號處理。向量處理器係由 ARM7 所啟動，且可並行於 ARM7 操作及透過特殊控制指令與 ARM7 同步。

- 一個高速緩衝記憶體子系統，以 80MHz 執行，且包含用於 ARM7 之 1KB 指令與 1KB 資料高速緩衝記憶體、用於向量處理器之 1KB 指令與 4KB 資料高速緩衝記憶體、以及共同用於 ARM7 與向量處理器之一分享 16KB 整合指令 & 資料高速緩衝記憶體 ROM。用於向量處理器之資料高速緩衝記憶體可由硬體或軟體所控制。此高速緩衝記憶體子系統透過 32 位元資料匯流排以介面至 ARM7，且係透過 128 位元資料匯流排以介面至向量處理器。
- 一個 32 位元 40MHz 輸入 & 輸出匯流排 (IOBUS)，其介面至不同的內部周邊設備，諸如位元流處理器、中斷控制器、計時器與 UART。
- 一個 64 位元 80MHz 快速輸入/輸出匯流排 (FBUS)，其介面至 PCI 匯流排控制器、記憶體控制器、DMA 控制器與顧客 ASIC 邏輯區域。

DSP 核心之一個方塊圖係顯示於第十圖中。

2.2 ARM7 RISC CPU

2.2.1 概觀

ARM7 RISC CPU 係一個通用 (general-purpose) 32 位元 RISC 處理器核心，其經由標準協同處理器介面而係介

五、發明說明 (A-92)

面至向量處理器，且係用以處理MCP中之大部分非計算性密集功能，諸如即時OS、U0元件中斷處理器、以及與主機CPU之通訊。

ARM7 CPU之特點為：

- 完全靜態作業，係理想地用於電力靈敏之應用
- 低電力消耗：0.6 mA/MHz @ 3V 製造。
- 高性能：25MIPs @40MHz (40 MIPs峯值)@ 3V
- 大與小 Endian操作模式
- 對於即時應用(於40MHz之22時脈周期)之快速中斷響應。
- 簡單而強大之指令集
- 非常緊密之佈線(layout)，大約6mm²。

2.2.2 暫存器

ARM7具有總計37個暫存器，其包括31個通用暫存器與6個狀態暫存器。任何時刻時，具有16個通用暫存器及一或二個狀態暫存器係可為程式設計者所見。於使用者(User)、監督者(Supervisor)、IRQ、FIQ、異常中斷(Abort)與未定義(Undefined)之所有處理器模式中。R0與R15均係可直接存取。

除了R15外之所有暫存器係通用，且可被用以保存資料或位址值。暫存器15保存該程式計數器(PC, Program Counter)。目前程式狀態暫存器(CPSR, Current Program Status Register)包含該等ALU旗標與目前模式位元。

五、發明說明 (A-43)

R14 係作為子例程式連結暫存器，且當執行一個分支 (Branch) 與聯結 (Link) 指令時接收一份 R15。其在其餘所有時刻均可用作為一個通用暫存器。

列表 12 通用暫存器與程式計數器

使用者 模 式	FIQ 模 式	監督者 模 式	異常中 斷模式	IRQ 模 式	未定義 模 式
R0	R0	R0	R0	R0	R0
R1	R1	R1	R1	R1	R1
R2	R2	R2	R2	R2	R2
R3	R3	R3	R3	R3	R3
R4	R4	R4	R4	R4	R4
R5	R5	R5	R5	R5	R5
R6	R6	R6	R6	R6	R6
R7	R7	R7	R7	R7	R7
R8	R8_fiq	R8	R8	R8	R8
R9	R9_fiq	R9	R9	R9	R9
R10	R10_fiq	R10	R10	R10	R10
R11	R11_fiq	R11	R11	R11	R11
R12	R12_fiq	R12	R12	R12	R12
R13	R13_fiq	R13_abt	R13_irq	R13_irq	R13_und
R14	R14_fiq	R14_abt	R14_irq	R14_irq	R14_und
R15 (PC)	R15 (PC)	R15 (PC)	R15 (PC)	R15 (PC)	R15 (PC)

五、發明說明 (A-94)

列表 13 程式狀態暫存器

使用者	FIQ	監督者	異常中	IRQ	未定義
模 式	模 式	模 式	斷模式	模 式	模 式
CPSR	CPSR	CPSR	CPSR	CPSR	CPSR
	SPSR_fiq	SPSR_svc	SPSR_abt	SPSR_irq	SPSR_und

2.2.3 異常 (Exception)

異常係指發生於指令處理期間之不正常狀況，其將造成控制流程之改變。如後所示，係有自較高優先順序至較低優先順序之 ARM7 異常的七種型式；

- 重置 (最高優先順序)
- 異常中斷 (資料)
- FIQ
- IRQ
- 異常中斷 (預先找取)
- 未定義之指令陷阱 (trap)、軟體中斷 (最低優先順序)。

列表 14 異常向量列表

位 址	異 常	表 目 模 式
0000 0000	重 置	監 督 者
0000 0004	未 定 義 指 令 陷 阱	未 定 義
0000 0008	軟 體 中 斷	監 督 者

五、發明說明 (A-95)

0000 000C	異常中斷 (預先找取)	異常中斷
0000 0010	異常中斷 (資料)	異常中斷
0000 0014	ARM7所保留	- -
0000 0018	IRQ	IRQ
0000 001C	FIQ	FIQ

2.2.4. 指令集

所有 ARM7 指令係條件地被執行，其意指取決於在 CPSR 暫存器中之 N、Z、C、V 旗標的值而決定該等指令之發生與否。

ARM7 指令可被分成數個類別：

- 分支與具有聯結之分支 (B、BL)
- 資料處理 (AND、EOR、SUB、RSB、ADD、ADC、SBC、RSC、TST、TEQ、CMP、CMN、ORR、MOV、BIC、MVN)
- PSR 傳送 (MRS、MSR)
- 相乘與相乘累加 (MUL、MLA)
- 單一資料傳送 (LDR、STR)
- 區塊資料傳送 (LDM、STM)
- 單一資料交換 (Swap) (SWP)
- 軟體中斷 (SWI)
- 協同處理器資料作業 (CDP) (此係一群指令)
- 協同處理器資料傳送 (LDC、STC)
- 協同處理器暫存器傳送 (MRC、MCR)

五、發明說明 (A-96)

2.3 向量處理器

2.3.1 概觀

向量處理器係一種強大之數位訊號處理器，其使用單一指令多資料 (SIMD) 架構以得到最高性能。其包含一個管線之 RISC 裝置，其操作於多個並聯資料元件以達成最高性能。該等多個資料元件係封裝於一個 576 位元之向量，其可用下列速率作計算：

- 每 12.5ns-周期作 32 個 8/9 位元定點算術運算
- 每 12.5ns-周期 16 個 16 位元定點算術運算，或
- 每 12.5ns-周期 8 個 32 位元定點或浮點算術運算

2.3.2 執行管線 (Pipelines)

如第十一圖所示，向量處理器採用一個 6 級管線以用於指令執行。

大部分之 32 位元純量運算係作管線於每個周期一個指令之速率，而大部分之 576 位元向量運算係作管線於每 2 個周期一個指令之速率。所有之載入 (Load) & 儲存 (Store) 係重疊以算術運算，且係以個別之載入 & 儲存硬體而獨立地執行。

為了在設計複雜性與性能之間取得平衡，向量處理器可發出且執行不依照次序 (out-of-order) 之指令，其藉用硬體互鎖於資源與資料依存性檢查。此特點可大為改善性能，尤其是在歸因於載入與儲存之資料高速緩衝記憶體誤失期間。

五、發明說明 (A-97)

2.3.3 硬體微架構

向量處理器包含四個主要功能區塊，如第十二圖中所示：

- 指令找取單元 (IFU)
- 指令解碼器 & 發出器
- 指令執行資料路徑
- 載入 & 儲存單元 (LSU)

該指令找取單元係負責用以預先找取指令，及處理諸如分支 (Branch) 與跳至子例行程式 (Jump To Subroutine) 之控制流程指令。該 IFU 包含一個用於目前執行流之預先找取指令的 16 表目 (entry) 佇列 (queue)，及一個用於分支目標流之預先找取指令的 8 表目佇列。該 IFU 可於每個周期時由指令高速緩衝記憶體收到 8 個指令。

該指令解碼器 & 發出器係負責所有指令之解碼與排序。該解碼器可於每個周期時處理一個指令，且總是依指令到達次序；雖然，該發出器可排序大部分不按照次序之指令，其係取決於執行資源與運算元 (operand) 資料可利用性。

透過不同之 288 位元資料路徑 (第十三圖)，向量處理器可達成其許多性能，該等路徑得以 12.5ns/ 周期而執行，且包括：

- 四埠之暫存器檔案，其可支援每個周期 2 個讀取與 2 個寫入。

五、發明說明 (A-98)

- 八個 32×32 並聯乘法器，其可於每 12.5ns 產生八個 32 位元乘法（以整數或浮點格式）、或者十六個 16 位元乘法、或者三十二個 8 位元乘法。
- 八個 36 位元 ALU，其可於每 12.5ns 產生八個 32 位元 ALU 運算（以整數或浮點格式）、或者十六個 16 位元 ALU 運算、或者三十二個 8 位元 ALU 運算。

該載入 & 儲存單元係設計以與資料高速緩衝記憶體作介面，其係透過單獨之讀取 & 寫入資料匯流排，如第十四圖中所示，該等匯流排均係 288 位元寬。

2.3.4 中斷 & 異常

向量處理器僅能辨識二種特殊情況：

- CPINT (協同處理器中斷) 指令，如由 ARM7 程式所執行。
- 硬體堆疊溢流，如同由向量處理器程式所執行之多個 & 嵌套 "跳至子例程式" 指令的一個結果。

欲知該向量處理器如何處理此二個獨特之情況的詳情，請參考向量處理器架構之文獻。

所有其他產生於 MCP 之中斷與異常狀況均係僅僅由 ARM7 所處理。

2.4 高速緩衝記憶體子系統

2.4.1 概觀

高速緩衝記憶體控制單元 (CCU、Cache Control Unit) 係介面至 ARM7 核心、向量執行單元 (LSU、IFU)、記憶體

五、發明說明 (A-99)

(MCU、PCI、DMA、CODEC)與IO元件(BP、UART、計時器、中斷控制器)CCU係介面至一高速(80MHz)之F匯流排與一個低速(20MHz)之IO匯流排。實際上,CCU已成為介於所有內部CPU核心單元與周邊IO元件之間的中央資料傳送單元。欲得到MSP晶片之CCP之較佳認識,請參考於MSP-1E系統規格之方塊圖。

為了支援一非常高性能之高速緩衝器記憶系統,CCU設計已使用基於交易之協定(protocol)以支援所有之讀取與寫入作業。任何需要存取記憶體之單元,其可將該請求置於CCU控制單元。於控制單元中之判優器(arbiter)可答應該基於一固定優先順序之請求,且送回一個交易識別碼(transaction_id)至請求者。該請求者應保存此交易識別碼,以在當資料真正抵達時辨識送回之資料。當CCU控制正在處理來自某個單元之請求時(若高速緩衝記憶體發生誤失時將耗費多個周期),來自另一個單元之新的請求可於下個周期時以一個不同之交易識別碼而被答應。以此方式,處理中之請求將不會阻斷來自其他單元之任何其後的請求,且可達成高性能。目前,CCU可於一個周期內同時地接受且答應一個讀取請求與一個寫入請求。

至記憶體(F匯流排)之介面單元,係由一個四表目位址佇列與一個一表目寫回門鎖所組成。最佳係,其可支援一個來自ARM指令高速緩衝記憶體之處理中的改裝(refill)(讀取)請求、一個來自VEC指令高速緩衝記憶體之處理中

五、發明說明 (A-100)

的改裝(讀取)請求、一個來自VEC資料高速緩衝記憶體之寫入請求、以及一個來自VEC資料高速緩衝記憶體之寫入請求、以及一個來自VEC資料高速緩衝記憶體歸因於不當的高速緩衝記憶體線路之寫回(write-back)請求。

該高速緩衝記憶體本身亦係最佳化以得到高性能。該MSP高速緩衝記憶體系統均包含晶片上之高速緩衝記憶體SRAM與高速緩衝記憶體ROM。該高速緩衝記憶體SRAM係更分為四個不同之程式庫，以避免介於ARM CPU與向量核心、或者介於指令與資料之間的資料亂流(thrashing)。高速緩衝記憶體ROM提供用於ARM7與向量核心之一高速度高密度儲存區域。雖然標記(tag)無法對於高速緩衝記憶體ROM而作改變，但有效位元可被禁能，故可將資料由外部記憶體送回。簡言之，該晶片上高速緩衝記憶體包含下列區塊：

- 一個1KB直接映射之指令高速緩衝記憶體，與一個1KB直接映射寫回資料高速緩衝記憶體，具有至ARM7之32位元資料匯流排介面。
- 一個1KB直接映射之指令高速緩衝記憶體，具有向量指令找取單元之256位元匯流排介面。
- 一個4KB直接映射寫回資料高速緩衝記憶體，具有至向量執行單元之256位元匯流排介面。該資料高速緩衝記憶體為雙埠：其每個周期以80MHz可提供256位元之讀取資料，且可支援256位元之寫入資料

五、發明說明 (A-1d)

- 4KB之VEC資料高速緩衝記憶體，可如同在軟體控制下之抹掉焊墊 (scratch-pad) 操作而構成。
- 一個分享整合指令 & 資料 ROM 高速緩衝記憶體，係用於 ARM7 與向量處理器。至 AMR7 之介面係如同其指令高速緩衝記憶體而透過相同之 32 位元匯流排，且至向量處理器之介面係如同其指令高速緩衝記憶體而透過相同之 256 位元匯流排。
- 五埠：
 - 用於 ARM7 之讀取 / 寫入埠
 - 用於向量指令找取單元之讀取埠
 - 用於向量載入 / 儲存單元之讀取 / 寫入埠
 - 用於向量 I/O 匯流排之讀取 / 寫入埠
 - 用於 F 匯流排之讀取 / 寫入埠
- 用於 ARM7 CPU 指令高速緩衝記憶體之 32×256 位元 SRAM ($\sim 1KB$)
- 用於 ARM7 CPU 資料高速緩衝記憶體之 32×256 位元 SRAM ($\sim 1KB$)
- 用於向量處理器資料高速緩衝記憶體之 128×256 位元 SRAM ($\sim 4KB$)
- 用於向量處理器指令高速緩衝記憶體之 32×256 位元 SRAM ($\sim 1KB$)
- 用於資料 & 指令高速緩衝記憶體之 512×256 位元 ROM

五、發明說明 (A-102)

(~ 16KB)

向量資料高速緩衝記憶體之控制，可在硬體控制或軟體控制之下所達成。

2.4.2 高速緩衝記憶體子系統組織

第十五圖係MSP高速緩衝記憶體系統之一個方塊圖，其包括下列區塊：指令資料高速緩衝記憶體(IDC, Instruction Data Cache)、高速緩衝記憶體RMO、CCU_DATA_DP、CCU_ADR_DP、CCU_CTL、與CCU_SM。每個子區塊將更為詳細地敘述於後。

2.4.2.2 IDC

指令與資料高速緩衝記憶體(IDC，參考第十六圖)係晶片上之SRAM記憶體，其係用以作成指令與資料高速緩衝記憶體存取。於一個陣列中係包含四個記憶體程式庫：ARM_IC(1KB)、ARM_DC(1KB)、VEC_IC(1KB)、與VEC_DC(4KB)。於任何周期中，其可接受一個讀取請求與一個寫入請求。標記RAM具有二個讀取埠。該讀取埠位址與寫入埠位址可與用於命中(hit)或錯失(miss)情況之內部高速緩衝記憶體作比較。資料RAM僅具有一個讀取埠，其係以讀取埠位址作存取。標記RAM與資料RAM均亦可使用一不同組寫入位址作寫入。是以，須有四組高速緩衝記憶體程式庫選擇訊號與三組線路索引以存取高速緩衝記憶體陣列。

IDC具有下列特性：

- 以寫回策略直接映射。

五、發明說明 (4-103)

- 高速緩衝記憶體尺寸係 64B，但資料寬係僅有 32B，其係亦為 MSP 晶片之向量資料尺寸。
- 每條線路具有二個有效位元，一個用於高向量而另一個用於低向量。此外，資料高速緩衝記憶體具有二個不當 (dirty) 位元，各用於每個向量。
- 標記尺寸係 22 位元 (位址位元 10 至位元 31)，用於 ARM_IC、ARM_DC、與 VEC_IC；且具有用於 VEC_DC 之 20 位元 (位址位元 12 至位元 31)。
- 線路索引位元係 5 位元 (位址位元 5 至位元 9)，用於用於 ARM_IC、ARM_DC 與 VEC_IC；用於 VEC_DC 係 7 位元 (位址位元 5 至位元 11)。
- VEC_DC (4KB) 可如同在軟體控制下之抹掉焊墊而重新構成。
- V_CLEAR 訊號係用以在一次同時通用地重置該高速緩衝記憶體線路有效位元。以後，此訊號將僅選擇性地重置個別之程式庫。

2.4.2.3 資料路徑管線

參考第十七圖。

2.4.2.4 位址路徑管線

用於位址處理管線之資料路徑係顯示於第十八圖中。

2.4.3 介面2.4.3.1 資料型式

如列表 15 中所示，CCU 處理來自各種請求單元之不同

五、發明說明 (A-10^k)

的資料型式。

列表 15 處理不同資料型式之 CCU 作業

單 元	資 料 型 式	讀 取 / 寫 入	CCU 作 業
ARM	位 元 組 、 字 組	讀 取	位元組位址於位元組範圍，字組位址於字組範圍、於 ARM 與 IDC 之間有 ui_cache 與 ud_cache。任可 u_cache 錯失將總是帶回 32B (定位) 資料以再裝滿 u_cache。IDC 錯失將造成 IDC 由外部 SDRM 再裝滿。二個寫回 (double_WB) 作業於若二個向量係不當時為可能的。僅有 32B 資料係帶回以再裝滿 (單一裝滿) ARM 高速緩衝記憶體
ARM	位 元 組 、 字 組	寫 入	位址定位係同於讀取情形。任何命中 ud_cache

五、發明說明 (A-105)

之 ARM 寫入將總是使 `ud-cache` 無效。資料在寫入至 IDC 之前，以適當位元組致能宣告，該資料將可適當地定位。對於係以高速緩衝記憶體之寫入錯失，寫入資料將被儲存於 `wr_data_buf1`。若二個向量均係不當時，`Double-WB` 作業係可能的。在 32B 資料係由記憶體取回後，CCU 將啟動一寫入至 IDC 且標出該向量為不當。對於高速緩衝記憶體關掉之寫入，資料將被儲存於 `mem_wr_fat(64B)` 請求將係於此等位址佇列位置之一者被傳送。由於資料係少於 8B，`F` 匯流排部分寫入協定將被運用。

五、發明說明 (A-106)

IFU	向量	讀取	IFU位址係總是以字組定位。每一個請求將帶回32B(定位)資料，係由IDC或者由外部之SDRAM。
LSU	純量(位元組、半字組、字組)	讀取	
IO			

2.4.3.2 ARM介面

ARM7 CPU核心係以MSP晶片之一半頻率(40MHz)而執行，而CCU係以全頻率(80MHz)而執行。在設計中介於此二時脈之間的同步化係重要的。就一般法則而言，時脈產生器單元將僅在CLK1之上升邊緣切換MCLK。此外，連結至ARM7之通用重置訊號，將僅在當CLK1與MCLK兩者均為低位時係被解除宣告。藉此方式，該第二單元將可適當地同步化。

雖然ARM7僅具有一個輸入匯流排(ARM_DATA<31:0>)以用於指令與資料，該粗板(rasp)晶片係配備有一個專用之指令高速緩衝記憶體(ARM_IC,1KB)與資料高速緩衝記憶體

五、發明說明 (A-10¹¹)

(ARM_DC, 1KB)。藉用 ARM_NOPC，CCU可區別此二種請求。

欲進一步改良性能，CCU係增加一個微指令高速緩衝記憶體 (UI_CACHE, 32B) 與一個微資料高速緩衝記憶體 (UD_CACHE, 32B)，以置於該主要高速緩衝記憶體與 ARM7 核心之間。此等高速緩衝記憶體包含 8 個字組，每個字組具有序列之碼與資料。此等微高速緩衝記憶體包含其本身標籤 (tag)、標籤比較器、與有效位元。於系統重置期間，此等有效位元係均作清除。

該等 ARM7 微高速緩衝記憶體之動作係較類似於一個預先找取緩衝器，而非一個真正之高速緩衝記憶體。於 ARM7 讀取期間，位址 (ARM_A<31:0>) 係始終與標籤作比較。一個命中 (hit) 將透過 ARM_DATA<31:0> 而讀回指令或資料。一個微高速緩衝記憶體錯失 (miss) 則將送出請求至 CCU，其伴隨著位址、資料型式、與其他控制資訊。CCU 之判優器邏輯將答應來自所有單元之請求，以作成一個讀取請求。目前，ARM7 具有超過其他區塊之最高優先順序以得到答應。此係歸因於 ARM 作出請求係相當稀罕的事，除非其微高速緩衝記憶體具有一錯失。不過，CCU 可具有內部保存周期，以用於多個周期請求或者位址佇列充滿等情況。於此期間，將沒有任何外部請求被答應。

若位址命中 UD_TAG，自 ARM7 之寫入將始終使 UD_CACHE 為無效。並無任何正圖以設計該 UD_CACHE 為一寫過 (write-through) 或寫回 (write-back) 之高速緩衝記憶體。藉著於

五、發明說明 (A-108)

UD_CACHE寫入命中之強制無效，係可維持介於ARM_DC與UD_CACHE之間的資料一致性。

當作出至ARM_IC或ARM_DC之讀取或寫入請求時，CCU控制arm_nwait。一般而言，CCU於寫入期間並不會保存arm_nwait。一旦在係答應寫入請求而未有CCU_WRITE_HOLD2時，ARM7僅於隨後周期時驅動ARM_DATA<31:0>中之資料。CCU具有一個內部寫入緩衝器以保存資料。ARM可繼續指令執行。然而，CCU始終保存arm_nwait一個周期，即使資料存在於主要高速緩衝記憶體中。若讀取請求錯失主要高速緩衝記憶體，將保存更多周期，直到資料由主要高速緩衝記憶體外返回。如第十九圖所示，ARM_CCU介面狀態機制描述CCU如何控制arm_nwait之情況。

於第十九圖中：

START (啟始)：狀態機制之啟始狀態，若無請求、或讀取資料係返回、或不具保存之寫入請求。

HOLD (保存)：CCU答應ARM7請求以讀取或寫入，但以保存訊號取消該答應。

TAG (標籤)：CCU係檢查。

MISS (錯失)：讀取位址具有一錯失，且CCU送出一個重新裝滿請求至DRAM外。

DATA (資料)：讀取資料返回，CCU將其驅動至微資料高速緩衝記憶體。

2.4.3.3 F匯流排介面

五、發明說明 (A-109)

CCU_FBUS介面狀態機制(F_SM)係顯示在第二十圖中。

於第二十圖中：

IDLE (閒置)：閒置狀態

REQ：作出讀取或寫入請求至F匯流排判優器

GRT1：答應尺寸係大於8B

GRT2：答應尺寸係大於16B

GRT3：答應尺寸係大於24B

GRT4：驅動資料用於最後周期。

資料接收器狀態機制(D_SM)係顯示於第二十一圖中。

在第二十一圖中：

IDLE：閒置狀態

ONE：接收來自Fdata<63:0>之第一個8B

TWO：接收來自Fdata<63:0>之第二個8B

THREE：接收來自Fdata<63:0>之第三個8B

FOUR：接收來自Fdata<63:0>之第四個8B

REFILL(重新裝滿)：在送回資料至請求者之前重新裝滿

IDC。

RDY：備妥以送回資料至請求者。

2.4.4 讀取與寫入作業

讀取與寫入狀態機制係顯示第二十二圖中。

2.4.4.1 讀取作業

於MSP中之IDC(指令與資料高速緩衝記憶體)係操作於

五、發明說明 (A-110)

三級之管線周期：請求周期、標籤周期、與資料周期。於高速緩衝記憶體命中之情況，IDC係能夠於每個周期送回指令或資料。

CCU（高速緩衝記憶體控制器單元）係在ARM7、向量處理器單元、F匯流排、與IO匯流排之間執行判優，用於高速緩衝記憶體SRAM存取。CCU監測來自此等四個主控制器之匯流排請求，且答應該匯流排於具有一特定ID（辨識）號碼之優勝者。CCU亦產生高速緩衝記憶體位址匯流排，且讀取／寫入控制訊號以存取該高速緩衝記憶體及進行標籤比較。

若有一個高速緩衝記憶體命中，贏得判優之匯流排主控制器將可存取該高速緩衝記憶體，用於讀取／寫入作業。若有一個高速組衝記憶體錯失，CCU將用於作出請求之下一個匯流排主控制器，而不須等待錯失之資料由主記憶體返回。故具有一個高速緩衝記憶體之匯流排主控制器必須保留該ID號碼。接著之後，若被請求之資料係於高速緩衝記憶體中，CCU將送出答應訊號至具有相同ID號碼之錯失資料的匯流排主控制器。此匯流排主控制器可接受資料，或忽略該資料。

當有一個高速緩衝記憶體錯失時，將執行一個線路找取以由主記憶體得到資料。線路尺寸係界定為64位元組，故CCU將執行八個連續之記憶體存取（每個為64位元），以由主記憶體得到資料至高速緩衝記憶體。

五、發明說明 (A-III)

• 請求周期：

CCU將接受來自CLK1中各種單元(ARM、IFU、LSU、IO)之讀取請求。請求者將於CLK1開始時宣告請求訊號(lsu_req)與讀取／寫入訊號(lsu_rw)。在CLK1結束之前，CCU將藉著驅動出ccu_grant_id[9:0]以答應此等讀取請求之一者。若ccu_grant_id[9:6]係與請求者之unit_ud相配，該請求係被答應。請求者應該門鎖住ccu_grant_id[5:0]，因其係與請求有關之交易辨識(id)。

若係答應該請求，則請求者應驅動位址(lsu_adr[31:0])與其他控制資訊至CCU，諸如cache_off作業(lsu_ccu_off)與於CLK2中之資料型式(lsu_vec_type[1:0]、lsu_data_type[2:0])。

若在CLK2結束前係未宣告ccu_rd_hold_2，該請求係完全由CCU取得，且被請求資料將於稍後被送回。不過，若ccu_rd_hold_2係宣告，請求者應保持驅動該位址與控制資訊，有若在CLK1中之答應請求係取消。於下一個周期，由於所有先前之grant_id資訊仍係有效，並無必要再作相同之讀取請求。ccu_rd_hold_2將在CLK1中保持為不變，直到其係為CLK2中之CCU所解除宣告。

ccu_rd_hold2係一個時序先決(timing critical)訊號，其係用以通知請求者，該CCU係在目前周期中忙於處理其他事，且已答應之請求係尚無法作處理。

• 標籤周期：

五、發明說明 (A-112)

若請求係被答應且未被在該請求周期中為後來取消，其將進入該高速緩衝記憶體存取之標籤比較階段。CCU將使用位址 (lsu-adr[11:5]) 與程式庫選擇訊號 (請求者)，以作出用於標籤讀取之線路選擇。標籤命中訊號 (ccu_lsu_hit_2) 將為已知而直到 CLK2 之結束。對於命中情況，該資料將在下個周期中被送回。讀取埠標籤無論如何將送出，且為 CLK2 所鎖存。

位址佇列狀態亦係於此周期中求出。標籤錯失與一個 almost_full_address_queue 將宣告 ccu_rd_hold_2 訊號。CCU 狀態機制將不會處理任何新的讀取請求，但是將會重試已異常中斷之標籤比較。

由於每個高速緩衝記憶體線路 (64B) 包含二個向量，存取向量有效位元應係有效的，以得到一個標籤命中。對於雙向量 (64B) 資料讀取，二個有效位元均須為有效，以得到標籤命中。cc_off 作業將總是強制一標籤錯失，且該請求將係送出於位址佇列中。

• 資料周期：

於此周期，CCU 送回資料至請求者。資料將以於 CLK1 驅動之低 16B 與於 CLK2 驅動之高 16B，而係置於 ccu_dout[127:0] 上。對於 64B 資料請求，一個額外之周期係用以完成傳送。

CCU 將始終早半個周期 (CLK2) 驅動 ccu_data_id[9:0]

• 以通知請求者該資料將於隨後 CLK1 送回。請求者應始終

五、發明說明 (A-113)

比較 `ccu_data_id[9:0]` 以適當送回資料。此外，標籤命中亦係用作為送回資料之一個指示。

若於標籤周期中有一個標籤錯失且該位址佇列係未滿，CCU將藉著送出該錯失位址、辨識(id)資訊、與其他控制資訊到於CLK1之四個表目位址佇列，以啟始高速緩衝記憶體線路找取。目前，每個位址佇列包含大約69位元之資訊。於CLK2，記憶體位址鎖存將被載入，故F匯流排請求可於下個CLK1作出。

2.4.4.2 寫入作業

於IDC之寫入作業亦係操作於三級之管線周期：請求循環、標籤周期、與資料寫入周期。於寫入位址命中之情況，IDC係能夠於每個周期寫入資料至高速緩衝記憶體資料陣列。

• 請求周期：

CCU將自於CLK1之各種單元(ARM、LSU、IO)接收寫入請求。請求者將於CLK1開始時宣告請求訊號(`lsu_req`)、讀取／寫入訊號(`lsu_rw`)、與向量型式(`lsu_vec_type[1:0]`)。在CLK1結束之前，CCU將答應此等寫入請求之一者。藉著直接宣告一個答應訊號(`ccu_lsu_wr_grant`)至請求單元，係可達成至不同單元之寫入答應。由於並無資料將被送回，請求單元係不必自CCU接收交易辨識(`transaction_id`)。於CLK2，請求者應提供位址(`lsu_adr[31:0]`)、`cc_off`訊號

五、發明說明 (A-114)

(lsu_ccu_off)、與資料型式(lsu_data_type[2:0])。

同於讀取之情況，CCU可能在接近CLK2結束時宣告ccu_wr_hold_2，以通知請求者雖然已作出答應但尚不能於且前周期中作處理。請求者應該保持驅動位址、cc_off訊號、與資料型式資訊，直到已解除宣告ccu_wr_hold_2。接著下個周期，請求者將提供寫入資料至ccu_dout[127:0]。

• 標籤周期：

若該請求係被答應且未在該請求周期隨後被取消，其將進入該高速緩衝記憶體存取之標籤比較階段。此係寫入埠位址標籤比較。CCU將使用位址(lsu_adr[11:5])與程式庫選擇訊號(請求者)，以作出用於高速緩衝記憶體之線路選擇。該標籤命中訊號(ccu_lsu_hit_2)將係已知，直到CLK2結束。ccu_off將始終強制一個標籤錯失，且寫入資料將係置於用於外部寫入之F匯流排。

請求者應該以於CLK1之低16B與於CLK2之高16B，而啟始驅動資料至ccu_din[143:0]。對於64B資料傳送，請求者將以一個額外之周期來驅動資料。應被注意的是，CCU具有一個內部寫入資料門鎖，以保存此資料。無論此寫入係命中該高速緩衝記憶體(以一或二個周期用以實際寫入資料至高速緩衝記憶體)或者錯失該高速緩衝記憶體(可能以相當多個周期以寫入資料)，請求者現在均應將該寫入視為已完成。

• 資料寫入周期：

五、發明說明 (A-115)

對於該高速緩衝記憶體命中之情況，CCU於此周期實際寫入資料至高速緩衝記憶體。若於標籤周期中有標籤錯失，CCU將取決於資料型式而作不同之處理。

若資料型式係32B且線路係適當(clean)(二個向量均係適當)，CCU將僅以新的標籤與新的資料而重覆寫入於現有線路。其亦將標出正在存取之向量為有效且不當(dirty)，並將另個向量留在相同線路視為無效。

若資料型式係少於32B，此成為部分資料寫入。此部分資料將係保存於一個暫時之暫存器。CCU將進行自記憶體找取該錯失半個線路(32B)，且將其載回至高速緩衝記憶體。接著，該部分資料將以適當位元組致能訊號而寫入於高速緩衝記憶體線路。

對於具有一不當(dirty)高速緩衝記憶體線路之所有寫入錯失，CCU首先將拷貝該不當線路。由於該不當資料係尚未可用，CCU將宣告保存於答應邏輯，使得將無新的讀取或寫入請求會被答應。接著將啟始一個內部讀取，使用該不當線路位址以找取不當之高速緩衝記憶體線路資料。最後，該寫回位址與資料將送出至記憶體。

2.4.5 程式規劃模式

該高速緩衝記憶體係透過使用載入&儲存指令而完全於硬體中作控制，因此其不需有任何軟體可見之暫存器。

2.4.6 IDC與ROM位址格式

此格式係如第二十三圖中所示。

五、發明說明 (A-11b)

第三章 IO匯流排說明

本章說明如硬體設計者所知之IO匯流排的規格。

3.1 概觀

IO匯流排係設計用於低速標準周邊設備：元件，其係為系統所運用。此匯流排將作為介於MSP高速緩衝記憶體控制單元(CCU)、位元流處理器(BSP)、以及諸如計時器／中斷控制器與UART等所有其他IO周邊元件之間的主要介面。此匯流排之格式係非常類似於英代爾公司(Intel)之IO匯流排。其具有一個匯流排判優器控制邏輯，其不斷地監測匯流排以用於請求，並藉用圓形簽名書（不顯示簽名者順序）(round-robin)架構以產生適當之請求答應。潛在之匯流排主控器應一直宣告匯流排請求，且在取代現有匯流排之前等待被宣告匯流排答應。匯流排主控器應一直驅動位址，並根據協定而控制用於周期期間之線路。

IO匯流排係執行於40MHZ之完全同步的匯流排。在請求係取樣動作之後，在MSP IO匯流排上之所有答應發生於一個周期。此匯流排可於四個周期（四個脈衝）處理高達16位元組之資料傳送。此係藉用二個尺寸位元所達成，該二尺寸位元對匯流排判優器指示出由匯流排主控器所請求之傳送尺寸。

IO匯流排具有32位元位址與資料多工器。位址始終出現在資料出現之前。接收元件使用IOB_ALF（位址門鎖致能）訊號，以鎖存位址。即使8位元裝置係連接於匯流排上，

五、發明說明 (A-119)

所有匯流排存取均將假定為32位元傳送。以一般常規，8位元裝置將使用該匯流排之最低8位元[7:0]，而16位元裝置將使用匯流排之最低16位元[15:0]。若16位元裝置欲與8位元裝置通訊，應將正確資料置於用於8位元裝置的匯流排之最低8位元，以發現並鎖存該資料等等。若於相同期間內有多個請求，未被答應之請求者應一直保有其請求直到為I/O匯流排判優器所答應為止。於此架構中每個允許之請求係有許多個“匯流排存取周期”，最多高達 4×32 位元傳送（16位元組）。區塊傳送應總是分成多個各為32位元之傳送。

所有匯流排答應均係由I/O匯流排判優器所產生。不過，有一個並聯解碼邏輯，其不變地監測位址（當有效時），且產生適當之晶片選擇（於下個時脈周期）至目的者。晶片選擇將總是僅於一個周期係有效，且之後該位址係宣告用於所有之讀取與寫入請求。每個I/O匯流排節點將具有一個專用晶片選擇作為輸入。請參考接腳說明與時序圖。

在由匯流排判優器所答應後，該2位元尺寸資訊應由主控器(master)所產生，且應於其後之二個匯流排周期內為有效。當CS係宣告時，被選擇之從屬器(slave)必須捕捉該尺寸資訊以判定匯流排傳送周期是否寫入或讀取；在啟始注意新的請求之前，I/O匯流排判優器亦保持追蹤該傳送尺寸，以判定該匯流排何時已完成。請注意，在脈衝匯流排傳送（無論讀取或寫入）資料之間並無“間隙(GAP)”。

五、發明說明 (A-118)

對於資料讀取之傳送，一個備妥 (READY) 訊號係用以指示請求者該資料何時係有效且何時以啟始鎖存資料。此備妥訊號係由匯流排主控器與從屬器二者所產生。

為了符合此協定，所有 I/O 匯流排節點均須設計處理請求之一個 I/O 匯流排介面。此介面應符合下列規格。

尺 寸	說 明
2'b00	缺設 (Default)。傳送尺寸=4位元組 (一個 32位元周期)
2'b01	傳送尺寸=8位元組 (二個 32位元周期)
2'b10	傳送尺寸=12位元組 (三個 32位元周期)
2'b11	傳送尺寸=16位元組 (四個周期最大尺寸)

3.2 接腳說明

以下為系統 I/O 匯流排的位址、資料與控制訊號定義，如同匯流排主控器所見。亦參考第二十四圖，其顯示 I/O 匯流排架構定義。如前所述，I/O 匯流排係一種多工之位址／資料匯流排。

五、發明說明 (A-119)

"xxx"係一個用以識別請求者(ccu、bsp、urt、tmr、int)之三個字母碼。

系統IO匯流排訊號定義

IO匯流排訊號名稱	尺寸	方向	註解
IO匯流排[31:0]	32	雙向	32位元雙向及多工之位址與資料匯流排。
IOB_rd_l	1	輸入 / 輸出	低位動作。主控器輸出，從屬器輸入。
IOB_wr_l	1	輸入 / 輸出	低位動作。主控器輸出，從屬器輸入。
IOB_ready_l	1	輸入 / 輸出	低位致能。通知主控器該資料何時係可用於讀取（當於從屬器模式時）。主屬器輸入，從屬器輸出。
IOB_CS_xxx_l	1	輸入	元件選擇，低位動作。此

五、發明說明 (A-120)

			係用以處理一旦鎖存位址後之請求。
I0B_ale_l	1	輸入	低位動作，指明位址何時係穩定。 判優器輸出，主控器／從屬器輸入。
I0B_req_xxx_l	1	輸出	低位動作，請求取得 I0 匯流排之控制，以成為主控器。
I0B_tsize[1:0]	1	輸入 / 輸出	傳送尺寸 = 4/8 11 21 16 位元組。主控器輸出，從屬器輸入。
I0B_grant_xxx_l	2	輸入	來自 I0 匯流排判優器之 I0 匯流排答應，以允許此請求裝置成為該 I0 匯流排之主控器。低位動作。
重置	2	輸入	低位動作，系統重置。

五、發明說明 (A-121)

CLK 40M	1	輸入	40MHZ匯流排時脈。

3.3 邏輯說明

I/O匯流排判優控制單元係顯示於第二十五圖中。

3.4 I/O匯流排時序

I/O匯流排讀取時序（傳送尺寸=1字組（4位元組））係顯示於第二十六圖中。

I/O匯流排寫入時序（傳送尺寸=1字組（4位元組））係顯示於第二十七圖中。

I/O匯流排讀取時序（傳送尺寸=4字組（16位元組））係顯示於第二十八圖中。

I/O匯流排寫入時序（傳送尺寸=4字組（16位元組））係顯示於第二十九圖中。

第四章 快速匯流排說明

本章說明如同硬體設計者所見之F（快速）匯流排的規格。

4.1 概觀

經由一個非多工之位址與資料匯流排線路，記憶體控制器、PCI、顧客ASIC與高速緩衝記憶體子系統將介面至系統匯流排“F匯流排”。將有一個中央F匯流排判優控制邏輯，其將監測請求並藉用某些優先順序架構以產生答應。匯

五、發明說明 (A-122)

流排主控器（位址與資料源）將一直宣告匯流排請求，且等待該答應。正常而言，如該匯流排進行之請求係未由另一個主控器／從屬器所運用（所用答應均係組合性地產生），將於相同之周期內發生答應。一旦主控器收到匯流排答應，位址／資料／控制線路將於隨後周期被送出。一個“資料備妥”訊號將一直處理實際資料，以指示接收者開始鎖存隨後周期。

欲運用最大之匯流排寬度，四個連續請求可於一個背靠背 (back to back) 方式之管路被收到／送出，且一個“請求 FIFO”係須用以處理所有四個請求。該記憶體控制將具有一個四 (4) 深 (deep) 請求 FIFO 與二 (2) 深 (deep) 資料 FIFO。由於此協定特性，將需用到一個“AF-FULL”與“DF-FULL”訊號，其係分別為位址 FIFO 滿 (Full) 與資料 FIFO 滿。F 匯流排資料寬度將為 8 位元組 (64 位元) 與 32 位元位址。F 匯流排係藉用答應計數與請求尺寸匯流排，而將可支援 8、16 與 32 位元組之資料傳送。

每個 F 匯流排單元均將具有控制邏輯以請求匯流排。此邏輯將取決於各單元應用（記憶體／PCI／高速緩衝記憶體……等）之不同而有所區別。不過，於各個單元中之實際匯流排優先單將係相同，且將係於所有子模組中為複式。此單元將作用為介於外部匯流排主控器／從屬器與內部單元邏輯之間的一個媒介。舉例而言，於記憶體控制器之情形，一旦 CAS 係終止“動作”，記憶體控制器將宣告一個內

五、發明說明 (A-123)

部請求至 F 匯流排判優邏輯，其經由一個指出使用 F 匯流排之需求的內部訊號。回應此請求，F 匯流排控制器將宣告一個請求至在記憶體控制器邏輯外部之系統，且等待答應。一旦收到答應，將由記憶體控制器中之答覆資料 FIFO 第一個表目送出位址／資料／控制。

至記憶體控制器之系統請求可為自 1 位元組至 32 位元組之最大尺寸。對於超過 32 位元組之請求尺寸，該資源／請求者將藉用該 F 匯流排“尺寸”位元以啟始多個請求。此將可實施，歸因於 SDRAM 記憶體匯流排（1 或 2 個三星公司 SDRAM 1M×16）之限制。SDRAM 將對於八（8）位元之倍數長度作程式規劃，以達成系統其餘部分所需之全長 32 位元組。對於少於 32 位元組之請求，將可由 SDRAM 找取所有之 32 位元組，但僅由所需數目之位元組將被送出至目的者。

亦將有一個十（10）位元請求者 ID 匯流排，其將係以“晶片選擇”訊號而成為有效。（同於位址／資料之周期）。

所有 F 匯流排節點均將產生一個三位元“目的 ID”至 F 匯流排判優器。此三個位元將係藉請求而為有效，且其指出請求之目的（destination）。目的 ID 位元 [1:0] 係由進入請求者 ID 而解碼，如後：

請求者 ID [9:6]	來源	目的 ID [1:0]
0000	保留	N/A

五、發明說明 (A-26)

0001	ARM7	N/A
0010	FU	N/A
0011	LSU	N/A
0100	CCU	00
0101	ASIC	11
0110	MEM	01
0111	PCI	10
1xxx	保留	

目的ID位元(2)將係用以指示讀取／寫入請求狀態。此將有助於F匯流排判優器以區別僅有位址之請求(讀取)與位址／資料之請求(寫入)。

正常而言，該答應計數位元"grCNT[1:0]"指示出請求者需要匯流排之F匯流排周期數。對於背對背(back to back)之請求，該等請求將對匯流排主控器指出請求之長度。F匯流排將根據此二個答應計數位元而宣告答應。

F匯流排係一個分離交易匯流排，其支援所送出之讀取。此意謂著當請求者作出匯流排之請求且一旦獲得答應時，其將驅動位址並完成交易。稍後，從屬器／資料源將藉用目的ID而送回資料，且送回相同請求至請求者。此特點有效改善匯流排頻寬，且允許其他主控器可更快地運用該F匯流排。

欲知詳情，請參考時序圖。

五、發明說明 (A-175)

4.2 接腳說明

系統 F 匯流排之位址、資料與控制訊號係如后。如先前所述，F 匯流排係非多工位址／資料匯流排。

"xxx"係識別請求者名稱(mem、pci、asc、ccu)之三個字母碼。

列表 16 系統 F 匯流排訊號定義

F 匯流排訊號名稱	尺寸	方向	註 解
Faddr [31:0]	32	雙向	於分開之位址線上之 32 位元位址匯流排。
Fdata [63:0]	64	雙向	雙重變化之 64 位元資料匯流排。
Frd_wr_l	1	雙向	" 1 " ==> 讀取， " 0 " ==> 寫入
Fxxx_cs_l	1	輸入	晶片選擇，低位動作
Fdrdy_l	1	雙向	資料備妥訊號，於實際資料前一個周期為有效。僅

五、發明說明 (A-126)

			由資料源所宣告，低位動作。
Freq_ID	10	雙向	請求ID，其係在資料之前。 此等訊號具有諸如 Fd_rdy訊號位元[9:6] →請求者ID位元 - → 交易ID之相同時序
Fxxx_req_l	1	輸出	來源F匯流排請求。低位動作
Fxxx_grCNT	2	輸出	F匯流排答應計數，其係以請求而有效，用以指出答應所需周期數
Fxxx_grant_l	1	輸入	來自中央判優單元之F匯流排答應，低位動作
Fxxx_did	3	輸出	F匯流排目的ID。此訊號係以請求作驅動，指示主要F匯流排判優器產生哪一個CS。

五、發明說明 (A-127)

			Fxxx_did[1:0]==目的 ID, Fxxx_did [2]== 讀取/寫入狀態。 (0=>寫入, 1=>讀取)
Fxxx_afull	1	輸出	位址FIFO係滿的。當該 FIFO中有(n-1)個表目係 有效時, 將宣告此訊號。 高位動作
Fxxx_dfull	1	輸出	資料FIFO係滿的。當該 FIFO中有(n-1)個表目係 有效時, 將宣告此訊號。 高位動作
F_reset_l	1	輸入	低位動作, 同步F匯流排 重置
Fclk	1	輸入	80 M HZ匯流排時脈
Fpr_wr_l	1	輸入	部分寫入指示器, 接收器 藉用此訊號可判別於每8 個位元組內之位元組尺寸

五、發明說明 (A-128)

			。此訊號係與 Freq_size [7:0] 結合使用。
Freq_size	8	雙向	傳送尺寸 (<32 位元組、32 位元組、64 位元組、128 位元組)* *須有解碼列表定義以用於 RMW。

第三十圖說明該記憶體讀取請求 F 匯流排流程。第三十一圖說明該記憶體寫入請求 F 匯流排流程。第三十二圖說明主控器／從屬器“非記憶體”請求 F 匯流排流程。第三十三圖說明中央化之 F 匯流排判優控制器單元。

第三十四至三十六圖係 F 匯流排時序圖。第三十四圖說明記憶體寫入請求 F 匯流排時序。(8 位元組資料傳送係顯示出，將可用於 16/32/64/128 位元組多資料周期) 第三十五圖說明記憶體讀取請求 F 匯流排時序(傳送尺寸 = 8 位元組)。第三十六圖說明記憶體背靠背(back to back)寫入請求(傳送尺寸 = 32 位元組)。

第五章 PCI 匯流排

本章敘述 PCI 核心與 PCI 連接(glue)邏輯之規格，其係與內部 F 匯流排作成介面。

五、發明說明 (A-129)

5.1 概觀

MSP_IE PCI控制器係設計成符合PCI匯流排規格修訂本2.1。欲知詳情，請參考此標準規格。

PCI單元包含二個主要部分：PCI核心與F匯流排'連接'邏輯。PCI核心主要係與執行於33M HZ之PCI匯流排速度的外部PCI元件作為介面。F匯流排'連接'邏輯係介面至將執行於80M HZ之三星公司F匯流排。此連接邏輯係介面於PCI核心與F匯流排之間。藉著於該等子區塊二端使用FIFO，可達成速度同步化。

三星公司PCI核心亦包含虛擬資訊段緩衝器(VFB)邏輯，以及所有需用以透過F匯流排而介面至ARM7之VFB暫存器。

此PCI單元之一個獨特的特點為，自主機MSP CPU晶片與MSP晶片至主機CPU之中斷處理。此將於本章中作進一步討論。

5.1.1 三星公PCI核心方塊圖

此方塊圖係顯示於第三十七圖中。

5.2 PCI F匯流排介面邏輯(第三十八圖)

PCI核心之此子區塊係與MSP內部F匯流排及微PCI核心作介面。位址與資料係儲存於FIFO兩端(亦即自PCI核心與F匯流排)。此子區塊亦係負責用以使PCI訊號與F匯流排時脈同步化，且反之亦然。

PCI核心邏輯可係為一個F匯流排主控器與從屬器元件

五、發明說明 (A-130)

。大部分之存取係經由64位元F匯流排而指向區域之SDRAM記憶體。欲知F匯流排協定之說明，請參考F匯流排之章節。

PCI F匯流排控制邏輯亦包含虛擬資訊段緩衝器暫存器與控制。此等暫存器係設計為經由F匯流排至ARM7。請參考該等方塊圖。

5.3 PCI VFB邏輯

MSP PCI核心係完全遵從於PCI 2.1規格。唯一添加者係暫存器數，其係增加用於中斷與軟體MSP重置。

藉著設定自MSP控制暫存器之MSP(位元<3>)的PCI主機中斷請求，於ARM7中之軟體可中斷該主機CPU。此將引起PCI核心邏輯中斷該主機CPU，藉由宣告PCI匯流排之中斷接腳(INTA#)。接著，主機CPU將承認該中斷，其透過於MSP控制暫存器中之PCI主機中斷認可(位元<4>)。此將使得中斷線路成為不動作之狀態。

MSP PCI核心亦可接受來自主機CPU之一個中斷，其基本上係一個至ARM7之中斷。由於PCI規格並未支援任何中斷輸入接腳，來自MSP控制暫存器中之主機<位元<2>)的MSP中斷請求係用以提供此功能。主機CPU可設定此位元以指示一個至ARM7之中斷。一旦該主機中斷係被認可，ARM7將接著清除此暫存器。參考第四十一圖中之方塊圖。關於第四十一圖，係有三個暫存器，其係映射至MSP區域而非PCI空間。

五、發明說明 (A-131)

欲知有關實際 PCI 核心之詳情，請參考 PCI 2.1 規格。

第六章 記憶體控制器

6.1 本章敘述如硬體與軟體設計者所見之記憶體控制器的規格。

6.2 概觀

MSP 記憶體控制器將具有對於成本與性能取捨的種種特點與可程式性階層。記憶體控制器將介面於主系統匯流排 "F 匯流排" (其將係執行於 80M HZ) 與 DRAM 晶片之間。為了達成 80M HZ 時脈頻率，對初始設計步驟將使用同步 DRAM。

最終係，記憶體子系統將支援標準快速分頁 DRAM、延伸資料輸出 (EDO, Extended Data Out) DRAM、與同步 DRAM。記憶體程式庫尺寸將係限制於二個 (2) 外部程式庫，其將係可交錯。

初始之同步 DRAM 記憶體控制器將具有需用以操作該等 DRAM 之僅僅最少特性。該等 "基本" 之最初通過記憶體控制器特性係如后：

- 三星公司同步 DRAM 之支援
- 使用二個 SDRAM 晶片 (1M × 16) 之一個 (1) 記憶體程式庫
- 在 ras 前之 Cas (Cas-Before-ras) 更新 (CBR) 之支援
- 部分寫入之支援，其啟始讀取 - 修正 - 寫入之作業
- 內部程式庫交錯之支援 (經由 MA[11] 之乒乓效果)
- 80MHZ 記憶體與處理器匯流排 (1:1) 頻率匹配

五、發明說明 (A-132)

- 可程式之更新速率
- 位址與資料佇列，以更佳運用該系統匯流排
- 手動“雙程式庫預先充電”之支援

MSP記憶體控制器將具有二個主要子元件：資料控制器與位址控制器。資料控制器將具有讀取與寫入資料佇列，以儲存來自DRAM之讀取資料與來自處理器匯流排之寫入資料。資料控制器將亦包含用於位元組寫入之所有RMW邏輯。位址控制器將產生所有至資料控制器之控制。

該位址控制器將具有請求佇列、回覆ID佇列、記憶體位址解碼邏輯、分頁比較器邏輯、RAS/CAS狀態機制、更新狀態機制以及該資料控制器所使用之所有必要的控制訊號。

SDRAM記憶體區塊將係同於系統時脈。該SDRAM將接收一份各個控制訊號。

6.2.1 記憶體控制器方塊圖

此方塊圖係顯示於第四十二圖中。

6.2.2 記憶體控制器流程

此流程係顯示於第四十三圖中。

6.3 位址控制器 (AC, Address Controller)

記憶體控制器之位址控制器部分將係負責用以產生所有之DRAM控制，以及用以管理該資料控制器。MSP記憶體控制器之此部分將亦負責於F匯流排介面之位址與控制路徑。位址控制器之各個子區塊係描述於隨後之方塊圖。

五、發明說明 (A-133)

6.3.1 位址控制器方塊圖

此方塊圖係顯示於第四十四圖中。

6.3.2 記憶體控制器請求FIFO

MSP記憶體控制器將具有四個深的(deep)請求FIFO，其將儲存所有用於稍後分配至實際記憶體控制器狀態機制之F匯流排位址與控制資訊。該請求FIFO之每個表目將具有一個“有效”位元，以指示出該特定表目之有效性。記憶體控制器狀態機制將一直服務該於FIFO中之最低表目，其係ENTRY_0。一旦該請求已作服務且行位址選通(CAS, Column Address Strobe)係作出，記憶體控制器將宣告一個清除訊號以清除此表目。取決於FIFO之滿/空狀態，可做始一個柱式(barrel)位移以將有效內容移至表目0。

MSP記憶體控制器請求FIFO格式係顯示於第四十五圖中。

6.3.3 記憶體控制器位址解碼／映射

此位址解碼邏輯將係主要負責用以產生八位元MA[10:0]之SDARM列位址，以及8位元MA[7:0]之行位址。此等位址線路將係直接驅動至SDRAM位址輸入[11:0]。為能得到較佳之性能及記憶體位址運用，記憶體位址位元[11]將係用以撥動(toggle)於內部SDRAM程式庫之間。

此記憶體位址將係藉用可程式多工器而產生，其係經由暫存器作饋入，用以指示出：

— 目前系統高速緩衝記憶體線路尺寸

五、發明說明 (A-134)

— 內部程式庫之數目

— 內部程式庫交錯 (interleaving)

對於 32 位元組高速緩衝記憶體線路，系統高速緩衝記憶體線路偏移將係為五 (5) 個位元。第四十六圖顯示一種提議之記憶體位址格式，由用於 16M 位元 DRAM 之 F 匯流排系統位址所產生。

此多工之記憶體位址將於一個周期內為有效，其藉由記憶體控制器狀態機制所指出之 RAS 與 CAS 選通。

MCU 具有執行 8 位元組寫入之容量，而不須啟動一個讀取一修正一寫入 (RMW) 之作業。不過，F 匯流排位址之位元 [2] 應始終為零，其僅對於偶數啟始位址。此位元係映射至 SDRAM 位址之位元 [0]，其係用以指示啟始位址的三個位元之一，該啟始位址如后：

Faddr[4:2]	寫入順序 (WRAP=8)
000	0-1-2-3-4-5-6-7
010	2-3-4-5-6-7-0-1
100	4-5-6-7-0-1-2-3
110	6-7-0-1-2-3-4-5

此等係由 MCU 所支援之寫入順序，其均為偶數啟始位址。

所有之讀取作業均將假定為 32 位元組，且啟始位址應係 (000)=rba[2:0]=Faddr[4:2]。

五、發明說明 (A-135)

6.3.4 記憶體控制器狀態機制

MSP記憶體控制器將具有一個主控之控制器狀態機制。此狀態機制將係負責用以產生SDRAM控制訊號(RAS/CAS/WE/CS/DQM)之所有時序。此狀態機制將係持續地監視著用於在表目0中之有效表目的請求FIFO。一旦檢測出一個有效位元，該狀態機制將開始啟動SDRAM序列。來自分頁比較器之分頁命中(Page-hit)訊號亦將被監測，以判定是否須有RAS預先充電。

RAS預先充電將於目前動作／打開之程式庫作執行。手動之預先充電順序包括宣告CS、RAS、WE與MA[10]至動作狀態（其係零）。內部程式庫選擇位元MA[11]將係用以選擇欲預先充電之程式庫。對於讀取之情況：預先充電命令將在已由SDRAM收到資料後作宣告，以避免資料訛誤。對於寫入之情況：預先充電命令將在資料的最後位元已寫入至記憶體之後才發出。一旦完成一個預先充電命令，特定資料庫將係於一個閒置狀態，以備妥用於下一個記憶體作業。根據SDRAM規格，預先充電命令可在 $t_{RAS(min)}$ 已滿足（對此例子係為60ns）之後的任何時刻發出。不過，由於包裹(wrap)長度為四(4)，記憶體控制器將在資料已讀取／寫入至記憶體之後才發出預先充電命令。

用於MSP記憶體控制器之SDRAM參數係指出如后。

列表 17 SDRAM參數

五、發明說明 (A-136)

DRAM	tRAS	tRRD	tCCD	tRCD	tCAC	tRP
80MHZ (12.5ns) -10 Part	6 周期 75ns	2 周期	1 周期	2 周期	3 周期 CAS Laten.	3 周期
83MHZ (12ns) -12 Part	6 周期	2 周期	1 周期	2 周期	3 周期 CAS Laten.	3 周期

* tRAS可係使如 5 周期，以達成 SDRAM 之 60ns ROM 存取時間。
。請參考記憶體控制器時序圖。

6.3.4.1 狀態機制圖

第四十七圖係一個 SDRAM 記憶體控制器 RAS/CAS 狀態機制圖。

6.4 記憶體控制器更新

同步 DRAM 須於每隔 32ms (15.6 μ s) 作更新，以維持在每個儲存格中之資料。同步 DRAM 亦支援二種更新模式：自動更新 (AUTO REFRESH) 與自我更新 (SELF REFRESH)。

6.4.1 SDRAM "自動更新"

藉用標準之自動更新模式，二個內部程式庫均係由一

五、發明說明 (A-139)

個內部計數器所交替地更新。由於列數係4096，因此該自動更新模式將需要2048個自動更新周期以更新整個DRAM。

自動更新命令係藉著宣告低位於CS、RAS&CAS以及以高位於CKE與WE而發出。此命令將僅在當二個內部程式庫均係於閒置狀態時作宣告。(三星公司SDRAM規格修訂本5)

完成自動更新所需時間係：

$$\frac{t_{RC}(\min)}{\text{周期時間}} = \frac{100\text{ns}(\text{規格})}{12.5\text{ ns}} = 8\text{周期}(80\text{MHZ})$$

6.4.2 SDRAM"自我更新"

自我更新模式係三星公司SDRAM中可用之另一個更新模式。對於資料保留與低電力作業而言，此係概括為較佳之更新模式。於此，SDRAM將禁能內部時脈以及除CKE之外的所有輸入緩衝器。

當CS、RAS、CAS與CKE係低位且WE係高位時，將進入自我更新模式。由於其須關掉SDRAM時脈且使用CKE訊號以重新啟始，MSP記憶體控制器將不會使用此種更新模式。

6.4.3 手動更新

此係更新之第三種選擇，其需有一狀態機制／計數器設計。計數器將於每15.6 μ s超時暫停(timeout)，且宣告

五、發明說明 (A-138)

一個更新選通至記憶體控制器邏輯。記憶體控制器將接著完成目前之請求，且立即啟始SDRAM更新周期。此周期將完全地類似於自動更新周期，而無須具有位於閒置狀態之限制。

6.5 資料控制器 (DC, Data Controller)

記憶體控制器之資料控制器部分將主要用作資料佇列，以自處理器寫入資料或者自SDRAM讀取資料。此控制器亦將具有寫入合併邏輯，其用於所有之部分寫入情形（位元組寫入）。注意，該部分寫入先開始一DRAM讀取，然後合併資料，最後將完全修正字組寫回至記憶體。因此，任何在部分寫入序列後之請求將必須命中該性能。

6.5.1 資料控制器方塊圖

此方塊圖係顯示於第四十八圖中。

6.6 接腳說明

此控制器具有下列之封裝接腳：

RAS_I 輸出接腳（低位動作）。此係行位址選通，以鎖存自MA[11:0]之行位址至選擇之DRAM程式庫內部行位址緩衝器。

CAS_I 輸出接腳（低位動作）。此係列位址選通，以鎖存自MA[11:0]之列位址至選擇之DRAM程式庫內部列位址緩衝器。

WE_I 輸出接腳（低位動作，用於寫入）。用以驅動DRAM之寫入致能輸入接腳。

五、發明說明 (A-139)

MA[11:0] 輸出接腳。至 DRAM 之多工的列與行位址訊號。

DQM 輸出接腳。在時脈之後使得 SDRAM 資料輸出為高阻抗，且遮罩該輸出。（此接腳係僅用於同步 DRAM 介面。）

CS_I 輸出接腳（低位動作）。用以禁能或者致能所選擇之 SDRAM 動作。（此接腳係僅用於同步 DRAM 介面。）

CLK 接出接腳。此係僅至同步 DRAM 之時脈輸出接腳。此接腳係僅為 SDRAM 所用，具有如同 MSP 之系統時脈的相同相位。

6.7 記憶體控制器時序圖

此時序圖係顯示於第四十九至五十一圖中。關於第四十九圖之注意事項：

- 假定為三星公司之 SDRAM。
- 記憶體與系統係執行於 80MHz。
- 一或二個外部 (1M×16) SDRAM。
- 可程式之包裹長度 4/8，以自記憶體找取一線路。
- $t_{RCD}=3$ 。
- $t_{CAS}=3$ 。
- 內部延遲 = 2 周期。
- 記憶體等待時間 = 8 周期 ($8 \times 12.5 = 100ns$)。
- 來自記憶體之系統資料將延遲以二個周期，用於判優（讀取資料）。

6.8 程式規劃模型

五、發明說明 (A-140)

如程式設計者所知，相關於記憶體控制器之控制暫存器係如后。

6.8.1 SDRAM重置暫存器 (R/W)

此暫存器應在每當系統重置之後被重置。此係一個1位元暫存器，其送出reset-sdram訊號，將SDRAM電力依序啟動。當系統重置時，此暫存器係設定為壹(1)。軟體必須清除此暫存器以啟動SDRAM。

位元0 係隨系統重置而設定，且於稍後清除以啟始SDRAM。

程式設計位址 $Faddr[31:20]=12'h010$

$Faddr[3:0]=4'b1011$

6.8.2 SDRAM資料組 (burst) 型式暫存器 (R/W)

此暫存器係程式設計SDRAM資料組型式。此係一個1位元暫存器，其應係對於資料組序列型式設計為零。

程式設計位址

$Faddr[31:20]=12'h010$

$Faddr[3:0]=4'b1010$

位元0 係隨系統重置而重置，且於稍後設定以啟始SDRAM。

6.8.1 SDRAM更新暫存器 (R/W)

此暫存器係程式設計SDRAM更新值。此係12位元暫存器，應經由F匯流排作設計。

程式設計位址

五、發明說明 (A-141)

Faddr[31:20]=12'h010 Faddr[3:0]=4'b1011

位元 11-0 係隨系統重置而重置，且設計為 4E0 之更新值。

6.8.4 SDRAM RAS 預先充電 (tRP) 暫存器 (R/W)

此暫存器係程式設計 SDRAM RAS 預先充電值。此係 3 位元暫存器，其應亦經由 F 匯流排作設計。

程式設計位址

Faddr[31:20]=12'h010

Faddr[3:0]=4'b1000

位元 2-0 係隨系統重置而重置，且設計為 1 或 2 或 3。

6.8.5 SDRAM CAS 等待時間 (tCAC) 暫存器 (R/W)

此暫存器係程式設計 SDRAM CAS 等待時間。此係 3 位元暫存器，其應經由 F 匯流排作設計。

程式設計位址

Faddr [31:20]=12'h010

Faddr [3:0]=4'b0011

位元 2-0 係隨系統重置而重置，且設計為 1 或 2 或 3。

6.8.6 SDRAM CAS 延遲 (tRCD) 暫存器 (R/W)

此暫存器係程式設計 SDRAM RCD 等待時間。此係 3 位元暫存器，其亦應經由 F 匯流排作設計。

程式設計位址

Faddr [31:20]=12'h010

Faddr [3:0]=4'b0010

五、發明說明 (A-142)

位元 2-0 係隨系統重置而重置，且設計為 1 或 2 或 3。

6.8.7 SDRAM 包裹長度暫存器 (R/W)

此暫存器係程式設計 SDRAM 用於資料之包裹長度。此係 3 位元暫存器，其應經由 F 匯流排作設計。

程式設計位址

Faddr [31:20]=12'h010

Faddr [3:0]=4'b0001

位元 2-0 係隨系統重置而重置，且設計為 1、2、4、8。

6.8.8 SDRAM NOP 時間暫存器 (R/W)

此暫存器係程式設計 SDRAM 用於送電序列之 NOP 時間。此係一個 16 位元暫存器，其亦應經由 F 匯流排作設計。

程式設計位址

Faddr [31:20]=12'h010

Faddr [3:0]=4'b0000

位元 15-0 係隨系統重置而重置，且取決於時脈頻率而設計為 200 μ s。

第七章 ASIC 介面

本章敘述 ASIC 介面單元之規格。

7.1 概觀

此 ASIC 介面單元（第五十二圖）將具有一個可程式之 32 位元 DMA、數個 FIFO 與控制區塊。此 ASIC 介面單元將係介面於：主要系統匯流排（FBUS）與 CODEC 介面區塊之間

五、發明說明 (A-143)

，該主要系統匯流排係執行於 80 MHz；此 ASIC 介面單元將係介面於 MSP、AD 1843（音訊、電話）、KS 0122（視訊捕捉）、KS 0119 與 VGA 之間。目前之假定為，所有 CODEC 介面與 DMA 控制器均係執行於 F 匯流排全速度，藉以避免任何之同步化問題。

顧客 ASIC 區塊將具有三個主要部分：F 匯流排主控器／從屬器介面、MSP 八通道 DMA 控制器、與實際之編碼解碼器（CODEC）。資料將由 F 匯流排流至編碼解碼器，且反之亦然。不過，位址將僅係產生自 DMA 控制器。此位址將接著係 F 匯流排映射於該 F 匯流排介面邏輯。來自其他 F 匯流排節點之所有寫入均將僅係，用以程式設計該編碼解碼器部分中之暫存器。所有其他之往來，應隨著尺寸與 ID 資訊係讀取答覆。請參考 F 匯流排規格。

ASIC 介面單元之特點係如后：

- 支援 32 位元基本 DMA 功能（8 通道——一個通道係用於一個編碼解碼器）
- 二個 4 深 (deep) × 64 位元資料 FIFO
- 一個 1 深 × 52 位元資料 FIFO
- 一個 2 深 × 52 位元回覆 FIFO
- 支援用於 F 匯流排與編碼解碼器介面區塊之主控器／從屬器
- 支援用於八個編碼解碼器介面區塊之內部判優
- 操作頻率：高達 80MHz

五、發明說明 (A-144)

- 支援介於 I/O 至記憶體、記憶體至 I/O 之間的存取
- 支援編碼解碼器初始化
- 支援 KS0119 所用通道 0 之最高優先順序
- 支援特殊位址匯流排以達成 KS0119 高性能

此顧客介面邏輯將支援三種不同之編碼解碼器：

- 音訊與電話編碼解碼器 (AD1843)，此編碼解碼器將具有雙向 64 位元資料匯流排，其將與 DMA 控制器通訊。(通道 4 ==> DAC1，通道 5 ==> DAC2，通道 6 ==> ADC 左，通道 7 ==> ADC 右)。
- 視訊捕捉編碼解碼器 (KS0122)，此編碼解碼器亦將具有雙向 64 位元資料匯流排，且係能夠啟始 M-->I/O 與 I/O-->M 請求至 DMA (通道 2)。
- 視訊後端編碼解碼器 (KS0119)，此編碼解碼器將直接由記憶體控制器接收資料 (通道 0)。

7.2 直接記憶體存取 (DMA) 控制器

DMA 控制器將具有用於位址產生及平移之暫存器。此 DMA 控制器將具有八個獨立通道，每個通道均將具有一個目前位址暫存器與一個停止位址暫存器。啟始與停止位址暫存器將係經由配置區塊而預作程式設計。只要當有一個 DMA 請求來自該八個編碼解碼器之一者，目前位址暫存器將被載入。一旦 F 匯流排答應存取，此 DMA 位址將於每個周期作增量，直到目前位址係與停止位址暫存器相配。於此時，DMA 控制器將產生一個訊號“EOP”(處理結束，

五、發明說明 (A-145)

End of Process) 。此訊號將引起一個中斷至該處理。所有八個 DMA 通道將具有一個共通之判優單元，其將控制該等位址比較區塊。

此 DMA 控制器將支援介於 IO 至記憶體、記憶體至 IO、以及記憶體至記憶體之間的存取。只要一個編碼解碼器須與 DMA 交談，其將宣告一個 DMA_REQ 訊號，且等待來自該 DMA 之 DMA 確認 "DACK"。一旦已作確認，該等記憶體 - IO 訊號與資料將被驅動。取決於所答應之 DACK，DMA 控制器將選擇適當之通道。

請參考方塊圖。

7.3 DMA 暫存器說明

7.3.1 目前位址暫存器：

每個通道均具有一個 29 位元之目前位址暫存器（位元 <31:3>），其要求所有位址係調校為 8 位元組。實際上，此暫存器係一個 29 位元計數器。此暫存器可由 ARM7 所讀取。初始值將係自 ARM7 透過 F 匯流排而載入。此位址將係基於資料傳送尺寸而增量。於目前位址暫存器中之位址將係送出至位址產生區塊，以透過多工器將位址載入於 F 匯流排上。目前位址暫存器將在閒置狀態期間保持位址值。

7.3.2 停止位址暫存器：

每個通道具有一個 29 位元之停止位址暫存器（位元 <31:3>），其要求所有位址均調校為 8 位元組。此暫存器係由 ARM7 透過 F 匯流排而寫入。此等值將係用以在比較區

五、發明說明 (A-146)

塊中與目前位址作比較。若目前位址係與停止位址相合時，DMA 控制器將對每個通道產生一個訊號“EOP”。

7.3.3 狀態暫存器：

此暫存器包含每個通道是否已達到停止位址之資訊。位元<7:0>指明哪個通道係達到停止位址，若ARM7透過CCU使目前位址暫存器初始化，其將被重置。

此暫存器可由ARM7所讀取，但ARM7無法寫入此暫存器。

7.3.4 控制暫存器：

此暫存器包含用於DMA控制器動作之控制資訊。位址<7:0>指明哪個DMA通道係致能用以動作。此等位元只要當對應通道達到停止位址時係作重置，且ARM7可設定此等位元以重新啟始作業。若任一通道致能位元係“0”，即使對應之編碼解碼器送出DMA_REQ至DMA，該DMA將不會提供DMA_ACK至編碼解碼器。位元<19:16>指明哪對DMA通道係連結一起以作為一個雙緩衝器。舉例而言，若通道0與通道1係連結一起作為一個雙緩衝器，當通道0之目前位址達到其停止位址時，DMA控制器將自動地切換至通道1；且當通道1之目前位址達到其停止位址時，DMA控制器將自動地切換至通道0。位元<28:21>包含關於每個通道之讀取／寫入模式的資訊，若其任一位元係由ARM7所設定為“1”，對應之通道將係用於讀取作業；其他位元將係用於寫入作業。位元<31>指明DMA是否送出EOP訊號。

五、發明說明 (A-149)

至中斷控制器；若此位元係'0'，即使有任何通道到達停止位址，DMA 仍將不會送出 EOP。

7.3.5 遮罩暫存器：

於控制暫存器中之每個位元係與遮罩暫存器中之一個遮罩位元有關。若遮罩位元係“0”，其防止以更新於控制暫存器中之對應位元。初始而言，此暫存器<31:0>將係設定為 Fffffff (十六進制)。

7.3.6 程式規劃：

啟始與停止位址將係以 ARM7 透過 F 匯流排作程式規劃。

F 匯流排映射值係如后：

CCU====> 0040_0000 - 007F_FFFF,

MCU====> 0080_0000 - 047F_FFFF,

PCI====> 0800_0000 - FFFF_FFFF。

對於位址程式規劃，位址[26:0]應係基於列表 18 而設定。

列表 18：DMA 暫存器位址映射

位 址 偏 移 <26:0>(hex)	位 元 數	說 明
4A0_0000	29	目前位址暫存器 0

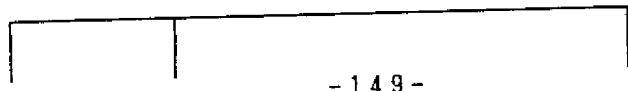
五、發明說明 (A-148)

4A0_0008	29	目前位址暫存器 1
4A0_0010	29	目前位址暫存器 2
4A0_0018	29	目前位址暫存器 3
4A0_0020	29	目前位址暫存器 4
4A0_0028	29	目前位址暫存器 5
4A0_0030	29	目前位址暫存器 6
4A0_0038	29	目前位址暫存器 7
4A0_0040		保留
4A0_0048		保留
4A0_0050	29	停止位址暫存器 0
4A0_0058	29	停止位址暫存器 1
4A0_0060	29	停止位址暫存器 2

五、發明說明 (A-149)

4A0_0068	29	停止位址暫存器 3
4A0_0070	29	停止位址暫存器 4
4A0_0078	29	停止位址暫存器 5
4A0_0080	29	停止位址暫存器 6
4A0_0088	29	停止位址暫存器 7
4A0_0090		保留
4A0_0098		保留
4A0_00A0	32	狀態暫存器
4A0_00A8	32	控制暫存器
4A0_00B0	32	遮罩暫存器

列表 19：狀態暫存器之編碼



(請先閱讀背面之注意事項再填寫本頁)

裝訂線

經濟部中央標準局員工消費合作社印製

五、發明說明 (A-150)

位元 #	說明
0	通道 0 已達到停止位址
1	通道 1 已達到停止位址
2	通道 2 已達到停止位址
3	通道 3 已達到停止位址
4	通道 4 已達到停止位址
5	通道 5 已達到停止位址
6	通道 6 已達到停止位址
7	通道 7 已達到停止位址
8	保留
9	保留
10-31	保留

- 150 -

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (A-151)

列表 20：控制暫存器之編碼

位元 #	說明
0	致能用於 DMA 傳送之通道 0
1	致能用於 DMA 傳送之通道 1
2	致能用於 DMA 傳送之通道 2
3	致能用於 DMA 傳送之通道 3
4	致能用於 DMA 傳送之通道 4
5	致能用於 DMA 傳送之通道 5
6	致能用於 DMA 傳送之通道 6
7	致能用於 DMA 傳送之通道 7
8	保留

五、發明說明 (A-153)

26	通道 5 係用於讀取 (若此位元係 "1")
27	通道 6 係用於讀取 (若此位元係 "1")
28	通道 7 係用於讀取 (若此位元係 "1")
29	保留
30	保留
31	中斷致能

7.4 CODEC 初始化：

顧客 ASIC 單元將支援用於每個 CODEC 之初始化。實際上，ARM7 其透過顧客 ASIC 單元係負責 CODEC 初始化。

該顧客 ASIC 單元將具有位址解碼器，以產生用於每個 CODEC 之請求訊號。只要該顧客 ASIC 單元須交談至任何 CODEC，其將送出請求訊號至 CODEC，且等待來自該 CODEC 之確認訊號。在收到確認訊號之後，顧客 ASIC 單元將送出資料與位址至 CODEC。

當 ARM7 欲透過 CCU 讀取於任何 CODEC 之配置資料時，顧客 ASIC 單元將送出位址至 CODEC。若顧客 ASIC 單元收到

五、發明說明 (A-154)

來自 CODEC 之資料，其將送回交易 ID 至 CCU。此時，配置資料將係透過 CCU 而送至 ARM7。

列表 21：CODEC 配置暫存器 F 匯流排位址映射

位址 <31:0> (hex)	說明
04B0_0000 至 04BF_FFFF	CODEC0 配置暫存器
04C0_1000 至 04C0_1FFF	CODEC1 配置暫存器
04C0_2000 至 04C0_2FFF	CODEC2 配置暫存器
04C0_3000 至 04C0_3FFF	CODEC3 配置暫存器
04C0_4000 至 04C0_4FFF	CODEC4 配置暫存器
04C0_5000 至 04C0_5FFF	CODEC5 配置暫存器
04C0_6000 至 04C0_6FFF	CODEC6 配置暫存器
04C0_7000 至 04C0_7FFF	CODEC7 配置暫存器
04C0_8000 至 04C0_8FFF	保留

五、發明說明 (A-155)

04C0_9000至 04C0_9FFF	保留

第五十三圖說明顧客 ASIC 電路。

列表 22：用於顧客 ASIC 單元之 I/O 接腳定義

接 腳 名 稱	方 向	方 向
clk1	輸入	80MHz 系統時脈輸入
f_reset_l	輸入	F 匯流排重置訊號 (低位動作)
f_asc_grant_l	輸入	來自用於 ASIC 單元之 F 匯流排判優器的 F 匯流排答應 (低位動作)
f_asc_cs_l	輸入	ASIC 晶片選擇訊號 (低位動作)
C0-size[7:0]- C9_size[7:0]	輸入	CODEC 資料傳送尺寸： 8'h08=>8位元組，8'h10=> 16位元組，8'h18=>24位元

五、發明說明 (A-15b)

		組，8'h20=>32位元組
DMA_REQ0- DMA_REQ7	輸入	來自 CODEC 之 DMA 請求訊號
ref_full	輸入	用於螢幕更新全訊號之 FIFO (來自 MCU)
Fdrdy_l	輸入	F 匯流排備妥訊號，於實際 資料前一個周期有效
Fdata[63:0]	輸入	F 匯流排資料
Faddr[31:0]	輸入	F 匯流排位址
Freq_ID[9:0]	輸入	F 匯流排請求 ID:[9:6]=>請 求者 ID，[5:0]=>交易 ID
Freq_size[7:0]	輸入	F 匯流排資料傳送尺寸
Frd_wr_l	輸入	讀取 / 寫入指示："1"=>讀 取，"0"=>寫入

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (A-157)

Fpr_wr_1	輸入	部分寫入指示 (低位動作)
CO_DATA[63:0]- C9-DATA[63:0]	輸入	CODEC 資料
Fasc_dfull	輸出	ASIC單元資料 FIFO滿 (至 F 匯流排判優器)
Fasc_afull	輸出	ASIC單元回覆 FIFO滿 (至 F 匯流排判優器)
Fasc_grCNT[1:0]	輸出	F 匯流排答應計數器，其係 請求有效以指示答應所需之 周期數 (至 F 匯流排判優器)
Fasc_did[2:0]	輸出	F 匯流排目的 ID，至自 ASIC 單元之請求
Fasc_recl_1	輸出	自 ASIC單元之 F 匯流排請求 訊號 (低位動作)
CODEC	輸出	CODEC 位址，其係僅用於

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (A-158)

ADDR[31:0]		CODEC 配置暫存器讀取 / 寫入 (至 CODECs)
DMA_ACK0- DMA_ACK7	輸出	DMA 確認訊號 (至 CODECs)
Crd_wr_1	輸出	用於 CODEC 配置暫存器存取之讀取 / 寫入指示
CODEC_REQ0- CODEC_REQ7	輸出	CODEC 請求訊號
EOP	輸出	處理結束。此訊號至中斷控制器
Ref_addr[31:0]	輸出	用於通道 0 之位址 (至 MCU)
addr_valid	輸出	通道 0 位址有效訊號 (至 MCU)
Fmem_grant_1	輸入	MCU 答應訊號，來自 F 匯流排判優器

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

第八章 AD1843 縮碼解碼器 (CODEC) 介面

五、發明說明 (A-159)

8.1 本章係敘述 AD1843 CODEC 介面。

8.2 概觀

AD 1843 CODEC 介面區塊係介面於 AD 1843 串列匯流排與 MSP DMA 模組之間。AD1843 係透過其串列埠以發送及接收資料與控制/狀態資訊。AD1843 具有用於串列介面之四個接腳：SDI、SDO、SCLK、SDFS。SDI 接腳係用於至 AD 1843 之串列資料輸入，而 SDO 接腳係用於來自 AD1843 之串列資料輸出。SCLK 接腳係串列介面時脈。

AD1843 之通訊須令該等資料位元在 SCLK 之上升緣之後作發送，且係於 SCLK 之下降緣作取樣。SDFS 接腳係用於串列介面資訊段 (frame) 同步。AD1843 CODEC 介面係基於主控模式。此意謂著 SCLK 與 SDFS 訊號係由 AD1843 所產生。缺設 (default) SCLK 頻率將係 12.288MHz，且一資訊段周期將係 48KHz。

CODEC 介面之基本架構係基於 DMA。AD1843 介面指定 4 個不同通道：通道 4 至 DAC1、通道 5 至 DAC2、通道 6 至 ADC 左、與通道 7 至 ADC 右。傳送至或來自 DMA 之通道尺寸係一次 64 位元。因此，DMA 通道 4 與通道 5 送出二個不同之 32 位元 (16 位元用於左及 16 位元用於右) 資料自 SDRAM 至 CODEC 介面。另一方面，DMA 通道 6 與 7 一次送出 4 個不同之 16 位元資料，自 CODEC 介面至 SDRAM。

當每個通道之旗標位元係設定時，DAC1 與 DAC2 介面可知道資料係可用。DAC1 與 DAC2 介面在檢查旗標位元後請求

五、發明說明 (A160)

DMA。若旗標位元係重置，DAC1與DAC2介面無法產生DMA請求。該旗標位元之實際作業係由DMA區塊所控制。若旗標位元係重置，DMA區塊無法產生DMA確認訊號。若ADC左及右之FIFO係未滿，DMA請求將不會產生。軟體應檢查ADC旗標暫存器，且透過資料匯流排讀取其餘資料。在透過資料匯流排讀取該等資料後，FIFO係空的，且當該FIFO係滿時產生DMA請求。

藉著發出一個讀取/寫入請求位元與控制字組輸入中之控制暫存器位址，AD1843控制暫存器係作讀取與寫入。當請求讀取時，被定址之控制暫存器的內容係於隨後資料段期間被發出。當請求寫入時，欲被寫入之資料必須被發出至AD1843槽1。為了改善MSP之性能，程式設計者應在讀取或寫入CODEC中之控制暫存器前先檢查該控制旗標暫存器。若控制旗標暫存器之旗標位元係設定，CODEC暫存器之讀取及寫入作業將係可用的。

8.3 DMA通道指定 (Assignment)

DMA 通道 4	DAC 1 左, 右
DMA 通道 5	DAC 2 右, 右
DMA 通道 6	ADC 左
DMA 通道 7	ADC 右

8.4 至DMA與自DMA之資料格式

資料傳送尺寸係64位元，分配如後：

五、發明說明 (A161)

	位元<63:48>	位元<47:32>	位元<31:16>	元<15:0>
DMA CH4	DA1 LEFT 2ND	DA1 RIGHT 2ND	DA1 LEFT 1ST	DA1 RIGHT 1ST
DMA CH5	DA2 LEFT 2ND	DA2 RIGHT 2ND	DA2 LEFT 1ST	DA2 RIGHT 1ST
DMA CH6	ADC LEFT 4TH	ADC LEFT 3RD	ADC LEFT 2ND	ADC LEFT 1ST
DMA CH7	ADC RIGHT 4TH	ADC RIGHT 3TH	ADC RIGHT 2ND	ADC RIGHT 1ST

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

8.5 基本 (BASE) 位址

04C0_4000 DAC1 BASE

04C0_5000 DAC2 BASE

04C0_6000 ADCL BASE (左通道)

04C0_7000 ADCR BASE (右通道)

8.6 暫存器放映射

位 址 偏 移	說 明	讀 取 或 寫 入
DAC1 BASE + 0	控制暫存器寫入資料輸入	W

五、發明說明 (A-16)

DAC2 BASE + 0		
ADCL BASE + 0		
ADCR BASE + 0		
DAC1 BASE + 2	控制字組輸入	W
DAC2 BASE + 2		
ADCL BASE + 2		
ADCR BASE + 2		
DAC1 BASE + 0	控制暫存器資料輸出	R
DAC2 BASE + 0		
ADCL BASE + 0		
ADCR BASE + 0		
ADCL BASE + 2	ADC 旗標暫存器	R
ADCR BASE + 2		
ADCL BASE + 10	ADC 左 1st 資料	R
ADCL BASE + 12	ADC 左 2nd 資料	R
ADCL BASE + 14	ADC 左 3rd 資料	R

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (A-163)

ADCL BASE + 16	ADC 左 4th 資料	R
ADCR BASE + 10	ADC 右 1st 資料	R
ADCR BASE + 12	ADC 右 2nd 資料	R
ADCR BASE + 14	ADC 右 3rd 資料	R
ADCR BASE + 16	ADC 右 4th 資料	R
DAC1 BASE + 20 DAC2 BASE + 20 ADCL BASE + 20 ADCR BASE + 20	控制旗標暫存器	R

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

8.7 暫存器定義

8.7.1 控制暫存器寫入資料輸入

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
d15	d14	d13	d12	d11	d10	d9	d8	d7	d6	d5	d4	d3	d2	d1	d0

五、發明說明 (A-164)

最高有效位元 (MSB) 係欲被傳送之第一個資料輸入位元。

8.7.2 控制字組輸入

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
								r/w			ia4	ia3	ia2	ia1	ia0

r/w 讀取 / 寫入請求。一個來自控制暫存器之讀取或者至控制暫存器之寫入係發生於每個資訊段。設定為 "1"，指出一控制暫存器讀取；而重置此位元為 "0"，則啟始一控制暫存器寫入。

ia4:0 用於讀取或寫入之控制位址暫存器。

8.7.3 控制暫存器資料輸出

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
d15	d14	d13	d12	d11	d10	d9	d8	d7	d6	d5	d4	d3	d2	d1	d0

五、發明說明 (A-165)

8.7.4 ADC 旗標暫存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
								r4v	r3v	r2v	r1v	l4v	l3v	l2v	l1v

(請先閱讀背面之注意事項再填寫本頁)

r4v - r1v 有效 ADC 右資料係於緩衝器中。
指出於緩衝器中哪個資料係有效。

l4v - l1v 有效 ADC 左資料係於緩衝器中。
指出於緩衝器中哪個資料係有效。

8.7.5 ADC 左第一資料

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
d15	d14	d13	d12	d11	d10	d9	d8	d7	d6	d5	d4	d3	d2	d1	d0

於緩衝器中之 ADC 左第一資料。

五、發明說明 (A-166)

8.7.6 ADC 左第二資料

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
d15	d14	d13	d12	d11	d10	d9	d8	d7	d6	d5	d4	d3	d2	d1	d0

(請先閱讀背面之注意事項再填寫本頁)

於緩衝器中之 ADC 左第二資料。

8.7.7 ADC 左第三資料

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
d15	d14	d13	d12	d11	d10	d9	d8	d7	d6	d5	d4	d3	d2	d1	d0

於緩衝器中之 ADC 左第三資料。

8.7.8 ADC 左第四資料

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

五、發明說明 (A-16)

d15	d14	d13	d12	d11	d10	d9	d8	d7	d6	d5	d4	d3	d2	d1	d0

於緩衝器中之ADC左第四資料。

8.7.9 控制旗標暫存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
														wfl	rfl

wfl 控制暫存器寫入旗標。若設定時，CODEC係
備妥以接收控制暫存器資料。

rfl 控制暫存器讀取旗標。若設定時，CODEC係
備妥以送出控制暫存器資料。

第九章 視訊 CODEC

9.1 概觀

此視訊CODEC邏輯係介面至求值(evaluation)板上之
KS0119與KS0122晶片，且介面至MSP晶片中之DMA模組。
該KS0119 CODEC亦可提供螢幕更新作業。用於此作業，至
MCU模組之一個直接資料路徑係實施如第五十四圖中所示。

五、發明說明 (A-168)

9.2 頂 (top) 模組定義

如第五十五圖中所示，頂模組包含三個子模組：

- KS0119螢幕更新模組
- KS0122視訊資料捕捉模組，與
- 三線串列主機介面模組，其存取 KS0119與 KS0122晶片配置暫存器

9.3 DMA通道指定

DMA CH0	KS 0119 CODEC
DMA CH1	保留
DMA CH2	KS 0122 CODEC
DMA CH3	保留
DMA CH4	AD 1843 音訊 CODEC
DMA CH5	AD 1843 音訊 CODEC
DMA CH6	AD 1843 音訊 CODEC
DMA CH7	AD 1843 音訊 CODEC
DMA CH8	保留
DMA CH9	保留

9.4 三線主機介面模組

此模組係介面至 KS0119與 KS0122晶片，位在此等晶片內部之所有暫存器係經由該串列介面作存取。此三線串列介面模組支援至該等晶片之通訊協定的功能，且包含用於 KS0119與 KS0122介面邏輯之暫存器。該參考第三圖。

9.5 EPROM介面

五、發明說明 (A-169)

KS0119 IO接腳亦係用作為一個外部 EPROM之介面，該 EPROM 係用以在系統重置後立即載入程式資料，且係 MSP-1EX 之部分啟動初始化。請參考接腳指定以得到更多詳細內容。

EPROM係以自 C0000H至 DFFFFH之位址範圍作記憶體映射。

9.6 KS0119暫存器說明

KS0119具有一個基本位址 CODEC_REQ0，相當於 04B00000 且延伸至 04BFFFFFF。

9.6.1 KS0119暫存器位址映射

KS0119暫存器位址映射

偏 移 (hex)	暫 存 器 名 稱
0	資 訊 段 尺 寸 暫 存 器
1	ID
2	控 制 / 資 料 位 元 組
3	索 引 / 資 料 0
4	資 料 1

五、發明說明 (A-17)

5	資料 2
6	資料 3
7	狀態暫存器
8	讀取資料串列介面
9	讀取 PROM 資料
A	邏輯控制暫存器
B	HS、VS 極性
C	HS 偏移
D	VS 偏移

9.6.2 資訊段尺寸暫存器

此暫存器控制欲被傳送至 CODEC 晶片之資料段尺寸，如第五十七圖所界定。最小資訊段長度係3位元組。

9.6.3 晶片 ID 暫存器

五、發明說明 (A71)

此暫存器應包含 CODEC 晶片 ID 值，且應包含用於 KS0119 寫入之 03H 與用於 KS0119 讀取之 83H。

9.6.4 控制/資料暫存器

此暫存器通知 CODEC 晶片 KS0119 該隨後傳送之位元組將係一暫存器索引 (index) 或一個資料位元組。對於 KS0119 = 08H，意謂者索引係該隨後位元組；且對於 KS0119 = 09H，則意謂著資料係該隨後位元組。

9.6.5. 索引/資料 0 暫存器

此暫存器將包含用於 CODEC 晶片配置暫存器之索引值或資料 0 位元組，其取決於先前位元組中傳送之值。請參考於程式規劃參考章節之通訊協定。

9.6.6 資料 1 暫存器

此暫存器包含欲寫入於 CODEC 暫存器中之資料，索引 +1。

9.6.7 資料 2 暫存器

此暫存器包含欲寫入於 CODEC 暫存器中之資料，索引 +2。

9.6.8 資料 3 暫存器

此暫存器包含欲寫入於 CODEC 暫存器中之資料，索引 +3。

9.6.9 KS-0119 邏輯控制暫存器

用於 KS0119 控制暫存器之位元指定係顯示於第五十八圖中。

9.6.10 HS 與 VS 極性

此暫存器界定水平同步與垂直同步訊號之極性。一個 0 之值係界定為低位動作，而一個 1 之值則係界定為高位動

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (A-17)

作。此位元指定係如后：

位元 < 0 > : VS 極性

位元 < 1 > : HS 極性

9.6.11 HS 偏移

動作訊號係在此偏移值之後產生。

界定為 00H。

9.6.12 VS 偏移

動作訊號係在此偏移值之後產生。

界定為 00H。

9.6.13 狀態暫存器

此暫存器係顯示於第五十九圖中。

9.6.14 讀取資料串列介面暫存器

此暫存器將包含來自串列埠之有效資料，其在讀取旗標已完成由使用中狀態至備妥狀態之轉移後。

9.6.15 讀取 PROM 資料暫存器

若 PROM 旗標係於備妥狀態，此暫存器將包含有效 PROM 資料。

9.6.16 程式規劃參考

9.6.16.1 配置與初始化

視訊顯示硬體可被配置以操作於二種不同模式：

- VGA 重疊 (overlay) 模式。
- VGA 仿真 (emulation) 模式。

此模式操作係藉著設定於邏輯控制暫存器中之一個位

五、發明說明 (A-173)

元而作控制，

$MSSEL = 0$ ，用於VGA重疊模式，

$= 1$ ，用於VGA仿真模式。

於VGA重疊模式，係需有於PC系統上的一個VGA卡之存在。

• 監視器電纜將連接至MSP卡。

• 所支援VGA解析度係高達 800×600 。此顯示器

緩衝器需有同於VGA設定之尺寸。

欲設定一個視訊視窗，軟體須填滿於VGA資訊段緩衝器中之一個顏色鍵長方形區域，於MSP SDRAM之視訊資料應被寫入與該VGA資訊段緩衝器中之長方形區域相同尺寸與位置的一個長方形區域。請參考第十六圖。

KS0119晶片將辨識該顏色鍵，且由VGA輸入埠切換至視訊輸入埠。軟體應設定DMA通通0啟始位址於該SDRM視訊輸出緩衝器之頂左側來者，DMA記錄長度應根據VGA卡中設定解析度與視訊資料所用之圖素位元此而作設定（4:2:2=每個圖素16位元）。

9.6.16.2 至KS0119之串列協定三線介面

於KS0119晶片之配置暫存器設定，其協定係如后：

- 至少有二個資訊段須被傳送至周邊晶片，
- 第一資訊段係設定該配置暫存器之索引，
- 第二資訊段係用於讀取或寫入資料（暫存器內容）

軟體應設定該資訊段尺寸暫存器為適當長度，且設定

五、發明說明 (A-174)

串列存取位元為 1；接著，軟體應在改變該資訊段尺寸暫存器前載入用於資訊段所需之所有位元組，CODEC 介面邏輯在啟始串列化該資訊段前將等待直到所有位元組均已載入。

第一資訊段係用以設定索引。資訊段尺寸為 3 位元組。請參考第六十一圖。

第二資訊段係供用以設定暫存器，資訊段尺寸為 3 位元組。

在每個資料位元組之後，晶片將自動將索引作增量 1，此可允許設定連續之暫存器，其藉著送出多個資料位元組，而 CODEC 介面邏輯係可支援高達四個資料位元組。

當執行一個讀取或寫入串列作業時，軟體應檢查狀態暫存器，於讀取作業時用於有效資料之讀取與寫入旗標，或者在送出下一資訊段前備妥之寫入旗標。

以下以例子將逐步顯示出 KS0119 配置暫存器之設定。欲設定用於色度鍵位元組 0 與位元組 1 之值，此暫存器之索引係 6AH 用於位元組 0 及 6BH 用於位元組 1，請參考 KS0119 資料文件。

由於該二暫存器具有一連續之索引，此二位元組可被載入於一個單一資訊段。首先，該索引須作設定如後：

- 以 83H 之值（資訊段尺寸為 3 且串列存取位元設定）載入資訊段尺寸暫存器（位址為 04B0_0000H）。
- 以 03H 之值載入 ID 暫存器（位址為 04B0_0001H）。

五、發明說明 (A-15)

- 以 08H 之值載入資料 / 控制位元組 (位址為 04B0_0002H)，此指示 KS0119 該下一位元組係索引。
- 以 6AH 之值載入索引暫存器 (位址為 04B0_0003H)。

該串列介面將檢測一個與資訊段尺寸暫存器之內容相配情形，且啟始送出該資訊段，同時，於狀態暫存器中之寫入旗標將係設定為使用中 (busy) 狀態，在載入下一資訊段前，軟體應檢查於狀態暫存器中之旗標。當該等旗標係於備妥狀態，則軟體可載入用於下一資訊段之值。

9.7. KS0122 暫存器說明

KS0122 具有相當於 04C02000 之基本位址 CODEC_REQ2，且延伸至 04C02FFF。

9.7.1. KS0122 暫存器位址映射

偏 移 (hex)	暫 存 器 名 稱
0	資訊段尺寸暫存器
1	ID
2	控制 / 資料位元組

五、發明說明 (A-176)

3	索引 / 資料 0
4	資料 1
5	資料 2
6	資料 3
7	保留
8	讀取資料串列介面
9	保留
A	邏輯控制暫存器
B	保留
C	保留
D	保留
E	狀態暫存器

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (A-177)

9.7.2. 資訊段尺寸暫存器

此暫存器控制欲被傳送至 CODEC 晶片之資訊段尺寸，如第六十二圖中所界定。最小之資訊段長度係3位元組。

9.7.3. 晶片 ID 暫存器

此暫存器應包含 CODEC 晶片 ID 值，且應包含用於 KS0122 寫入之 04H 及用於 KS0122 讀取之 84H。

9.7.4. 控制/資料暫存器

此暫存器通知 CODEC 晶片 KS0122 該隨後傳送位元組將係一個暫存器索引或一個資料位元組。對於 KS0122=00H，意謂著隨後位元組係索引；而 01H 則意謂著隨後位元組係資料。

9.7.5. 索引/資料 0 暫存器

此暫存器將包含用於 CODEC 晶片配置暫存器之索引值或資料 0 位元組，其係取決於先前位元組所傳送之值。請參考於程式規劃參考章節之通訊協定。

9.7.6. 資料 1 暫存器

此暫存器包含欲被寫入於 CODEC 暫存器中之資料，索引+1。

9.7.7 資料 2 暫存器

此暫存器包含欲被寫入於 CODEC 暫存器中之資料，索引+2。

9.7.8 資料 3 暫存器

五、發明說明 (A-178)

此暫存器包含欲被寫入於 CODEC 暫存器中之資料，索引 +3。

9.7.9 KS0122邏輯控制暫存器

用於 KS0122 控制暫存器之位元指定係如後：

位元 < 1:0 >

00	4:2:2	格式
01	4:1:1	格式
10	CCIR656	格式

9.7.10 狀態暫存器

位元 < 0 > : 欄位 (field) 狀態

0 : 偶欄位

1 : 奇欄位

位元 < 1 > : VS 狀態

0 : VS 自 1 至 0

1 : VS 自 0 至 1

9.7.11 讀取資料串列介面暫存器

此暫存器將包含來自串列埠之有效資料，在讀取旗標已作出由使用中至備妥狀態之變換。

9.7.12 至 KS0122 之串列協定三線介面

設定於 KS0122 晶片之配置暫存器，此協定係如後：

- 至少有二個資訊段須被傳送至周邊晶片，
- 第一資訊段係用以設定該配置暫存器之索引，
- 第二資訊段係用於讀取或寫入資料 (暫存器內容)

五、發明說明 (A-179)

軟體應設定該資訊段尺寸暫存器為適當長度，且設定該串列存取位元為 1。接著，在改變該資訊段尺寸暫存器之前，軟體應載入資訊段所需之所有位元組。在啟始串列化資訊段前，CODEC 介面邏輯將等待直到所有位元組均被載入為止。

該第一資訊段係用以設定索引。資訊段尺寸為 3 位元組。請參考第六十三圖。

第二資訊段係用以設定暫存器。資訊段尺寸為 3 位元組。

在每個資料位元組之後，晶片將自動增量索引加 1，此允許以送出多個資料位元組而設定連續的暫存器，該 CODEC 介面邏輯可支援高達 4 個資料位元組。

當執行一個讀取或寫入串列作業時，軟體應檢查狀態暫存器，用於讀取作業之有效資料的讀取與寫入旗標，或者在送出下個資訊段前之備妥寫入旗標。

以下例子顯示出逐步設定 KS0122 配置暫存器。

欲設定用於色度鍵位元組 0 與位元組 1 之值，此暫存器之索引對於位元組 0 係 6AH，且對於位元組 1 係 6BH。請參考 KS0122 資料文件。

由於該二暫存器具有連續的索引，此二位元組可被載入於一個單一資訊段中。首先，索引須係設定如后：

- 以 83H 之值（資訊段尺寸為 3 且串列存取位元設定）載

五、發明說明 (A-180)

- 入資訊段尺寸暫存器 (位址 = 04B0_0000H)。
- 以 03H 之值載入 ID 暫存器 (位址為 04B0_0001H)。
- 以 08H 之值載入資料 / 控制位元組 (位址為 04B0_0002H)，此指示 KS0122 該下個位元組係索引。
- 以 6AH 之值載入索引暫存器 (位址為 04B0_0003H)。

該串列介面將檢測一個與資訊段尺寸暫存器之內容相配情形，且啟始送出該資訊段；同時，於狀態暫存器中之寫入旗標將係設定為使用中之狀態。在載入下個資訊段之前，軟體應檢查於狀態暫存器中之旗標。當該等旗標係於備妥之狀態時，則軟體將可載入用於下個資訊段之值。

第十章 位元流 (Bitstream) 處理器

10.1 本章敘述用於位元流處理器 (BP) 設計之功能性需求，位元流處理器係用於視訊資料壓縮與解壓縮應用的主要 MSP 處理核心之一者。

10.2 縮寫

A/V 音訊與視訊

BP 位元流處理器 (MSP 區塊)

CCU 高速緩衝記憶體控制單元 (MSP 區塊)

CIF 共同中間格式，其於 29.97Hz 具有 352 × 288 之亮度
取樣解析度

DCT 離散餘弦轉換

DMA 直接記憶體存取

DSM 數位儲存媒介

五、發明說明 (A-181)

FBUS 快速匯流排 (MSP內部資料匯流排)

GOB 區塊群

GSTN 一般切換電話網路 (亦稱作為 PSTN)

HDD 硬碟驅動軟體

I/F 介面

IOBUS 輸入輸出匯流排 (MSP內部周邊匯流排)

ISDN 整合服務數位網路

ITU-T-601 用於彩色電視訊號之數位編碼的標準，該等訊號具有分別於 29.97Hz 為 720×480 以及於 25Hz 為 720×576 之亮度取樣解析度，(先前係稱作 CCIR 601)，但顯示解析度可為 720×480 或 704×480

LSB 最低有效位元

LUT 搜尋列表

MPEG 動畫專家群

MSB 最高有效位元

MSP 三星公司多媒體訊號處理器

QCIF 四分之一 CIF，其具有於 29.97 Hz 為 176×144 之亮度取樣解析度

RLC 執行長度與階層碼

SDRAM 同步動態隨機存取記憶體

SIF 用於 MPGE-1 視訊標準之來源輸入格式，其具有用於 NTSC 以 29.97 Hz 為 352×240 之亮度取樣解析度

五、發明說明 (A-18)

，與用於 PAL 以 25Hz 為 352×288 之亮度取樣解析度

TBD 欲作界定者
VLC 可變長度碼
VP 向量處理器 (MSP 區塊)

10.3 主要特點

- 支援用於 MPEG-1、MPEG-2、H.261、與 H.263 編碼及解碼應用之截割 (或 60B) 層與以下的文法解析與構成
- 即時執行 RLC 處理
- 對於 MPEG-1、MPEG-2、H.261、與 H.263 視訊標準中所列出之所有霍夫曼列表，即時執行霍夫曼碼處理
- 支援二個前向 / 反向齒狀掃描轉換法則
- 以每秒鐘 731.4 百萬位元 (32 位元 @ 40MHz) 之最大傳送速率的 IO 匯流排介面
- 最大操作時脈頻率係 40MHz
- 包括 9.2K 位元 ROM，用於霍夫曼 CODEC 搜尋列表
- 包括 320 位元組內部 SRAM
- 支援先取式與共用式本文切換模式
- 用於控制路徑之目標閘計數係 6K 閘，加上 RAM 與 ROM

10.4 概觀

位元流處理器 (BP) 係四個 MSP 內部周邊之一者，其

五、發明說明 (A-183)

係一個專用硬體邏輯區塊，用以支援視訊壓縮與解壓縮標準之不同位元流。由於位在MSP內部之VP與ARM7並未具有用於該等位元處理之一個有效架構，此BP單元係特別設計用於位元階層之處理。此BP係透過一個稱為IOUBUS之32位元匯流排而送出及接收資料，該匯流排具有每秒鐘731.4百萬位元之最大傳送速率。此BP係執行如同一個獨立的處理單元，且係在ARM7或VP之軟體控制下。

更明確而言，BP係編碼及解碼所有包含於一個截割或GOB層與以下之資訊，且自CCU接收該資料，及發出該資料至CCU。此BP亦執行前向與反向齒狀轉換，且編碼及解碼該微分直流係數。甚者，BP於解碼時藉用微分移動向量以復原一個移動向量，且於編碼時執行反向作業，除了以下二種特殊模式之外：於MPEG-2編碼時之雙最佳(dual-prime)模式、及於H.263編碼及解碼時之先進預測模式。此BP係假定為操作於單工模式，意即一旦此BP啟始處理一截割或GOB時，在直到該截割或GOB處理係已完成為止之前，BP將不會被中斷。此隱含著藉由交錯編碼及解碼截割或GOB可達成全雙工模式。不過，若ARM7欲BP立即地切換至另一個任務，此BP將支援先決式本文切換模式，其可在目前截割或GOB係完成之前終止BP處理。

第三圖顯示出BP之一個方塊圖。由第三圖可看出，BP包括五個區塊：IOBUS 介面單元、VLC FIFO單元、VLC LUT ROM、控制狀態機制、與BP核心單元。進入與輸出資

五、發明說明 (A-184)

料均係由 IOBUS 介面單元所處理，該單元包括一個 16×32 位元 RAM。其支援所有之資料移動與中斷請求。VLC FIFO 單元係用以準備用於資料解碼作業之下個資料字組，且執行用於資料編碼作業之輸出資料封裝。VLC 搜尋到表 ROM 具有 768×12 位元之尺寸，其儲存用於所有霍夫曼碼處理之所有必要的資訊。控制狀態機制係控制於此設計中之所有編碼及解碼動作。BP 核心單元係一個小型處理器，其包括加法器、比較器、柱式暫存器、暫存器檔、與 128×16 位元 RAM。由於此核心，該位元處理係可用的。

10.5 訊號定義

BP 外部介面所需之訊號係列於列表 23 中。以字母 “_1” 結尾之訊號係意謂著低位動作。請注意於列表之“方向”欄中，“B”、“I”與“O”係分別意指雙向訊號、輸入訊號與輸出訊號。

列表 23：BP 訊號定義

訊 號	尺 寸	方 向	說 明
IOBUS[31:0]	32	B	32 位元雙向多工之位址與資料匯流排。若作業係完成時，主控器應解除該訊號為三態。

五、發明說明 (A-185)

IOB_rd_l	1	B	低位動作之讀取致能，其用於所有讀取／寫入交易，係主控器的輸出及從屬器的輸入。若作業係完成時，主控器應解除該訊號為三態。
IOB_wr_l	1	B	低位動作之寫入致能，其用於所有讀取／寫入交易，係主控器的輸出及從屬器的輸入。若作業係完成時，主控器應解除該訊號為三態。
IOB_ready_l	1	B	低位動作訊號，係從屬器之輸出及主控器之輸入，用以指示主控器何時資料係可用以於從屬模式讀取。若作業係完成時，從屬器應解除該訊號為三態。
IOB_cs_bsp_l	1	I	低位動作之元件選擇訊號，係由判優器至BP，以處

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (A-186)

			理一旦位址係鎖存時之請求。
IOB_ale_l	1	I	低位動作之位址選通，其係判優器之輸出及 BP 之輸入，用於主控器／從屬器作業。
IOB_req_bsp_l	1	0	低位動作之請求，自 BP 至判優器，以成為一匯流排讀取或寫入交易之主控器。
IOB_tsize[1:0]	2	B	由主控器至從屬器之資料，以指出傳送尺寸，其係相當於 4、8、12 與 16 位元組之一者。
IOB_grant_bsp_l	1	I	低位動作之答應訊號，自判優器至 BP。
Reset_l	1	I	低位動作之系統重置。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (A-187)

C1K40M	1	I	40MHz 時脈
ARM7_IRQ	1	0	中斷請求訊號，來自 ARM7 之 BP，此訊號應係由 ARM7 作清除。實際上，由 BP 所請求之此中斷訊號係送至中斷控制器，其亦係一個 IO 匯流排元件。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

10.6 用於編碼／解碼之資料流

此小節包括用於典型之視訊編碼與解碼應用的一個資料流例子。須指出的是，此文件並未詳細敘述音訊資料流。

10.6.1 編碼情形

步驟 E1：未處理 A/V 資料進入

一般係假設進入之音訊與視訊等訊號係由外部編碼解碼器所取樣及數位化，然後係饋入於顧客 ASIC。不過，在多媒體 PC 環境中，某些 VGA 控制器卡亦包括有資訊段（畫面）抓取裝置以及聲音捕捉裝置。因此，可假設未處理之 A/V 資料係由顧客 ASIC 或 PCI 匯流排介面而饋入。顧客 ASIC 及 PCI 匯流排介面均包括一個 32 位元組之小尺寸緩衝器。於此緩衝器中之資料係藉用 DMA 邏輯以透過快速匯流排而傳送至外部 SDRAM。注意，此種資料移動將在啟動電

五、發明說明 (A-188)

源重置後由 ARM7 作啟始。

步驟 E2：以 VP 作預先濾波

首先，VP 找取儲存於 SDRAM 中之未處理的影像資料，至 VP 資料高速緩衝記憶體（一般為抓取填補區）。接著，VP 對於此等圖素執行暫時濾波及空間標定。藉用預先濾波，圖像解析度一般係由 TTU-T601 尺寸被轉換為 CIF 或 QCIF 尺寸。VP 亦係負責用以將預先濾波後之結果，寫入至外部 SDRAM。

步驟 E3：藉由 VP 之資料壓縮

VP 再次找取 SDRAM 之預先濾波後的資料，至 VP 資料高速緩衝記憶體，以執行根據由對應標準所提出法則之壓縮。一般而言，VP 執行前向 DCT、前向適應性量化、移動估測、巨集區塊型式決定等等。當完成此等功能時，VP 應將包括適當啟始碼資訊之結果，再次寫入 VP 資料高速緩衝記憶體。實際上，此 VP 資料高速緩衝記憶體區可被用作為一個 BP 輸入緩衝器。欲檢查該緩衝器狀態，係使用一個旗標訊號。

步驟 E4：藉由 ARM7 之 BP 初始化

在 BP 實際啟始其作業之前，ARM7 應初始化 BP 之內部暫存器。注意，在宣告啟動電源重置訊號後之 128 周期的期間內，此初始化應不被執行。明確而言，ARM7 必須初始化輸入與輸出緩衝器位址以及 BP 命令暫存器，並指定在此截割或 GOB 內欲作編碼之巨集區塊的數目。在初始化此等暫

五、發明說明 (A-189)

存器之後，ARM7應設定BP致能旗標，以啟動BP處理。

步驟E5：藉由BP之位元流處理

若輸入雙緩衝器之任一個程式庫係滿的，BP係透過IO匯流排而啟始讀取資料。僅當該緩衝器係滿時，BP可讀取資料。接著，BP轉換於齒狀格式之 8×8 區塊資料，且此結果係直接作RLC及霍夫曼編碼。已霍夫曼編碼後之結果可被傳送至ARM7資料高速緩衝記憶體或者SDRAM。僅當該緩衝器係空時，BP必須寫入至輸出緩衝器，以避免緩衝器溢流(overflow)。當處理係結束時(即已處理之巨集區塊數係等於由ARM7所指定之巨集區塊數)，BP必須以最後一個資料之位元組與位元位置來中斷ARM7，並終止目前之截割或GOB處理。

步驟E6：藉由ARM7之位元流構成及A/V多工

藉著結合該等霍夫曼編碼資料與語法參數，ARM7可構成最後之位元流，並且重覆此處理。ARM7亦係負責用以控制截割或GOB之較上層，並對該音訊與視訊位元流作多工處理。此結果係以ARM7寫入至SDRAM。

步驟E7：以VP之網路介面(用於視訊會議之選項)

對於視訊電話或視訊會議之應用，該直到步驟E6之結果可由VP再作處理以執行一網路介面功能，諸如用於H.324 GSTN視訊電話之V.34數據機(modem)或者用於H.320 ISDN視訊會議終端之1.400串列介面。

步驟E8：最後之位元流輸出

五、發明說明 (A-190)

儲存於 SDRAM 中之最後位元流將被傳送至顧客 ASIC 或 PCI 匯流排介面。一般而言，顧客 ASIC 區塊將係用於網路介面，而 PCI 匯流排介面將係用以儲存資料至一記錄元件（如硬碟機 HDD）。此資料移動係運用 DMA 資料傳送，其必須係由 ARM7 所啟始。

10.6.2 解碼情形

步驟 D1：位元流找取

於多媒體 PC 環境中，已壓縮後之位元流將由 CD-ROM 驅動軟體、HDD、與網路介面之任一者所讀入。因此，可假設該位元流來源為顧客 ASIC 或 PCI 匯流排介面。儲存於顧客 ASIC 或 PCI 匯流排介面之 32 位元組緩衝器中的資料將係傳送至運用 DMA 之 SDRAM。

步驟 D2：藉由 VP 之網路介面（用於視訊會議之選項）

於視訊會議，資料係先由 VP 作處理，以執行 V.34 或 1.400 串列網路介面例行程式。VP 將寫入該結果至 SDRAM。

步驟 D3：藉由 ARM7 之 A/V 解多工及起始碼解析

ARM7 將 SDRAM 中之資料移動至 ARM7 資料高速緩衝器記憶體，且執行 A/V 位元流之解多工。對於視訊位元流，ARM7 亦係負責用以尋找所有之啟始碼及解析標頭（起始碼，header），直到係檢測出一截割或 GOB 為止。已解碼後之位元流語法參數可藉著 ARM7，而儲存於 SDRAM 之特定區域中。已解多工後之音訊與視訊位元流係傳送至 SDRAM 中。

五、發明說明 (A-191)

之各個速率緩衝器。每個應用可能具有用於速率緩衝器之不同尺寸。舉例而言，對於視訊速率緩衝器尺寸，MPEG-1 提出 370K 位元，而 MPEG-2 MP@ML 則為 1.835M 位元。

步驟 D4：藉由 ARM7 之 BP 初始化

除了用於欲作編碼之巨集區塊數的暫存器初始化係不需要外，用於此步驟之程序係同於先前小節之步驟 E4。同樣地，此初始化應不會在啟動電源重置訊號係宣告後之 128 周期的期間內作執行。

步驟 D5：藉由 BP 之位元流處理

在初始化用於特定截割或 GOB 之 BP 後，欲作解壓縮之資料的其餘部分係傳送至輸入雙緩衝器。BP 係負責以透過 IO 匯流排讀取資料，檢查全部旗標之狀態。BP 必須解析語法參數，是否輸入資料包含標頭字組。若 BP 辨識出之後位元係霍夫曼碼，其對每個霍夫曼碼在最多四個周期內執行霍夫曼解碼。若該等霍夫曼碼係用於 DCT AC 係數，該霍夫曼解碼後之結果係 RLC 解碼以產生 64 個圖素成分。該等重建後之圖素係作反向齒狀轉換，且最後傳送至輸出雙緩衝器，以讓 VP 執行前向量化。BP 應持續處理直到檢測出一個非截割或非 GOB 啟始碼為止；若檢測出時，BP 必須以用於最後資料之位元組與位元位置資訊來中斷 ARM7，且終止處理。ARM7 應接著尋找下個截割或 GOB 啟始碼，且重複此處理。

步驟 D6：VP 之資料解壓縮

五、發明說明 (A19)

藉用步驟 D5 之結果，VP 應執行反向量化、反向 DCT、以及使用移動向量之影像重建。在完成解碼之後，VP 將儲存該結果至 SDRAM。

步驟 D7：VP 之後處理

在視訊與音訊資料最後係傳送到數位至類比轉換器之前，該等圖素將由 VP 作後處理，以得到期望之輸出解析度與影像品質。此結果將再次儲存於 SDRAM 中。

步驟 D8：未處理之 A/V 資料送出

最後，於 SDRAM 中之重建後的音訊與視訊資料將運用 DMA 被輸出。同樣地，此種資料移動應由 ARM7 作啟始。由於近來之視訊重疊技術可允許 PCI 匯流排發送視訊來源資料，該等最後未處理之資料將係傳送至顧客 ASIC 或 PCI 匯流排介面。

10.7 程式規劃模型10.7.1 BP 基本元件位址

BP 具有以下之 32 位元基本元件位址：

$\langle \text{MSP\_BASE} \rangle \langle \text{BP\_BASE} \rangle \langle \text{Address\_Offset} \rangle$

其中

$\langle \text{MSP\_BASE} \rangle$ 係 5 位元，其由 MSP 基本 PCI 元件位址所

指定：

$\langle \text{BP\_BASE} \rangle$ 係 7 位元，其相當於 7'b1111100；且

$\langle \text{Address\_Offset} \rangle$ 係 20 位元，其對於 BP 內部暫存器作

指定。

五、發明說明 (A-193)

因此，於整個 MSP I/O 元件位址映射中，對於 BP 所指定之位址範圍係由 27'h 7C0_0000 至 27'h 7CF_FFFF。

10.7.2 內部暫存器說明

內部暫存器設定係敘述於列表 24 中。於列表 24 中所列出之所有暫存器均可由 ARM7 或 VP 作讀取及寫入。

列表 24：BP 內部暫存器

位址_偏移 (Hex)	暫存器名稱	尺寸	說明
0_0000	BP_MODE[31:0]	32	BP 處理模式暫存器
0_0004	BP_CONTROL[31:0]	32	BP 控制暫存器
0_0008	IBUF0_START[31:0]	32	輸入緩衝器 0 之 啟始位址
0_000C	IBUF0_END[31:0]	32	輸入緩衝器 0 之 結束位址
0_0010	IBUF1_START[31:0]	32	輸入緩衝器 1 之 啟始位址

五、發明說明 (A-194)

0_0014	IBUF1_END[31:0]	32	輸入緩衝器 1 之 結束位址
0_0018	OBUF0_START[31:0]	32	輸出緩衝器 0 之 啟始位址
0_001C	OBUF0_END[31:0]	32	輸出緩衝器 0 之 結束位址
0_0020	OBUF1_START[31:0]	32	輸出緩衝器 1 之 啟始位址
0_0024	OBUF1_END[31:0]	32	輸出緩衝器 1 之 結束位址
0_0028	SAVE_ADR[31:0]	32	本文儲存啟始位 址
0_002C	VALID_BYTE_ADR [31:0]	32	用於線路輸入或 輸出雙重緩衝器 之最後資料的位 元組位址

五、發明說明 (A-194)

0_0014	IBUF1_END[31:0]	32	輸入緩衝器 1 之 結束位址
0_0018	OBUFO_START[31:0]	32	輸出緩衝器 0 之 啟始位址
0_001C	OBUFO_END[31:0]	32	輸出緩衝器 0 之 結束位址
0_0020	OBUF1_START[31:0]	32	輸出緩衝器 1 之 啟始位址
0_0024	OBUF1_END[31:0]	32	輸出緩衝器 1 之 結束位址
0_0028	SAVE_ADR[31:0]	32	本文儲存啟始位 址
0_002C	VALID_BYTE_ADR [31:0]	32	用於線路輸入或 輸出雙重緩衝器 之最後資料的位 元組位址

五、發明說明 (A-195)

0_0030	BP_STATUS[0]	1	BP狀態暫存器之 最低有效位元
0_0031	BP_STATUS[1]	1	次低有效位元
-	-	-	-
0_004E	BP_STATUS[30]	1	次高有效位元
0_004F	BP_STATUS[31]	1	BP狀態暫存器之 最高有效位元
0_0050	BP_STATUS[31:0]	32	BP狀態暫存器
0_0054	BP_INT_MASK[15:0] V_MB_SIZE[7:0] H_MB_SIZE[7:0]	32	BP中斷遮罩暫存 器及以巨集區塊 數之圖像垂直與 水平尺寸
0_0058	ARM7_IRQ[0]	1	ARM7中斷請求接 腳
0_0059	-	-	保留用於未來之 擴充
0_005F	-	-	

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (A-196)

0_0060	BP_CACHE	8	BP高速緩衝記憶體區
-			
0_019F	[位址]		
0_01A0		-	保留用於未來之擴充
-	-		
F_FFFF			

- BP_MODE[31:0] (僅作讀取，無缺設值) — 此暫存器係用以表示視訊標準型式與各種圖像階層資訊。詳情見於10.8.1小節。
- BP_CONTROL[31:0] (讀取／寫入，缺設值係“32'h0000_0000”) — 此暫存器包括用於BP作業之各種控制參數。
• ARM7或VP將設定於此暫存器中之各個旗標，且某些旗標係由BP作重置。其位元說明係見於10.8.2小節。
- IBUFO_START[31:0] (讀取／寫入，無缺設值) — 此暫存器係由ARM7所初始化，以指出用於BP輸入雙緩衝器之輸入緩衝器0的啟始位址。注意，用於IBUFO_START之初始化值應係始終小於IBUFO_END，且IBUFO_START[3:0]應係等於4'b0000。用法係敘述於10.11小節。
- IBUFO_END[31:0] (僅作讀取，無缺設值) — 此暫存器係用以表示用於BP雙緩衝器之輸入緩衝器0的結束位址。
• 用法係敘述於10.11小節。

五、發明說明 (A-197)

- IBUF1_START[31:0] (讀取／寫入，無缺設值) — 此暫存器係由 ARM7 所初始化，以指出用於 BP 輸入雙緩衝器之輸入緩衝器 1 的啟始位址。注意，用於 IBUF1_START 之初始化值應係始終小於 IBUF1_END，且 IBUF1_START[3:0] 應係等於 4'b0000。用法係敘述於 10.11 小節。
- IBUF1_END[31:0] (僅作讀取，無缺設值) — 此暫存器係用以表示用於 BP 輸入雙緩衝器之輸入緩衝器 1 的結束位址。用法係敘述於 10.11 小節。
- OBUF0_START[31:0] (讀取／寫入，無缺設值) — 此暫存器係由 ARM7 所初始化，用以指出用於 BP 輸出雙緩衝器之輸出緩衝器 0 的啟始位址。注意，用於 OBUF0_START 之初始化值應係始終小於 OBUF0_END，且 OBUF0_START[3:0] 應係等於 4'b0000。用法係敘述於 10.11 小節。
- OBUF0_END[31:0] (僅作讀取，無缺設值) — 此暫存器係用以表示用於 BP 輸出雙緩衝器之輸出緩衝器 0 的結束位址。用法係敘述於 10.11 小節。
- OBUF1_START[31:0] (讀取／寫入，無缺設值) — 此暫存器係由 ARM7 所初始化，用以指出用於 BP 輸出雙緩衝器之輸出緩衝器 1 的啟始位址。注意，用於 OBUF1_START 之初始化值應係始終小於 OBUF1_END，且 OBUF1_START[3:0] 應係等於 4'b0000。用法係敘述於 10.11 小節。
- OBUF1_END[31:0] (僅作讀取，無缺設值) — 此暫存器係用以表示用於 BP 輸出雙緩衝器之輸出緩衝器 1 的結束

五、發明說明 (A-198)

位址。用法係敘述於 10.11 小節。

- `SAVE_ADR[31:0]` (僅作讀取，無缺設值) — 此暫存器係用以表示 SDRAM 欲儲存 BP 內部本文之啟始位址，當係請求為先取式本文切換模式時。某些相關說明可見於 10.12.1 小節。
- `VALID_BYTE_ADR[31:0]` (讀取／寫入，無缺設值) — 此暫存器係用以指示於解碼情形之輸入雙緩衝器的最後有效資料位元組位置，或者於編碼情形之輸出雙緩衝器的最後有效資料位元組位置。此暫存器之目的係用於在 ARM7 與 BP 之間的工作訊號交換。一般而言，尚需有一個用於有效位元組資料之有效位元位置的額外資訊，其係包括於 `BP_CONTROL[31:0]` 暫存器。詳情可見於 10.13 小節。
- `BP_STATUS[31:0]` (讀取／寫入，缺設值係 “32'h0000-0000”) — 此暫存器係用以表示 BP 之各種內部狀態。於較低二個位元組 (即 `BP_STATUS[15:0]`) 之每個位元位置係一個中斷條件，其可設定 `ARM7_IRQ` 為 “1”。此暫存器能以二種方式作存取。ARM7 或 VP 可讀取或寫入使用位址 `27'h7C0_0050` 之整個 32 位元暫存器。不過，一般而言，ARM7 及 VP 將寧可逐個位元地寫入 (或重置) 此個 `BP_STATUS` 暫存器之內容。藉著對於 `BP_STATUS` 之各個位元指定範圍為由 `27'h 7C0_0030` 至 `27'h 7C0_004F` 之位址。詳細之位元說明可見於 10.8.3 小節。

五、發明說明 (A-199)

- BP_INT_MASK[15:0] (僅作讀取，缺設值係“16hFFFF”) — 於此暫存器中之各個位元係對應至由BP_STATUS[15:0]所給定之一個中斷條件，且係與在被載入於BP_STATUS[15:0]之前的條件為邏輯“及 (AND)”。若一遮罩位元係設定為“0”，則對應之中斷條件係無條件地設定為“0” (即被禁能)。此中斷之詳情可見於10.9小節。
- V_MB_SIZE[7:0] (僅作讀取，無缺設值) — 此暫存器係用以表示欲作編碼或解碼之圖像的垂直尺寸。須注意的是，該值必須以巨集區塊數作敘述。舉例而言，若垂直尺寸係288 pels，則V_MB_SIZE[7:0]=288/16=18。ARM7係負責在BP編碼或解碼作業每個啟始之前設定此值。
- H_MB_SIZE[7:0] (僅作讀取，無缺設值) — 此暫存器係用以表示欲作編碼或解碼之圖像的水平尺寸。須注意的是，該值必須以巨集區塊數作敘述。舉例而言，若水平尺寸係352 pels，則H_MB_SIZE[7:0]=352/16=22。ARM7係負責在BP編碼或解碼作業每個啟始之前設定此值。
- ARM7_IRQ[0] (僅作寫入，缺設值係“0”) — 此暫存器係1位元之旗標以請求對ARM7之中斷，且係直接連接至輸出埠ARM7_IRQ。若BP_STATUS[15:0]之任一位元係設定為“1”，此旗標將作設定。ARM7係負責用以重置此旗標。

10.8 BP I/O資料字組格式

五、發明說明 (A-200)

此小節涵蓋用於BP輸入與輸出之命令資料及巨集區塊資料字組格式。

10.8.1 BP_MODE 暫存器格式

於 27'h7C0_0000 位址之 32 位元 BP_MODE 暫存器具有列於列表 25 中之格式。注意，BP_MODE[31]:PARAM_SET2[7]，且 BP_MODE[0]:SF[0]。

列表 25 BP_MODE 暫存器格式

位元組 / 位元	7	6	5	4	3	2	1	0
位元組 0	PS		PT		-	SF		
位元組 1	PARAM_SET0							
位元組 2	PARAM_SET1							
位元組 3	PARAM_SET2							

- standard_format (SF, 標準格式) - 欲使用之視訊標準，其係界定於列表 26 中。SF 應始終在 BP 係致能用於所有視訊編碼與解碼作業之前由 ARM7 所指定。

列表 26 SF 之定義

五、發明說明 (A-201)

位元組 [2:0]	標準格式
3'b000	MPEG-1 視訊編碼
3'b001	MPEG-1 視訊解碼
3'b010	MPEG-2 視訊編碼
3'b011	MPEG-2 視訊解碼
3'b100	H.261 編碼
3'b101	H.261 解碼
3'b110	H.263 編碼
3'b111	H.263 解碼

- picture_type (PT, 圖像型式) - 圖像編碼型式, 其係界定於列表 27 中。注意, 對於 PT 之值 00 意謂著用於 MPEG-1、MPEG-2、與 H.263 應用之特定情形。特定而言, D 圖像係被指定為用於 MPEG-2 之一種圖像型式, 雖然 D 圖

五、發明說明 (A-20)

位元組 [2:0]	標準格式
3'b000	MPEG-1 視訊編碼
3'b001	MPEG-1 視訊解碼
3'b010	MPEG-2 視訊編碼
3'b011	MPEG-2 視訊解碼
3'b100	H.261 編碼
3'b101	H.261 解碼
3'b110	H.263 編碼
3'b111	H.263 解碼

- picture_type (PT, 圖像型式) - 圖像編碼型式, 其係界定於列表 27 中。注意, 對於 PT 之值 00 意謂著用於 MPEG-1、MPEG-2、與 H.263 應用之特定情形。特定而言, D 圖像係被指定為用於 MPEG-2 之一種圖像型式, 雖然 D 圖

五、發明說明 (A-202)

像將不會用在 MPEG-2 中。此係因為 MPEG-1 位元流係 MPEG-2 位元流之一個子集合。

列表 27 PT 之定義

位元組 [5:4]	MPEG-1	MPEG-2	H.261	H.263
2'b00	D 圖像	D 圖像	非法	PB 資料段
2'b01	內 (intra)	內 (intra)	非法	內 (intra)
2'b10	預測性	預測性	始終	互 (inter)
2'b11	雙向	雙向	非法	非法

- picture_structure (PS, 圖像結構) - 圖像結構資訊, 其係界定於列表 28 中。同樣地, 對於 PT 之值 00 係非法, 且造成一個誤差 (error)。

列表 28 PS 之定義

位元組 [7:6]	MPEG-1	MPEG-2	H.261	H.263

五、發明說明 (4-20)

2'b00	非法	非法	非法	非法
2'b01	非法	頂欄位	非法	非法
2'b10	非法	底欄位	非法	非法
2'b11	資訊段	資訊段	資訊段	資訊段

• parameter_set (參數設定) 0、1、與 2 (PARAM_SET0、PARAM_SET1、PARAM_SET2) — 此三個位元組係用以表示 MPEG-1、MPEG-2、與 H.263 應用所需之各種參數。用於每個參數設定之定義係敘述於列表 29 與 30 中。

列表 29 PARAM_SET0 之定義

位元組/位元	7	6	5	4	3	2	1	0
位元組 1	VSF CPM	AS	IVF	CMV AP	FPFD	TFF	IDP	

五、發明說明 (A-204)

- intra_dc_precision (IDP) — 2位元內dc精確度參數，係界定於MPEG-2中，若在MPEG-1應用中應係設定為00。
- top_field_first (TFF) (頂欄位先) — 用於MPEG-2的一個旗標，係使用在移動向量編碼及解碼。
- frame_pred_frame_dct (FPFD) — 用於MPEG-2的一個旗標，用以指出係用到資訊段 (frame) DCT與資訊段預測。
- concealment_motion_vectors (CMV) (隱藏移動向量) 或 advanced_prediction_mode (AP) (進階預測模式) — 此旗標於MPEG-2係用以指出移動向量係用在內巨集區塊中。此旗標於H.263係當執行進階預測模式時被設定為1，否則應係設定為0。對於其他標準，此旗標應係設定為0。
- intra_vlc_format (IVF) — 用於MPEG-2的一個旗標，用以判定對於內巨集區塊之VLC列表型式。
- alternate_scan (AS) (交替掃描) — 用於MPEG-2的一個旗標，用以決定欲作編碼與解碼之係數次序。
- vertical_size_flag (VSF) (垂直尺寸旗標) 或 continuous_presence_multipoint (CPM) (連續發生多點) — 於MPEG-1與MPEG-2中，當影像之垂直尺寸超過2800綫時，此旗標係設定為1，否則其應設定為0。於H.263，當用到連續發生多點模式時，此旗標係設定為1，否則其應設定為0。

列表 3 0 PARAM_SET1與PARAM_SET2之定義

五、發明說明 (A-205)

MPEG-1								
位元組/位元	7	6	5	4	3	2	1	0
位元組 2	保 留				full_pel_forward_vector	forward_f_code		
位元組 3	保 留				full_pel_backward_vector	backward_f_code		
MPEG-2								
位元組/位元	7	6	5	4	3	2	1	0
位元組 2	forward_vertical_f_code				forward_horizontal_f_code			
位元組 3	backward_vertical_f_code				backward_horizontal_f_code			

1 0 . 8 . 2 BP CONTROL暫存器格式

對於 BP_CONTROL [31:0]暫存器 (位址 2n'h 7C0_0004
) 位元說明係顯示於列表 3 1 中。

列表 3 1 BP_CONTROL暫存器格式

五、發明說明 (A-206)

位元/位置	旗 標 名 稱	讀 取 / 寫 入	說 明
0	BP_EN	R/W	BP處理致能
1	SOFT_RESET	R	BP軟體重置
2	PAUSE	R	BP處理凍結
3	DETECT_START_CODE	R	檢測下個啟始碼
4	STEP	R	BP步階模式處理
5	CTX_SWITCH	R	本文切換請求
6	CTX_MODE	R	本文切換模式
7	CTX_RELOAD	R	本文再載入請求
8	ERR_HANDLE_MODE	R	誤差處理模式
9	--	-	保留

五、發明說明 (4-20)

1 0 1 5	--	-	保留
1 6 3 1	NO_MBS(0) - NO_MBS(15)	R	欲於目前截割或 GOB中作編碼之 巨集區塊數

• BP_enable (BP_EN) — 當此旗標係由 ARM7 或 VP 所設定為 " 1 " 時，BP 啟始處理。因此，所有其他之暫存器配置均應在此旗標設定前作成。若 BP 完成處理，此旗標係由 BP 所清除。

• software_reset (SOFT_RESET) — 當此旗標係由 ARM7 或 VP 所設定為 " 1 " 時，BP 停止目前之處理，將所有內部暫存器返回至缺設狀態，並進入閒置狀態。藉著設定 BP_EN 旗標，ARM7 可重新啟始 BP 處理。該 BP 硬體重置訊號係低位動作。

• pause (PAUSE) — 當此旗標係由 ARM7 或 VP 所設定為 " 1 " 時，BP 凍結目前處理執行。藉著設定 BP_EN 旗標，使用者可恢復暫停之作業。

• detect_start_code (DETECT_START_CODE) — 當此旗標

五、發明說明 (A-208)

係由 ARM7 或 VP 所設定為 " 1 " 時，BP 在 IBUFO 中的資料之間尋找下個啟始碼。因此，使用者應設定用於 IBUFO_START 與 IBUFO_END 之適當位址。必須是，僅在 BP 係於一閒置狀態時，此命令才將會適當地動作。因此，若 BP 係非閒置時，在送出此命令前，ARM7 應先送出軟體重置命令至 BP。

• step (STEP) - 當此旗標係由 ARM7 或 VP 所設定為 " 1 " 時，BP 前進目前處理執行之一個狀態。此係用於除錯之一個非常有用的特點。ARM7 應先送出暫停 (pause) 命令以致能此步階作業。

• context_switching_request (CTX_SWITCH) - 當此旗標係由 ARM7 所設定為 " 1 " 時，BP 根據 CTX_MODE 之內容以執行先取式或協同式本文切換。詳情可見於 10.12 小節。

• context_switching_mode (CTX_MODE) - 當此旗標係由 ARM7 或 VP 以設定 CTX_SWITCH 為 " 1 " 所設定為 " 1 "，BP 執行先取式本文切換模式。若其以設定 CTX_SWITCH 為 " 1 " 而設定為 " 0 "，BP 執行協同式本文切換模式。注意，若未設定 CTX_SWITCH 為 " 1 "，則該 CTX_MODE 設定將不會影響 BP 處理。本文切換之詳情可見於 10.12 小節。

• context_reload_request (CTX_RELOAD) - 當此旗標係由 ARM7 或 VP 所設定為 " 1 " 時，BP 重新載入先前儲存於 SDRAM 之本文。BP 係負責讀取由位址 SAVE_ADR[31:0] 所儲存之本文。本文切換之詳情可見於 10.12 小節。

五、發明說明 (A-209)

• `error_handle_mode (ERR_HANDLE_MODE)` — 此旗標係用以促進當一誤差發生於傳送壓縮位元流時 BP 之誤差復原程序。當進入之位元流具有無效資料時，BP 必須中斷 ARM7 並檢查此旗標之內容。當此旗標係設定為 "1" 時，BP 自動地尋找下個啟始碼。若該啟始碼係用於一截割或 GOB，BP 恢復處理。當此位元係設定為 "0" 時，BP 必定陷入閒置狀態而未尋找下個啟始碼。此介於 BP 與 ARM7 之間的工作訊號交換 (job hand-shaking) 之詳情係敘述於 10.13 小節。

• `number_of_macroblocks_to_be_encoded (NO_MBS[15:0])` — 此暫存器包括 16 位元不具符號之整數，其指出欲於此截割或 GOB 作編碼之巨集區塊數。使用此位元解析度，可於一個截割或 GOB 編碼高達 65535 個巨集區塊。於此，值 "0" 不被允許作為巨集區塊之一個數目。

10.8.3 BP_STATUS 暫存器格式

`BP_STATUS[31:0]` 暫存器 (位址 27'h7C0-0050) 之位元說明係顯示於列表 32 中。

列表 32 BP_STATUS 暫存器格式

位元/位置	旗 標 名 稱	讀取/寫入	說 明

五、發明說明 (A-210)

0	IBUFO_DONE	W	IBUFO 空
1	IBUF1_DONE	W	IBUF1 空
2	OBUFO_FULL	W	OBUFO 滿
3	OBUF1_FULL	W	OBUF1 滿
4	BP_DONE	W	BP處理完成
5	CTX_SW_DONE	W	備妥本文切換
6	CTX_RELOAD_DONE	W	本文重新載入完成
7	--	-	保留
8	BP_ERR	W	BP誤差條件
9 1 15			保留
16	IBUFO_FULL	R/W	BP輸入緩衝器0 滿

五、發明說明 (A-211)

1 7	IBUF1_FULL	R/W	BP輸入緩衝器1 滿
1 8	OBUF1_DONE	R/W	BP輸出緩衝器0 空
1 9	OBUF1_DONE	R/W	BP輸出緩衝器1 空
2 0 2 2	VALID_BIT_POS[2:0]	R/W	在儲存於VALID_BYTE _ADR之資料間的位元 位置，由其做做下個 處理
2 3	--	-	保留
2 4 3 1	BP_ERR_CODE[7:0]	W	BP誤差碼

• input_buffer_0_done (IBUF0_DONE) — 一個旗標，用以通知於輸入緩衝器0之資料係皆由BP所用完。此旗標係由BP所設定，且由ARM7或VP所清除。注意，此旗標係一個中斷條件。

五、發明說明 (A-212)

- `input_buffer_1_done (IBUF1_DONE)` — 一個旗標，用以通知於輸入緩衝器 1 之資料係皆由 BP 所用完。此旗標係由 BP 所設定，且由 ARM7 或 VP 所清除。注意，此旗標係一個中斷條件。
- `output_buffer_0_full (OBUF0_FULL)` — 一個旗標，用以通知該輸出緩衝器 0 係由 BP 所填滿。此旗標係由 BP 所設定，且由 ARM7 或 VP 所清除。注意，此旗標係一個中斷條件。
- `output_buffer_1_full (OBUF1_FULL)` — 一個旗標，用以通知該輸出緩衝器 1 係由 BP 所填滿。此旗標係由 BP 所設定，且由 ARM7 或 VP 所清除。注意，此旗標係一個中斷條件。
- `BP_processing_done (BP_DONE)` — 一個旗標，用以通知 BP 已完成編碼一截割或 GOB，或者於解碼情形中已檢測出一非截割或非 GOB 啟始碼。此旗標係由 BP 所設定，且由 ARM7 或 VP 所清除。注意，此旗標係一個中斷條件。
- `context_switching_done (CTX_SW_DONE)` — 一個旗標，用以通知 BP 係已備妥以於本文切換模式中切換至另一個任務。此旗標係由 BP 所設定，且由 ARM7 或 VP 所清除。注意，此旗標係一個中斷條件。
- `context_reload_done (CTX_RELOAD_DONE)` — 一個旗標，用以通知 BP 已完成對於由位址 `SAVE_ADR[31:0]` 所儲存本文之重新載入 (reload) 作業。此旗標係由 BP 所設定，且由 ARM7 或 VP 所清除。注意，此旗標係一個中斷條件。
- `BP_error_flag (BP_ERR)` — 一個旗標，用以通知正處理

五、發明說明 (A-213)

資料之 BP 中發生一個誤差。此旗標係當 BP_ERR_CODE[7:0] (=BP_STATUS[31:24]) 係不等於零時作設定。詳情可見於 10.9.2 小節。

- input_buffer_0_full (IBUF0_FULL) - 一個旗標，用以指出於輸入緩衝器 0 之資料係由 ARM7 或 VP 所填滿。此旗標係由 ARM7 或 VP 所設定，且由 BP 所清除。

- input_buffer_1_full (IBUF1_FULL) - 一個旗標，用以指出於輸入緩衝器 1 之資料係由 ARM7 或 VP 所填滿。此旗標係由 ARM7 或 VP 所設定，且由 BP 所清除。

- output_buffer_0_done (OBUF0_DONE) - 一個旗標，用以指出於輸出緩衝器 0 之資料係皆由 ARM7 或 VP 所用完。此旗標係由 ARM7 或 VP 所設定，且由 BP 所清除。

- output_buffer_1_done (OBUF1_DONE) - 一個旗標，用以指出於輸出緩衝器 1 之資料係皆由 ARM7 或 VP 所用完。此旗標係由 ARM7 或 VP 所設定，且由 BP 所清除。

- valid_bit_position (VALID_BIT_POS [2:0]) - 3 位元資訊，用以指出在 VALID_BYTE_ADR [31:0] 儲存資料位元組間之有效位元位置，以用於下個處理。於視訊編碼時，BP 必須設定此值，而 ARM7 應由此位元位置啟始下個處理。於視訊解碼時，ARM7 必須設定此值，而 BP 應由此位元位址啟始處理。

- BP_error_code (BP_ERR_CODE [7:0]) - 8 位元資訊，用以通知於 BP 中發生何種誤差。零值意謂著並無誤差發生。

五、發明說明 (A-214)

詳情可見於 10·9·2 小節。

10·8·4 用於解碼之輸入資料格式及用於編碼之輸出資料格式

於此情形，資料係實際包含壓縮後之位元流。該資料根據對應標準係可包括啟始碼、標頭參數、與壓縮後之資料。此位元流係以逐個位元組作依次裝填，但於某些應用時並無須作位元組定位。注意，此位元流可包括用於數個截割或 GOB 之資料。

10·8·5 用於編碼之輸入資料格式及用於解碼之輸出資料格式

於此情形，資料係實際包含巨集區塊標頭資訊、移動資料、與圖素係數資料。對於各種資料之格式係界定於后。

10·8·5·1 巨集區塊標頭字組

巨集區塊標頭應始終包含六個位元組，且具有於列表 33 中所給定之以下資料格式。

列表 33 巨集區塊標頭字組格式

位元組 / 位元	7	6	5	4	3	2	1	0

-214-

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (A-215)

位 元 組 0	VMA GRNO						
位 元 組 1	HMA MBPS						
位 元 組 2	MT	DT LF M4	MB	MF	Q	P	I
位 元 組 3	保 留		Q_SCALE				
位 元 組 4	CBP_1		CBP_0				
位 元 組 5	保 留			CBP_1			
位 元 組 6	保 留			FID		LCI	
位 元 組 7	保 留						
位 元 組 8	MBA_INC						

- 215 -

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (A216)

位元組 9	(僅作輸出)
位元組 10	PRE_DC_Y (僅作輸出)
位元組 11	
位元組 12	PRE_DC_Cb (僅作輸出)
位元組 13	
位元組 14	PRE_DC_Cr (僅作輸出)
位元組 15	

於此，以上列表中所列出參數係界定於后：

- vertical_macroblock_address (垂直巨集區塊位址，VMA) 或 group_number (群數，GRN0) — 此位元組意謂著垂直巨集區塊位置，其可具有由1至255之值。注意，第一個垂直位置係標號為1而非0。於H.261編碼之一個例外情形，此欄位表示群數資訊，其告知區塊群之位置。
- horizontal_macroblock_address (水平巨集區塊位址，HMA) 或 macroblock_position (巨集區塊位置) — 此欄位意指水平巨集區塊位置，其可具有由1至255之值。注意，

五、發明說明 (A-217)

第一個水平位置係標號為1而非0。於H.261之一個例外情形，此欄位表示GOB間巨集區塊之33個可能位置之一者。

- macroblock_intra (I) - 若目前之巨集區塊係內 (intra) 編碼，則設定為1。反之，則係設定為0。

- macroblock_pattern (P) - 若目前之巨集區塊包括已編碼之區塊，係設定為1。反之，則係設定為0。

- macroblock_quant (Q) - 若目前之巨集區塊具有一個新的量化刻度參數，係設定為1。反之，則係設定為0。

- macroblock_motion_forward (MF) - 若目前之巨集區塊係前向預測，係設定為1。反之，則係設定為0。

- macroblock_motion_backward (MB) - 若目前之巨集區塊係後向預測，或者包括於H.263之B區塊，係設定為1。反之，則係設定為0。

- dct-type (DT) 、 loop_filter (LF) 、 或 advanced_prediction (M4) - 位元組2之位元[5]於各個應用中係具有不同之意義。於MPEG-1，並未用到此位元。於MPEG-2，其表示dct_type。若巨集區塊係欄位DCT編碼，此旗標係設定為1。若係資訊段DCT編碼，係設定為0。於H.261，若迴路濾波器 (loop filter) 係用於目前巨集區塊，此旗標係作設定；反之，其係設定為0。於H.263，若目前巨集區塊使用進階預測 (advanced prediction) 模式，係設定為1；反之，則係設定為0。

- motion_type (MT) - 此2位元欄位指出用於MPEG-2之

五、發明說明 (4-218)

frame_motion_type (資訊段移動型式) 或

field_motion_type (欄位移動型式) , 其具有如於列表

3 4 與 3 5 之下列意涵。注意, 00值係作保留。

列表 3 4 frame_motion_type之意義

碼	預測型式	motion_vector_count	mv_format	dmv
00	保 留			
01	Field-based	2	欄 位	0
10	Frame-based	1	資訊段	0
11	Dual-prime	1	欄 位	1

列表 3 5 field_motion_type之意義

碼	預測型式	motion_vector_count	mv_format	dmv

五、發明說明 (A-219)

00	保 留			
01	Field-based	1	欄 位	0
10	16×8 MC	2	欄 位	0
11	Dual-Prime	1	欄 位	1

• quantizer-scale (Q_SCALE, 量化刻度) — 一個範圍為 1 至 31 之未定符號的整數係用以定出該 DCT 係數位準之重建位準的刻度。雖然此值係同於先前之巨集區塊者 (即 macroblock_quant 係零), 每個巨集區塊標頭應包括對此參數之一適當值。於編碼時, 使用者係負責寫入適當值至此欄位。於解碼時, BP 寫入霍夫曼解碼之量化刻度值至此欄位。若目前之巨集區塊並未包括用於此欄位之霍夫曼碼, BP 寫入先前巨集區塊之刻度值。

• coded_block_pattern_0 (CBP_0) — 一個 6 位元形態 (pattern) 碼, 係用以表示於目前巨集區塊中之已編碼區塊, 其中

CBP_0 [5] ==> 亮度 (Y) 0 區塊

CBP_0 [4] ==> 亮度 (Y) 1 區塊

CBP_0 [3] ==> 亮度 (Y) 2 區塊

五、發明說明 (A-220)

CBP_0 [2] ==>亮度 (Y) 3 區塊

CBP_0 [1] ==>色度藍 (cb) 區塊

CBP_0 [0] ==>色度紅 (Cr) 區塊

• coded_block_pattern_1 (CBP_1) - 對於在 H.263 應用中之 BP 資訊段 B 區塊的額外 coded_block_pattern (已編碼區塊形態)，其中

CBP_1 [5] ==>亮度 (Y) 0 區塊

CBP_1 [4] ==>亮度 (Y) 1 區塊

CBP_1 [3] ==>亮度 (Y) 2 區塊

CBP_1 [2] ==>亮度 (Y) 3 區塊

CBP_1 [1] ==>色度藍 (cb) 區塊

CBP_1 [0] ==>色度紅 (Cr) 區塊

• logical_channel_indicator (LCI, 邏輯通道指示器)

- 一個對於 GOB 邏輯通道號碼之 2 位元資訊，僅係用於 H.263 之連續發生多點模式。

• frame_id (FID) - 一個 2 位元資訊，對於 GOB 資訊段 IO，用於 H.263。

• macroblock_address_increment (MBA_INC, 巨集區塊位址增量) - 一個對於目前巨集區塊之巨集區塊位址增量值的 2 位元組資訊。此資訊係始終由 BP 所提供為額外之資訊，故使用者不須設定於輸入格式。於輸入巨集區塊標頭字組所指定之任何值，均將為 BP 所忽略。

• previous_dc_luminance (PRE_DC_Y, 先前 dc 亮度) -

五、發明說明 (A-221)

個2位元組資訊，對於先前巨集區塊之色度區塊的dc值。若有跳過之巨集區塊，將發出一個重置值。此資訊係始終由BP所提供作為額外之資訊，故使用者不須設定於輸入格式。於輸入巨集區塊標頭字組所指定之任何值，均將為BP所忽略。

- previous_dc_chrominance_blue (PRE_DC_Cb, 先前dc色度藍) — 一個2位元組資訊，對於先前巨集區塊之藍色度區塊的dc值。若有跳過之巨集區塊，係發生出一個重置值。此資訊係始終由BP所提供作為額外之資訊，故使用者無須於輸入格式中設定。於輸入巨集區塊標頭字組中指定之任何值，均將為BP所忽略。

- previous_dc_chrominance_red (PRE_DC_Cr, 先前dc色度紅) — 一個2位元組資訊，對於先前巨集區塊之紅色度區塊的dc值。若有跳過之巨集區塊，係發出一個重置值。此資訊係始終由BP所提供作為額外之資訊，故使用者無須於輸入格式中設定。於輸入巨集區塊標頭字組中指定之任何值，均將為BP所忽略。

10.8.5.2 移動資料字組

若巨集區塊包括移動向量，每個巨集區塊標頭應具有額外之標頭字組。首先，考慮MPEG-1與MPEG-2之情形。當以下情形之一者發生時，此等標準將具有其顯示於列表

36中用於移動向量之額外的標頭字組格式：

五、發明說明 (A-222)

情況 1) 當 $MF=1$ 或 ($I=1$ 且 $CMV=1$)情況 2) 當 $MB=1$

列表 3 6 用於 MPEG-1 與 MPEG-2 之一般移動向量資料格式

位元組 / 位元	7	6	5	4	3	2	1	0
位元組 0	第一前向移動向量水平分量							FS0
位元組 1								
位元組 2	第一前向移動向量垂直分量							
位元組 3								
位元組 4	第一後向移動向量水平分量							FS1
位元組 5								
位元組 6	第一後向移動向量垂直分量							
位元組 7								

-222-

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (A-223)

位元組 8	第二前向移動向量水平分量	FS2
位元組 9		
位元組 10	第二前向移動向量垂直分量	
位元組 11		
位元組 12	第二後向移動向量水平分量	FS3
位元組 13		
位元組 14	第二後向移動向量垂直分量	
位元組 15		

於列表 36 中，所有分量值係半 pel (half_pel) 準確度。FS0、FS1、FS2、與 FS3 均係 1 位元旗標，用以告知對於每個移動向量之欄位選取。若無欄位選取存在，旗標應係設定為 0。由於 MPEG-1 並未使用欄位選取資訊，該等資訊應係設定為 0。

五、發明說明 (A-224)

一個例外情形，係發生於對雙首要 (dual-prime) 移動向量之 MPEG-2 編碼時。於此情形，前向移動向量包含 16 個位元組 (實際使用到 8 個位元組)，且其格式應如列表 37 中所示。正常而言，於視訊編碼應用時，BP 將移動向量值轉換為一個微分值。不過於列表 37 中之移動向量分量應係微分值，其係霍夫曼編碼器之真正輸入。於 MPEG-2 解碼應用時，該等雙首要移動向量係皆由 BP 所控制。

列表 37 用於 MPEG-2 編碼之雙首要模式的移動向量資料格式

位元組 \ 位元	7	6	5	4	3	2	1	0
位元組 0	前向移動向量							
位元組 1								
位元組 2	前向移動向量							
位元組 3								
位元組 4	未使用					DMV_H		

五、發明說明 (A-225)

位元組 5		
位元組 6	未 使 用	DMV_v
位元組 7		
位元組 8-15	保 留	

H.261與H.263將具有略為不同之移動向量資料格式。最主要的是，一單一位元組將係足夠用於任何之移動向量分量值。取決於MF與M4旗標之內容，對應之移動補償巨集區塊將具有至少2個且至多10個移動向量分量。對於移動向量之資料格式係顯示於列表38中。

列表38-用於H.261和H.263的移動向量資料格式

位元組順序	MF=1 及 M4=0	MF=1 及 M4=1
位元組 0	前向移動向量水平分量	第一個區塊移動向量水平分量
位元組 1	前向移動向量水平分量	第一個區塊移動向量垂直分量
位元組 2	B-區塊移動向量水平分	第二個區塊移動向量水平分量

336710

A7
B7

五、發明說明 (A-226)

	量 (存在於如果 MB=1)	
位元組 3	B-區塊移動向量水平分量 (存在於如果 MB=1)	第二個區塊移動向量垂直分量
位元組 4	保留	第三個區塊移動向量水平分量
位元組 5	保留	第三個區塊移動向量垂直分量
位元組 6	保留	第四個區塊移動向量水平分量
位元組 7	保留	第四個區塊移動向量垂直分量
位元組 8	保留	B-區塊移動向量水平分量 (存在於如果 MB=1)
位元組 9	保留	B-區塊移動向量垂直分量 (存在於如果 MB=1)
位元組 10-15	保留	保留

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

束

五、發明說明 (A-227)

10.8.5.3 圖素係數資料字元

四個視訊壓縮標準具有用於量化位準之不同的最大圖素位元長度，其比較被做成於列表 39 中。

列表 39 輸入與輸出圖素位元解析度

標準	用於量化位準之 最大位元長度	每一個 IOBUS 讀/寫 周期之位元組的數目	每一個 IOBUS 讀/寫 周期之圖素的數目
MPEG-1	9 位元	2	2
MPEG-2	12 位元	2	2
H.261	8 位元	1	4
H.263	8 位元	1	4

因此，正如我們可由列表 40 中看到用於 MPEG 與用於視訊會議標準之圖素資料格式係不同的。

列表 40-圖素係數資料格式

五、發明說明 (4-228)

位元組順序	MPEG-1 與 MPEG-2	H.261 與 H.263
位元組 0	係數 0	係數 0
位元組 1		係數 1
位元組 2	係數 1	係數 2
位元組 3		係數 3
位元組 4	係數 2	係數 4
位元組 5		係數 5
位元組 6	係數 3	係數 6
位元組 7		係數 7
位元組 8	係數 4	係數 8
位元組 9		係數 9

- 228 -

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (A-229)

位元組 10	係數 5	係數 10
位元組 11		係數 11
位元組 12	係數 6	係數 12
位元組 13		係數 13
位元組 14	係數 7	係數 14
位元組 15		係數 15

(請先閱讀請背面之注意事項再填寫本頁)

裝

訂

線

10.9 中斷條件

BP藉由斷言 ARM7_IRQ 旗標，如果該旗標符合在此章節中所敘述之中斷條件，來中斷 ARM7，該 BP 具有兩組的中斷條件，內定條件和錯誤條件，這些條件均被儲存在 RP_STATUS[15:0] 之中，如果任何一個位元被 BP 所設定，那麼 BP 將啟動 ARM7_IRQ 信號，這些條件均可藉由設定 BP_INT_MASK[15:0] 暫存器的相關位元來掩蔽。

10.9.1 內定中斷條件

- 內定條件 0 (BP_STATUS[0]) - 當完成輸入緩衝器 0 的處理時，BP 應該斷言 ARM7_IRQ 也同時設定 IBUF0_DONE 旗標。

五、發明說明 (A-230)

- 內定條件 1 (BP_STATUS[1]) - 當完成輸入緩衝器 1 的處理時, BP 應該斷言 ARM7_IRQ 也同時設定 IBUF1_DONE 旗標。
- 內定條件 2 (BP_STATUS[2]) - 當完成輸入緩衝器 0 的處理時, BP 應該斷言 ARM7_IRQ 也同時設定 OBUF0_DONE 旗標。
- 內定條件 3 (BP_STATUS[3]) - 當完成輸入緩衝器 1 的處理時, BP 應該斷言 ARM7_IRQ 也同時設定 OBUF1_DONE 旗標。
- 內定條件 4 (BP_STATUS[4]) - 如果視訊編碼時, 當完成 ARM7 所指定之截割或 GOB 時, 或者如果視訊解碼時, 當到達非截割或非 GOB 的起始碼時, BP 應該斷言 ARM7_IRQ 也同時設定 BP_DONE 旗標。
- 內定條件 5 (BP_STATUS[5]) - 當在先取式本文切換模式中完成本文儲存操作時或者當在協同式上下文切換模式中完成目前的截割或 GOB 時, BP 應該斷言 ARM7_IRQ 也同時設定 CTX_SW_DONE 旗標。
- 內定條件 6 (BP_STATUS[6]) - 當完成本文重新載入操作時, BP 應該斷言 ARM7_IRQ 也同時設定 CTX_RELOAD_DONE 旗標。
- 內定條件 7 (BP_STATUS[7]) - 目前 BP_STATUS[7] 被保留, 因此, 此位元必須被設定為 "0"。

通常這些內定的中斷條件不被建議使用

五、發明說明 (A-231)

BP_INT_MASK[7:0]來掩蔽，但是，在某些應用方面，使用者可能想要掩蔽內定條件1。

10.9.2 錯誤中斷條件

如果在BP中發生錯誤，那麼BP設定將會致使ARM7中斷請求的BP_ERR旗標，同時，該BP設定在BP_STATUS暫存器之BP_ERR_CODE欄位中的非零值之適當資料，此8位元的BP_ERR_CODE具有下面的意義：

- BP_ERR_CODE=8'b0000_0000：沒有錯誤發生。
- BP_ERR_CODE=8'b0000_0001：BP_MODE暫存器的非法設定。
- BP_ERR_CODE=8'b0000_0010：非法之水平巨集區塊位置被設定。
- BP_ERR_CODE=8'b0000_0011：非法之垂直巨集區塊位置被設定。
- BP_ERR_CODE=8'b0000_0100：用於巨集區塊位址增量之非法的VLC。
- BP_ERR_CODE=8'b0000_0101：用於巨集區塊型式之非法的VLC。
- BP_ERR_CODE=8'b0000_0110：用於巨集區塊移動模式之非法的VLC。
- BP_ERR_CODE=8'b0000_0111：非法的隱藏移動向量標識位元。
- BP_ERR_CODE=8'b0000_1000：用於編碼區塊模式之

五、發明說明 (A-232)

非法的 VLC。

- BP_ERR_CODE=8'b0000_1001: 用於區塊 DCT dc 尺寸之非法的 VLC。
- BP_ERR_CODE=8'b0000_1010: 非法的 DCT dc 值
- BP_ERR_CODE=8'b0000_1011: 用於區塊 DCT dc 係數之非法的 VLC。
- BP_ERR_CODE=8'b0000_1100: 在一個巨集區塊中之區塊的數目超過 64。
- BP_ERR_CODE=8'b0000_1101: 非法的 f_code 值 (也就是該值為 0)。
- BP_ERR_CODE=8'b0000_1110: 用於區塊 DCT ac 係數之非法的 VLC。
- BP_ERR_CODE=8'b0000_1111: 非法的 IBUF 和 OBUF 位址設定。
- BP_ERR_CODE=8'b0001_0000: 用於 BP 輸入或輸出緩衝器之起始位址的最低 4 位元不等於 0。
- 其他的 BP_ERR_CODE 值被保留。

10.10 詳細的功能要求10.10.1 IQBUS 介面

所有介於 BP 和 CCU 之間的資料移動係透過 IQBUS, IQBUS 係一個包含多工位址及資料之 32 位元在 40 兆霍 (MHZ) 同步的匯流排, 因為透過 IQBUS 來轉移 16 位元組資料需要至少 7 個周期, 但是, IQBUS 之最大轉移率將係 91.4 兆位元組 / 秒

五、發明說明 (4-233)

(Mbyte/sec)(=731.4兆位元/秒(Mbits/sec))。

對於所有的 IOBUS 讀與寫事務而言，BP 可以是主 BP 或從屬 BP，當 BP 操作成為一個主 BP 時，BP 必須發送請求信號給 IOBUS 仲裁器，如果 IOBUS 係空間的，該仲裁器將會發送一個允許以及一個裝置選擇給 BP。

經過 IOBUS 的資料內容可能是下面三種的任何一種：包含兩個或四個圖素成分之 32 位元的圖素資料、32 位元之壓縮的位元串字元、以及用於編碼及解碼操作的語法／控制參數，至於對像關於 IOBUS 介面之時序圖的進一步資訊，建議讀者複習 MSP_IOBUS 說明書。

10.10.2 區塊層處理

10.10.2.1 曲折掃描準則

BP 支援兩種在 MPEG 視訊標準中所建議之曲折掃描準則矩陣，在介於 VP 與 BP 之間被轉移的 8×8 區塊資料必須包含所有的 64 個組成部分。

10.10.2.2 RLC 碼

對於 RLC 解碼而言，BP 根據霍夫曼 (Huffman) 解碼之 DCT ac 係數的結果來產生零資料及位準資料，如果在為一個 8×8 區塊而產生 64 個圖素資料之前檢測到 end_of_block 信號，那麼 RLC 解碼器負責產生剩餘的零資料，對於 RLC 編碼而言，BP 計算連續之零資料的數目並且藉由組合下一個非零資料來產生運行長度及位準碼，如果剩餘的資料都等於零，BP 應該產生 end_of_block 信號而不是為剩餘的資料

五、發明說明 (A-237)

產生 RLC，用於 RLC 碼的處理周期和即將被產生之零的數目是相同的。

10.10.2.3 霍夫曼 (Huffman) 碼

BP 霍夫曼 (Huffman) 碼支援所有在 MPEG-1、MPEG-2、M.261、以及 M.263 視訊標準中所推薦的霍夫曼 (Huffman) 表，假設大部分的表均被改良成為查閱表 ROM，其中每一個 ROM 字元係 12 位元寬，但是，有些被發現為簡單或相當複雜的霍夫曼 (Huffman) 表使用硬連線邏輯來改善，應該使用搜尋列表 ROM 來改善的解碼器表被概述於列表 41 中。

列表 41 用於霍夫曼解碼器搜尋列表所需之 ROM 尺寸

編號	標準	表的說明	ROM 尺寸 (位元)
1	MPEG-1 & 2, H.261	dct_coeff_next, TCOEFF	144×12
2	H.263	TCOEFF	102×12
3	MPEG-1 & 2, H.261, H.263	motion_vector_code, macroblock_address_increment	17×12

-234-

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (A-235)

4	MPEG-1 & 2, H.261	coded_block_pattern	32×12
5	MPEG-1 & 2, H.261, H.263	macroblock_type 和 MCBPC	18×12
6	MPEG-1 & 2	用於Y and CbCr 之 dct_dc_size	12×12
7	H.263	用於資訊段內與資訊段際的CRPY	8×12
總 和			333×12

需要比解碼器表之ROM尺寸更大的ROM尺寸的之編碼器表被概述於列表42中。

列表42用於霍夫曼解碼器搜尋列表所需之ROM尺寸

編號	標準	表的說明	ROM尺寸 (位元)

五、發明說明 (4-236)

1	MPEG-1 & 2, H.261	dct_coeff_next, TCOEFF	156×12
2	H.263	TCOEFF	98×12
3	MPEG-1 & 2, H.261, H.263	motion_vector_code, macroblock_address_increment	35×12
4	MPEG-1 & 2, H.261	coded_block_pattern	64×12
5	MPEG-1 & 2, H.261	macroblock_type	22×12
6	H.263	MCBPC	28×12
7	MPEG-1 & 2	用於Y and CbCr之 dct_dc_size	16×12
8	H.263	用於資訊段內與資訊段際的CRPY	16×12
總 和			435×12

五、發明說明 (A-236)

1	MPEG-1 & 2, H.261	dct_coeff_next, TCOEFF	156×12
2	H.263	TCOEFF	98×12
3	MPEG-1 & 2, H.261, H.263	motion_vector_code, macroblock_address_increment	35×12
4	MPEG-1 & 2, H.261	coded_block_pattern	64×12
5	MPEG-1 & 2, H.261	macroblock_type	22×12
6	H.263	MCBPC	28×12
7	MPEG-1 & 2	用於Y and CbCr之 dct_dc_size	16×12
8	H.263	用於資訊段內與資訊段際的CRPY	16×12
總 和			435×12

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (A-237)

從列表 41及列表 42，我們可以看到用於霍夫曼 (Huffman)編碼器及解碼器之總共所需要的 ROM尺寸係 768×12位元，上面的表中並不包括被狀態機制所處理之填充碼、逸出碼、DCT 係數的符號位元、以及 end_of_block碼。

用於每一個霍夫曼 (Huffman)碼的處理周期被表列於列表 43中。

列表 43用於霍夫曼碼之處理周期

Huffman 碼類型	用於 MPEG-1 & 2 的處理周期	用於 H.261 & H.263 的處理周期	處理時鐘
dct 微分的 dc 係數	4-5	5-6	40 兆霍 (MHz)
具有補數的 dct ac係數	1	2	
逸出碼加上 固定長度碼	2	3	
end_of_block	1	2	

五、發明說明 (A-238)

碼			
其他的 Huffman 碼	1	1	

最後，請注意如果我們使用此方法並不能夠改善 JPEG，但是請注意 dc_coeff_next_0 表能夠適用於 JPEG 編碼的應用。

10.10.2.4 微分的 dc 值

如果區塊內的區塊，BP 也為第一個成分之 8×8 區塊資料計算其微分的 dc 係數，並且重新建立具有所傳送之微分的 dc 係數之 dc 值。

10.10.2.5 未編碼區塊

BP 並不支援未被編碼的區塊，VP 和 ARM7 負責處理該未編碼區塊，為了讓 VP 和 ARM7 處理這種區塊，BP 指出在出現於巨集區塊標題字元中之 coded_block_pattern 中的未編碼區塊。

10.10.2.6 區塊傳送的順序

請注意用於編碼和解碼在一個兩者所傳送之巨集區塊中之區塊的順序等於下面：亮度 (Y) 區塊 0、1、2 及 3、色度藍色 (Cb) 區塊以及色度紅色 (Cr) 區塊。

10.10.3 巨集區塊層處理

五、發明說明 (A-239)

10.10.3.1 微分的移動向量

BP由移動估算結果中計算微分的移動向量並且重新建立具有所傳送之微分移動向量的移動向量，下列的情況除外。

- 第1種情況係雙質數模式之MPEG-2視訊編碼的情況，在此情況中，所傳送到BP的移動向量應該係向量的[0][0][1:0]型式，而非向量的[r][0][1:0]型式。
(請看MPEG-2視訊標準的條款7.6.3.6)。
- 第2種情況係事先預知模式的H.263，在此情況中，我們可能有四個移動向量而且這些數值應該被傳送自／至BP當作微分的數值。

10.10.3.2 跳過的巨集區塊

BP並不支援跳過的巨集區塊，VP和ARM7均負責處理這些跳過的巨集區塊，為了讓VP和ARM7處理跳過的巨集區塊，BP將水平及垂直的巨集區塊位址寫入巨集區塊標題字元中。

10.10.3.3 巨集區塊填充碼

在MPEG-1解碼中，BP捨棄在一個周期中的巨集區塊填充碼，如果其存在的話，但是，在BP編碼中，BP不讓使用者將巨集區塊填充碼包括在巨集區塊層標題之內，一般來講，此填充碼被用來控制輸出視訊率緩衝器，因此，建議在介於起始碼之間加進零填充碼而不是加進巨集區塊填充碼。

五、發明說明 (A-24)

10.10.4 截割或GOB層處理

10.10.4.1 位元組對準

對於MPEG-1及MPEG-2應用而言，位元串輸出上達截割層應該被位元組對準的，對於H.263應用而言，雖然位元串輸出上達影像層應該被位元組對準的，但是該位元串輸出上達GOB層可能被位元組對準，然而，H.261編碼器的輸出將不會被位元組對準，因此，在ARM7中形成常規的位元串應該被小心地編程，因為考慮這些差異之故，假設在編碼時，如果用於最後的資料傳送經過IOBUS之資料量係少於16個位元組，那麼BP自動執行填補零於該截割的尾端。

10.10.4.2 額外的截割資訊

在解碼中，任何可能被包含在MPEG-1或MPEG-2位元串之截割標題中的額外之截割資訊被BP所捨棄，在編碼中，BP並不加進任何可能被使用者所要求之額外的截割資訊，如果使用者仍然需要將資訊包括在MPEG-1或MPEG-2位元串之內，那麼他／她能夠將該資訊加進已經被BP所編碼的位元串之中。

10.10.4.3 Intra Slice

在MPEG-2截割層位元串中，一個參數稱為Intra_Slice被用來通知目前的截割僅包含巨集區塊內之巨集區塊，此資訊不被使用於解碼過程中並且意欲幫助DSM應用來執行快速正向或快速反向的功能，因此，BP在解碼應用方面捨棄此資訊並且在編碼應用方面，BP將Intra_Slice當作0而加進切

五、發明說明 (A-241)

片層標題之中。

10.10.4.4 截割或GOB起始碼

在MPEG-1、MPEG-2、和H.261中，每一個影像必須至少具有一個截割或GOB起始碼，但是，一個H.263影像可能沒有該GOB起始碼及標題資訊，尤其，在任何H.263影像中的第一個GOB將不包括該起始碼及標題資訊，因此，如果進來的位元串係給H.263，BP狀態機器必須直接處理該巨集區塊層，除此之外，當該位元串被解碼的同時如果發現GOB起始碼，那麼BP必須將該起始碼解碼並且繼續其處理而不會中斷ARM7。

10.11 輸入／輸出雙重緩衝器介面

10.11.1 一般性說明

輸入及輸出組衝器必須用雙重緩衝器來改良，因此，事實上，我們有四個稱之為IBUF0、IBUF1、OBUF0、以及OBUF1的儲存緩衝器，如在圖64及圖65中所顯示。

如同我們可以從圖64及圖65中看到，每一個緩衝器具具有起始位址和結束位址以及滿旗標和完成旗標，為了決定每一個緩衝器尺寸，使用者應該對每一個緩衝器將適當的數值寫入起始位址緩衝器和結束位址緩衝器之中。

一旦用於該緩衝器的源處理器完成寫入到緩衝器的操作，其應該設定滿旗標並且開始寫到其他的排組，如果用於該排組的接收處理器發現即將被存取之排組已經滿了，該接收處理器讀取該資料，如果該排組變空時，則該接收

五、發明說明 (A-242)

處理器應該設定完成旗標並且檢查其他排組的滿旗標。

如同在次章節 10.7.2 中所說明，藉由 BP 來更新四個起始位址，每當 BP 存取該輸入或輸出緩衝器時，用於該起始位址的每一個暫存器將包含被該 BP 所存取之最近的位元組位址，因此，如果發現 IBUF0_DONE、IBUF1_DONE、OBUF0_DONE 以及 OBUF1_DONE 四個旗標中的任何一個旗標被設定，那麼 BP 應該再次設定其相關的起始位址。

同時注意到用於起始位址的最後四個位元應該總是透過 ARM7 而被設定為零，這是由於介於 FBUS、CCU 與 IOBUS 之間的一個內部的資料對準結構也需要設定每一個結束位址，而使得用於任何緩衝器尺寸之位元組的總數能夠是 16 的倍數，除此之外，建議用於 MPEG-1 及 MPEG-2 之最小的緩衝器尺寸應該係 64 個位元組，而用於 H.261 及 H.263 之最小的緩衝器尺寸則應該係 128 個位元組，這是為了防止由於 BP 常常對 ARM7 的中斷請求而產生的性能變差。

10.11.2 不正常的緩衝器狀態的處理

如果兩個輸出緩衝器都滿了，那麼不論輸入雙重緩衝器狀態為何，BP 必須停止其處理並且落入閒置的狀態中，如果 OBUF0_DONE 或 OBUF1_DONE 旗標被設定，那麼 BP 應該自動從此閒置狀態中甦醒。

如果兩個輸入緩衝器都空了，那麼 BP 不需要立即停止並且可以繼續其處理，直到 BP 完成內部之剩餘資料的處理為止，但是，如果兩個暫存緩衝器都空了，BP 將立即中斷

五、發明說明 (A-243)

ARM7在剩餘資料的處理完成之後，並且如果仍然發現輸入緩衝器係空的，那麼BP必須落入閒置狀態中，而再次，如果IBUFO_FULL或IBUF1_FULL被設定，那麼BP應該自動甦醒。

在此次章節中所敘述的閒置狀態係不同於在此說明書中所敘述之其他的閒置狀態，因為從其他的閒置狀態中甦醒一般而言需要ARM7的控制命令。

10.11.3 I/O緩衝器的實體改良：例子

決定BP輸入緩衝器和輸出緩衝器的位置及尺寸主要係使用者的責任，使用者可以改善該緩衝器於VP資料快取記憶、ARM7資料快取記憶體或SDRAM的緩衝記憶體區域之中，雖然BP輸入與輸出雙重緩衝器的改良看起來有些受限，但是可能會有有效的方法來改善上面的緩衝器。

現在讓我們對額定緩衝器在視訊解碼的應用方面考慮一個特殊的例子，在此情況下，使用者可能想要為該輸入緩衝器來改良一個環形緩衝器，在此，假設我們使用SDRAM，而且全額緩衝器將被分成四個區塊，如在圖66中所顯示。

最初，使用者可以設定Rate_Buffer_Block_0及Rate_Buffer_Block_1分別成為IBUFO及IBUF1，這可以藉由以下的設定來完成：

IBUFO_START = Rate_Buffer_Address_0;

IBUFO_END = Rate_Buffer_Address_1;

五、發明說明 (A-244)

IBUF1_START = Rate_Buffer_Address_2;

IBUF1_END = Rate_Buffer_Address_3;

於在 IBUF0 中的資料（也就是在 Rate_Buffer_Block_0 中的資料）全部都被 BP 消耗之後，該 BP 將中斷 ARM7，然後，ARM7 可以藉由以下的設定而來設定 Rate_Buffer_Block_2 成為 IBUF0：

IBUF0_START = Rate_Buffer_Address_4;

IBUF0_END = Rate_Buffer_Address_5;

於在 Rate_Buffer_Block_1 中的資料全部都被 BP 消耗之後，BP 將再次中斷 ARM7，並且 ARM7 能夠藉由以下的設定而來設定 Rate_Buffer_Block_3 成為 IBUF1：

IBUF1_START = Rate_Buffer_Address_6;

IBUF1_END = Rate_Buffer_Address_7;

於在該 Rate_Buffer_Block_2 中的資料全部都被 BP 消耗之後，ARM7 能夠再次藉由設定如同在第一個步驟中一樣的位址來設定該 Rate_Buffer_Block_0 成為 IBUF0。

因此，僅藉由重複此完整的程序可以完成該環形緩衝器改良，此例顯示 BP 雙重緩衝器的使用可以視使用者的意圖而具有相當的彈性。

10.12 本文切換

如果多於一個應用將運行於 MSP 上，ARM7 操作系統將會命令中止目前的工作而切換到另一個工作，此程序通常被認為是“本文切換”，BP 支援兩種的本文切換模式，

五、發明說明 (A-245)

其將被說明於下。

10.12.1 先取式本文切換

先取式本文切換意指BP將實施處理目前的8×8圖素區塊而後中止該正常的處理，ARM7能夠藉由設定在BP_CONTROL [6:5]暫存器之中的CTX_SWITCH及CTX_MODE旗標成為“11”來命令先取式本文切換模式，當完成目前區塊的處理時，BP將為了未來的處理而發送內部的本文給外部的SDRAM。

當BP結束該本文儲存時，BP將以設定位元BP_STATUS[5]位址處的CTX_SW_DONE旗標來中斷ARM7，然後，ARM7將儲存該BP之輸入及輸出緩衝器的所有內容並且為了另一個工作而起動該BP。

此模式係為了讓BP儘速地回應ARM7的本文切換請求，在最差的情況下，BP將需要大約150個周期(=3.75微秒(μ sec))來完成目前區塊的處理，但是，在正常的情况下，假設完成該區塊的處理需要少許的周期係合理的。

10.12.2 協同式本文切換

協同式本文切換係在於為BP免除本文儲存程序，這能夠被達成係由於每一個截割或GOB層的處理需要起動全部的BP內部狀態之事實，在此模式下，BP繼續其目前截割或GOB的正常處理而後中止該處理。

ARM7能夠藉由設定在BP_CONTROL[6:5]之中CTX_SWITCH及CTX_MODE旗標成為“10”來命令協同式本文切換模式，當

五、發明說明 (A-246)

目前的截割或 GOB 之處理被完成時，BP 將以設定位於 BP_STATUS[5] 之位址處的 CTX_SW_DONE 旗標來中斷 ARM7，然後，ARM7 必須儲存該 BP 之輸入及輸出緩衝器全部內容並且為另一個工作而起動 BP。

10.12.3 本文重新載入

為了切換到先前的工作，BP 應該從位址 SAVE_ADR[31:0] 處重新載入在 SDRAM 中所儲存的本文，為了請求此本文重新載入，其需要 BP 處於閒置的狀態之中，用於此請求之可能的狀況將係當 BP_DONE 被設定時、當 CTX_DONE 被設定時、或者當 ARM7 以軟體來重設 BP 時，因此，如果 ARM7 設定在 BP_CONTROL[7] 中的 CTX_RELOAD 旗標，那麼 BP 將從閒置狀態中甦醒並且開始讀取所儲存的本文。

在 BP 結束本文重新載入的操作之後，BP 以設定 CTX_RELOAD_DONE 旗標來中止 ARM7，然後，ARM7 必須起動 BP 內部的暫存器並且為了先前工作處理而致能 BP。

10.13 工作聯繫交換

此章節涵蓋當 BP 完成處理時用於工作聯繫交換的詳細程序，在此，”用於最後資料之指標的更新”意謂 BP 將適當的數值分別寫入 VALID_BYTE_ADR[31:0] 和 VALID_BIT_POS[2:0]。

10.13.1 編碼的情況

通常，用於編碼的輸入資料將自 VP 讀入，如果輸入雙重緩衝器的其中一個被 VP 所填滿，那麼 BP 開始經由 IOBUS 讀

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (A-244)

取資料，當到達處理的結尾之時（也就是所處理之巨集區塊的數目等於被 ARM7 所指明之巨集區塊的數目），BP 必須以設定 BP_DONE 旗標來中斷 ARM7 並且落入閒置狀態之中。

用於有效資料的指標應該指示用於截割或 GOB 之”所壓縮的位元串之結尾”，此外，VALID_BYTE_ADR[31:0]應該指示在輸出雙重緩衝器的其中之一的位元。

ARM7 藉由組合此壓縮的位元串和上層標題並且重複該過程來形成最後的位元串，如果 ARM7 想要在 BP 完全消耗在輸出雙重緩衝器中的資料之前重新起動 BP，ARM7 可以藉由消耗至少一個輸出雙重緩衝器並且儲存用於最後資料的指標來達成，因為該指標在 BP 被重新起動的時候將被 BP 所更新。

10.13.2 解碼的情況

首先，ARM7 找尋截割或 GOB 起始碼（如果存在的話），如果發現該起始碼，那麼 ARM7 起動並且致能 BP，在 BP 實施霍夫曼 (Huffman) 解碼、RLC 解碼，並且倒轉曲折掃描變換之後，該資料被傳送到用於 VP 處理的輸出緩衝器，BP 繼續此處理工作直到一個非截割或非 GOB 的起始碼被檢測到為止，如果他們被檢測到，那麼 BP 以設定被用來表示”非截割或非 GOB 之起始碼的結尾”之用於該最後資料的指標來中斷 ARM7，ARM7 然後必須將該起始碼解碼並且實施標題分析直到發現下一個截割或 GOB 的起始碼為止。

10.13.3 發現於壓縮之位元串中的錯誤

五、發明說明 (A248)

在實際的資料將經由電話線和公共交換網路來傳送的視訊會議應用中，極有可能在進來的位元串中包含一些有效的資料，在這種情況下，BP必須中斷ARM7並且檢查ERR_HANDLE_MODE旗標的內容，如果使用者在BP為特殊的應用而被致能之前決定錯誤處理模式將會比較安全。

當ERR_HANDLE_MODE旗標被設定為"1"時，BP會自動發現下一個起始碼，如果該起始碼係用於截割或GOB，那麼BP繼續其正常的處理，因為BP能夠比ARM7早些發現起始碼並且在發現下一個起始碼的同時ARM7能夠執行其它的處理工作，所以此模式係相當有效率的，但是，一個不同於切片或GOB層的起始碼被發現，那麼BP應該再次以設定BP_DONE旗標來中斷ARM7並且落入閒置狀態之中，在這種情況下，所使用之用於最後資料的指標必須指示下一個起始碼的結尾。

如果ERR_HANDLE_MODE旗標被設定為"0"，那麼BP必須落入閒置狀態之中而不再找尋下一個起始碼，在這種情況下，所使用之用於最後資料的指標必須指示發現錯誤的位置，如果使用者想要使用ARM7指令來去除被污染的位元串，那麼此模式將係有效的。

五、發明說明 (B-1)

附錄 B

MPC 位元流處理器

位元流處理器 (BP, Bitstream Processor) 係用於視訊資料編碼與解碼應用之主要MSP處理核心之一者。BP涵蓋截割 (slice) 層編碼與解碼，及H.261/H.263群塊 (GOB) 層編碼與解碼。於解碼應用時，BP提供包含於每一巨集塊之全資訊至向量處理器或ARM7核心。

位元流處理器硬體係區分為四個功能方塊：

- IO匯流排埠介面，包括IO控制與解碼單元
- BP控制狀態機制
- Codec核心，包括BP暫存器多工器與暫存器、算術邏輯單元與多工器、及FIFO控制單元
- VLC FIFO單元
- VLC Codec，包括具有Codec位址產生器之搜尋ROM

VLC LUT ROM 340 (第三圖) 係直接描述於后。

1.0 方法論 (Methodology)

搜尋列表 (Look-up Table) 單元係霍夫曼編碼與解碼之核心。此單元提供包括於MPEG-1、MPEG-2、H.261與H.263規格之所有VLC列表，且係由三星 (SAMSUNG) MSP所提供。此等列表之大部分係實施於ROM，其為12位元寬。然而，若該搜尋處理係過於簡化或未能符合ROM列表之尺寸，則將應用一特定之編碼／解碼。於此層之所有四種

五、發明說明 (B-2)

規格均包含高達17位元之許多可變長度碼。除了已編碼或已解碼的值之外，該碼尺寸及有效碼指示器係欲提供於編碼與解碼用，以正確地操作該處理。若使用傳統方法以編碼或解碼該等VLC列表，則ROM列表與位址產生器均將係非常大。

1.1 實施策略 (Implementation strategy)

實施策略可係描述如下：

- 若其不會使得位址產生器變得難以處理，儘可能地多加共用ROM列表
- 基於編碼或解碼，重新排列該VLC列表
- 零計數或壹計數，其係基於霍夫曼碼，先解碼
- 藉由使用諸如符號或偶數／奇數之一個位元旗標，減小列表尺寸
- 若可能時，分割一個ROM位置為高位準與低位準
- 使用VLC之LSBs以產生ROM列表位址，藉以簡化該位址產生器

此種方法係非常有效率。最終之ROM列表尺寸係為768 × 12位元，其係遠比此問題所意味者為小。

此搜尋係由一ROM列表位址產生器與一ROM列表搜尋處理所執行。該位址產生器解碼諸如列表型式、模式與VLC／值之該等輸入訊號，且產生ROM列表之位址。然後已編碼或已解碼之資料可由ROM列表值與其他資訊所導出。該等解碼列表具有二種格式。第一種格式係應用於DCT

五、發明說明 (B-3)

係數，其每一個 VLC 碼具有一個 ROM 位置。另一種格式係應用於其他列表，於其每個 ROM 位置係分成高位元 6 位元與低位元 6 位元；是以，每個位置包含二個 VLC 碼。該編碼列表具有二種格式：一種格式係用於 H.263 之 TCOEF；另一種格式係用於其他列表。每個 ROM 位置包含用於編碼應用之一個霍夫曼碼。該 ROM 列表之尺寸為 768×12 位元。該列表可係描述如后：

列表 1：VLC 解碼 ROM 列表映射

規 格	列 表	說 明	範 圍	位 元
MPEG	14,15	DCT 係數	0x000-0x08F	144×12
H.261	5	TCOEF	0x000-0x06E	
H.263	12	TCOEF	0x09A-0x0FF	102×12
H.263	9	CBPY	0x090-0x097	8×12
MPEG	2,3,4	巨集區塊型式	0x000-0x10F	19.5×12
H.261	2	MTYPE	0x100-0x10F	

五、發明說明 (B⁴)

H.263	3,4	MCBPC	0x098-0x099, 0x100-0x10F, 0x06F-0x1B0 (LOW)	
MPEG	1,10	MB INC, 移動碼	0x110-0x11F, 0x0E2	17×12
H.261	1,3	MB ADR, 移動碼	0x110-0x11F, 0x0E2	
H.263	10	MVD	0x110-0x11F, 0x0E2	
MPEG	9	MB 形態	0x120-0x13F	32×12
H.261	4	CBP	0x120-0x13F	
MPEG	12,13	DCT DC尺寸	0x140-0x14B	12×12
總 計				332×12

(請先閱讀背面之注意事項再填寫本頁)

雙

訂

線

五、發明說明 (B-5)

列表 2 : VLC 編碼 ROM 列表映射

規 格	列 表	說 明	範 圍	位 元
MPEG	14, 15	DCT 係數	0x1ED-0x288	156 × 12
H.261	5	TCOEF	0x1ED-0x25E	
H.263	12	TCOEF	0x289-0x2E9, 0x1EC	98 × 12
H.263	9	CBPY	0x19B-0x1AA	16 × 12
MPEG	2, 3, 4	巨集區塊型式	0x2EA-0x2FF	22 × 12
H.261	2	MTYPE	0x2EA-0x2FF	
H.263	3, 4	MCBPC	0x14C-0x167	28 × 12
MPEG	1, 10	MB INC, 移動碼	0x178-0x19A	35 × 12
H.261	1, 3	MB ADR, 移動碼	0x178-0x19A	

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (B-b)

H.263	10	MVD	0x178-0x19A	
MPEG	9	MB 形態	0x1AB-0x1EA	64×12
H.261	4	CBP	0x1AB-0x1EA	
MPEG	12,13	DCT DC尺寸	0x168-0x177	16×12
總 計				423×12
註 解	1)列表12/H.263具有用於4個VLC碼之特殊編碼。			
	2)保留三個位置			

1.2 解碼 (DECODE)

用於解碼器之所有列表係基於零或壹計數而重新排列。若一個VLC碼之MSB係'0'，則係應用零計數。否則，係使用壹計數。舉例而言，若有一個'00001XXX'之碼，則有4個零。若有'1110XXX'，則有3個壹計數。解碼程序將先解碼零／壹計數，並輸出該VLC碼之零／壹計數至ROM列表位址產生器。然後，該位址產生器解碼其餘之碼以產生位址。該位址包括二個部分：一個部分係偏移位址

五、發明說明 (B-7)

；另一個部分可由 VLC 列表所導出，係稱作被遮蓋 (masked) 位址。該位址係此二個部分之邏輯或 (OR)。由該位址產生器所提供之其他資訊可描述如后：

- VLC 碼尺寸
- 特殊旗標：2位元旗標，指示於解碼狀態機制關於 H.261 之 'ESCAPE(跳脫)'、'END OF BLOCK(方塊結束)'、'STUFFING(填充)'或 'START CODE(啟始碼)
- 高資料引出致能：有效資料係高 6 位元
- 符號／偶數致能：此旗標指示該解碼須基於列表而引出 VLC 之 LSB 作為符號或偶數位元
- 有效 VLC
- 遮蓋位移位元，及遮蓋(mask)：此二個訊號係施加以產生被遮蓋位址。

除了 MPEG-2 之列表 14、15 與列表 12/H.263 之外，對於 ROM 列表，每個位置均係儲存以於高及低位元格式之資料。用於解碼之 ROM 列表的尺寸係為 332×12 位元。

1.2.1 列表 14/MPEG-2

此列表係同於列表 2-B.5C/MPEG-1 與列表 5/.261。

ROM 列表格式：位元 10 至 6:RUN；位元 5 至 0:LEVEL。

1.2.2 列表 15/MPEG-2

此列表之大部分係與列表 14/MPEG-2 共用，因為其等均具有相同之 RUN、LEVEL 與 VLC 碼。

ROM 列表格式：位元 10 至 6:RUN；位元 5 至 0:LEVEL。

五、發明說明 (B-8)

1.2.3 列表 12/H.263

相較於列表 14、15/MPEG-2，此列表具有多一個輸出值 'LAST'。

ROM 列表格式：位元 11:LAST；位元 10至 4:RUN；位元 3至 0:LEVEL。

1.2.4 運動碼 / 巨集區塊增量

此小節涵蓋列表 1/MPEG-2、列表 10/MPEG-2、列表 2-B.1/MPEG-1、列表 2-B.4/MPEG-1、列表 1/H.261、列表 3/H.261 與列表 10/H.263。

須注意，對於運動碼，除了 VLC =1 之外，LSB 係符號位元。對於巨集區塊增量，除了 VLC =1 之外，LSB 係偶數值旗標。因此，僅解碼該列表之半數即可。若忽略牌 (tile) 符號 / 偶數位元，除了列表 10/H.263 之高部外，該二種型式之列表係具有相同之 VLC 與已解碼值。已解碼值係高達 6 位元，其意謂著二個資料值被放入一個位置。雖然列表 10/H.263 之低部已解碼值係不同於其他者，但因為使用定點，即 16 個位置被用到且半數之位置被用以涵蓋所有之此等列表，牌 (tile) 二位元值係相同。僅僅一個 FSM 係用以產生 ROM 位址。

於應用時，若移動碼係已解碼，則 ROM 列表提供絕對值。另一方面，若位址產生器致能符號位元，則解碼器將引出 LSB 作為符號，於其 '1' 代表負數而 '0' 代表正數。此演算法可描述如后：

五、發明說明 (B-9)

```
if (sign_enable==1)
```

```
    increment_value = sign * ROM_table_value;
```

```
else
```

```
    increment_value = ROM_table_value;
```

若巨集區塊位址增量列表係已解碼，可由ROM列表值與偶數旗標而導出結果。舉例而言，由ROM列表得到一個'5'之值。若偶數旗標係高位時，則得到'10'之結果。若偶數旗標係低位時，則得到'11'。此運算法係描述如后：

```
if (even_enable == 1)
```

```
    increment_value = (ROM_table_value <<1)
```

```
    |(-even_bit);
```

```
else
```

```
    increment_value = ROM_table_value;
```

ROM 列表格式：位元11至6：高位資料；位元5至0：低位資料。

1.2.5 巨集區塊形態

此小節涵蓋列表9/MPEG-2、列表2-B.3/MPEG-1、列表4/H.261(CBP)。

已解碼值係高達6位元，其意謂著二個資料係被放入一個位置。即，32個位置係用以涵蓋所有之此等列表。

ROM 列表格式：位元11至6：高位資料；位元5至0：低位資料。

1.2.6 巨集區塊型式

五、發明說明 (B-10)

此小節涵蓋列表 2、3、4/MPEG-2、列表 2-B.2/MPEG-1、列表 2/H.261(MTYPE)、與列表 3、4/H.263(MCBPC)。

已解碼值係高達 5 位元。高位 / 低位資料之概念仍然被運用。僅僅一個 FSM 係用以產生 ROM 位址。

ROM 列表格式：位元 11至 6：高位資料；位元 5至 0：低位資料。

雖然某些位元對於不同規格係具有不同之意義，該巨集區塊型式之格式係針對每個規格而共通地界定，其係基於 MPEG。須注意，H.263 基於其資訊需求而需有二級解碼，其可描述如后：

解碼 MCBPC，其得到 3 位元巨集區塊型式；

巨集區塊型式搜尋，基於巨集區塊型式、PB旗與圖像型式：

於 VLC 列表之巨集區塊型式之格式可描述於后：

列表 3：MPEG之巨集區塊型式格式

位元 5	位元 4	位元 3	位元 2	位元 1	位元 0
保留	Q	FMV	BMV	P	1

列表 4：H.263 之 MCBPC 格式

位元 4-2	位元 1	位元 0

五、發明說明 (B-II)

MB型式	CR	CB

列表 5 : H.261 之巨集區塊型式格式

位元 5	位元 4	位元 3	位元 2	位元 1	位元 0
FIL	Q	MVD	保留	CBP	INTRA

由列表 4，可不僅得到 3 位元之巨集區塊型式，且亦可得到 2 位元之色度(chroma)形態。在此，巨集區塊型式係一個 3 位元之值，其具有介於 0 至 4 之一個範圍。如前文所述，詳細之巨集區塊型式資料係於第二級所作解碼。解碼搜尋列表可描述如后：

列表 6 : 用於 H.263 之巨集區塊型式解碼列表

PT	MB型式	PB	M4	Q	MF	MODB	P(Y)	INTRA
INTER	3	0	0	0	0	0	1	1
INTER	4	0	0	1	0	0	1	1
INTER	0	0	0	0	1	0	1	0

五、發明說明 (B12)

INTER	1	0	0	1	1	0	1	0
INTER	2	0	1	0	1	0	1	0
INTER	3	0	0	0	0	0	1	1
INTER	4	0	0	1	0	0	1	1
INTER	0	1	0	0	1	1	1	0
INTER	1	1	0	1	1	1	1	0
INTER	2	1	1	0	1	1	1	0
INTER	3	1	0	0	1	1	1	1
INTER	4	1	0	1	1	1	1	1

1.2.7 DCT DC尺寸

此小節涵蓋列表 12、13/MPEG-2、與列表 2-B.5/MPEG-1。須注意，由於 VLC 結構，在此係使用壹計數以代替零計數。

五、發明說明 (B-13)

ROM 列表格式：BIT10至6:高位資料:色度;位元4至0:低位資料:亮度(luma)。位元11與位元5係保留未用。

1.2.8 CBPY

此小節涵蓋列表9/H.263。須注意，此列表包含二組資料，一組係用於相互(inter-)圖像而另一組係用於在內(intra-)圖像。一組值係另一組之轉換，其致能一組資料儲存於ROM。於此，在內資料係放入於ROM。一個4位元之值係用以描述CBPY值。

ROM 列表格式：位元9至6:高位資料;位元3至0;低位資料。位元11至10與位元5至4均係保留未用。

1.2.9 DUAL PRIME與MODE

此小節涵蓋列表11/MPEG-2與列表7/H.263。

此二列表係非常簡單且小，故其可直接作解碼。

1.3 編碼(ENCODE)

類似於解碼，編碼程序係運用了零/壹計數之概念。ROM列表包括零/壹計數之資訊、接著於零或壹計數之第一個'1'後之碼尺寸、與接著最初/最後'1'後之VLC碼。根據此格式，ROM列表之尺寸可限制至每個位置為12位元，且有四個例外於列表12/H.263，其係以特定編碼所解出。此格式可描述於后：

列表7：一般編碼之格式

位元11-位元8	位元7-位元5	位元4-位元0

五、發明說明 (B-14)

零 / 壹 計 數	VLC 碼 尺 寸	VLC 碼

列表 8 : 列表 12/H.263 編碼之格式

位 元 11-位 元 9	位 元 8-位 元 6	位 元 5-位 元 0
零 / 壹 計 數	VLC 碼 尺 寸	VLC 碼

於上述列表中，VLC 碼尺寸係接著最初／最後 '1' 之 VLC 碼的尺寸。VLC 碼係接著最初／最後 '1' 之 VLC 碼。於零計數之情形中，接著第一個 '1' 之 VLC 碼係引出。否則，VLC 碼應由接著最後 '1' 之位元所引出。須注意，於編碼時之壹計數應用係不同於解碼情形。壹計數係應用於若且唯若該壹計數係由位址產生器所致能。因此，若一個 VLC 之 MSB 係 1 但壹計數旗標係低位時，則 ROM 列表之零／壹計數部分將為 0，其意謂著係運用到零計數。

下列例子涵蓋了編碼所有可能之情況。

例 1 : VLC=0000011001, 壹計數致能=0

一般情況之結果 : 0101 100 01001

列表 12/H.263 之結果 : 101 100 001001

例 2 : VLC=11001, 壹計數致能=0

一般情況之結果 : 0000 100 01001

五、發明說明 (B-15)

列表 12/H.263 之結果：000 100 001001

例 3：VLC=11001，壹計數致能=1

一般情況之結果：0010 011 00001

列表 12/H.263 之結果：

一般位址係以一偏移與輸入值相加而產生。

1.3.1 列表 14/MPEG-2

此列表係同於列表 2-B.5C/MPEG-1 與列表 5/H.261。編碼處理 RUN、FIRST、DC、ESCAPE 與 END OF BLOCK 之輸入。

編碼結果：偏移位址係用以與 LEVEL 或 RUN 相加以產生位址。

1.3.2 列表 15/MPEG-2

此列表之大部分係與列表 14/MPEG-2 共用，因其等具有相同之 RUN、LEVEL 與 VLC 碼。對於某些特定情況，係用到壹計數。編碼處理 RUN、LEVEL、FIRST DC、ESCAPE 與 END OF BLOCK 之輸入。

編碼結果：偏移位址，與壹計數指示器。

1.3.3 列表 12/H.263

如前文所述，此列表係非常特殊。不同之格式係用以處理。不幸的是，有某些例外係無法使用 12 位元以描述該 VLC 碼。此等例外係描述於列表 9。該等例外可在不用到 ROM 列表下而特殊地作編碼。

列表 9：於列表 12/H.263 編碼之例外情形

五、發明說明 (B-16)

LAST(最後)	RUN(執行)	LEVEL(位準)
0	0	10
0	0	11
1	0	3
1	1	2

編碼處理 RUN 與 ESCAPE 之輸入。

編碼結果：偏移位址係用來與 LEVEL 或 RUN 相加以產生位址。

1.3.4 移動碼 / 巨集區塊增量

此小節涵蓋列表 1/MPEG-2、列表 10/MPEG-2、列表 2-B.1/MPEG-1、列表 2-B.4/MPEG-1、列表 1/H.261、列表 3/H.261 與列表 10/H.263。

如於解碼部分所述，所有該等列表均可共用一個 ROM 列表與一個 FSM。由 ROM 列表所導出之 VLC 碼，應與符號 / 偶數位元結合以作成完整之 VLC 碼。因此，對於移動碼，於此編碼 FSM 處理之該等輸入值係絕對值，其 LSB 係分數位元、與一位元右移之巨集區塊位址增量。

五、發明說明 (8-19)

編碼處理 STUFFING、與 ESCAPE 之輸入。

1.3.5 巨集區塊形態

此小節涵蓋列表 9/MPEG-2、列表 2-B.3/MPEG-1。

此位址係偏移與形態值之相加。

1.3.6 巨集區塊型式

此小節涵蓋列表 2、3、4/MPEG-2、列表 2-B.2/MPEG-1。

1.3.7 列表 3、4/H.263(MCBPC)

圖像型式、巨集區塊型式與填充旗標之資訊係提供以產生 ROM 列表位址偏移。此位址係偏移位址與 CBPC 之總和。

1.3.8 列表 2/H.261(MTYPE)

此位址產生器係非常複雜，並無加以運用之價值。

1.3.9 CBPY

如同於解碼之小節所討論，僅有在內(intra)圖像資料作編碼。若圖像型式係相互(inter)圖像，則須先將該資料作轉換。

此位址係偏移與 CBPY 值之相加。

1.3.10 DCT DC 尺寸

此小節涵蓋列表 12、13/MPEG-2、與列表 2-B.5/MPEG-1。

因為亮度與色度之某些 VLC 碼係相同，某些 ROM 列表係可供作共用。色碼旗標與某些位元值係用以產生偏移位

五、發明說明 (B-18)

址。藉著將偏移值與實際值相加，可得到 ROM 位址。

1.3.11 DUAL PRIME與MODB

此小節涵蓋列表 11/MPEG-2與列表 7/H.263。

此二個列表係非常簡單且小，故可直接對其編碼。

2.0 硬體說明

VLC 編碼／解碼之硬體係包括於 'VLC' 之區塊中。此區塊包含三個子區塊。此等區塊係應用以產生 ROM 列表位址或者解碼／編碼資料本身。'VLC_DEC' 係用以解碼 VLC 且產生 ROM 列表位址。'VLC_ENC' 係用以編碼 VLC 之一個區塊，其可產生 ROM 列表位址或用於 H.263 之 TCOEF 列表的特定編碼。'LOOKUP' 係基於 ROM 列表值或特定編碼值，以輸出 VLC 資料。

2.1 VLC 解碼位址產生器

VLC_DEC 之核心係解碼 FSM。此 FSM 解碼輸入資訊且控制位址產生。該 FSM 之輸入及定義可描述如后。

- 零／壹計數 (15 位元)：提供零／壹計數值。
- 零／壹計數 (4 位元)：提供零／壹計數值。使用二種不同位元計數訊號之目的，係在於使得輸入資料稀疏降低閾用戶。於大部分之情況下，係使用 15 位元者。
- 壹計數致能 (1 位元)：壹計數指示器。
- 列表型式 (6 位元)：列表型式。

列表 10：VLC_DEC FSM 列表型式格式

五、發明說明 (B-19)

位元 5	位元 4	位元 3	位元 2	位元 1	位元 0
DCT尺寸	MB INC/MC	MB形態	CBPY	MB型式	DC COEF

• 模式 (9 位元) : 作業模式

列表 11: VLC_DEC FSM 模式格式

位元 8	位元 7	位元 6	位元 5	位元 4	位元 3	位元 2	位元 1	位元 0
H.263	規 格	圖像型式			色度	最終DC	列表 15	MB INC

規格定義與圖像型式係於接腳定義中詳釋。

一種特殊之演算法係用以產生解碼 ROM 列表位址，藉以簡化硬體並確保 ROM 存取時間。該程序係如后：

步驟 1：產生偏移位址 (OFFSET)。

步驟 2：產生 4 位元之位移量 (MASK_SHFT)，且以此位移量向右位移 16 位元之 FIFO_DATA。接著引出四個最低有效位元 (FOL_DATA)。

步驟 3：將於步驟 2 中得到之四個位元反轉。

步驟 4：產生一個 4 位元遮罩訊號，以遮罩於步驟 3 所得之資料 (MASK)。

五、發明說明 (B-20)

步驟 5：將步驟 4 之結果與偏移位址作邏輯或 (OR) 之動作

。此結果即 ROM 列表位址。

合併此等步驟產生：

$$\text{Address} = \text{OFFSET} \mid (\text{BITREVERSE}(\text{Bit}(3-0) \text{ of } (\text{FIFO\_DATA} \gg \text{MASK\_SHFT})) \& \text{MASK})$$

該 FSM 之輸出如下：

- MASK (4 位元)：遮罩資料
- OFFSET (9 位元)：ROM 列表偏移位址
- MASK_SHFT (4 位元)：位移量
- SIZE (5 位元)：VLC 尺寸
- SPECIAL_FLAG (3 位元)：用以解碼之額外資料：

列表 12：VLC_DEC 特殊旗標之定義

位 置	值	定 義
位 元 2		引出 VLC 之 LSB
位 元 1-0	01	跳 逃
	10	區 塊 / 填 空 結 束
	11	H.261 之 啟 始 碼

五、發明說明 (B-21)

- VALID_VLC (1 位元) : 有效 VLC 碼旗標
- HIGH_DATA_INDICATOR (1 位元) : 引出 ROM 資料之高 6 位元

輸入接腳：

- FOL_DATA (4 位元) : 移位後之 FIFO_DATA (參考前述步驟 2)
- CNT (4 位元) : 零 / 壹計數
- ONE_CNT_EN (1 位元) : 壹計數指示器
- MODE (14 位元) : 列表型式與其他資訊。其定義係如后。

列表 13：於 VLC_DEC 之模式格式

位元 13	位元 12	位元 11	位元 10	位元 9	位元 8	位元 7
DCT 尺寸	MC	MB INC	MB 形態	CBPY	MB 型式	DCT COEF

位元 6	位元 5	位元 4	位元 3	位元 2	位元 1	位元 0
規 格		圖 像 型 式		色 度	最初 DC	列表 15

規 格 : 00=MPEG-1 ; 01=MPEG-2 ; 10=H.261 ; 11=h.263

五、發明說明 (B-22)

;

圖像型式：00=保留 (RESERVED)；01=在內 (INTRA)；
10=預測 (PREDICTED)；11=雙向 (BIDIRECTIONAL)；

• FIFO_DATA (16位元)：資料，包括 VLC

輸出接腳：

- ROM_ADR (10位元)：ROM 列表位址
- MASK_SHFT (4 位元)：用於 FIFO_DATA 之位移量 (參考前述步驟 2)
- SIZE (5 位元)：VLC 尺寸
- SPECIAL_0 (3 位元)：特殊旗標 (參考 FSM 輸出)
- VALID_VLC (1 位元)：有效 VLC 旗標
- HIGH_DATA (1 位元)：引出 VLC 之 LSB 作為偶數旗標符號之指示器
- FULL_DATA (1 位元)：完全 12 位元資料結構，其當解碼 DCT 係數時為高位
- TABLE (6 位元)：界定於 FSM 輸入
- T_MODE (9 位元)：以 MODE 界定於 FSM 輸入

2.2 VLC_ENC

如同以 VLC 編碼核心之小節，VLC_ENC 編碼變數長度碼。此小節之輸出係一個 ROM 列表位址或該 VLC 之一個特殊編碼。如於 1.0 小節所述，除了在用於 H.263 之 TCOEF 某些特殊情況下，編碼資料結構係合於 12 位元資料格式。由碼體觀點以觀之，雖然係運用一個 10 位元加法器以產生

五、發明說明 (8-23)

ROM 列表位址，其係較 VLC_DEC 小節來得簡單許多。

如同 VLC_DEC，此小節之核心係名為 VLC_ENC 之一個 FSM。另一個 FSM，即 ENC_SP，係用於特殊編碼。

至 FSM VLC_ENC 之輸入訊號，係同於此小節之輸入接腳：

- LAST (1 位元)：用於 H.263 之 TCOEF 列表之 LAST 值
- RUN/VALUE (6 位元)：若 DCT 係數列表係正在編碼，此輸入意謂 RUN (執行)。否則，其係一般值，例如 PATTERN (形態)。
- LEVEL (6 位元)：DCT 係數 LEVEL (位準)
- SPECIAL_FLAG (2 位元)：特殊旗標，其係界定於 VLC_DEC 小節
- TABLE (6 位元)：同於 VLC_DEC
- MODE (9 位元)：同於 VLC_DEC

該 ROM 位址產生係非常地直接可得。FSM 提供一個偏移位址，其係加至 VALUE (RUN) 或 LEVEL 或 0 以構成位址。對於特殊編碼，由於該等 VLC 具有相同之尺寸與零計數，輸出係 2 個最低有效位元，係重建入碼中。

輸出接腳可描述如后：

- ONE_CNT_FLG (1 位元)：指明 VLC 構成部分運用、'1' 計數
- SIGN_EN_BIT：指明 VLC 構成部分將符號 / 偶數位元放入為 VLC LSB

五、發明說明 (B-24)

- SPECIAL_ENCODE (1 位元) : 特殊編碼旗標
- VLC (2 位元) : 特殊編碼 VLC 碼 LSBs
- ADR_A (16位元) : 偏移位址。注意, 高 6 位元係 0
- ADR_B (16位元) : 位址之另一部分。注意, 高 10位元係始終為 0

2.3 LOOKUP (搜尋)

此小節提供編碼 / 解碼 VLC 資料。此區塊處理下列情形：

- 正規 12位元編碼 / 解碼 ROM 列表值輸出
- 位元高位 / 低位解碼資料輸出
- 特殊編碼資料重建

如所需求, 輸出資料係以零湊滿。

輸入接腳：

- D_ADR (10位元) : 解碼 ROM 位址
- E_ADR (10位元) : 編碼 ROM 位址
- ENCODE (1 位元) : 1:編碼 ; 0:解碼
- HIGH (1 位元) : 引出高 6 位元旗標
- ENABLE (1 位元) : 全 12位元資料旗標
- VLC (2 位元) : 特殊編碼之碼
- SPECIAL_ENCODE (1 位元) : 特殊編碼旗標

輸出接腳：

LOOKUP (16位元) : VLC 碼。

(請先閱讀背面之注意事項再於本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：)

用以處理視訊資料的方法與裝置

一種電腦系統，其包括能夠同時操作之三個處理器：一純量處理器、一向量處理器、與一位元流處理器。於視訊資料之編碼或解碼時，向量處理器執行可由一單指令多資料處理器所有效率地執行之作業，例如一離散餘弦轉換(DCT)與動作補償。位元流處理器執行霍夫曼與RLC編碼或解碼。位元流處理器可切換本文，以使電腦系統可同時處理數個資料流。純量處理器與向量處理器係可被程式規劃以執行一單一之算術或布林指令。位元流處理器係無法被程式規劃以執行一單一之算術或布林指令，但可被程式規劃以執行整個視訊資料處理作業。

英文發明摘要(發明之名稱:Methods and Apparatus for Processing Video Data)

A computer system includes three processors capable to operate concurrently -- a scalar processor, a vector processor, and a bitstream processor. In encoding or decoding of video data, the vector processor performs operations that can be efficiently performed by a single instruction multiple data processor, for example, a discrete cosine transform (DCT) and motion compensation. The bitstream processor performs Huffman and RLC encoding or decoding. The bitstream processor can switch contexts to enable the computer system to process several data streams concurrently. The scalar and vector processors can be programmed to execute a single arithmetic or Boolean instruction. The bitstream processor cannot be programmed to execute a single arithmetic or Boolean instruction, but can be programmed to perform an entire video data processing operation.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種用以編碼或解碼視訊資料之系統，該系統包含：

一向量處理器，係用以執行視訊資料之線性轉換；

一位元流處理器，係用以壓縮該向量處理器之一輸出，或解壓縮視訊資料以輸入至該向量處理器；及

一控制電路，係用以同步化該向量處理器與該位元流處理器之操作，

其中該位元流處理器係能夠為該控制電路所中斷，以停止處理一視訊資料流並啟始處理一不同之視訊資料流，使得該位元流處理器係能夠大致並行地處理二個視訊資料流，致使該系統能夠即時地編碼或解碼二個視訊資料流。

2. 如申請專利範圍第1項之系統，其中各個視訊資料流係代表一動畫。

3. 一種用以編碼或解碼視訊資料之系統，該系統包含：

一向量處理器，係用以執行視訊資料之線性轉換；及

一位元流處理器，係用以壓縮該向量處理器之一輸出，或解壓縮視訊資料以輸入至該向量處理器，

其中該向量處理器係能夠被程式規劃以執行一單一之算術或布林指令，且其中該位元流處理器係無法被程式規劃以執行一單一之算術或布林指令。

4. 一種用以編碼或解碼視訊資料之方法，該方法包含：

六、申請專利範圍

以一向量處理器執行視訊資料之線性轉換；

以一位元流處理器壓縮該向量處理器之一輸出，或解壓縮視訊資料以輸入至該向量處理器；且

以一控制電路同步化該向量處理器與該位元流處理器之操作，

其中該位元流處理器係能夠為該控制電路所中斷，以停止處理一視訊資料流並啟始處理一不同之視訊資料流，使得該位元流處理器並行地處理二個視訊資料流，致使該系統能夠即時地編碼或解碼二個視訊資料流。

5. 如申請專利範圍第4項之方法，其中各個視訊資料流係代表一動畫。

6. 一種用以編碼或解碼視訊資料之方法，該方法包含：

以一向量處理器執行視訊資料之線性轉換；且

以一位元流處理器壓縮該向量處理器之一輸出，或解壓縮視訊資料以輸入至該向量處理器，

其中該向量處理器係能夠被程式設計以執行一單一之算術或布林指令，且其中該位元流處理器係無法被程式設計以執行一單一之算術或布林指令。

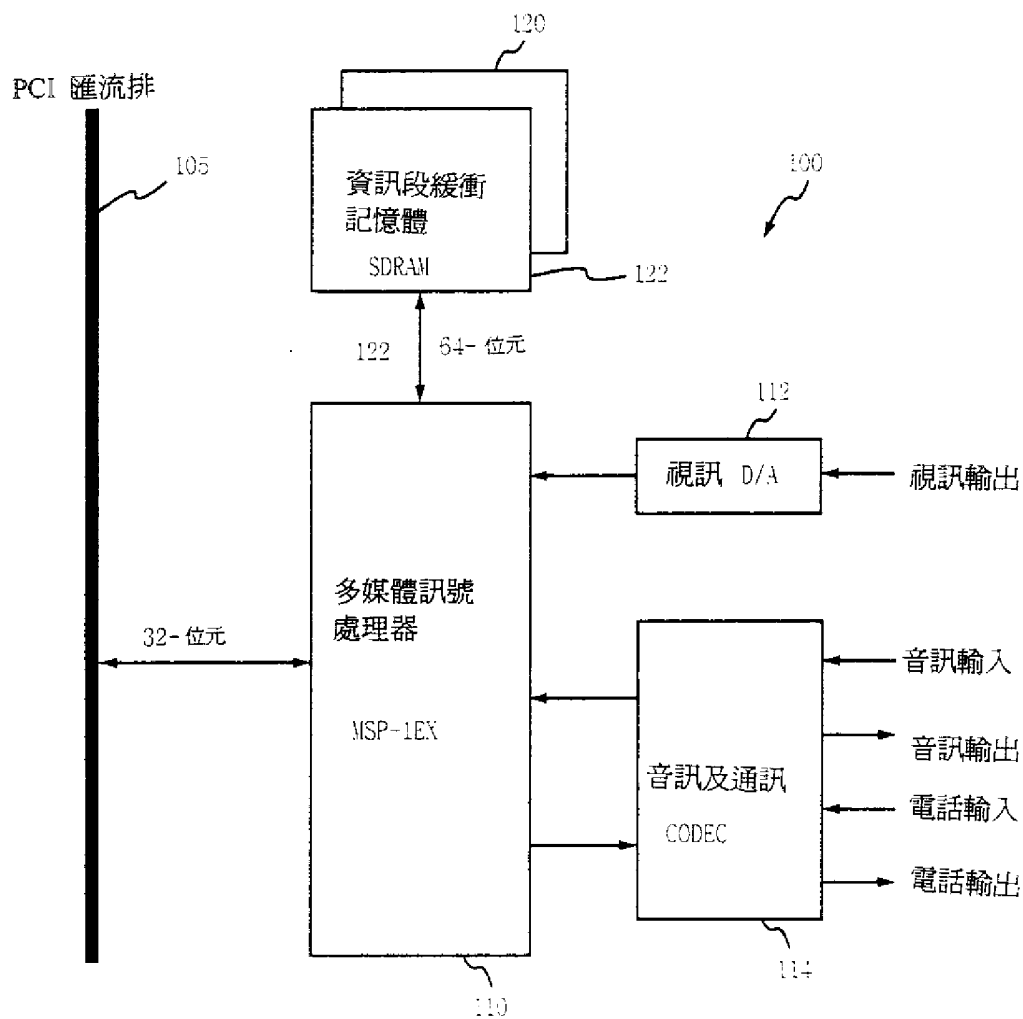
(請先閱讀背面之注意事項再填寫本頁)

收

訂

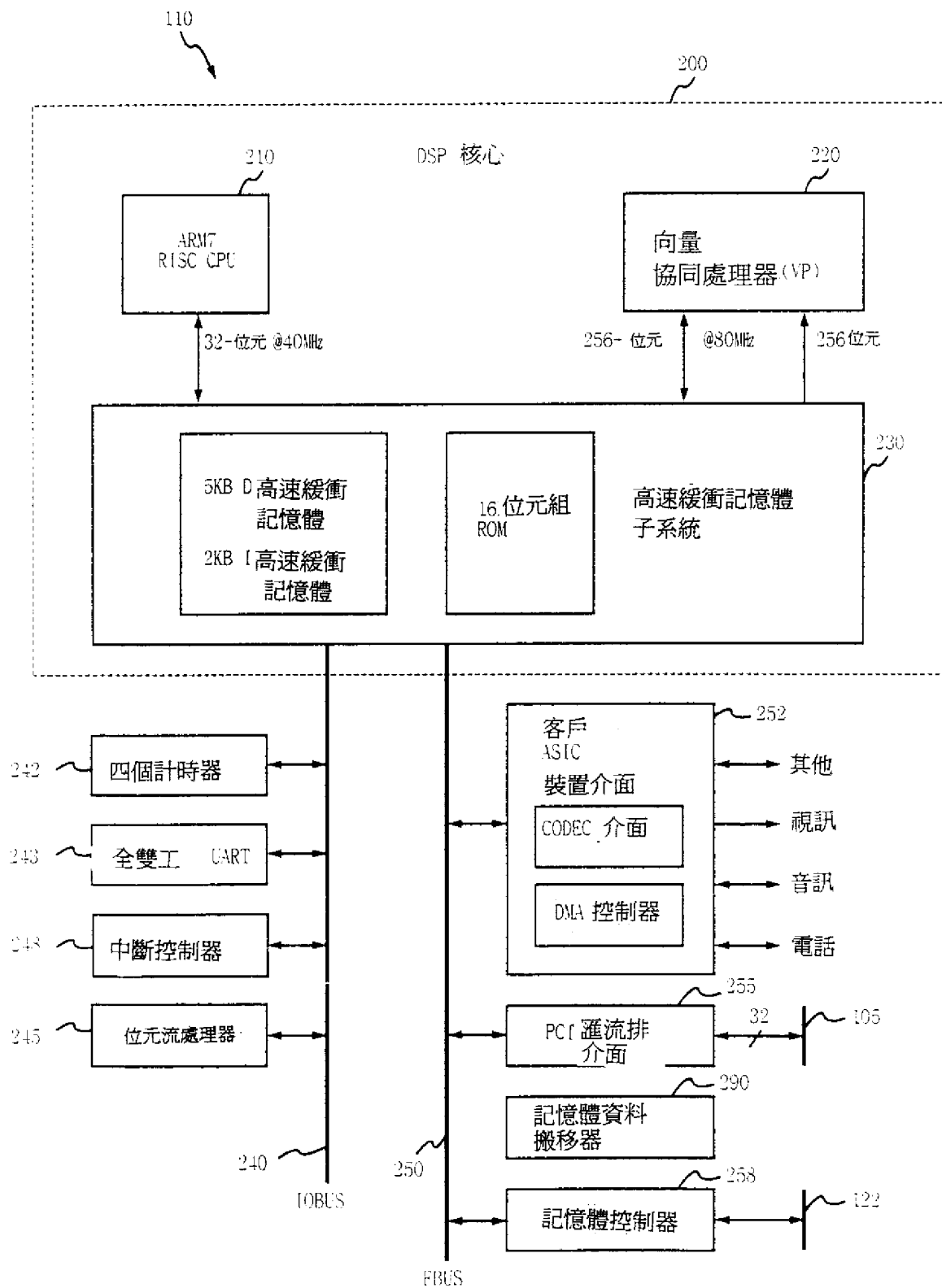
89年12月4日 修正
補充

第一圖

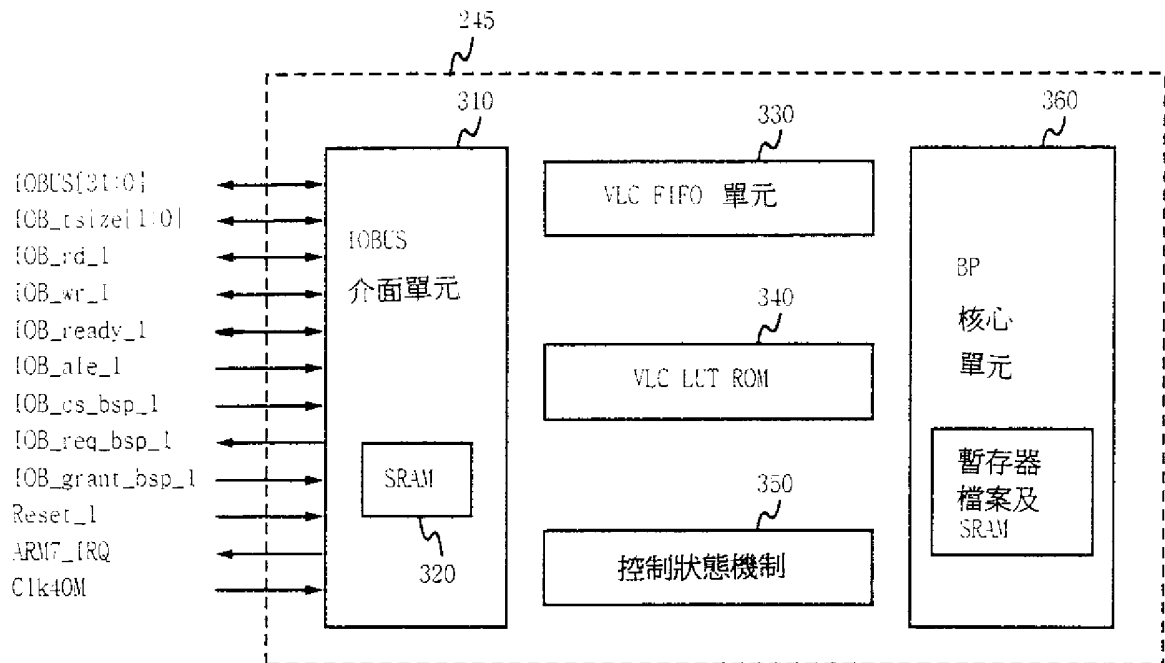


煩請查閱說明書 89年12月4日所授之
修正本有無誤差等情事是合准予修正。

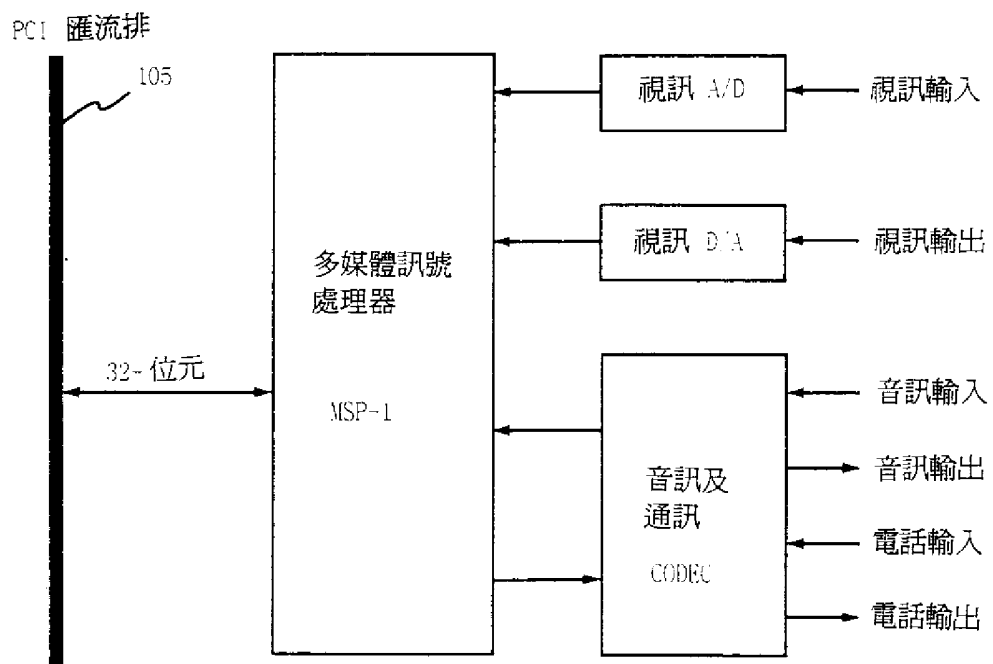
第二圖



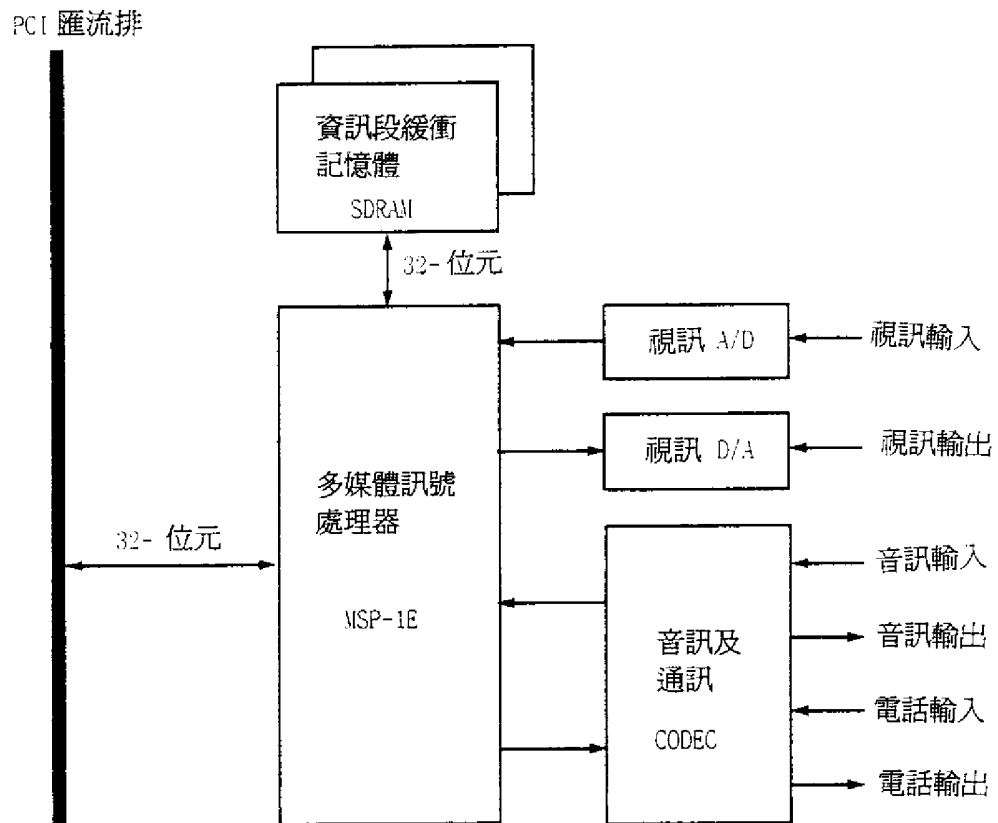
第三圖



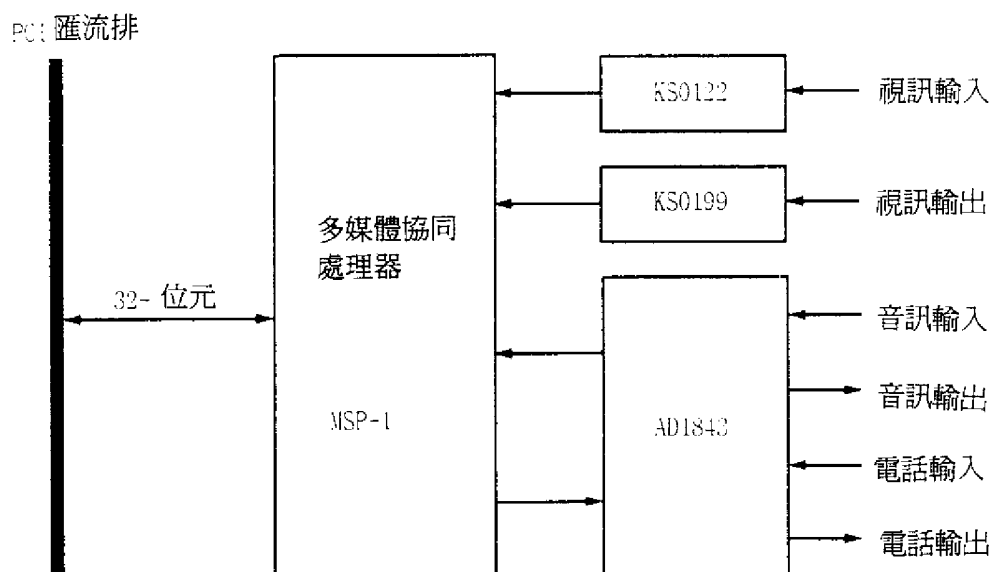
第四圖



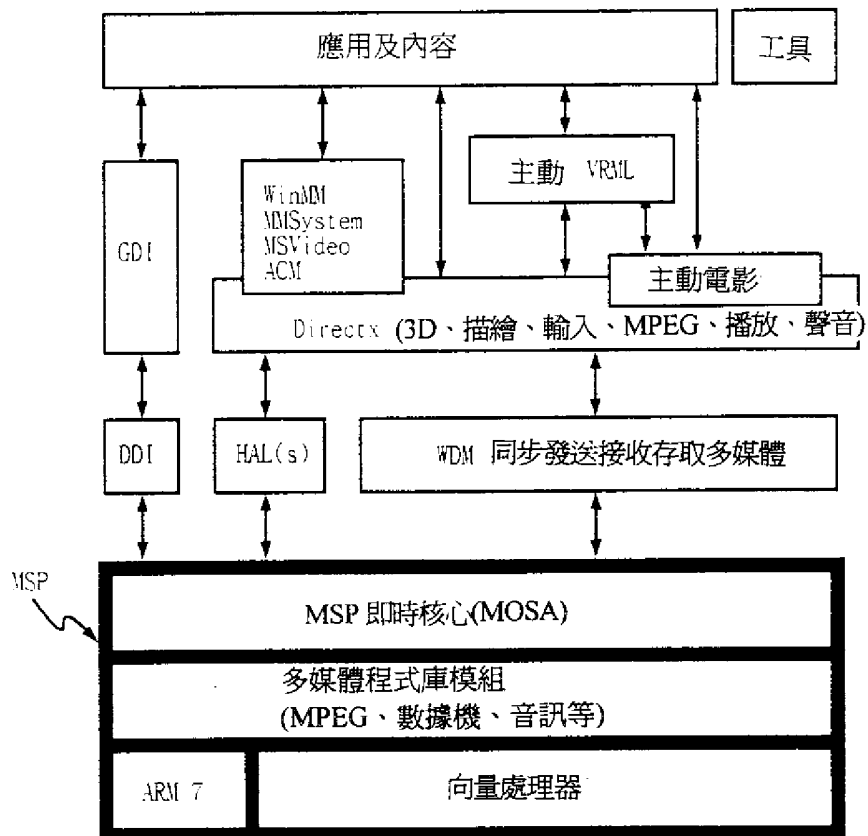
第五圖



第六圖



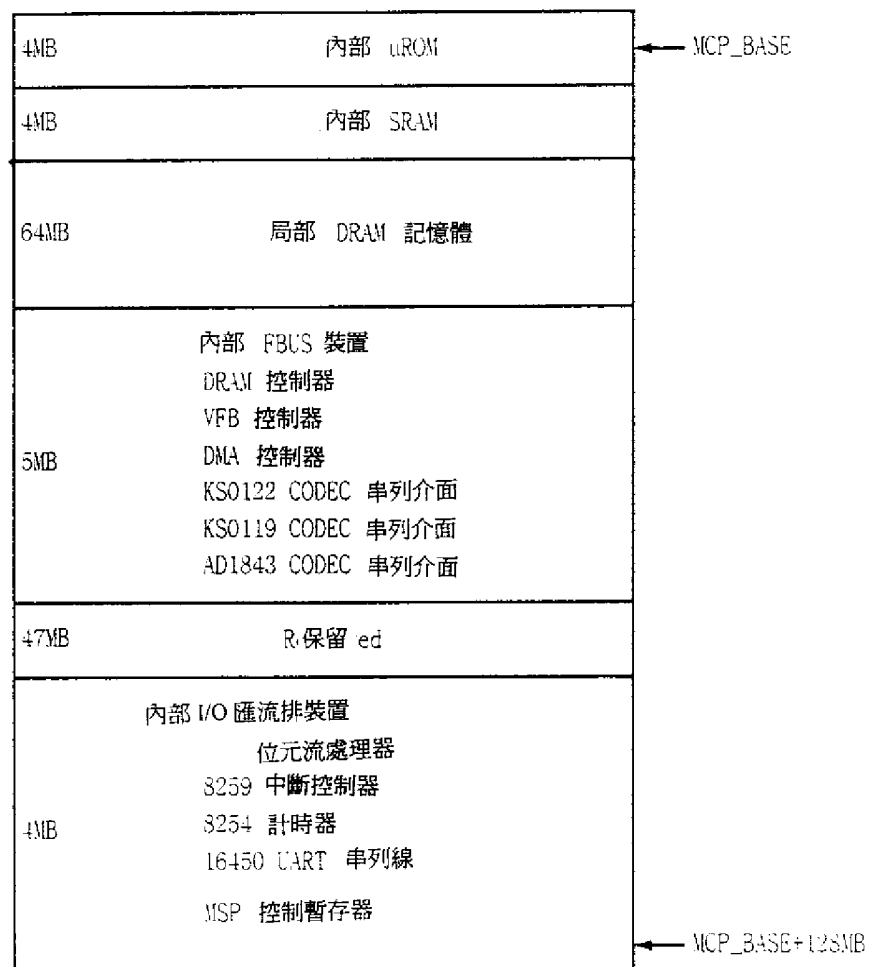
第七圖



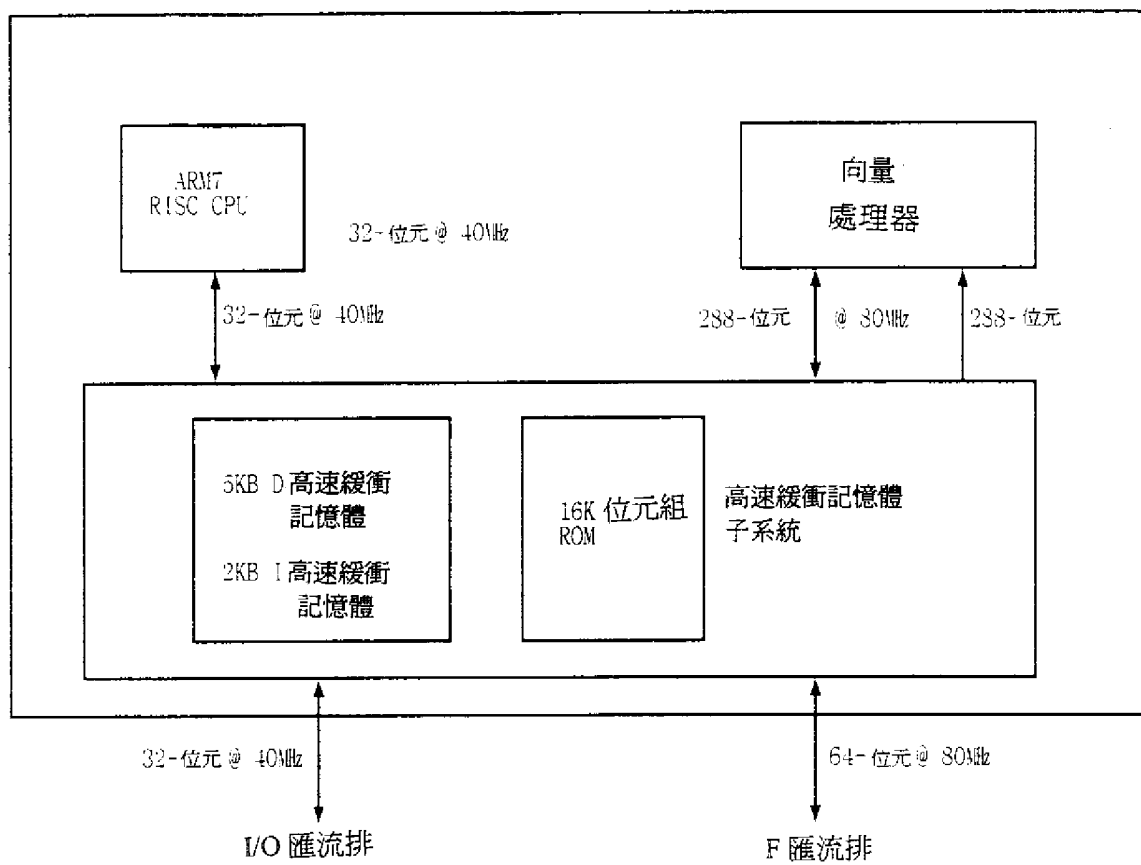
第八圖

0	4MB	內部 uROM
	4MB	內部 SRAM
	64MB	局部 DRAM 記憶體
	5MB	內部 F 匯流排裝置 DRAM 控制器 VFB 控制器 DMA 控制器 KS0122 CODEC 串列介面 KS0119 CODEC 串列介面 AD1843 CODEC 串列介面
	47MB	保留
	4MB	內部 I/O 匯流排裝置 位元流處理器 3259 中斷控制器 3254 計時器 16450 UART 串列線 MSP 控制暫存器
128MB		保留
2GB		其他主機 PCI 裝置 (2GB)
4GB		(映射至 0 到 2GB 之主機 PCI 位址)

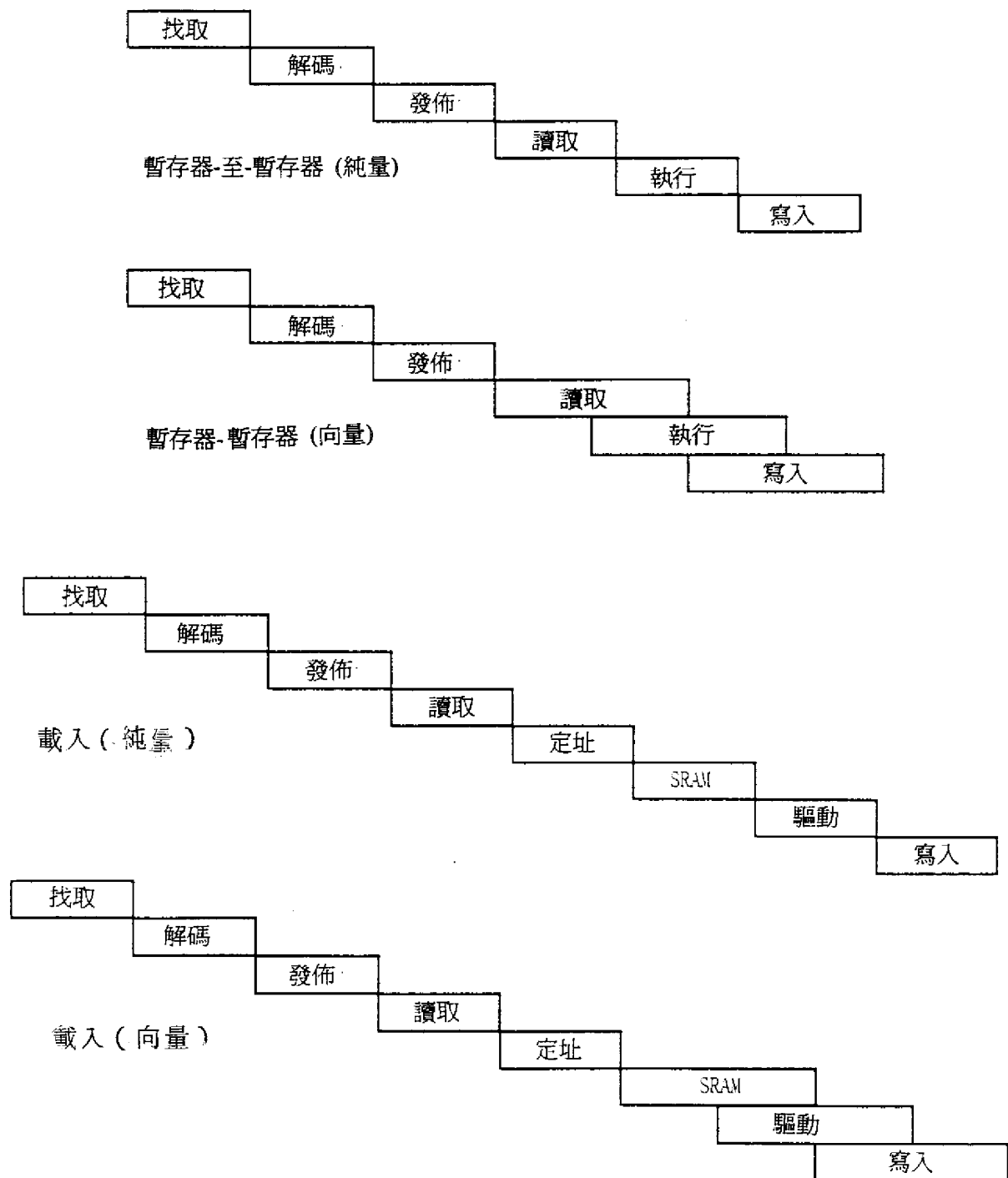
第九圖



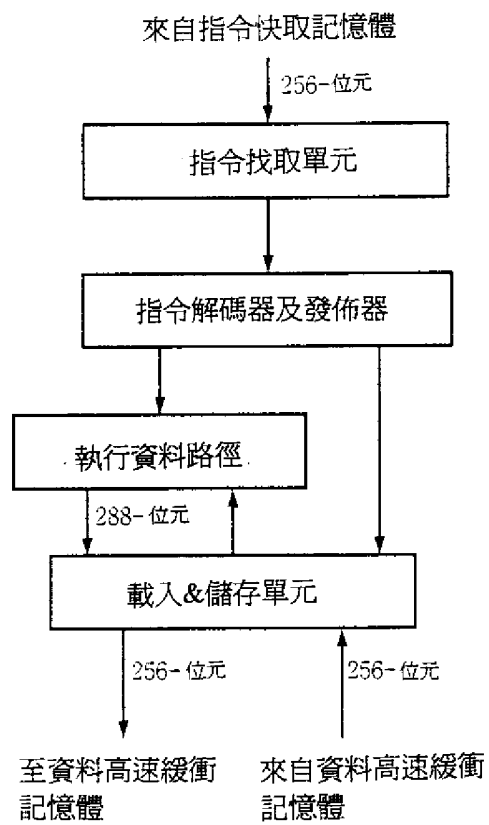
第十圖



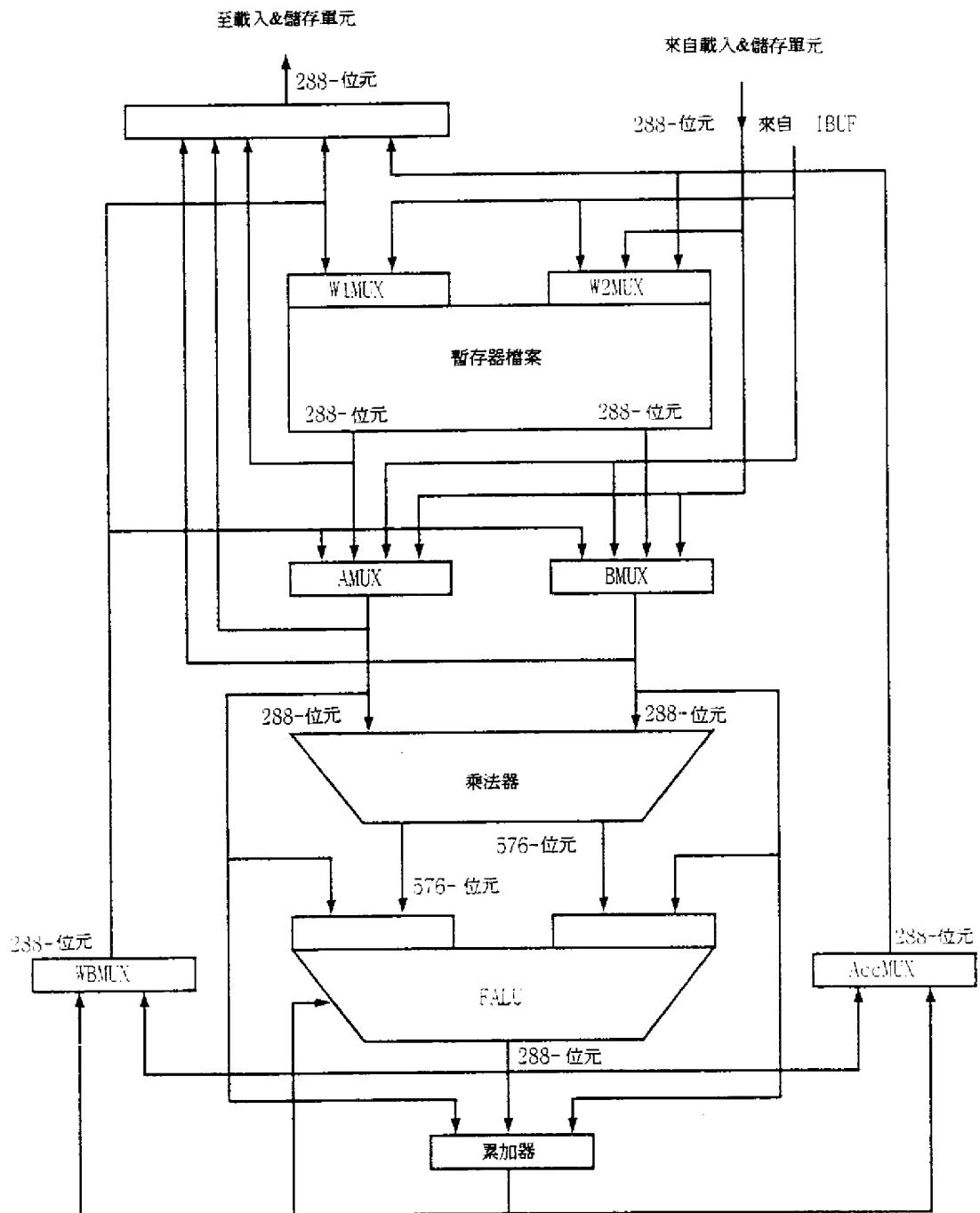
第十一圖



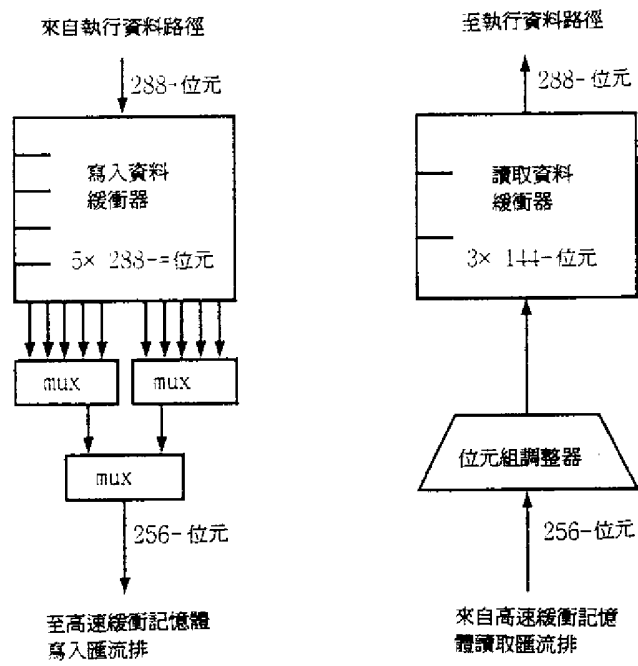
第十二圖



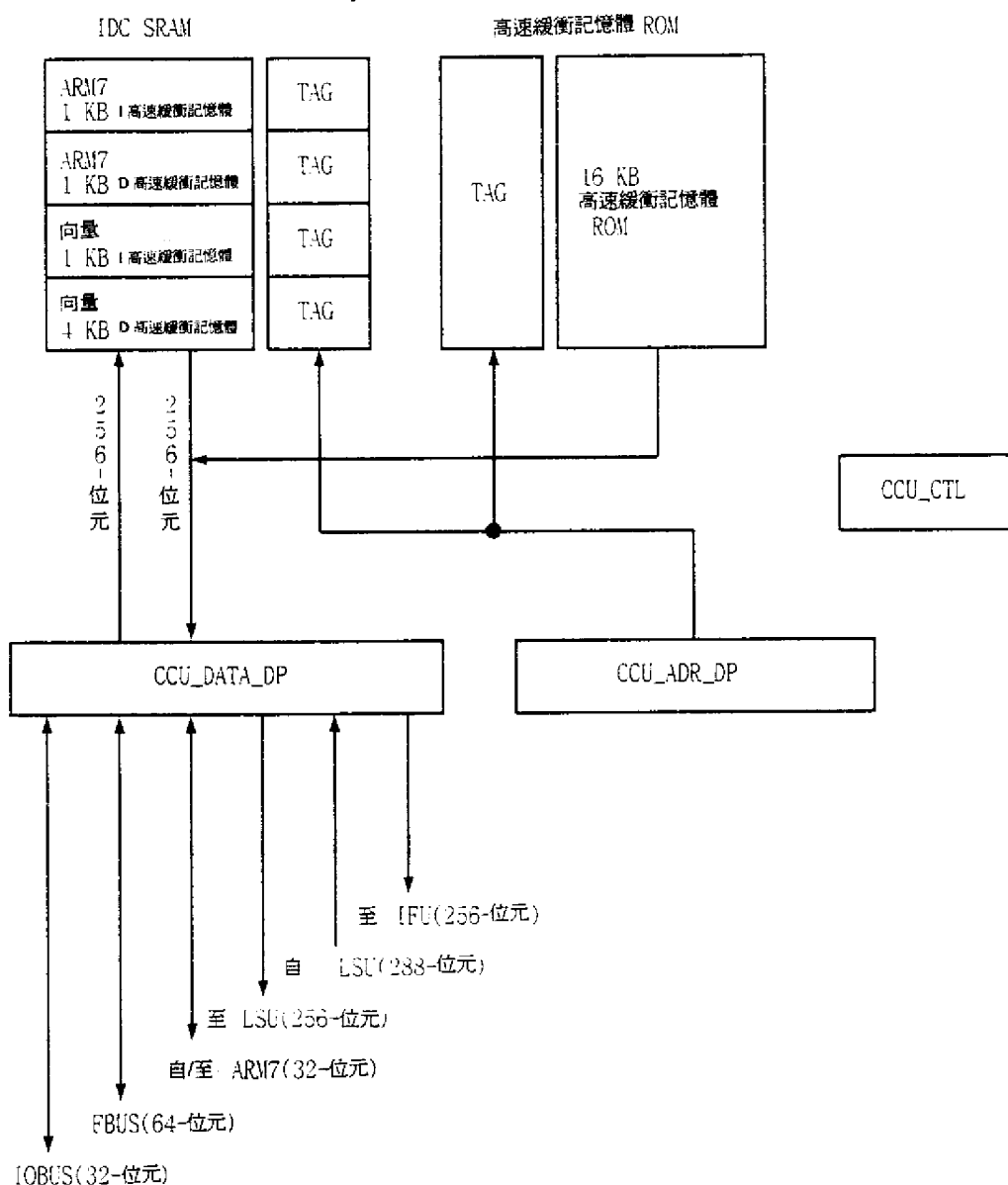
第十三圖



第十四圖

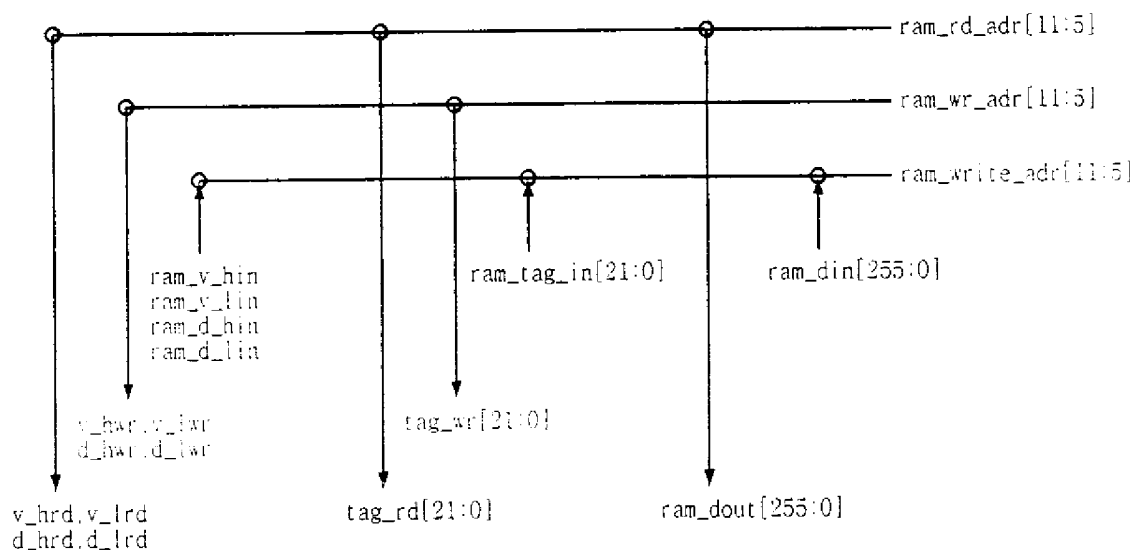
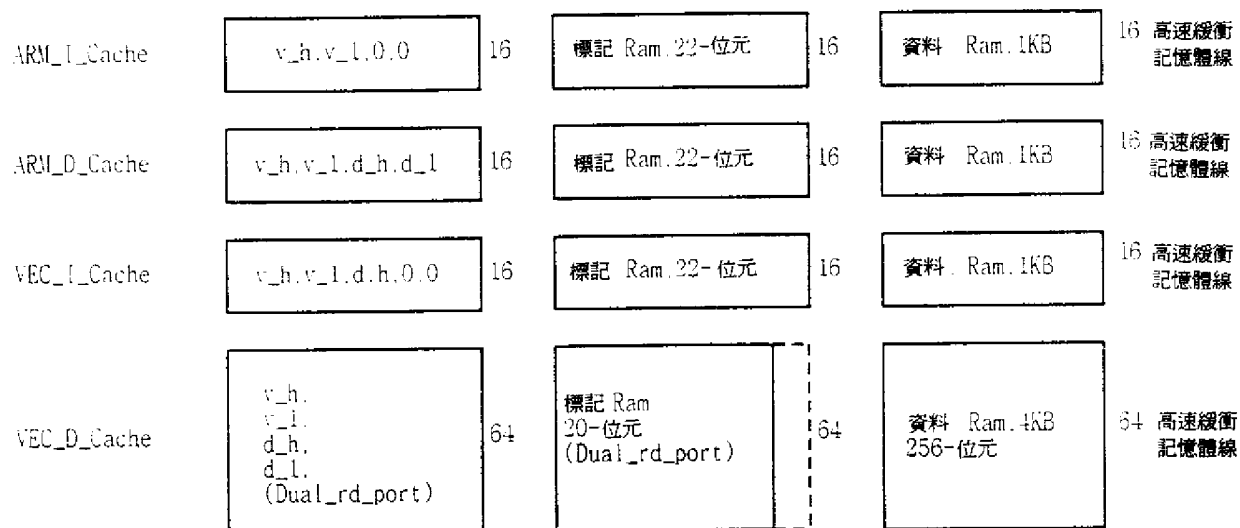


第十五圖



第十六圖

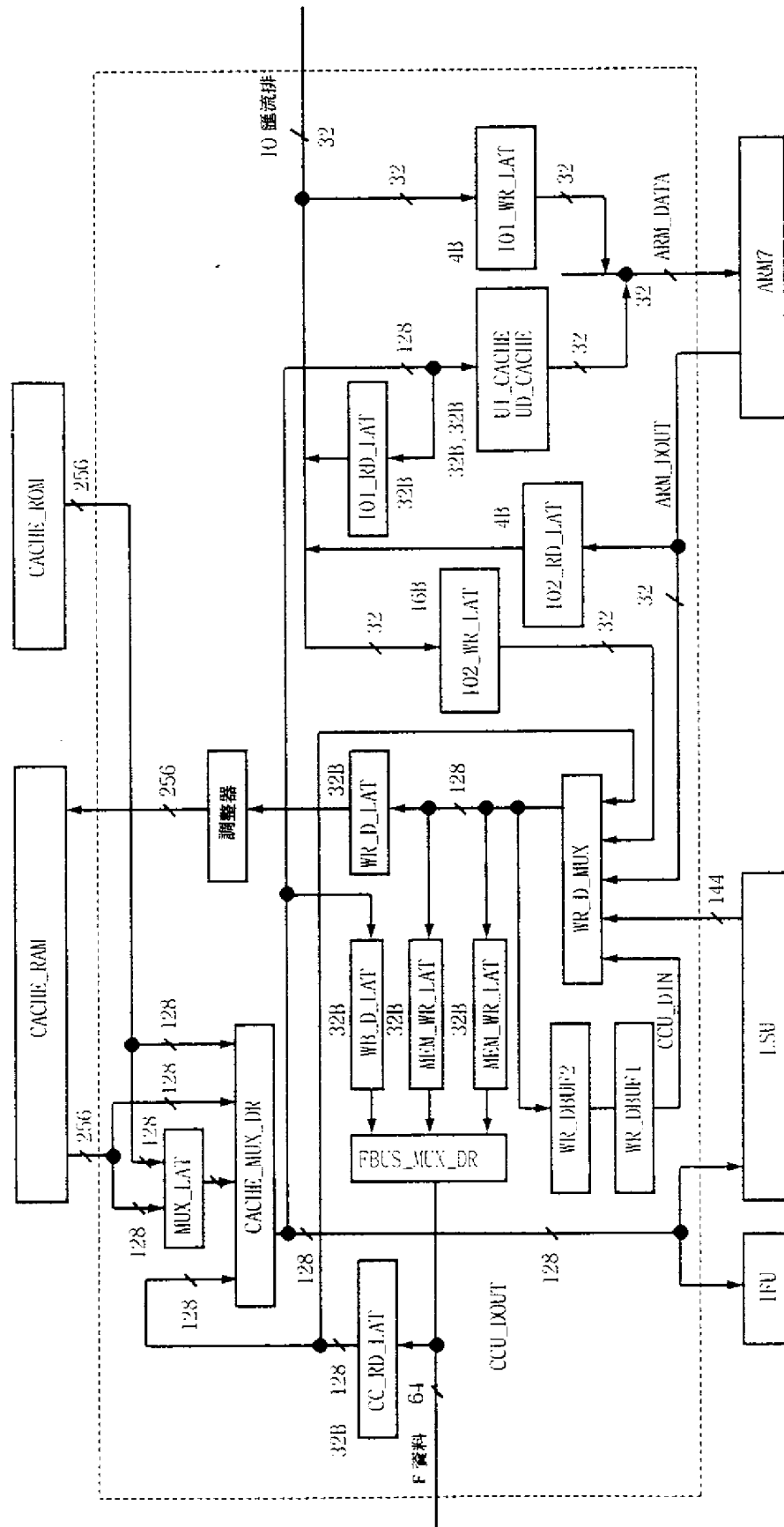
IDC 組織



*注意: 標記 ram.v/d ram 具有 1/2 字組線

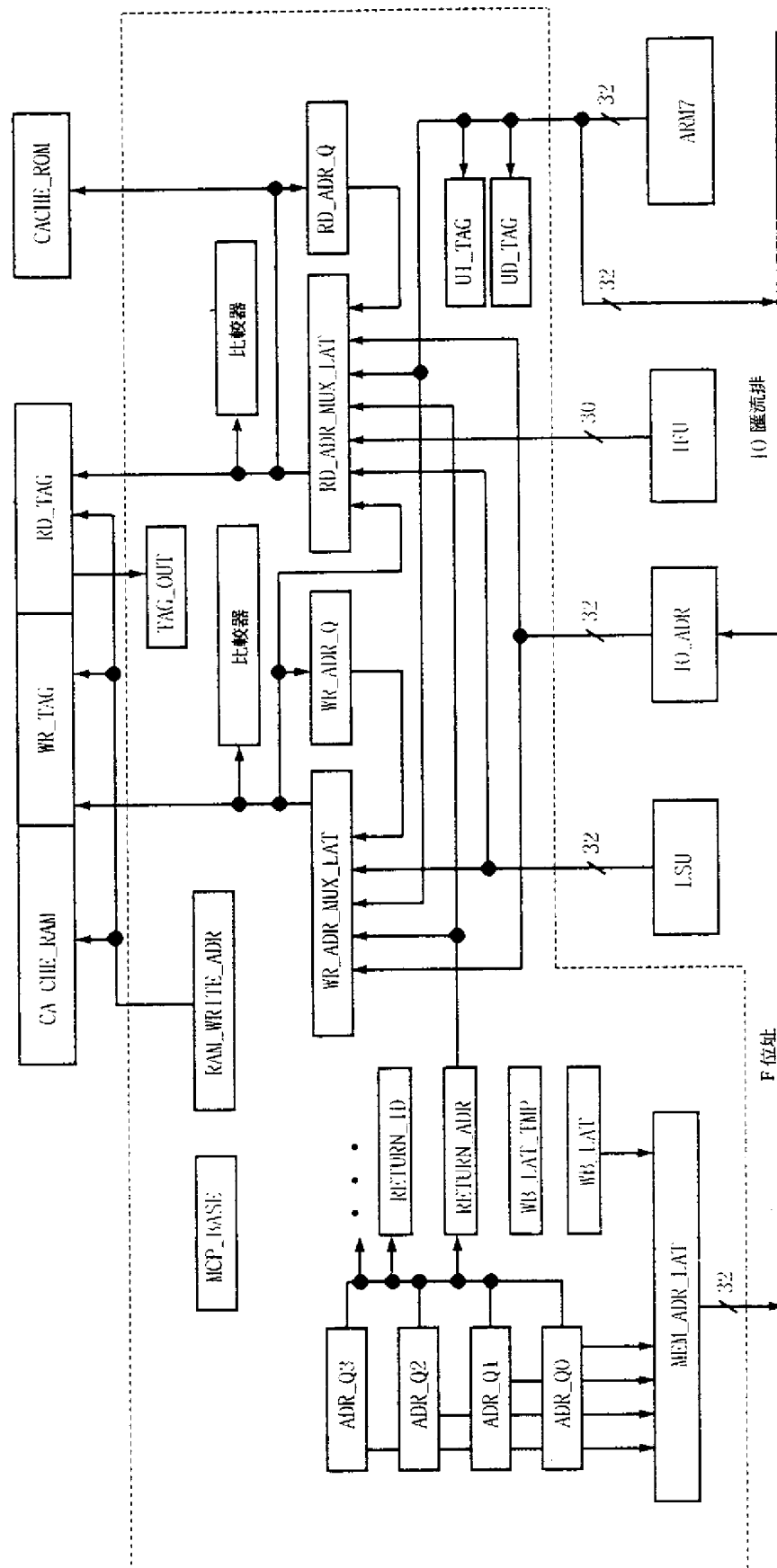
第十七圖

CCU 資料, DP



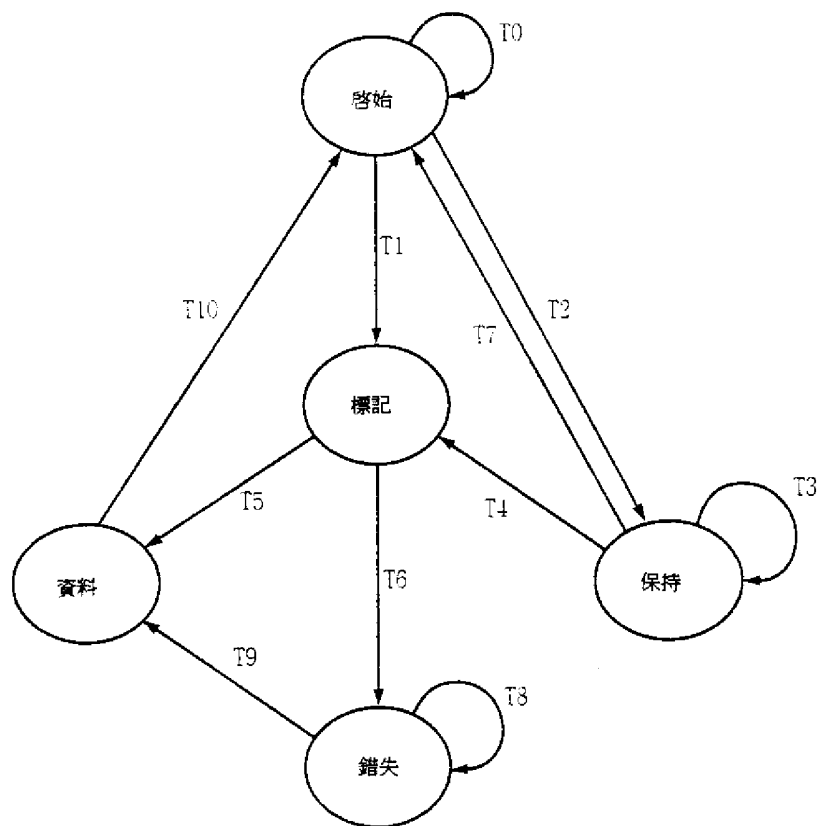
第十八圖

CCU 位址 DP

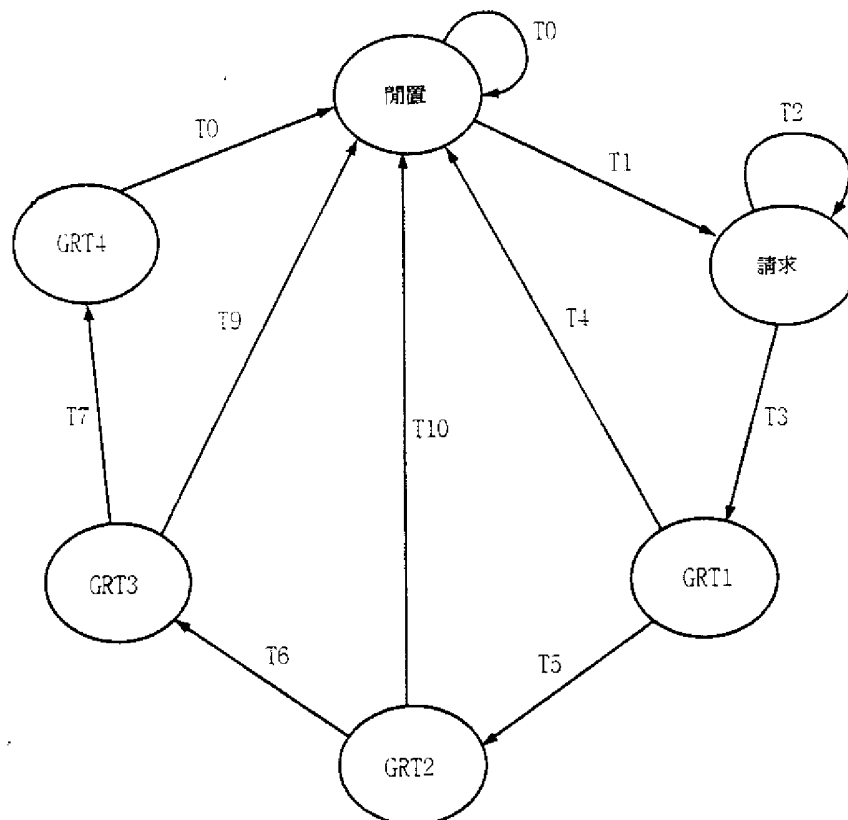


第十九圖

ARM_CCU 介面狀態機器 (A_SM)



第二十圖



閒置：閒置狀態

請求：作出讀取或寫入請求至F匯流排判優器

GRT1：答應尺寸係大於8 B

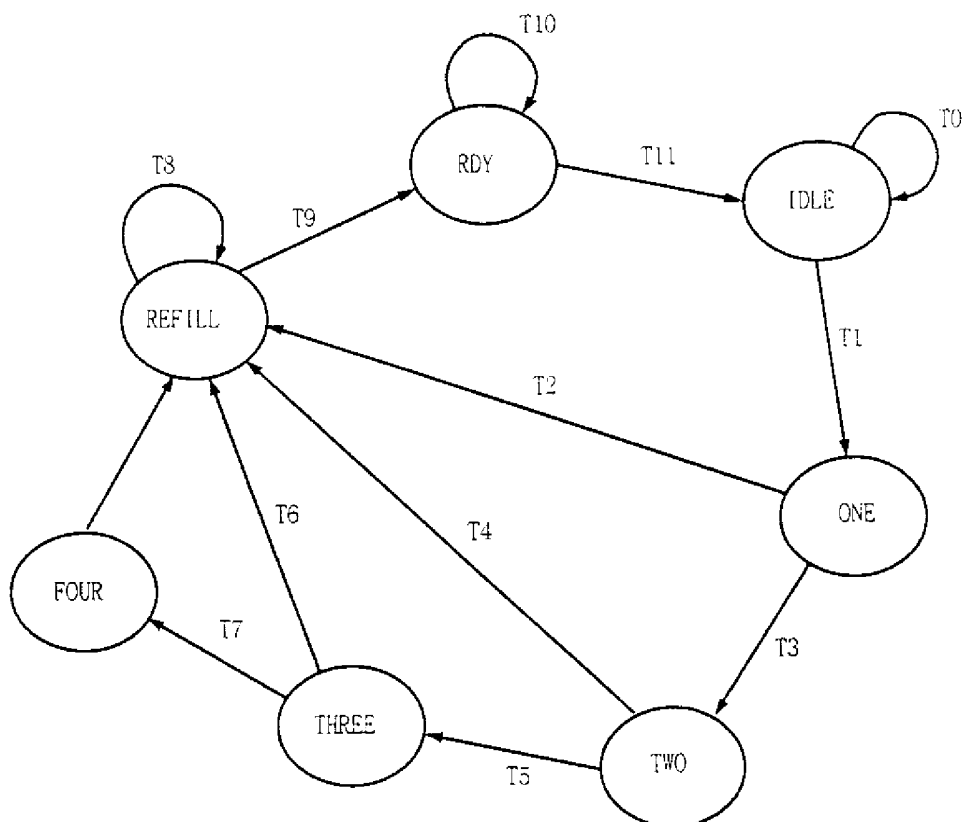
GRT2：答應尺寸係大於16 B

GRT3：答應尺寸係大於24 B

GRT4：驅動用於最後周期之資料

第二十圖

資料接收器狀態機器 (D_SM)



IDLE: 閒置狀態

ONE : 接收來自 Fdata <63:0> 之第一個 8 B

TWO : 接收來自 Fdata <63:0> 之第二個 8 B

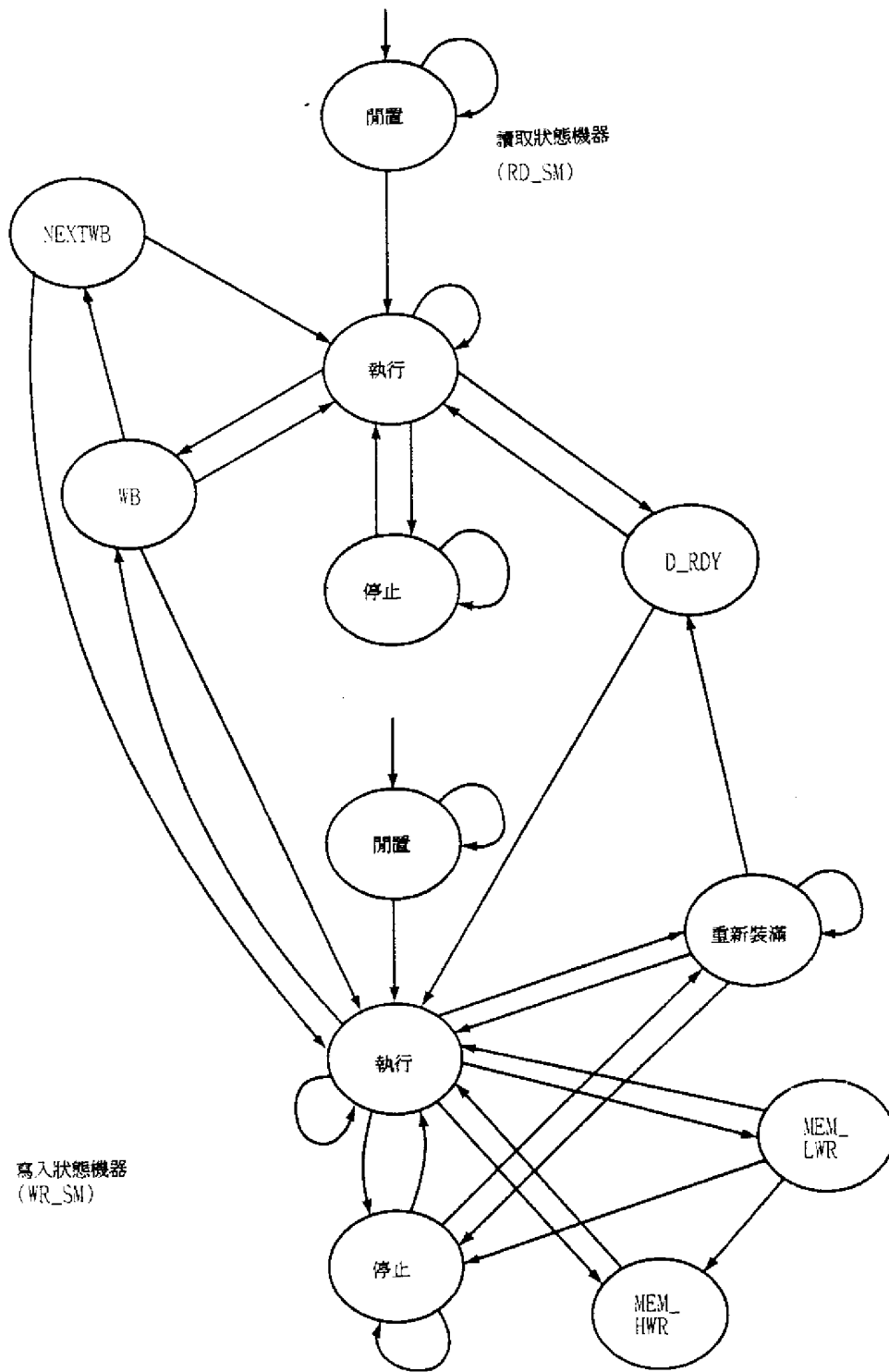
THREE : 接收來自 Fdata <63:0> 之第三個 8 B

FOUR : 接收來自 Fdata <63:0> 之第四個 8 B

REFILL : 在送回資料至請求者之前重新裝滿 IDC

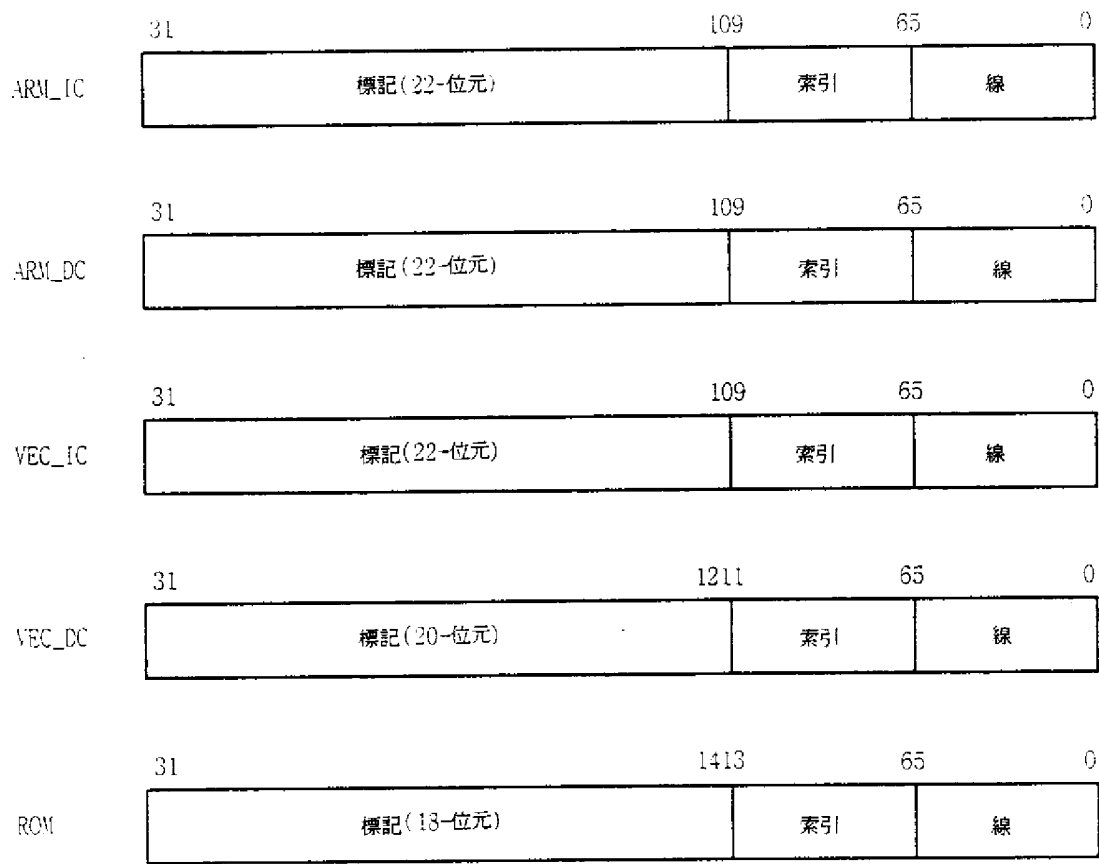
RDY : 備妥以送回資料至請求者

第二圖



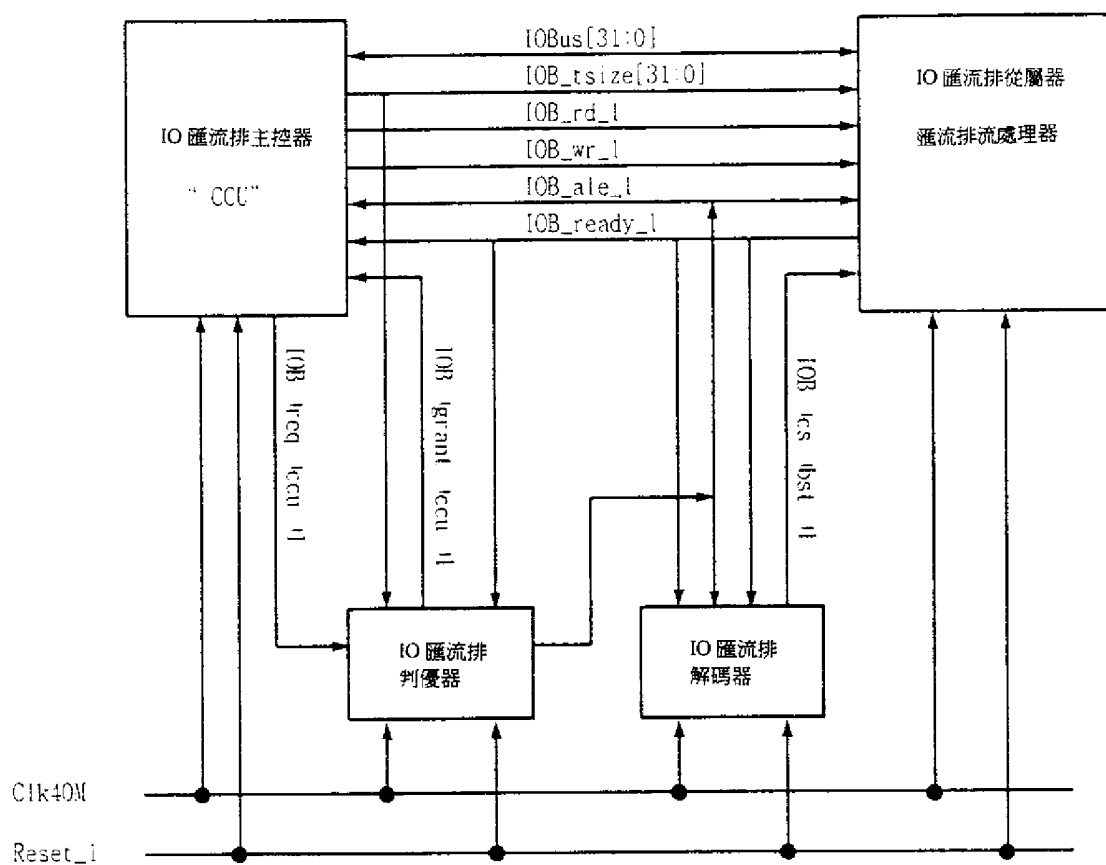
第 三 圖

IDC 與 ROM 位址格式



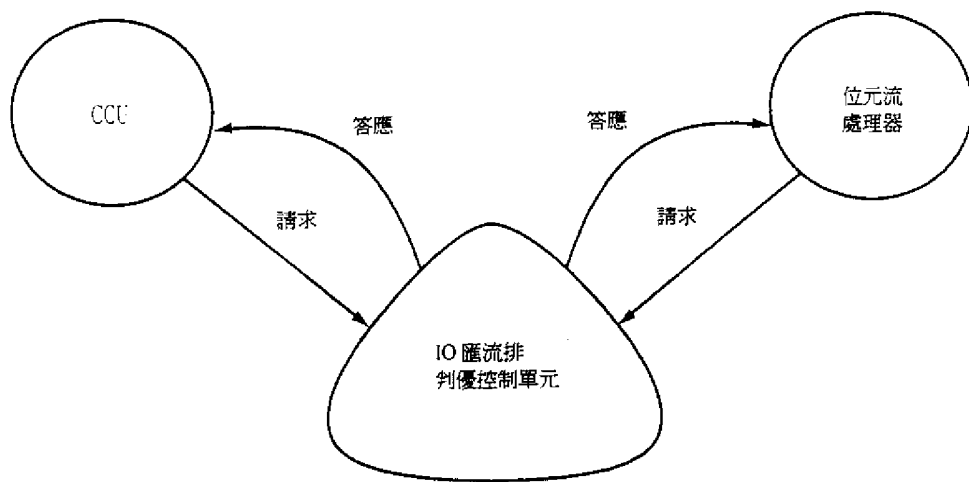
第十四章

IO 匯流排架構定義



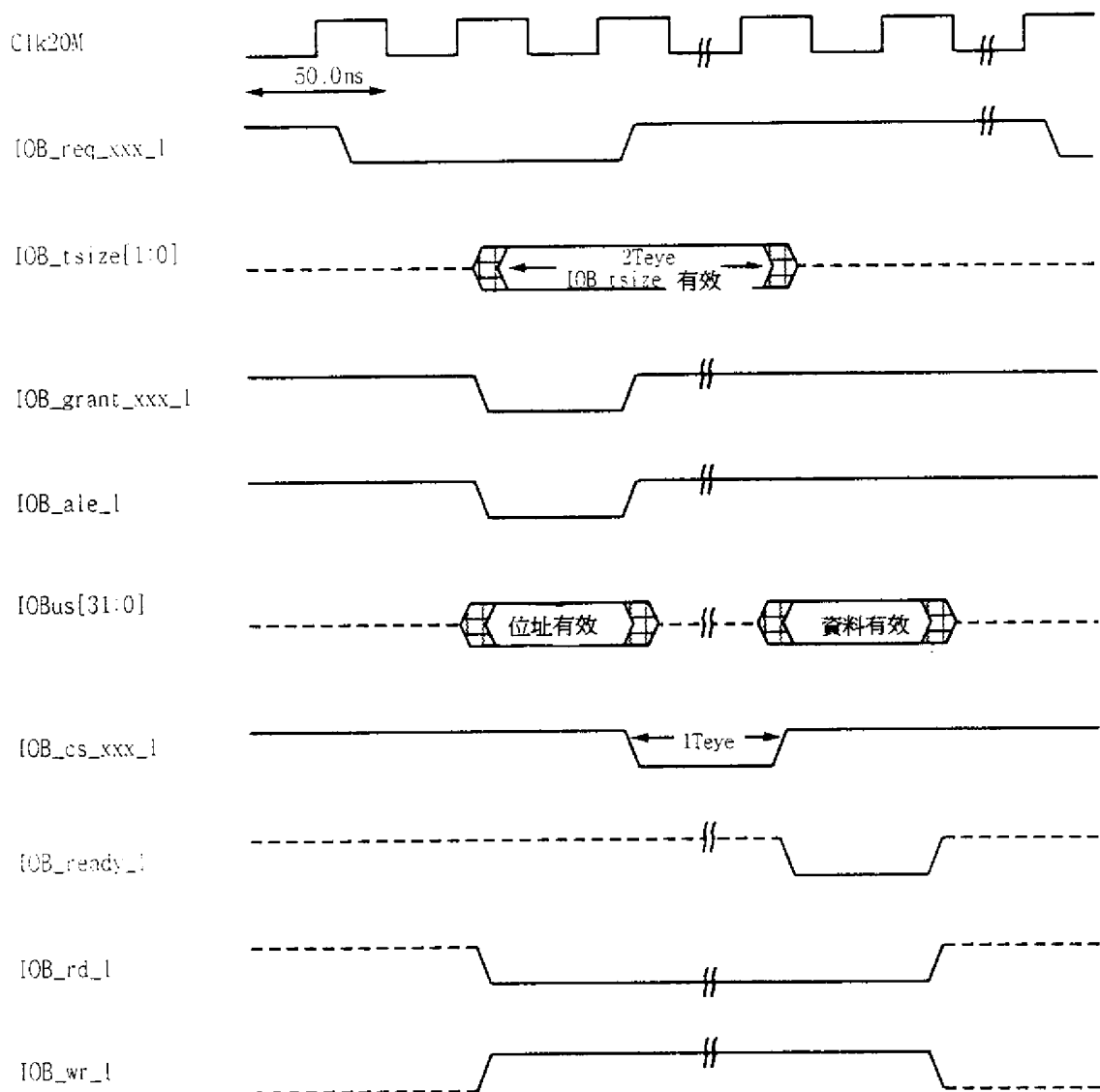
第二十五圖

IO 匯流排判優控制單元



第十六圖

IO 匯流排讀取 (傳送尺寸=1 字組 (4 位元組))



第二十圖

IO 匯流排寫入 (傳送尺寸=1 字組 (4 位元組))

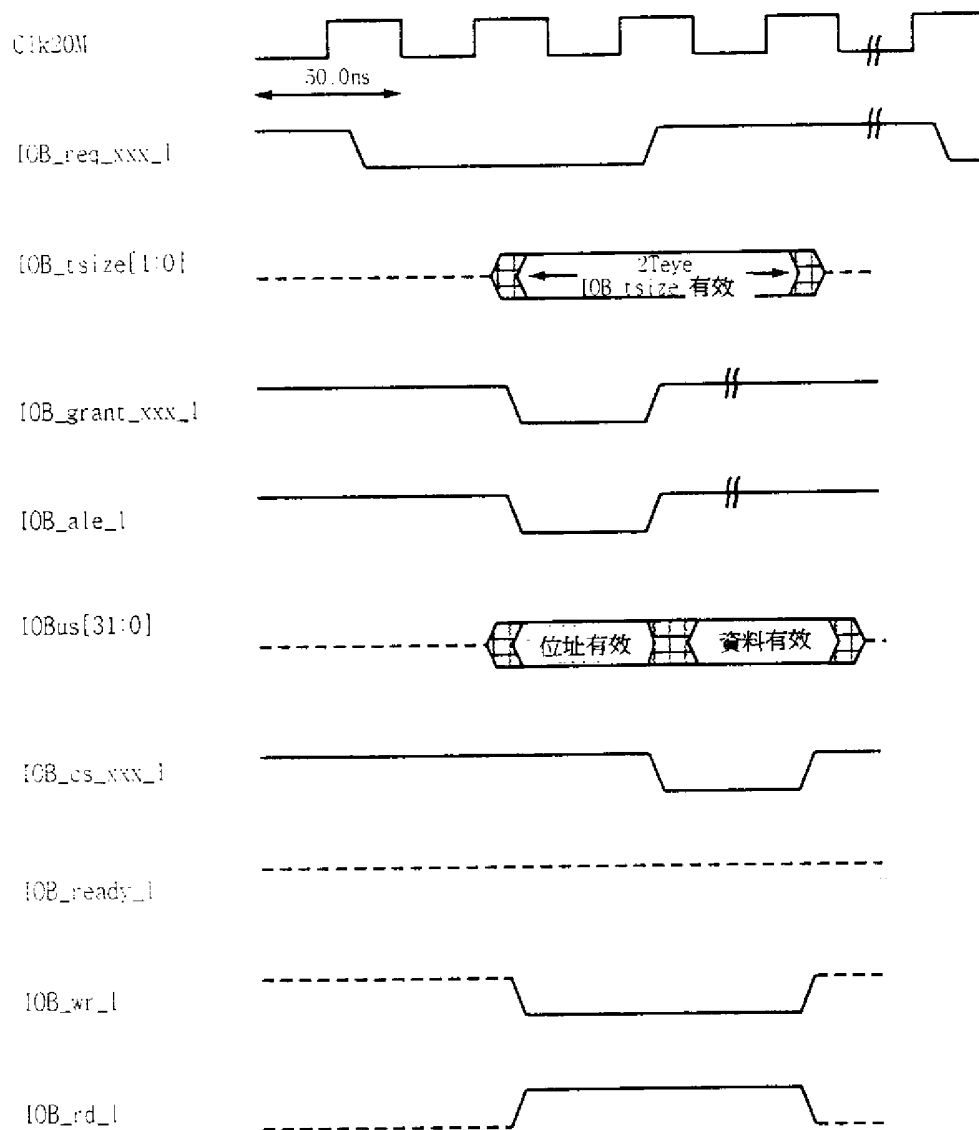
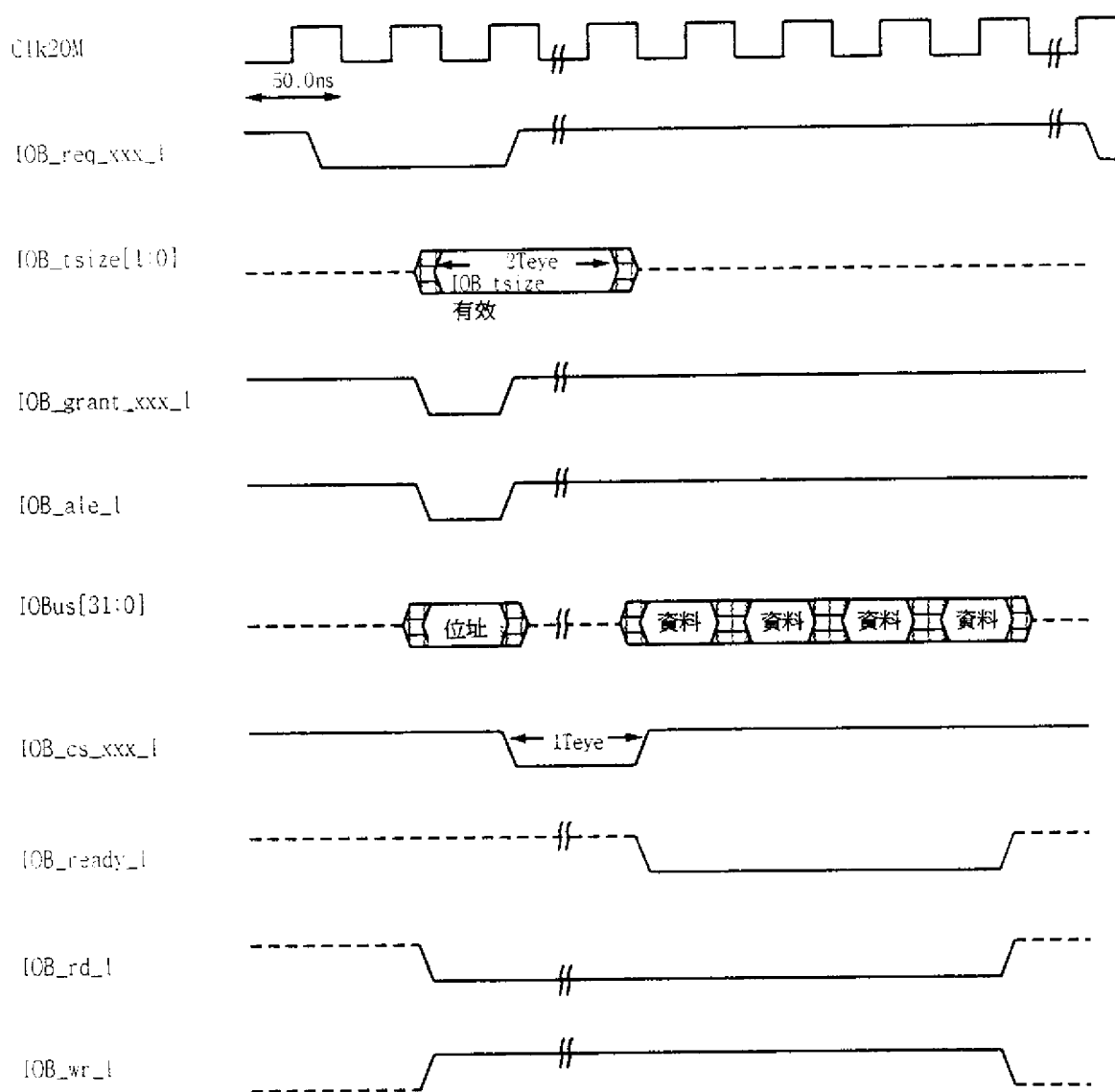


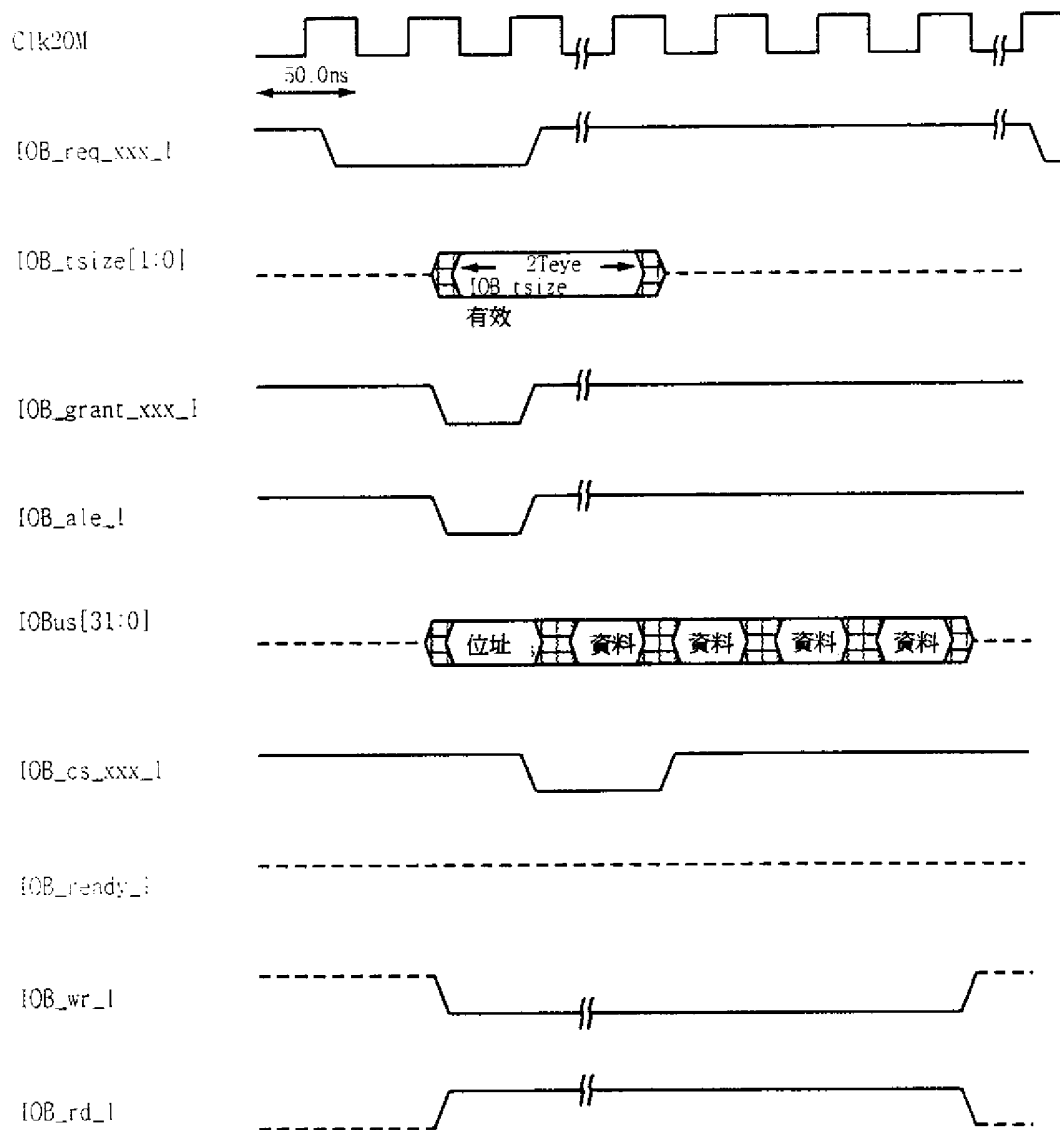
圖 10-2

IO 匯流排讀取 (傳送尺寸=4 字組 (16 位元組))



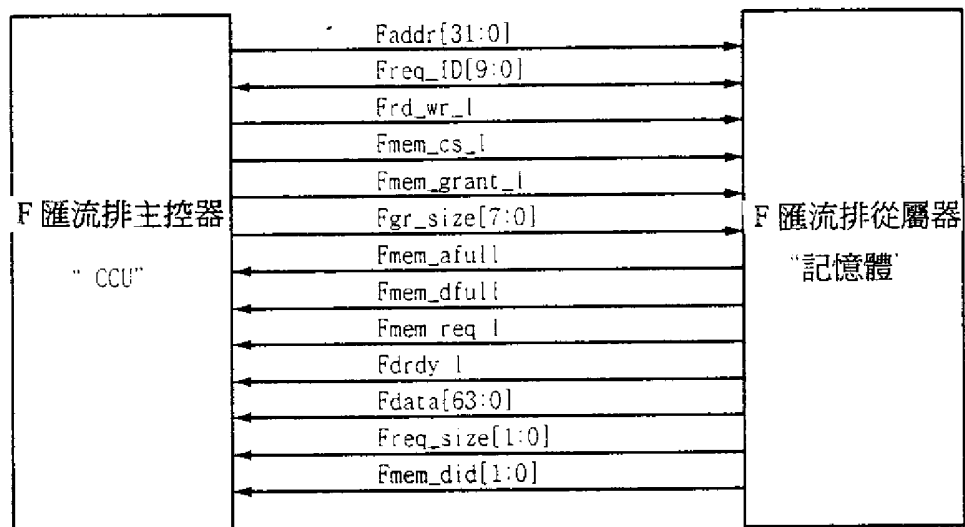
第二十九圖

IO 匯流排寫入 (傳送尺寸=4 字組 (16 位元組))



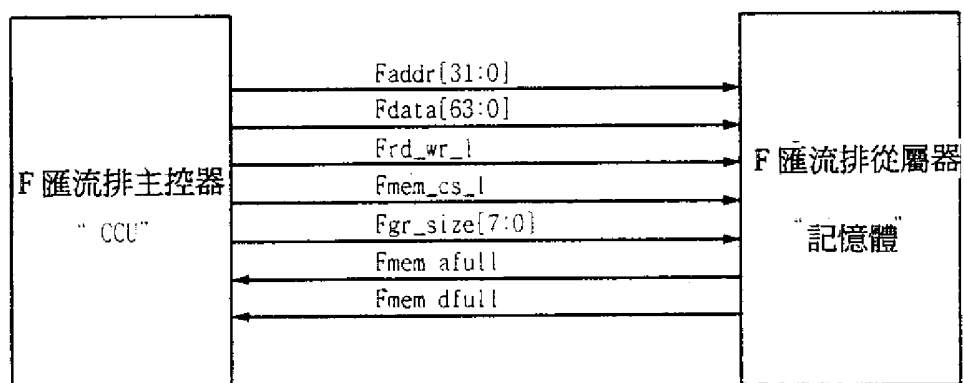
第三十圖

記憶體讀取請求 F 匯流排流程



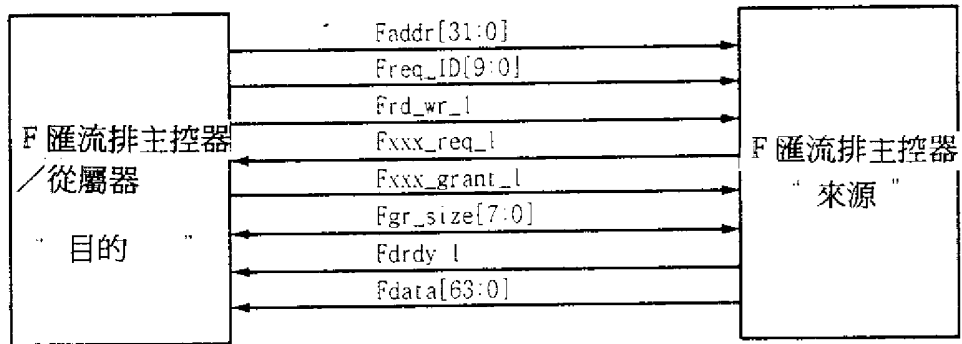
第三十一圖

記憶體寫入請求 F 匯流排流程



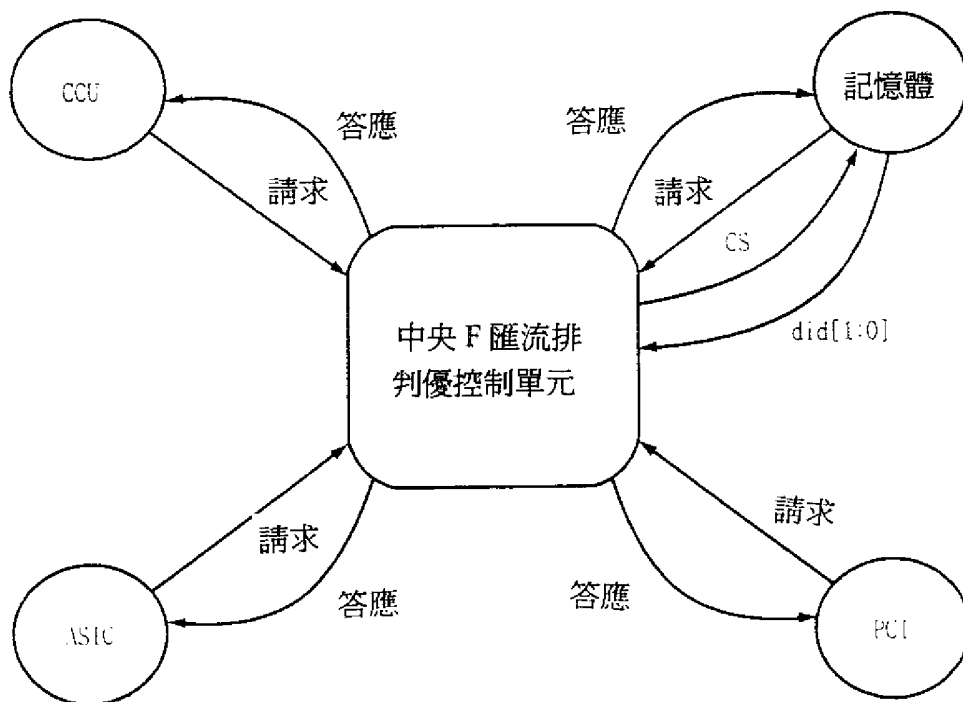
第三十二圖

主控器／從屬器“非記憶體”請求 F 匯流排流程



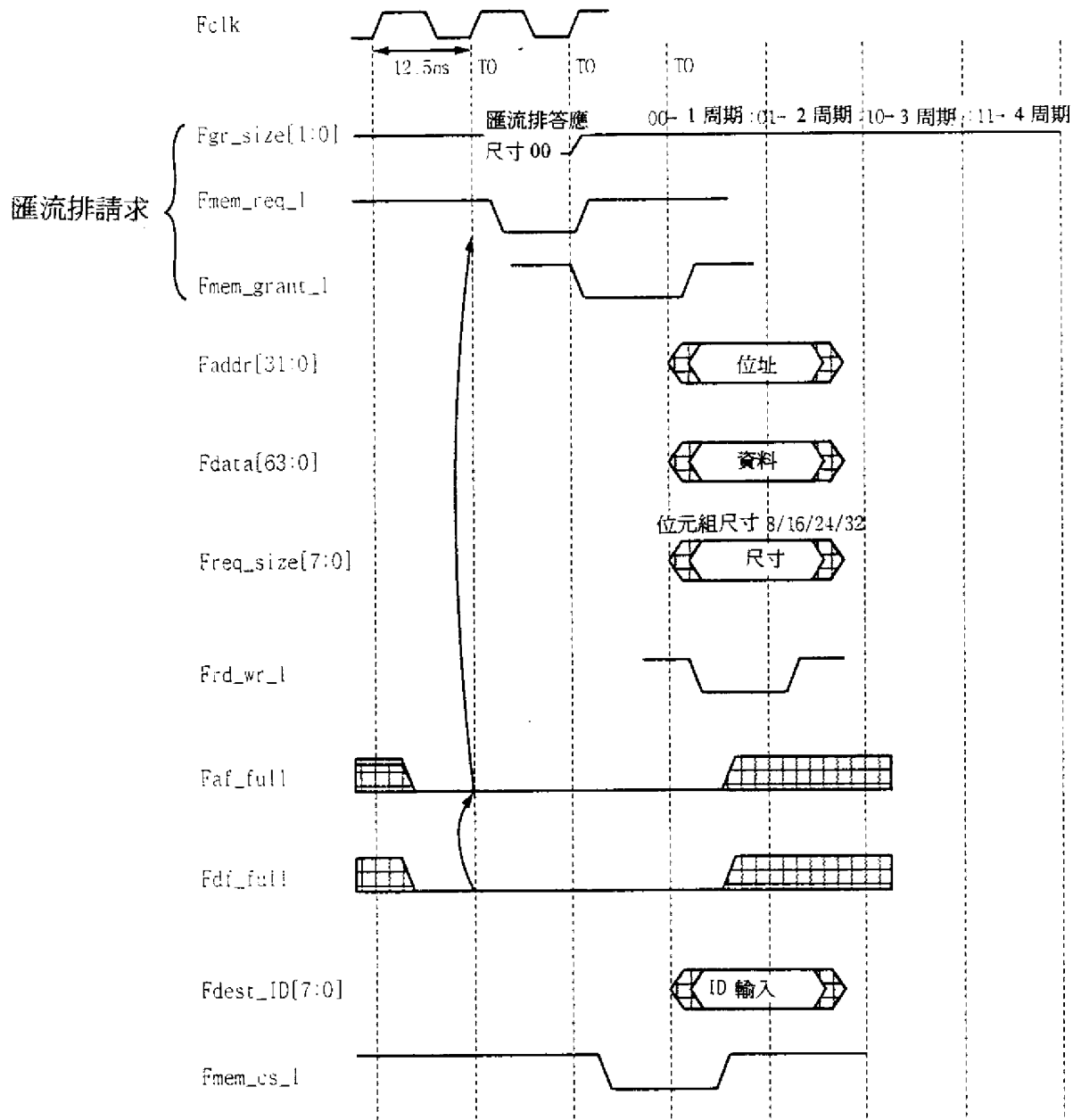
第三十三圖

集中式 F 匯流排判優控制單元



第三十四圖

F 匯流排時序圖

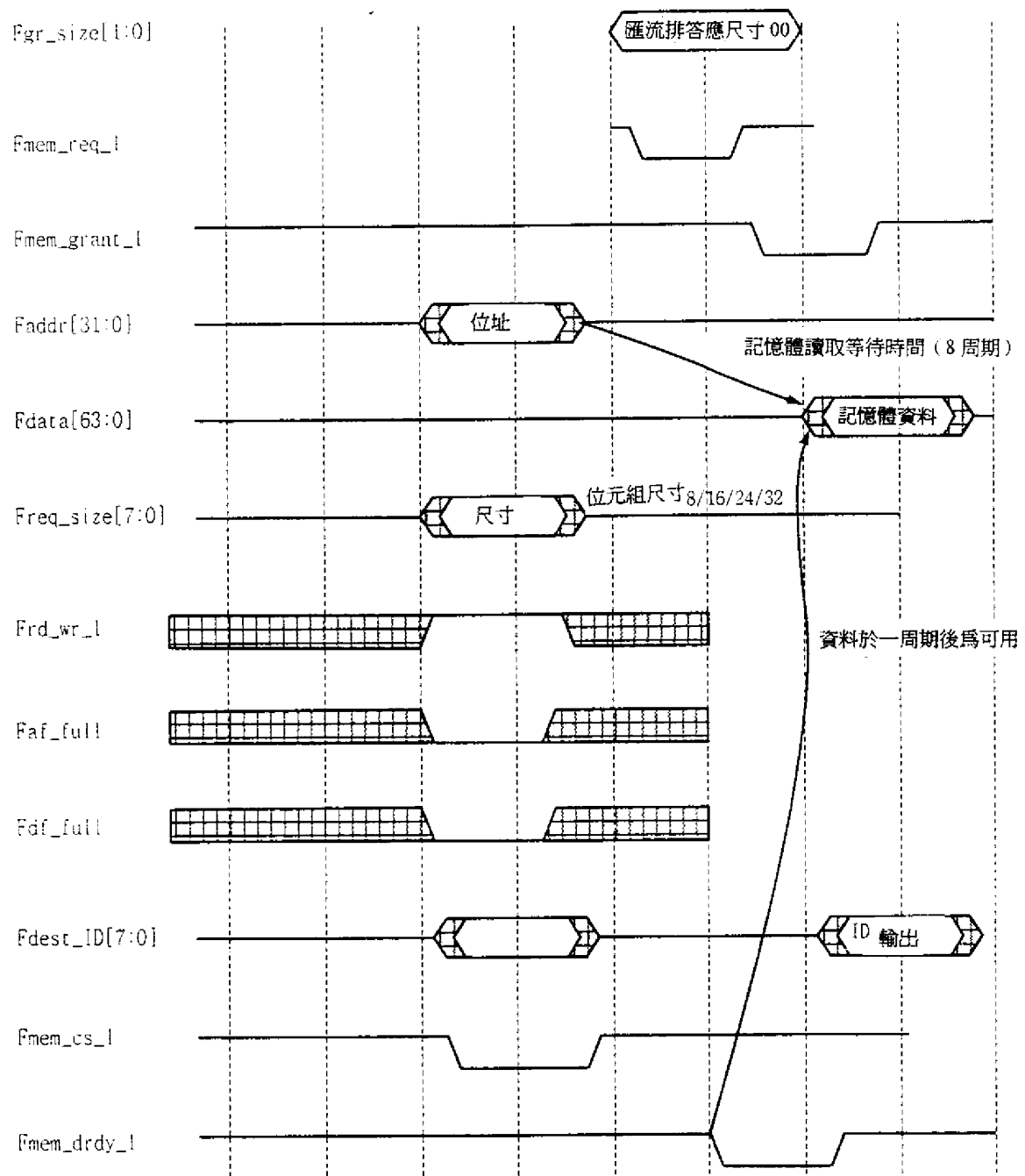


記憶體寫入請求 F 匯流排時序

注意：8 位元組資料傳送係顯示於此。對於 16/32/64/128 位元組而言，多個資料周期將係使用。

第三十五圖

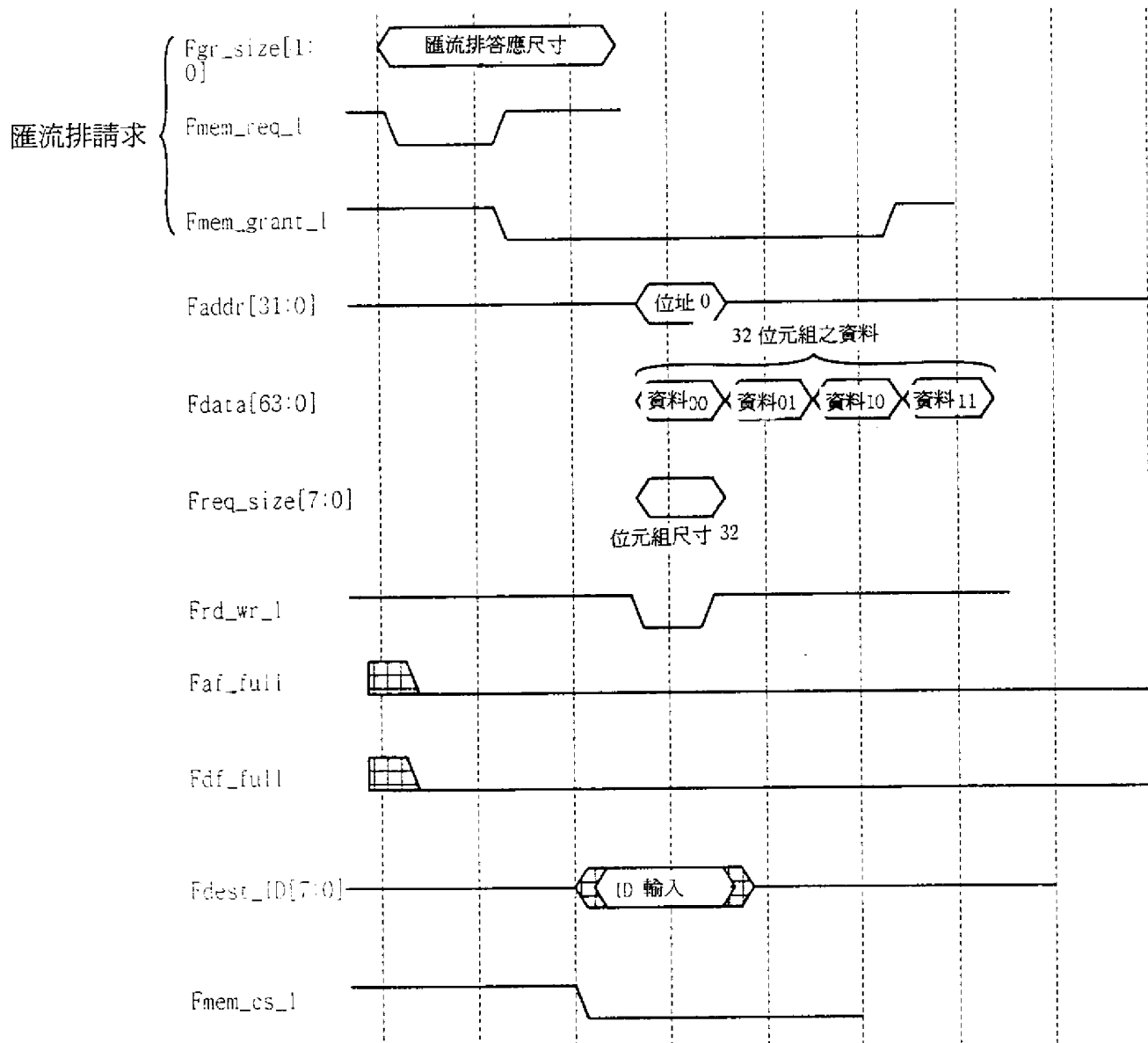
F 匯流排時序圖 (續)



記憶體讀取請求 F 匯流排時序轉移尺寸 = 8 位元組

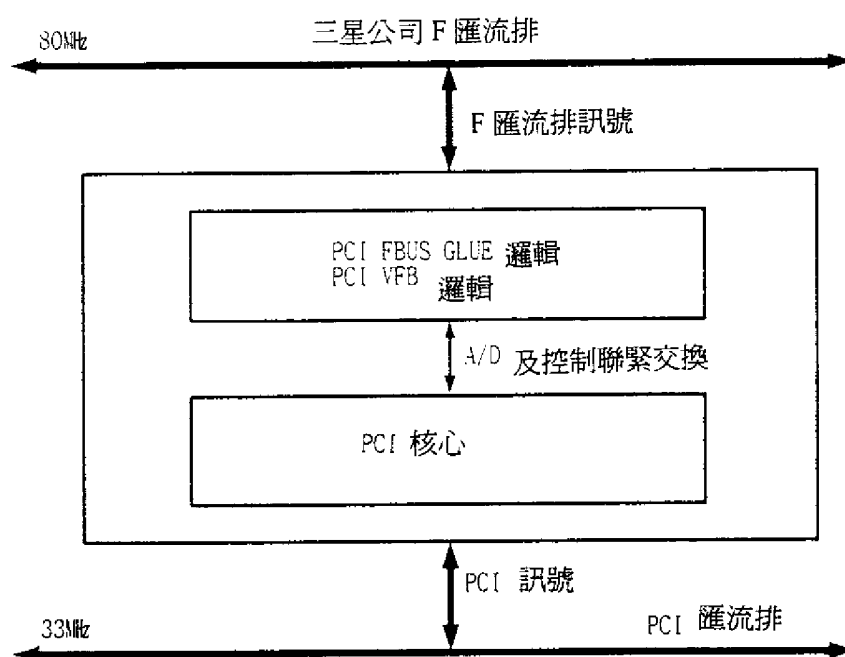
第三十六圖

F 匯流排時序圖 (續)



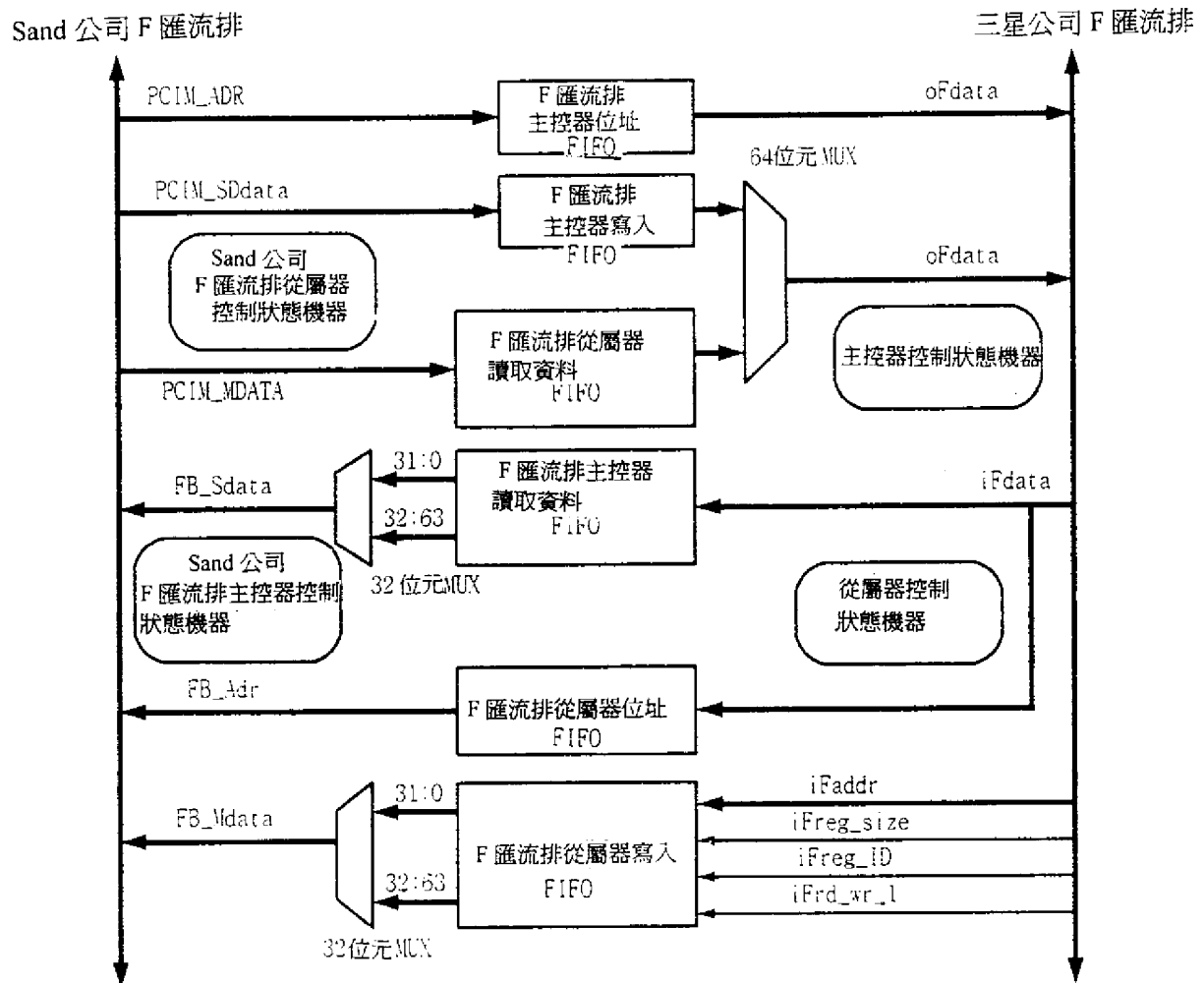
記憶體背對背寫入請求傳送尺寸=32 位元組

第三十七圖



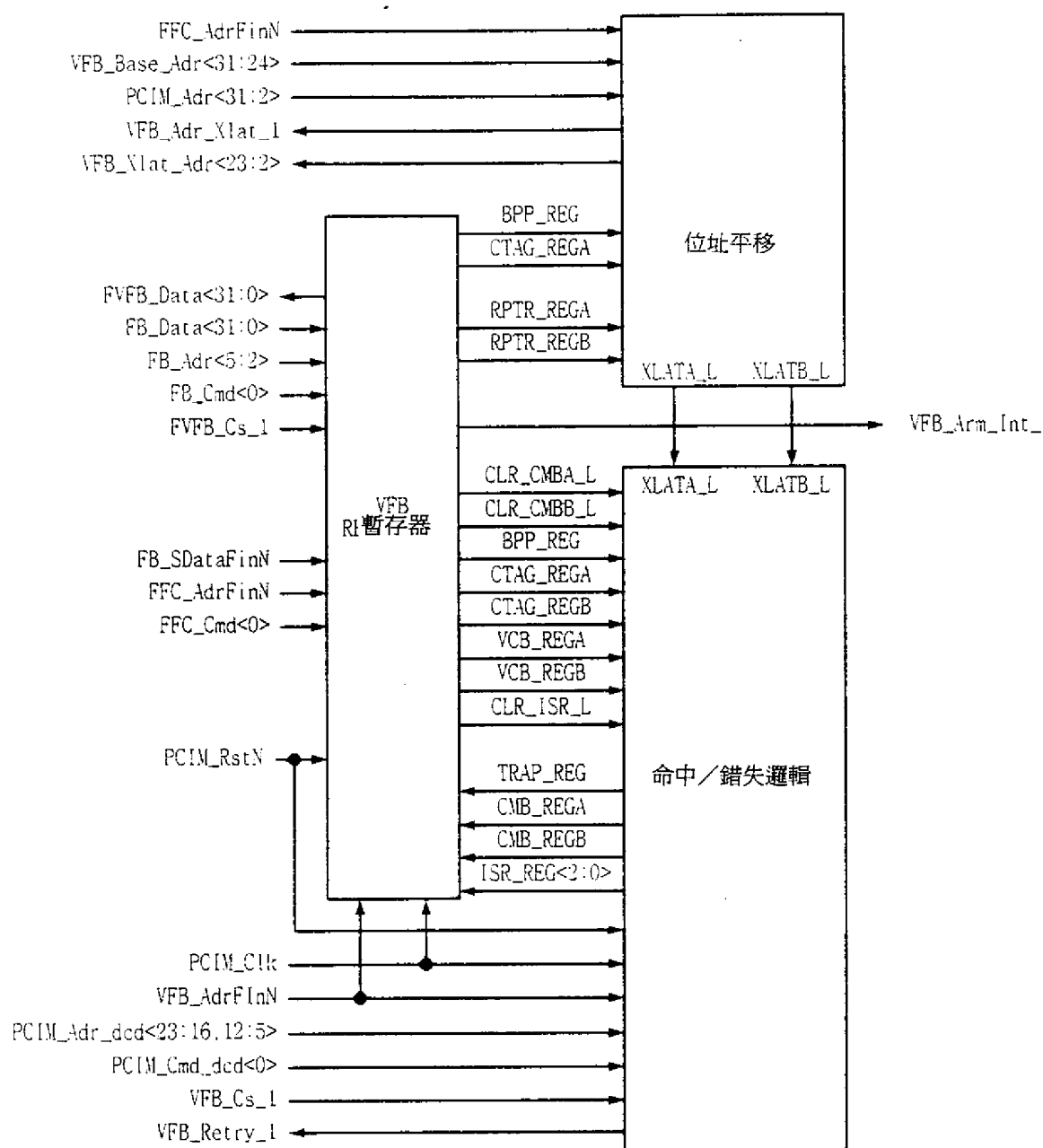
第三十八圖

F 匯流排 PCI 介面邏輯



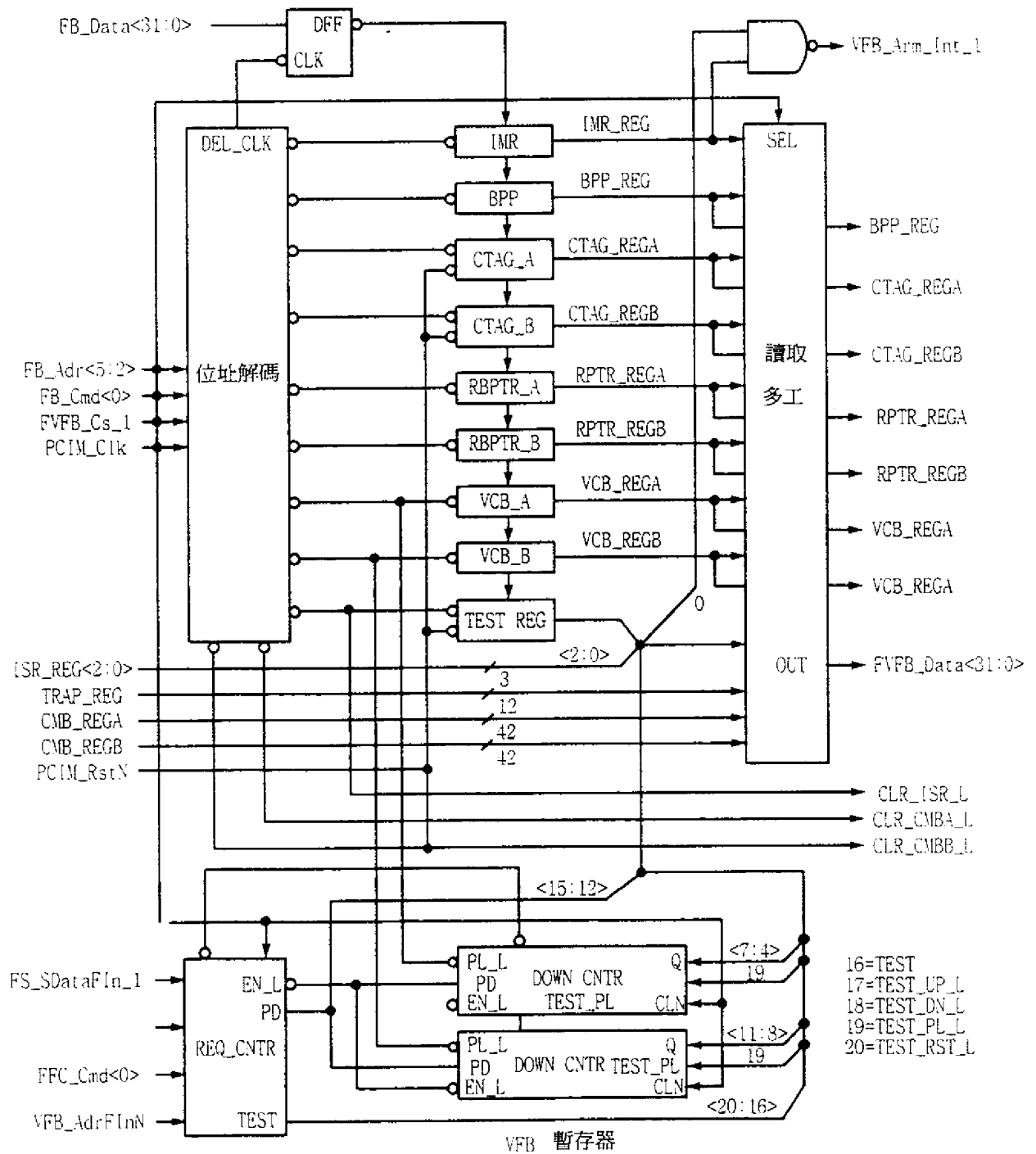
第三十圖

九

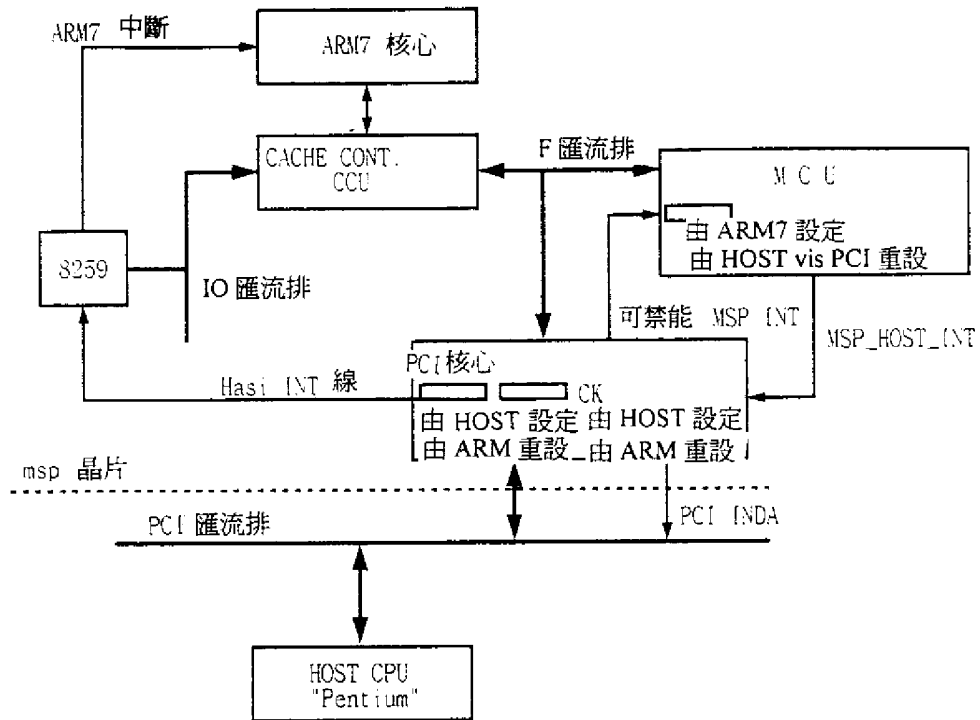


VFB 方塊圖

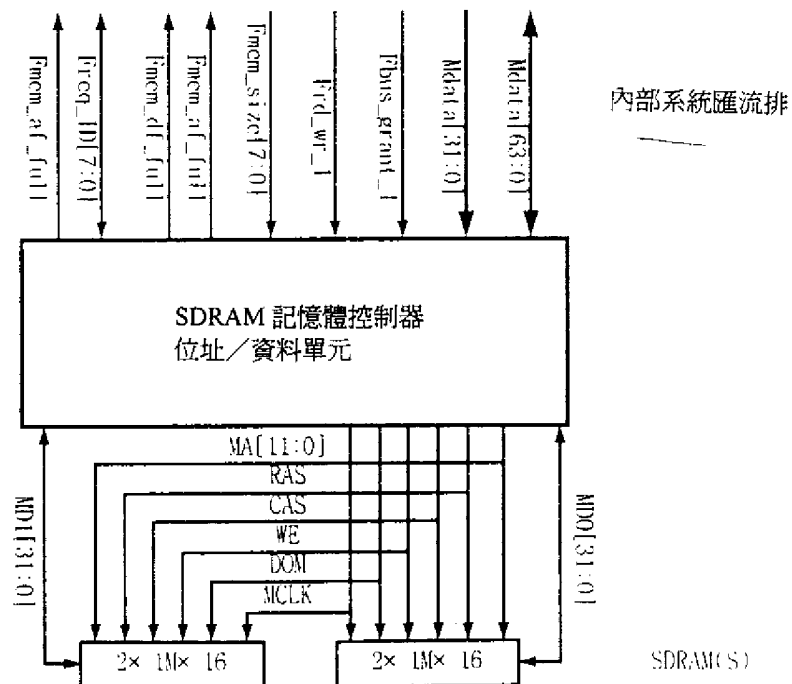
第四十圖



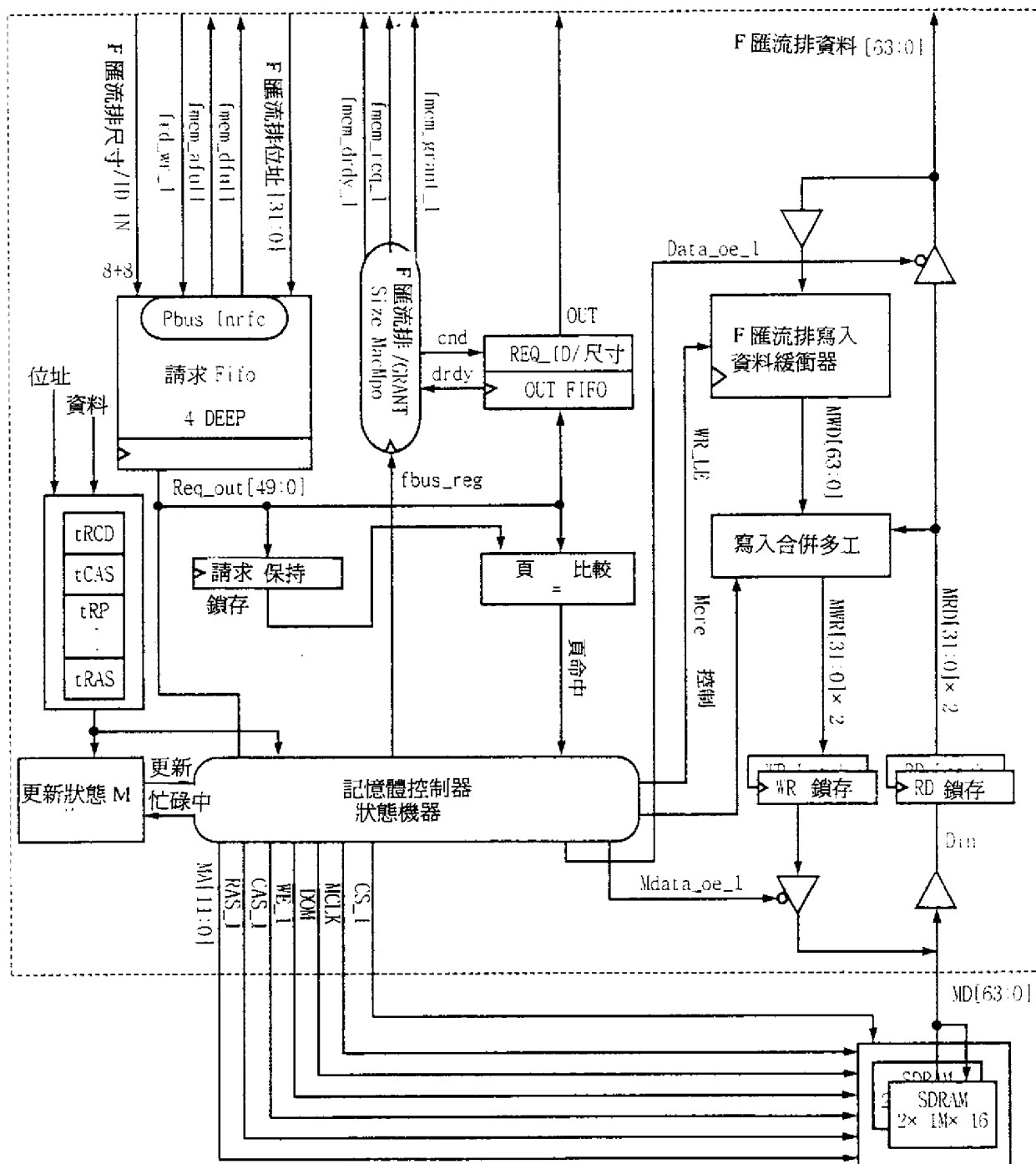
第四圖



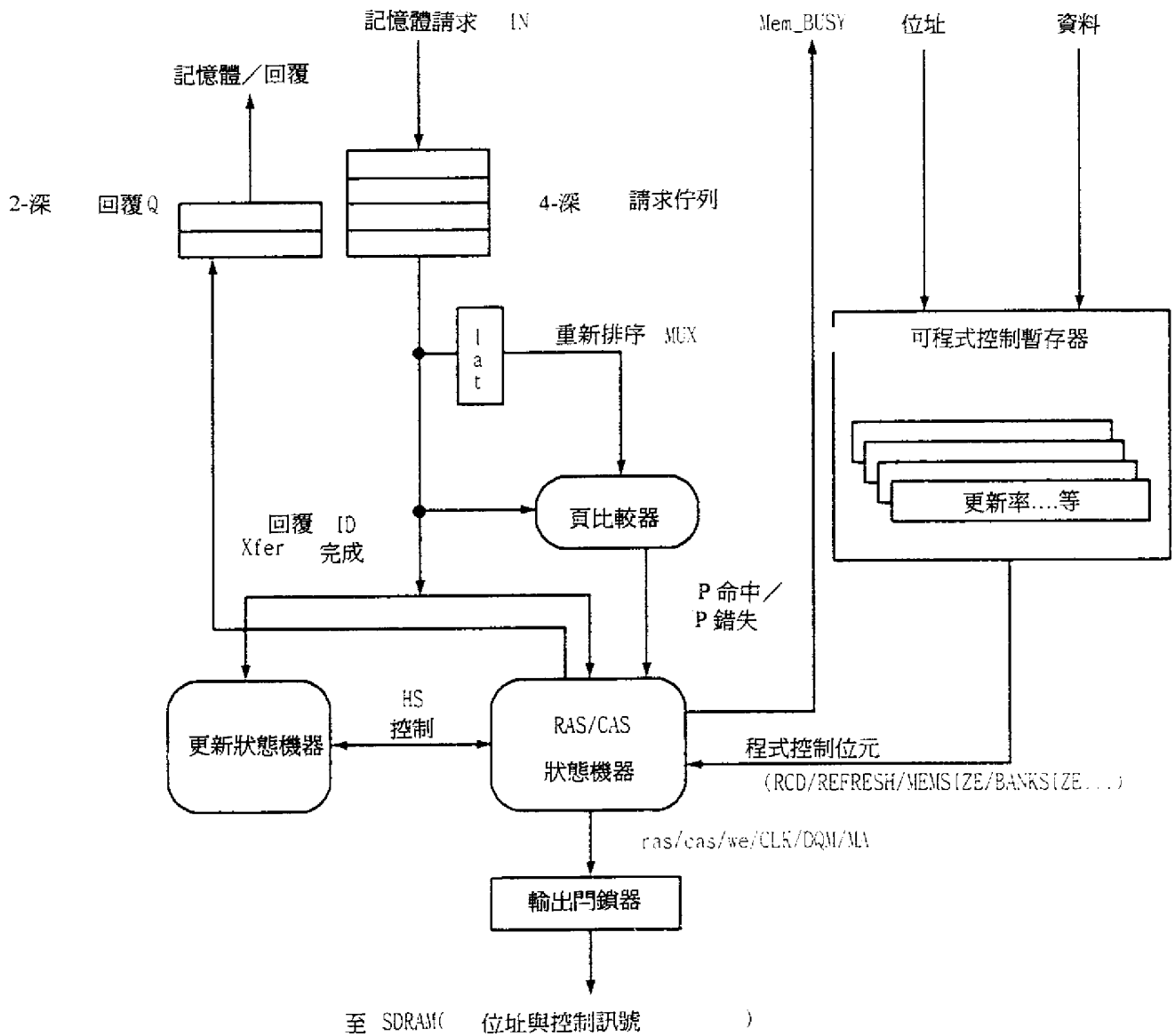
第四圖



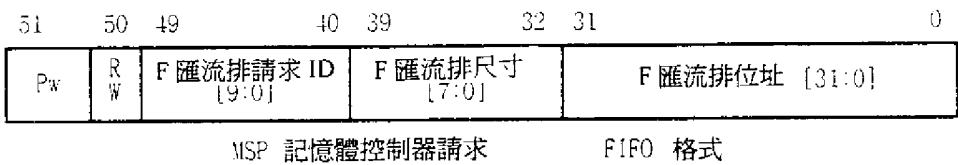
第四十三圖



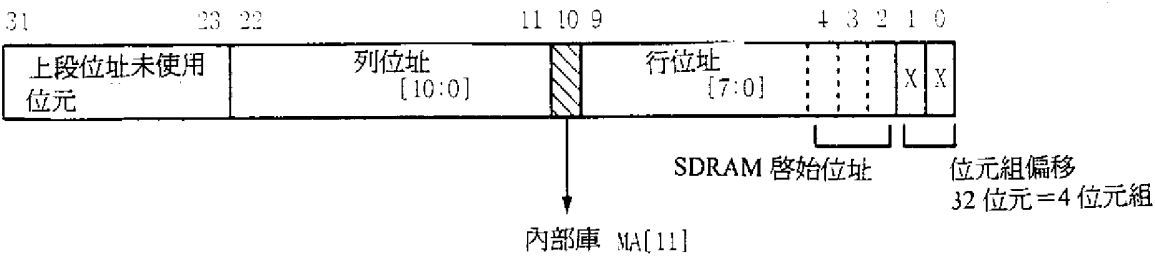
第四圖



第 四 十 五 圖

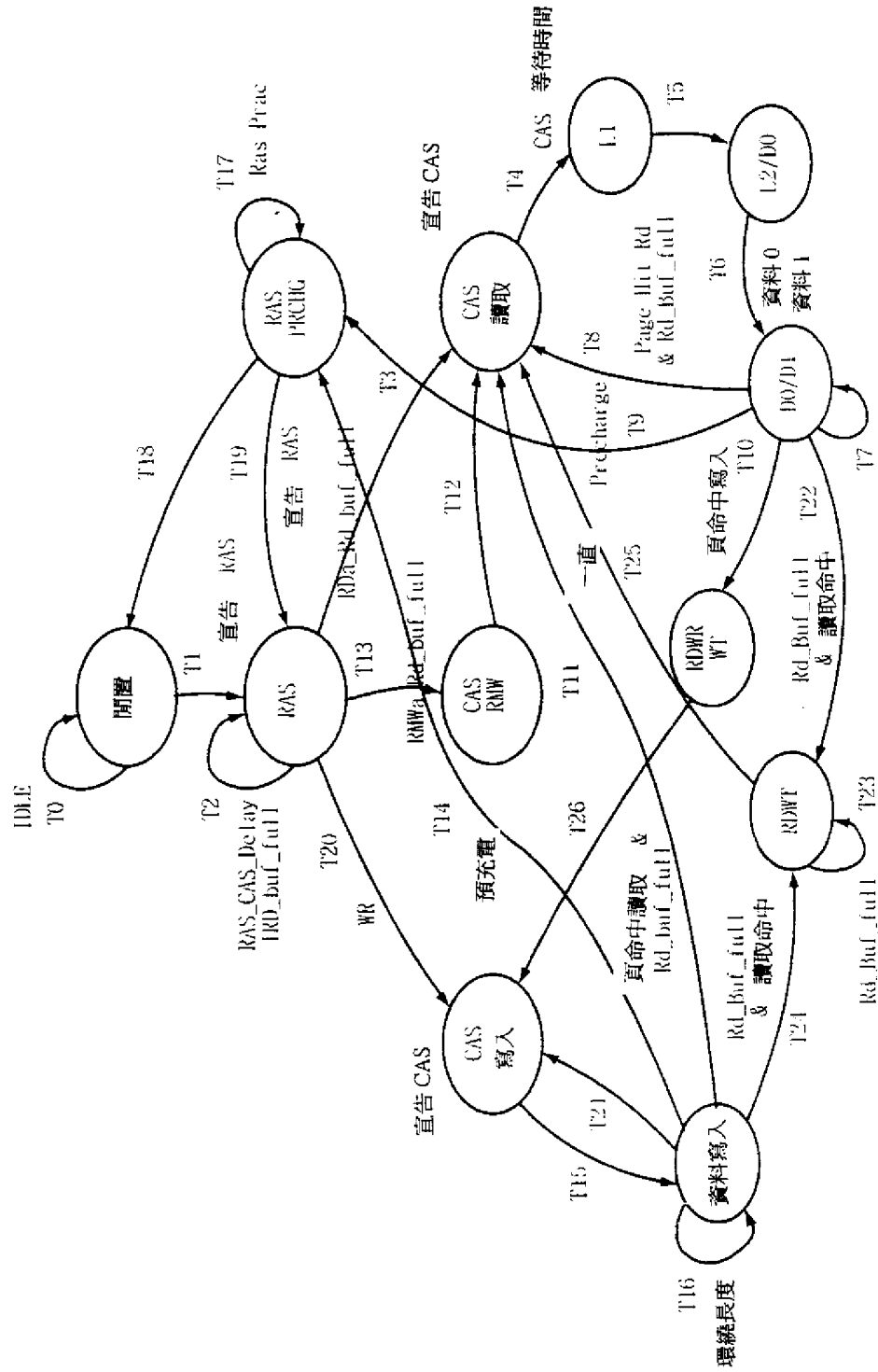


第 四 十 六 圖



第四十七圖

SDRAM 記憶體控制器 RAS/CAS 狀態機器



四 第 十 圖

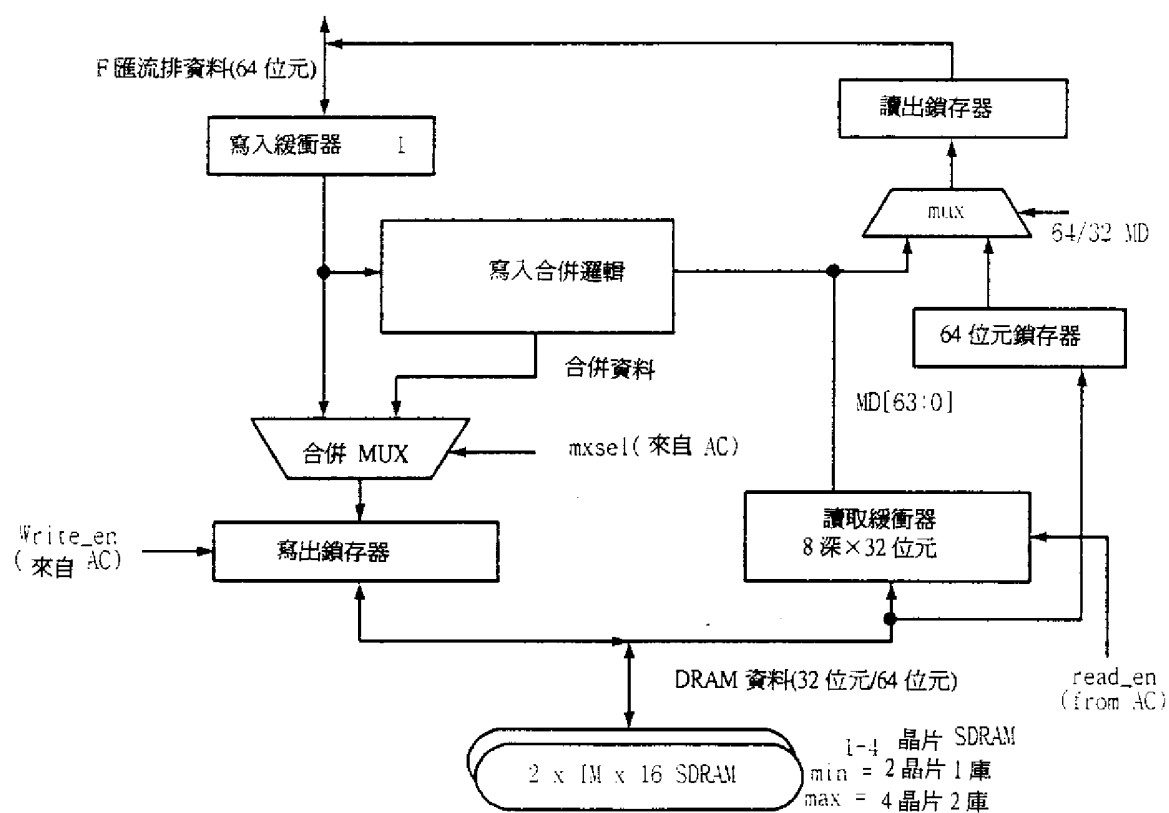
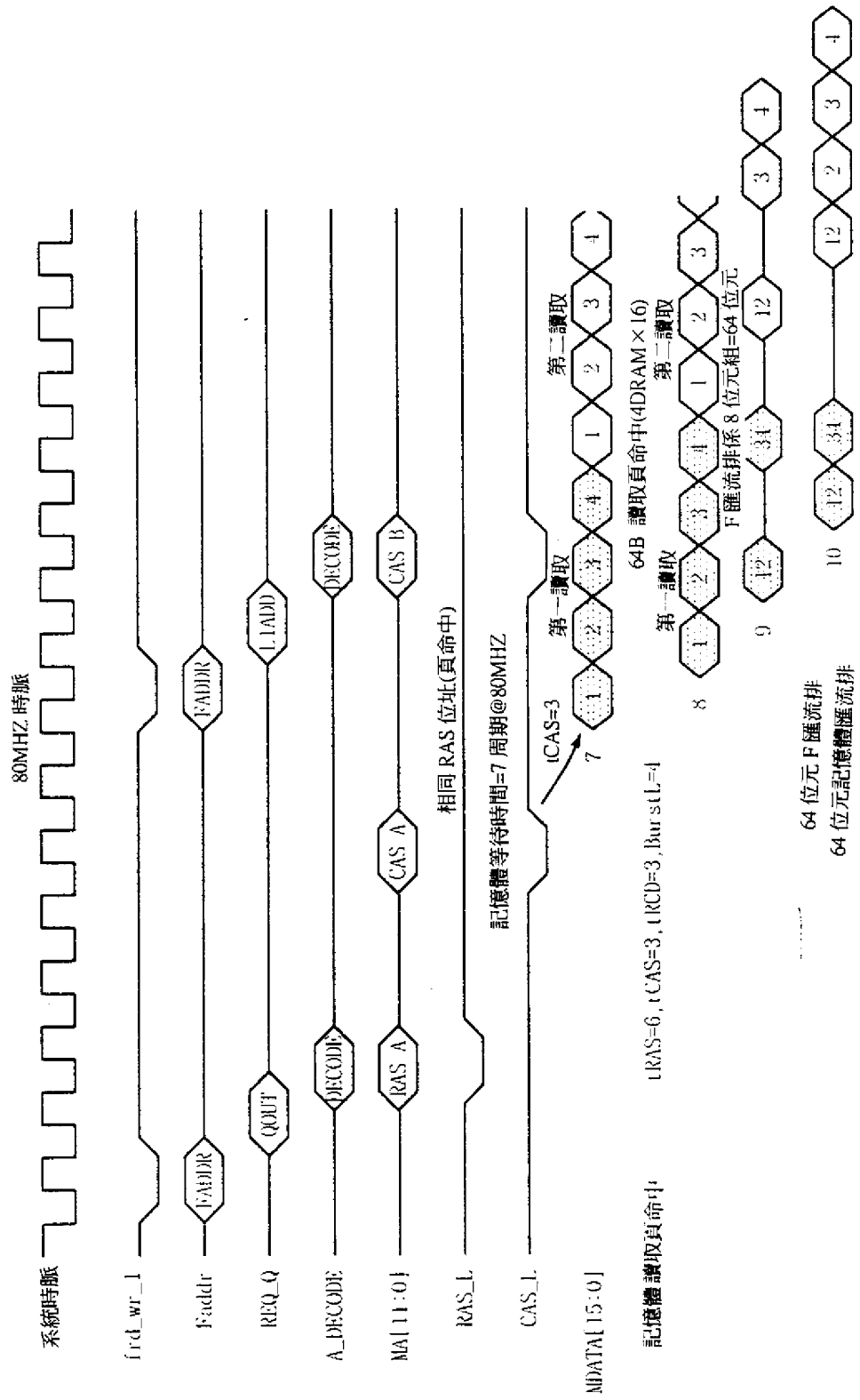
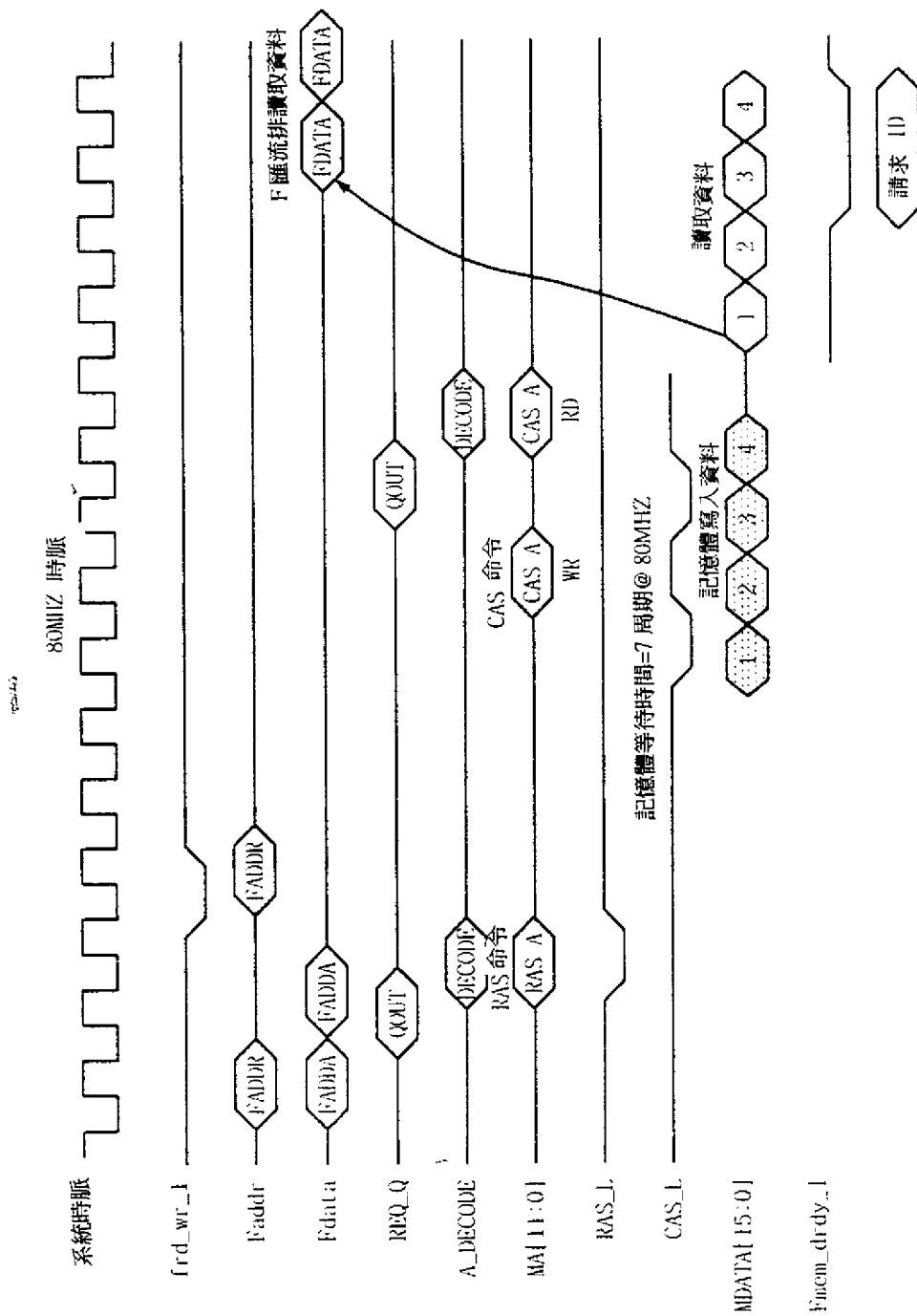


圖 43.9

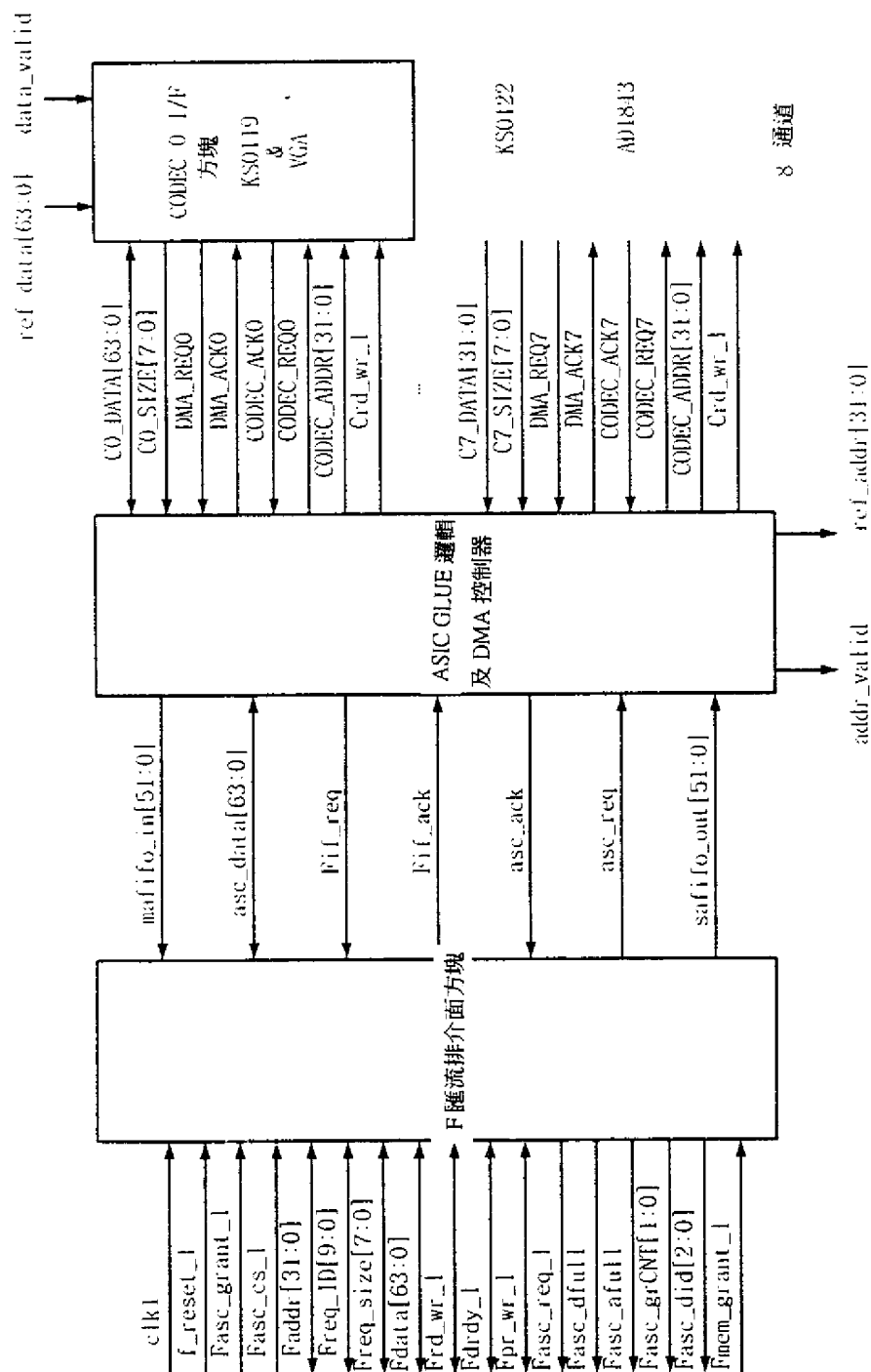


第五十圖



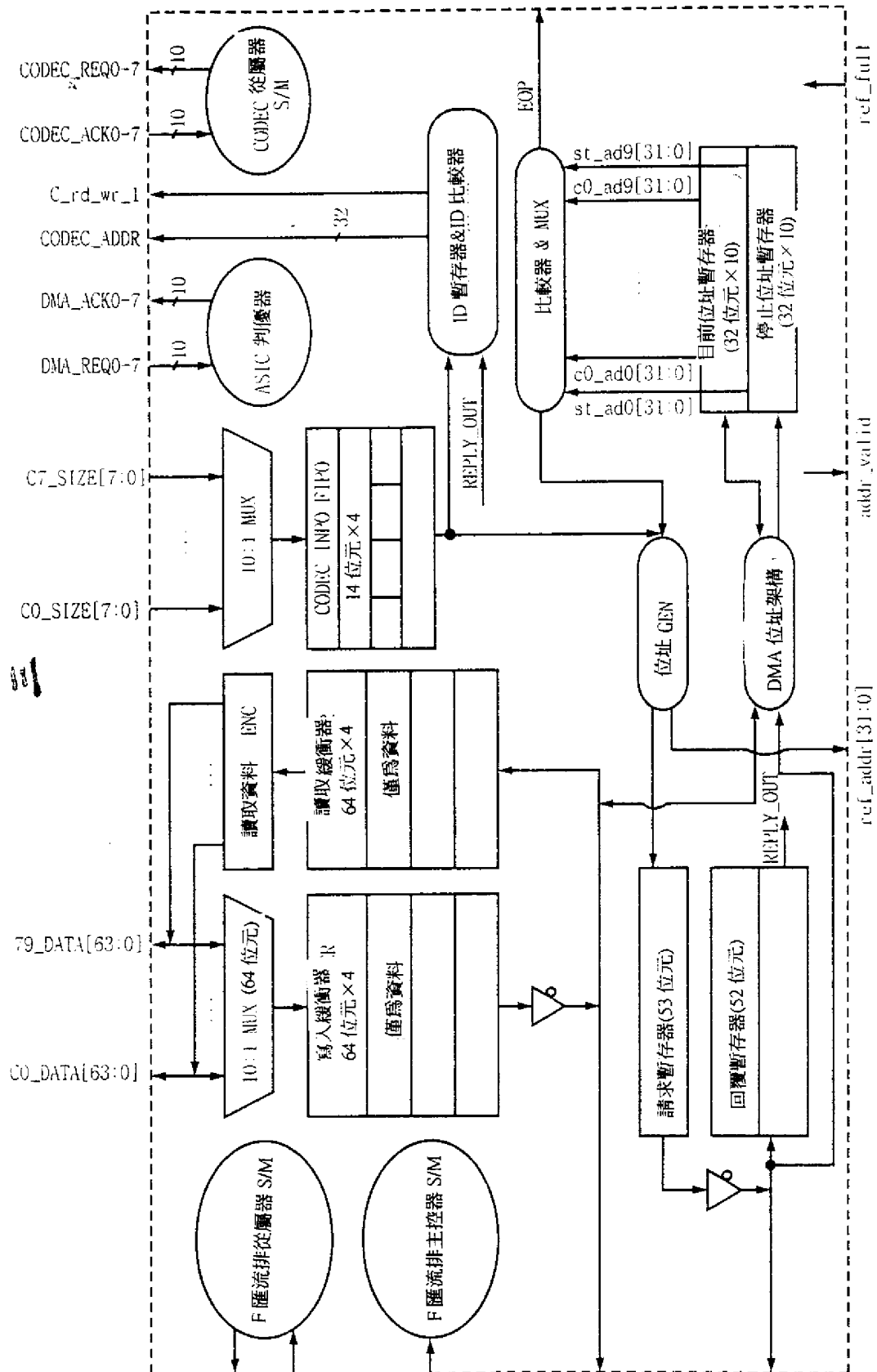
記憶體寫入讀取資料中周期 tRAS=6, tCAS=3, tRCD=3, tBurst=4, tRP=3

第五十二圖

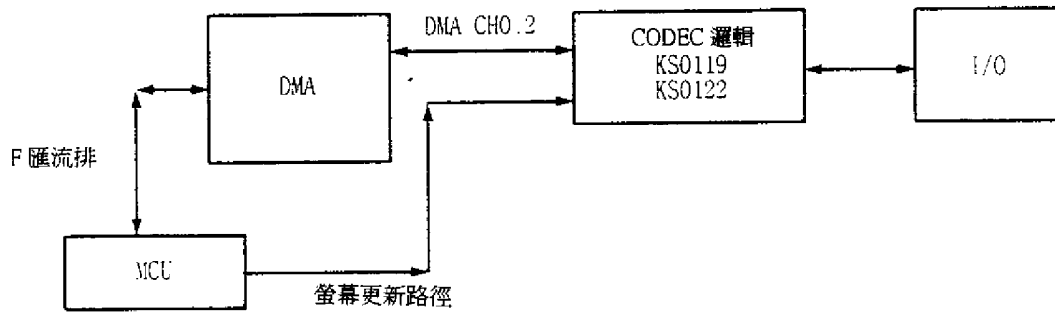


ASIC 介面方塊

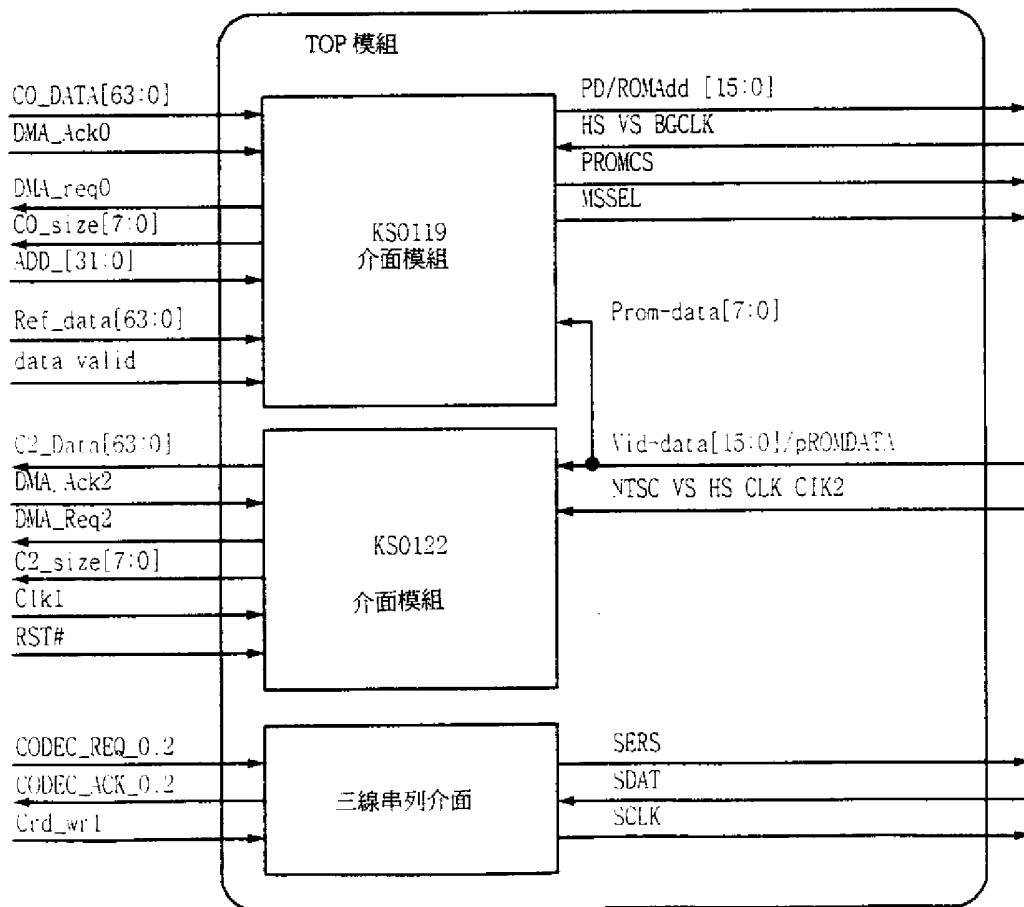
圖
五十三
第



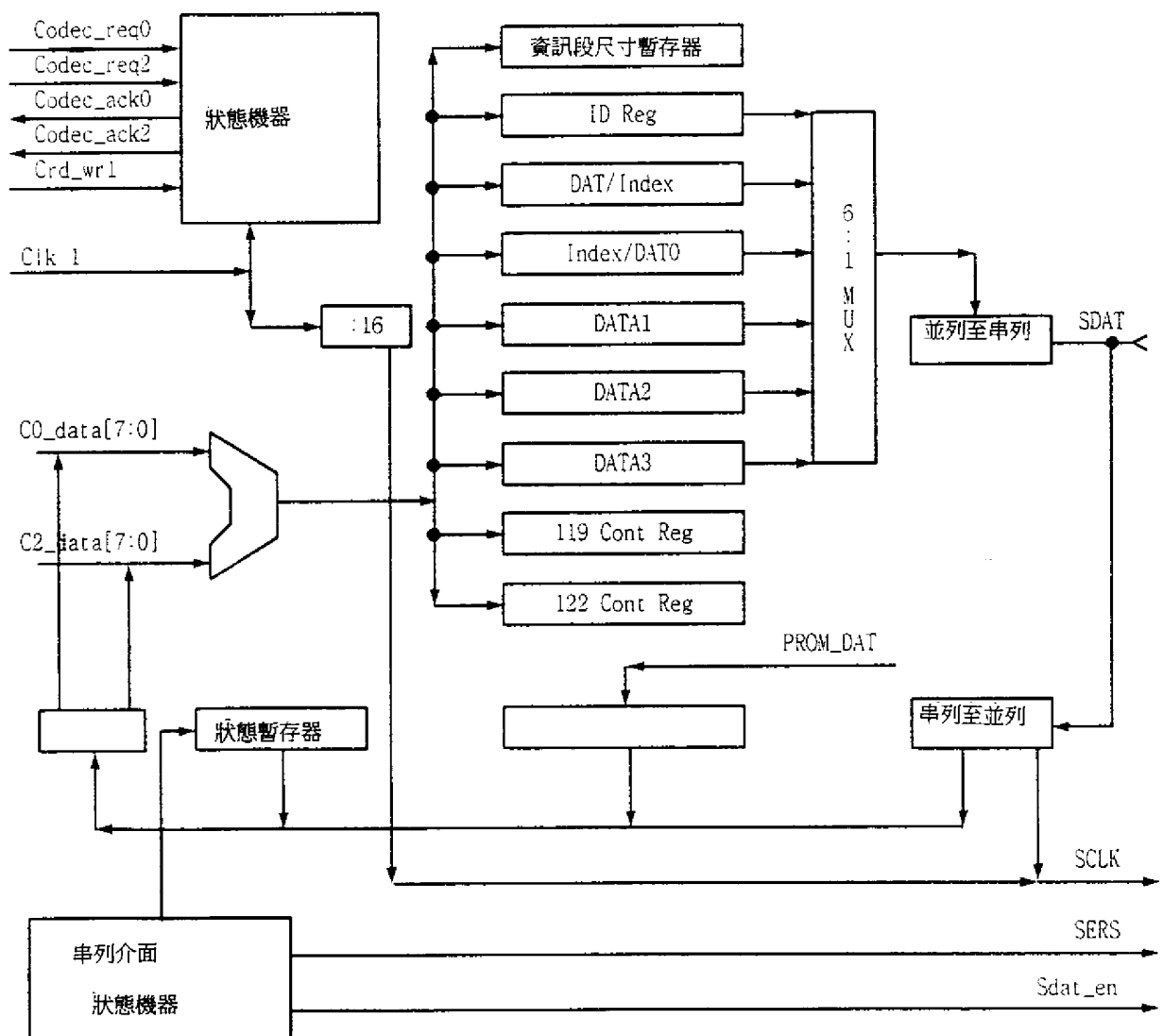
第五十四圖



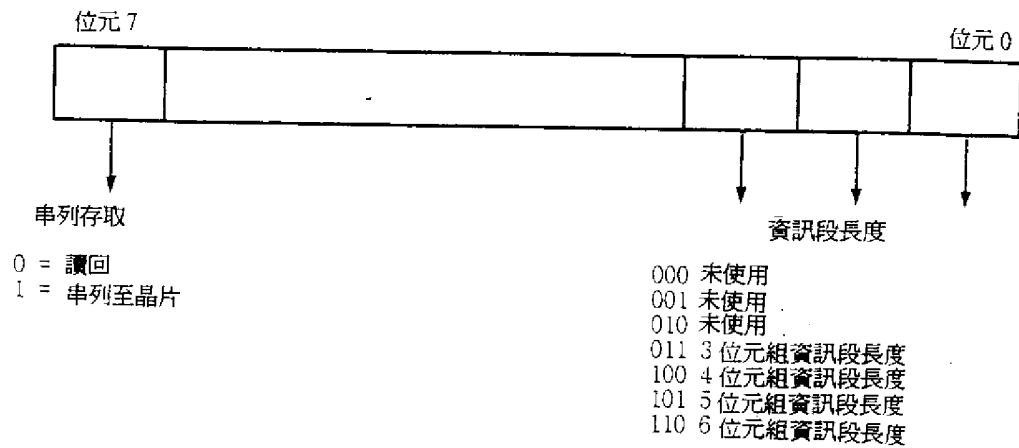
第五十五圖



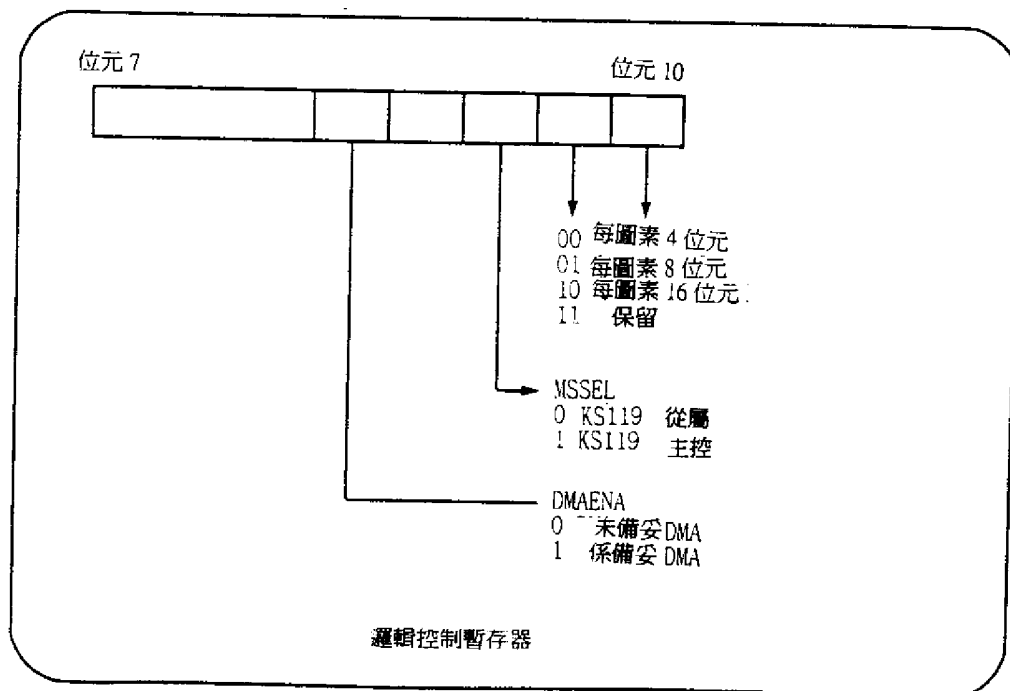
第五十六圖



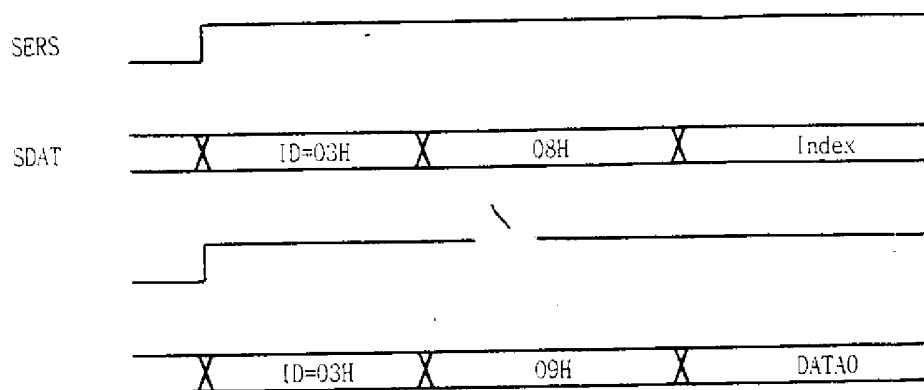
第五十七圖



第五十八圖

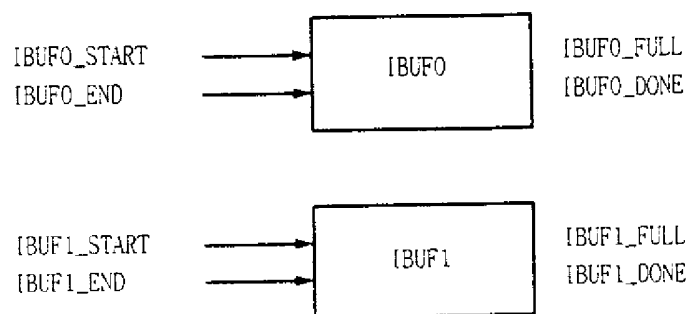


第六十三圖



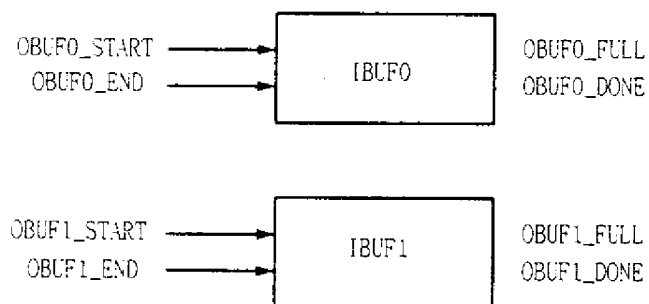
第六十四圖

BP 輸入雙緩衝器



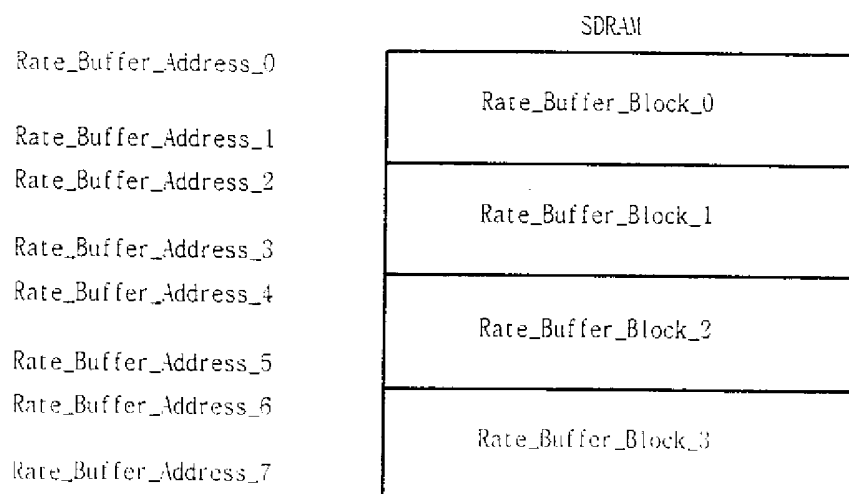
第十五圖

BP輸出雙緩衝器



第十六圖

供於解碼應用之視訊率緩衝器的實施例



89年12月4日 修正
補充

第一圖

煩請查閱說明書 89年12月4日所授之
修正本有無誤差等情事是合准予修正。

