

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5575774号
(P5575774)

(45) 発行日 平成26年8月20日 (2014. 8. 20)

(24) 登録日 平成26年7月11日 (2014. 7. 11)

(51) Int. Cl. F I
G06F 9/48 (2006.01) G O 6 F 9/46 3 1 1 B
G06F 9/46 (2006.01) G O 6 F 9/46 4 1 0

請求項の数 18 (全 19 頁)

(21) 出願番号	特願2011-527930 (P2011-527930)	(73) 特許権者	595020643
(86) (22) 出願日	平成21年9月16日 (2009. 9. 16)		クアアルコム・インコーポレイテッド
(65) 公表番号	特表2012-503254 (P2012-503254A)		QUALCOMM INCORPORATED
(43) 公表日	平成24年2月2日 (2012. 2. 2)		ED
(86) 国際出願番号	PCT/US2009/057123		アメリカ合衆国、カリフォルニア州 92
(87) 国際公開番号	W02010/033569		121-1714、サン・ディエゴ、モア
(87) 国際公開日	平成22年3月25日 (2010. 3. 25)		ハウス・ドライブ 5775
審査請求日	平成23年4月27日 (2011. 4. 27)	(74) 代理人	100108855
(31) 優先権主張番号	12/233, 688		弁理士 蔵田 昌俊
(32) 優先日	平成20年9月19日 (2008. 9. 19)	(74) 代理人	100109830
(33) 優先権主張国	米国 (US)		弁理士 福原 淑弘
前置審査		(74) 代理人	100103034
			弁理士 野河 信久
		(74) 代理人	100075672
			弁理士 峰 隆司

最終頁に続く

(54) 【発明の名称】 マルチスレッドプロセッサ内で割り込みを割り当てるための方法及びシステム

(57) 【特許請求の範囲】

【請求項 1】

それぞれのスレッドが対応するタスクを実行することができる複数のスレッドと、
 複数のレジスタの内の対応するレジスタから、前記複数のスレッドの各スレッドに対応する優先度を受け取るように構成される優先度エンコーダであって、前記複数のスレッドの各スレッドに対応する優先度に基づいて、最も低い優先度を有する最低優先度スレッドの指示を供給するように構成される優先度エンコーダと、

前記最低優先度スレッドの指示を受け取り、当該最低優先度スレッドに割り込みを割り当てるように構成される割り込みモジュールと
 を具備するマルチスレッドプロセッサ。

【請求項 2】

特定のスレッドの特定の優先度は、当該特定のスレッドによって実行される特定のタスクの特定のタスク優先度に対応する請求項 1 記載のマルチスレッドプロセッサ。

【請求項 3】

前記優先度エンコーダは、前記割り込みモジュールからの要求に応じて、前記割り込みモジュールに、前記最低優先度スレッドの指示を供給する請求項 1 記載のマルチスレッドプロセッサ。

【請求項 4】

前記割り込みモジュールは、前記最低優先度スレッドに前記割り込みを割り当てること
 によって、前記最低優先度スレッドに前記割り込みを課すように構成され、前記最低優先

度スレッドは、特定の対応するタスクを処理することを中断し、前記割り込みを処理するように構成される請求項 1 記載のマルチスレッドプロセッサ。

【請求項 5】

前記割り込みは割り込みハンドラに関連付けられ、

前記最低優先度スレッドは、前記割り込みハンドラを処理することにより前記割り込みを処理するように構成される請求項 4 記載のマルチスレッドプロセッサ。

【請求項 6】

前記最低優先度スレッドは待ち状態である請求項 1 記載のマルチスレッドプロセッサ。

【請求項 7】

前記複数のスレッド、前記優先度エンコーダ、及び前記割り込みモジュールは、ポータブル通信デバイス内に含まれる請求項 1 記載のマルチスレッドプロセッサ。

10

【請求項 8】

マルチスレッドプロセッサの第 1 スレッド上で第 1 タスクを実行することと、

前記マルチスレッドプロセッサの第 2 スレッド上で第 2 タスクを実行することと、

前記第 1 タスクの第 1 タスク優先度に基づいて、前記第 1 スレッドの第 1 スレッド優先度を決定することと、

前記第 2 タスクの第 2 タスク優先度に基づいて、前記第 2 スレッドの第 2 スレッド優先度を決定することと、

割り込み優先度を有し、前記マルチスレッドプロセッサにおける割り込みを受け取ることと、

20

複数のレジスタの内の対応するレジスタから、前記第 1 スレッドと前記第 2 スレッドとを含む複数のスレッドの、各スレッドに対応するスレッド優先度を受け取るように構成される前記マルチスレッドプロセッサの優先度エンコーダによって、前記複数のスレッドの各スレッドに対応するスレッド優先度に基づいて、最も低い優先度を有する最低優先度スレッドを前記マルチスレッドプロセッサの割り込みモジュールに指示することと、

前記最低優先度スレッドに前記割り込みを割り当てることとを具備する方法。

【請求項 9】

前記割り込みを割り当てることは、

前記第 2 スレッド優先度が前記最も低いスレッド優先度であることに基づいて、前記第 2 タスクを中断することと、

30

処理するための前記第 2 スレッドに前記割り込みを供給することとを含む請求項 8 記載の方法。

【請求項 10】

前記割り込みを割り当てることは、

前記割り込み優先度が前記第 2 スレッド優先度よりも高い優先度であることを決定することを含む請求項 9 記載の方法。

【請求項 11】

前記割り込みに関連する割り込みハンドラを処理することによって、前記第 2 スレッドによって前記割り込みを処理することをさらに具備する請求項 9 記載の方法。

40

【請求項 12】

前記割り込みを割り当てることは、

前記割り込み優先度が前記第 1 スレッド優先度及び前記第 2 スレッド優先度よりも低い優先度であるかどうかを判定することと、

前記割り込み優先度が前記第 1 スレッド優先度及び前記第 2 スレッド優先度よりも低い優先度であると判定されたことに応じて、前記割り込みをキューに割り当てることとを含む請求項 8 記載の方法。

【請求項 13】

割り込みを受け取り、前記割り込みを最低優先度スレッドに割り当てる割り込みモジュールと、

50

実行モジュールであって、

第 1 優先度に関連する第 1 タスクを実行するように構成される第 1 スレッドと、
前記第 1 優先度に対応する第 1 スレッドの優先度を格納するように構成される第 1 レジスタと、

第 2 優先度に関連する第 2 タスクを実行するように構成される第 2 スレッドと、
前記第 2 優先度に対応する第 2 スレッドの優先度を格納するように構成される第 2 レジスタと、

複数のレジスタの内の対応するレジスタから受け取られる、前記第 1 スレッドと前記第 2 スレッドとを含む複数のスレッドの、各スレッドに対応する優先度に基づいて、前記割り込みモジュールに、最低優先度スレッドを指示するように構成される優先度エンコーダとを含む実行モジュールと
を具備するプロセッサユニット。

【請求項 14】

前記割り込みモジュールは、

割り込み優先度が、前記最低優先度スレッドに対応する前記第 1 スレッドの優先度よりも高い優先度であるかを判定し、

前記割り込み優先度が前記第 1 スレッドの優先度よりも高いとき、前記第 1 スレッドに前記割り込みを供給することによって、前記第 1 スレッドに前記割り込みを割り当て、

前記第 1 スレッドは、前記第 1 タスクを処理することを中断し、前記割り込みを処理するように構成される請求項 13 記載のプロセッサユニット。

【請求項 15】

前記実行モジュールは、前記第 1 タスクを格納し、前記割り込み優先度に対応するために前記第 1 スレッドの優先度を修正するように構成される請求項 14 記載のプロセッサユニット。

【請求項 16】

前記第 1 スレッドは、前記割り込みに関連する割り込みハンドラを処理することによって、前記割り込みを処理する請求項 14 記載のプロセッサユニット。

【請求項 17】

プログラムコードを含むコンピュータ読み取り可能な記憶媒体であって、プロセッサによって実行されるとき、前記プログラムコードは前記プロセッサに、

第 1 スレッド上で第 1 タスクを実行させ、

第 2 スレッド上で第 2 タスクを実行させ、

前記第 1 タスクの第 1 タスク優先度に基づいて、前記第 1 スレッドの第 1 スレッド優先度を決定させ、

前記第 2 タスクの第 2 タスク優先度に基づいて、前記第 2 スレッドの第 2 スレッド優先度を決定させ、

前記割り込み優先度を有する割り込みを受け取らせ、

複数のレジスタの内の対応するレジスタから、前記第 1 スレッドと前記第 2 スレッドとを含む複数のスレッドの、各スレッドに対応するスレッド優先度を受け取るように構成される優先度エンコーダから、前記複数のスレッドの各スレッドに対応するスレッド優先度に基づいて、前記複数のスレッドの内の最も低いスレッド優先度を有する最低優先度スレッドの指示を受け取らせ、

前記割り込みを前記最低優先度スレッドに割り当てさせる、コンピュータ読み取り可能な記憶媒体。

【請求項 18】

前記割り込みを割り当てさせることは、

前記最も低いスレッド優先度である前記第 2 スレッド優先度に基づいて、前記第 2 タスクを中断させ、

処理するための前記第 2 スレッドに、前記割り込みを供給させることとを含む請求項 17 記載のコンピュータ読み取り可能な記憶媒体。

10

20

30

40

50

【発明の詳細な説明】**【技術分野】****【0001】**

ここに開示される発明概念の実施形態は、一般にデータ処理システムの分野に関する。より具体的には、ここに開示される発明概念の実施形態は、マルチスレッドプロセッサ (multi-threaded processor) に割り込み (interrupt) を割り当てることに関する。

【背景技術】**【0002】**

マルチスレッドプロセッサは、タスクを処理できる速度を増大させるために、2以上のスレッドを含むことができる。スレッドは、タスクが処理されるハードウェアであり得る。タスクは、アプリケーションやプログラムのような、システムファンクションに関連する命令シーケンスであり得る。いくつかのアプリケーション又はプログラムは、同時に2以上のタスクと関連付けられる可能性がある。スレッドは、タスクに関連する命令シーケンスを実行することにより、そのタスクを処理又は実行することができる。

10

【0003】

あるスレッドがあるタスクを処理すると同時に、別のスレッドは別のタスクを処理することができる。処理のステージは、フェッチ (タスクに関連する命令を取得すること)、デコード (命令を演算とオペランドとに分割すること)、レジスタファイルからオペランドを読み出すこと、命令を実行すること、結果をライトバックすることを含み得る。プロセッサは、タスクの全命令が実行されるまで、タスク内の次の命令のために繰り返され得る。各タスクは、優先度に関連付けられ、その優先度に基づいてスレッドに割り当てられ得る。例えば、ソフトウェアは各タスクに優先度を割り当てることができ、スケジューラは、タスクを処理する準備ができていないスレッドを提供するための、最も高い優先度を有する次のタスクを決定することができる。

20

【0004】

スレッドは、割り込みを処理することもでき得る。割り込みは、ソフトウェアによって生成された、又はシステムデバイスからの割り込みハンドラに関連する通知であり得る。割り込みハンドラは、スケジューリングされていないタスクであるルーチンであり得る。割り込みが受け取られたとき、それはマルチスレッドプロセッサのいずれかのスレッドによって処理され得る。例えば、第1スレッドが現在タスクの命令を処理していても処理していなくても、また、他のスレッドが待ち状態 (wait mode) であっても (すなわち、いずれのタスクも処理していなくても)、割り込みハンドラは、フェッチステージで第1スレッドに供給されることができる。割り込みを処理することは、スレッドがタスクの命令を処理することを中断することと、割り込みハンドラに関連する命令シーケンスを処理することを含む。

30

【0005】

割り込みを処理するために現在のタスクを処理することを中断するスレッドは、高優先度のタスクを処理することによるように、高優先度のスレッドであるかもしれない。1以上のスレッドが待ち状態である場合、又は割り込みを処理するために処理中の低優先度のスレッドが利用可能である場合、高優先度のスレッドが高優先度のタスクを処理し続け、割り込みのためにその処理を中断しないことが望ましい。

40

【0006】

したがって、他のスレッドが割り込みの処理のために利用可能であるときに、高優先度のスレッド上で割り込みを実行することによるオーバーヘッドを減らすために、割り込みを割り当てることができるマルチスレッドプロセッサのためのシステム及びプロセスが望ましい。

【発明の概要】**【0007】**

実施形態では、マルチスレッドプロセッサが記述される。マルチスレッドプロセッサは、割り込みモジュールとタスクを実行するためのスレッドとを含む。各スレッドはタスク

50

を実行することができる。割り込みモジュールは、スレッドそれぞれの優先度を識別することができ、少なくともその優先度に基づいて、スレッドの内の1つに割り込みを割り当てることができる。

【0008】

この実例となる実施形態は、ここに開示された発明概念を限定又は定義することを意図せず、それらの理解を支援するための例を提供することを意図する。本開示の他の態様、利点及び特徴は、次のセクション、すなわち、図面の説明、詳細な説明及び特許請求の範囲を含む出願全体の検討後に明らかになるであろう。

【図面の簡単な説明】

【0009】

添付の図面を参照して後続する詳細な説明が読まれるとき、ここに開示された、本願発明概念のこれら及び他の特徴、態様及び利点はより理解される。

【図1】図1は、プロセッサスレッドに割り込みを割り当てるプロセッサユニットの例を示す概略図である。

【図2】図2は、図1のプロセッサユニットの実施形態を示す概略図である。

【図3】図3は、図1のプロセッサユニットの第2実施形態を示す概略図である。

【図4】図4は、プロセッサスレッドに割り込みを割り当てる典型的な処理を示すフローチャートである。

【図5】図5は、プロセッサユニットの実施形態を含み得るポータブル通信デバイスの例を示す概略図である。

【図6】図6は、プロセッサユニットの実施形態を含み得る携帯電話の例を示す概略図である。

【図7】図7は、プロセッサユニットの実施形態を含み得る無線インターネットプロトコル電話の例を示す概略図である。

【図8】図8は、プロセッサユニットの実施形態を含み得るポータブルデジタルアシスタントの例を示す概略図である。

【図9】図9は、プロセッサユニットの実施形態を含み得るオーディオファイルプレーヤの例を示す概略図である。

【発明を実施するための形態】

【0010】

記載の全体にわたって、説明のために、多くの特定の詳細は、ここに開示された発明概念の詳細な理解を提供するために示される。しかしながら、当業者に、ここに開示された発明概念が、これら特定の詳細の一部なしに実行され得ることは明らかであろう。他の事例では、ここに開示された発明概念の基礎をなす原理を不明瞭にしないようにするために、周知の (well-known) 構造及びデバイスはブロック図の形式で示される。

【0011】

ここに開示された発明概念の実施形態は、スレッド優先度に基づいて、スレッドに割り込みを割り当てることができるマルチスレッドプロセッサに関する。スレッドの優先度は、スレッドがタスクを実行しているか否か、及び/又は実行しているタスクの優先度に基づくことができる。いくつかの実施形態では、各タスクの優先度は、ソフトウェアによって生成され、マルチスレッドプロセッサ内のプロセッサユニットによって受け取られる。スレッドがタスクを実行しているとき、スレッドの優先度は、それが実行しているタスクに一致することができる。スレッドが待ち状態にある (つまり、タスクを実行していない) とき、その優先度は、可能な限り低い優先度に対応し得る。いくつかの実施形態では、“1”及び“0”のような2つの優先度は、“1”がスレッドがタスクを実行していることを示すために、又は“0”が待ち状態であることを示すために用いられ、割り込みは、待ち状態及び“0”に関連付けられたスレッドへの割り当てのように、優先度に基づいて割り当てられる。

【0012】

タスクは、互いに関連する命令シーケンスを含むことができる。プロセッサスレッドは

10

20

30

40

50

、タスクに関連する命令の各々を処理することによって、タスクを実行することができる。マルチスレッドプロセッサは、あるスレッド上であるタスクに関連する命令シーケンスを、別のスレッド上で別のタスクに関連する命令シーケンスを処理することによって、同時に2以上のタスクを実行し得る。

【0013】

マルチスレッドプロセッサのプロセッサユニットは、割り込みを受け取り、スレッドの優先度に基づいて割り込みを供給するためのスレッドを決定することができる。例えば、プロセッサユニットは、待ち状態にあるスレッドを識別することができ、また、マルチスレッドプロセッサ内の全てのスレッドがタスクを実行している場合には、最も低い優先度を有するスレッドを識別することができる。プロセッサユニットは、識別されたスレッドに割り込みを割り当てることができる。

10

【0014】

割り込みは、デバイス又はシステムソフトウェアから受け取られた、割り込みハンドラのようなスケジューリングされていないイベントに関連する通知であり得る。例えば、割り込みハンドラは、スレッドによって処理される命令シーケンスを含む、スケジューリングされていないタスクであり得る。いくつかの実施形態では、割り込みは優先度を含む。プロセッサユニットは、スレッドの優先度及び割り込みの優先度に基づいて、実行中のタスクを中断するか否かを判定することができる。例えば、プロセッサユニットは、割り込みの優先度がスレッドの優先度よりも高いか否かを判定することができる。割り込みの優先度がスレッドの優先度より高い場合、最も低い優先度を有するスレッドを中断することができ、割り込みはそのスレッドに供給されることができる。割り込みの優先度がスレッドより低い場合、スレッドがその現在のタスクの実行を完了するまで、そうでなければ割り込みよりも高い優先度を有するタスクが実行されるまで、割り込みは待ち行列に入れられる。スレッドの優先度に基づいて割り込みを割り当てることによって、あるプロセッサユニットの実施形態は、割り込み処理によるレイテンシーのようなオーバーヘッドを減らし、且つ/又は高優先度のタスクがより早く実行されることを可能にすることができる。

20

【0015】

いくつかの実施形態によるマルチスレッドプロセッサは、タスクの実行中にデータにアクセスするために、処理システムのさまざまなコンポーネントを伴って実装される可能性がある。図1は、割り込みハンドラ101に関連付けられた割り込みを、プロセッサスレッドに割り当てるためのプロセッサユニット102を含むマルチスレッドプロセッサの一実施形態の実装のブロック図を示す。いくつかの実施形態では、プロセッサユニット102は、タスクキュー内その他のタスクのような、各々がプロセッサスレッドによって実行される命令シーケンスを含む実行可能なタスク104を含む。タスクに関連する命令は、スレッドと、レジスタ又は関連するスレッドの優先度を格納する各スレッドに関連する他の一時記憶コンポーネントとを含む実行モジュール106内で実行することができる。実行モジュール106は、限られた数のスレッドのような、あらゆる数のスレッドを含むことができる。各スレッドは、タスクに関連する命令シーケンスの実行によるように、タスクを実行することができる。プロセッサユニット102は、割り込みを供給するための、そうでなければ、割り込み100とそれらに関連する割り込みハンドラ101との割り当てを決定するためのスレッドを決定することができる割り込みモジュール108を含むこともできる。

30

40

【0016】

各タスクには、オペレーティングシステムによって割り当てられる優先度のような優先度が関連付けられる。プロセッサユニット102、又はオペレーティングシステムのようなソフトウェアは、いつスレッド上でタスクを実行するかを決定するために優先度を用いることができる。いくつかの実施形態では、いくつかのタスクは同時に受け取られ、タスクの優先度に基づいて、限られた数のスレッドに供給される。高い優先度に関連付けられたタスクは、低い優先度に関連付けられたタスクの前に実行されることができる。

【0017】

50

プロセッサユニット 102 は、メモリ管理ユニット 110 と、そのタスクの実行においてプロセッサユニット 102 を支援するリソース 112 に結合することができる。実行中、プロセッサユニット 102 は、メモリ管理ユニット 110 を介してリソース 112 にアクセスし得る。例えば、プロセッサユニット 102 は、リソース 112 からのデータ、命令、オペランド、又は他の情報に関する要求を供給することができる。メモリ管理ユニット 110 は、プロセッサユニット 102 によって探索された情報がある記憶位置の物理アドレスを提供するために、変換索引 (lookaside) バッファ又は他のコンポーネントを使用することによるように、リソース 112 へのアクセスを管理することができる。

【0018】

リソース 112 その他のようなシステムデバイスからの割り込み 100 は、受け取ることができ、それらが関連する割り込みハンドラ 101 はプロセッサユニット 102 によって実行される。割り込みモジュール 108 は、相対的に低い優先度のスレッドを停止すること、又は割り込みを実行するために待ち状態のスレッドを識別することによるように、実行モジュール 106 内のスレッドの優先度に基づいて割り込み 100 に割り当てるように構成される。

【0019】

プロセッサユニット 102 の実施形態は、待ち状態のスレッドに割り込みを割り当て、且つ/又はスレッド及び実行待ちのタスクの優先度に基づいて割り込みを割り当てるコンポーネントを含む、スレッドに割り込みを割り当てるためのさまざまなコンポーネントを含むことができる。図 2 及び図 3 は、割り込みを割り当てるように構成されたプロセッサユニットの実装の実施形態を示す。図 2 は、スケーリングされたスレッド優先度を使用した、待ち状態のスレッドへの割り込みの割り当ての例を示す。図 3 は、二択の優先度に基づくスレッドへの割り込みの割り当ての例を示す。

【0020】

図 2 内のプロセッサユニット 102 は、スレッド 202 を備える実行モジュールを含むマルチスレッドプロセッサである。説明のため、スレッド 202 は 6 つのスレッド A - F を含む。あらゆる数のスレッドを使用することができる。実行モジュールは、スレッド 202 それぞれの優先度を格納するスレッドレジスタ 204 A - F も含む。各スレッドレジスタは、1 つのスレッドに関連付けられる。例えば、スレッドレジスタ 204 A は、スレッド 202 A に対応する。スレッドがタスクを実行しているとき、タスクの優先度に対応する優先度は、スレッドに関連するレジスタに格納される。スレッドがタスクを実行することを完了するか、そうでなければ停止するとき、関連するレジスタ内の優先度は "null" に変更される。"null" の優先度は、可能な限り低い優先度に相当し得る。スレッドが実行する別のタスクを受け取るとき、タスクの優先度に対応する優先度は関連するレジスタに格納される。

【0021】

いくつかの実施形態では、レジスタは、優先度に関する値を識別する 1 以上のビットを格納する。あらゆる優先度のスケールは、相対的なスレッドの優先度を表すために用いることができる。図 2 に示される実施形態では、"1" と "99" との間の数は、より低い数がより高い優先度を表して使用される。例えば、スレッドレジスタ 204 A は、スレッド 202 A の相対的な優先度を表す "5" の優先度を含む。スレッドレジスタ 204 B は、スレッド 202 B の相対的な優先度を表し、スレッド 202 A がスレッド 202 B より高い優先度を有することを示す "25" の優先度を含む。スレッドレジスタ 204 C は、スレッド 202 C が現在タスクを実行しておらず、待ち状態にあることを示す "null" の優先度を含む。スレッド優先度値を示すための数値及び "null" を含むスケールは、典型的な目的のために用いられ、相対的なスレッドの優先度と待ち状態のスレッドとのあらゆる識別に用いられる。

【0022】

実行モジュールは、スレッドレジスタ 204 につながる優先度エンコーダ (priority encoder) 206 も含む。優先度エンコーダ 206 は、スレッドレジスタ 204 内の優先

10

20

30

40

50

度を受け取り、最も低い優先度を含むレジスタを決定するように構成することができる。示された実施形態では、優先度エンコーダ206は、“null”が最も低い優先度であるので、それを含むレジスタに関連するスレッドを決定する。例えば、スレッドレジスタ204はそれぞれ、優先度エンコーダ206に、スレッドレジスタに関連するスレッドの優先度及び識別を供給することができる。図2に示される実施形態では、スレッドレジスタ204Cは“null”を含み、優先度エンコーダ206によって最も低い優先度のスレッドであると識別される。

【0023】

優先度エンコーダ206によって識別されたスレッドは、優先度エンコーダ206から受け取られた優先度情報に基づいて、割り込みを割り当てるように構成された割り込みモジュール208に提供される。いくつかの実施形態では、優先度エンコーダ206は、割り込みモジュール208に優先度情報を継続的に供給する。他の実施形態では、優先度エンコーダ206は、割り込みモジュール208から優先度情報の要求を受け取った後に、割り込みモジュール208に優先度情報を供給する。

10

【0024】

割り込みモジュール208は、割り込みを受け取り、それをスレッド202のうちの1つに割り当てることができる。いくつかの実施形態では、割り込みモジュール208は、割り込みの優先度を決定し、割り込みを割り当てるために優先度エンコーダ206から受け取ったスレッド優先度に加えて、割り込み優先度を使用する。他の実施形態では、割り込みモジュール208は割り込みの優先度を決定せずに、割り込みを割り当てる。割り込みモジュール208は、待ち状態のスレッドのような最も低い優先度を有するスレッドを識別することにより、割り込みを割り当て、識別されたスレッドに割り込みを供給することができる。例えば、スレッド202Cが、待ち状態であるような最も低い優先度スレッドであるので、割り込みモジュール208はスレッド202Cを識別し、割り込みをスレッド202Cに供給する。スレッド202Cは、高い優先度のスレッドのような他のスレッドの実行を中断させることなく、割り込みを実行する。

20

【0025】

全てのスレッド202がタスクを実行している場合、割り込みモジュール208はさらに、低い優先度のスレッドに割り込みを供給するように構成することができる。低い優先度のスレッドは、タスクの実行を中断し、割り込みに関連する割り込みハンドラの命令を実行することにより、割り込みの処理を開始することができる。例えば、スレッド202Cが“17”の優先度を有するタスクを実行している場合、優先度エンコーダ206は、最も低い優先度を有するものとしてスレッド202Eを識別し、割り込みモジュール208に202Eの識別を提供する。割り込みモジュール208は、スレッド202E内で実行中のタスクを中断し、実行のための割り込みを受け取ることができる。例えば、スレッド202Eは、タスクに関連する命令シーケンスの内の命令の実行を中断し、割り込みに関連する割り込みハンドラの命令の実行を開始し得る。スレッド202Eは、より高い優先度のスレッドを中断させずに、割り込みを実行する。スレッド202E内で形式的に実行するタスクは、スレッドが実行を完了し、別のタスクを実行する準備ができるまで、止められ得る。

30

40

【0026】

いくつかの実施形態では、割り込みは、スレッドが待ち状態であるかタスクを実行中であることを示すような、より単純なスレッド優先度に基づいて割り当てられることができる。図3は、スレッド302A-Fと、スレッド302A-Fに対応するスレッドレジスタ304A-Fとを備える実行モジュールを含むプロセッサユニット102の実施形態を示す。スレッドレジスタ304A-Fはそれぞれ、各スレッドの優先度を示すための“1”又は“0”を含む。“1”は、関連するスレッドが現在タスクを実行していることを示すことができ、“0”は、関連するスレッドが待ち状態であることを示すことができる。例えば、スレッドは304A、304C、304D、及び304Fはそれぞれ、関連するスレッド302A、302C、302D、及び302Fがタスクを実行していることを示す

50

“ 1 ”を含む。スレッドレジスタ 304 B 及び 304 E は、関連するスレッド 302 B 及び 302 E がタスクを実行しておらず、待ち状態であることを示す “ 0 ” を含む。

【 0027 】

スレッドレジスタ 304 A - F は、割り込みモジュール 308 へのスレッド優先度を識別する優先度エンコーダ 306 につながる。いくつかの実施形態では、優先度エンコーダ 306 は、スレッドレジスタ 304 A - F からの優先度に基づいて、割り込みモジュール 308 への待ち状態の 1 以上のスレッドを識別するように構成される。図 3 に示される実施形態では、例えば、優先度エンコーダ 306 は、割り込みモジュール 308 へのスレッド 302 B 及び 302 E を識別し得る。割り込みモジュール 308 は、割り込みを中止し受諾するために、現在タスクを処理しているスレッドに対する要求なしにそれを処理することができる、識別されたスレッド 302 B 又は 302 E の内の 1 つに割り込みを供給することができる。

10

【 0028 】

いくつかの実施形態では、全てのスレッド 302 A - F がタスクを処理していて、スレッドレジスタ 304 A - F の各々は、関連するスレッドそれぞれが現在タスクを処理していることを示す “ 1 ” を含む可能性がある。優先度エンコーダ 306 は、全てのスレッド 302 A - F がタスクを処理しているという指示を、割り込みモジュール 308 に供給するように構成することができる。割り込みモジュール 308 は、スレッド 302 A - F の内の 1 つに、割り込みとその割り込みハンドラを供給することができる。スレッドは、そのタスクの処理を中断し、その割り込みハンドラに関連する命令を実行することにより割り込みの処理を開始できる。

20

【 0029 】

上述されたように、さまざまな方法は、割り込みをマルチスレッドプロセッサ内に割り当てるために実装することができる。割り当て方法のある実施形態は、スレッド優先度、割り込み優先度、及び / 又はタスク待ち行列内のタスクの優先度に基づいて割り込みを割り当てることができる。図 4 は、スレッド優先度と割り込み優先度に基づいて割り込みを割り当てる一実施形態による典型的な割り込み割り当て方法を示す。

【 0030 】

プロセッサユニットが実行のためのタスク及び各タスクの優先度を受け取るとき、方法はブロック 402 で開始され得る。タスクは、ソフトウェアプログラム又は他のシステムアプリケーションから受け取られ得、マルチスレッドプロセッサ内のスレッドによって実行される命令シーケンスを含み得る。各タスクの優先度は、オペレーティングシステムのようなシステムソフトウェアによって決定され得る。いくつかの実施形態では、プロセッサユニットは、タスクが受け取られるとき、各タスクの優先度を決定するように構成されたロジックを含む。

30

【 0031 】

ブロック 404 では、各タスクはスレッド上で実行される。タスクの数が、タスクの実行に利用可能なスレッドの数を超過する場合。いくつかの実施形態では、スケジューラは、各タスクの優先度を識別し、実行の最初に、スレッドに最も高い優先度のタスクを供給する。

40

【 0032 】

ブロック 406 では、プロセッサユニットは、タスクの優先度に基づいて各スレッドの優先度を識別する。いくつかの実施形態では、プロセッサユニットはスレッドを監視し、各スレッド上で実行するタスクの優先度を識別する。各スレッドの優先度は、スレッド上で実行するタスクの優先度に対応することがある。プロセッサユニットは、待ち状態であるスレッドの優先度を識別することもできる。プロセッサユニットは、スレッドに関連するレジスタに各スレッドのための優先度を格納できる。

【 0033 】

ブロック 408 では、プロセッサユニットは、システムデバイス又はソフトウェアアプリケーションから割り込みを受け取り、その優先度を決定する。その割り込みは、スケジ

50

ューリングされていないタスクである割り込みハンドラに関連し得る。いくつかの実施形態では、割り込み優先度は割り込みで受け取られる。例えば、オペレーティングシステムのようなシステムソフトウェアは、割り込みが生成されるときに、割り込み優先度を割り当てる。他の実施形態では、プロセッサユニットは、メモリ又は他のシステムコンポーネントにアクセスすることによって、割り込みの優先度を読み出す。

【0034】

ブロック410では、プロセッサユニット内の割り込みモジュールは、割り込み優先度が少なくとも1つのスレッドよりも高いか否かを判定する。いくつかの実施形態では、割り込みモジュールは、スレッドの各々の優先度を受け取り、それらを割り込み優先度と比較する。割り込み優先度が少なくとも1つのスレッドより高い場合、ブロック412では、最も低い優先度を有するスレッドが識別され、そのタスクを処理することが中断され、割り込みに関連する割り込みハンドラが最も低い優先度を有するスレッドに供給される。割り込み優先度が少なくとも1つのスレッドよりも高くない場合、ブロック414で、割り込みはキューに格納される。方法は、割り込み優先度が少なくとも1つのスレッドよりも高いかどうかを判定するためにブロック410に戻り、割り込み優先度が少なくとも1つのスレッドより高いときまで継続する。いくつかの実施形態では、割り込みはキューに格納され、スレッドが利用可能であり、且つ割り込みがキュー内の最も高い優先度の割り込み及び/又はタスクであるとき、スレッドに供給される。

【0035】

上述の特徴を含む例のデバイス

プロセッサスレッドに割り込みを割り当てることができるプロセッサユニットは、デジタル信号プロセッサのような任意のタイプのプロセッサ内に含まれ得る。図5から図9の概略図は、マルチスレッドプロセッサのスレッドに割り込みを割り当てるために、プロセッサユニットを組み込み得る例のデバイスを示す。

【0036】

図5は、ポータブル通信デバイス500の典型的な実施形態を示す図である。図5の概略図に示されるように、ポータブル通信デバイスはデジタル信号プロセッサ(DSP)504を含む、オンチップシステム502を含む。図5の概略図は、さらに、DSP504及びディスプレイ508につながるディスプレイコントローラ506を示す。さらに、入力デバイス510はDSP504につながる。図のように、メモリ512はDSP504につながる。また、コーダ/デコーダ(CODEC)514は、DSP504につながれ得る。スピーカー516及びマイクロホン518は、CODEC514につながれ得る。

【0037】

図5の概略図は、デジタル信号プロセッサ504につながれた無線コントローラ520と無線アンテナ522とをさらに示す。特定の実施形態では、電源524はオンチップシステム502につながる。ディスプレイ508、入力デバイス510、スピーカー516、マイクロホン518、無線アンテナ522、及び電源524は、オンチップシステム502の外側にあり得る。しかしながら、各々は、オンチップシステム502のコンポーネントにつながることができる。

【0038】

特定の実施形態では、DSP504は、図2又は図3を参照して記述されるように、スレッドに割り込みを割り当て、割り込み処理によるレイテンシーのようなオーバーヘッドを減らし、且つ/又は高い優先度のタスクがより早く実行されることを可能にすることができるプロセッサユニット562を含む。例えば、DSP504は、各スレッドが、そのスレッドが処理しているタスクの優先度に基づいて優先度を割り当てられ得る、マルチスレッドプロセッサであり得る。プロセッサユニット562は、割り込みを受け取り、スレッドそれぞれの優先度に基づいて、タスクを処理していないスレッド又は低い優先度のスレッドのような、処理するために割り込みを送るスレッドを決定することができる。

【0039】

図6は、携帯電話600の典型的な実施形態を示す図である。図のように、携帯電話600は、相互に連結されるデジタルベースバンドプロセッサ604とアナログベースバンドプロセッサ606とを含む、オンチップシステム602を含む。特定の実施形態では、デジタルベースバンドプロセッサ604は、デジタル信号プロセッサである。図6の概略図で示されるように、ディスプレイコントローラ608とタッチスクリーンコントローラ610とは、デジタルベースバンドプロセッサ604につながる。同様に、オンチップシステム602の外部のタッチスクリーンディスプレイ612は、ディスプレイコントローラ608とタッチスクリーンコントローラ610とにつながる。

【0040】

図6の概略図は、ビデオエンコーダ614、例えば、位相交代ライン(PAL)エンコーダ、順次式カラーメモリ(SECAM)エンコーダ、又は全国テレビ方式委員会(NTSC)エンコーダが、デジタルベースバンドプロセッサ604につながることをさらに示す。さらに、ビデオ増幅器616は、ビデオエンコーダ614とタッチスクリーンディスプレイ612とにつながる。また、ビデオポート618はビデオ増幅器616につながる。ユニバーサルシリアルバス(USB)コントローラ620は、デジタルベースバンドプロセッサ604につながる。さらに、USBポート622はUSBコントローラ620につながる。メモリ624及び加入者識別モジュール(SIM)カード626も、デジタルベースバンドプロセッサ604につながれ得る。さらに、図6の概略図で示されるように、デジタルカメラ628はデジタルベースバンドプロセッサ604につながれ得る。典型的な実施形態では、デジタルカメラ628は、電荷結合素子(CCD)カメラ又は相補型金属酸化膜半導体(CMOS)カメラである。

【0041】

さらに図6の概略図で示すように、ステレオオーディオCODEC630は、アナログベースバンドプロセッサ606につながれ得る。さらに、オーディオ増幅器632は、ステレオオーディオCODEC630につながれ得る。典型的な実施形態では、第1ステレオスピーカ634及び第2ステレオスピーカ636は、オーディオ増幅器632につながる。マイクホン増幅器638も、ステレオオーディオCODEC630につながれ得る。さらに、マイクロホン640はマイクホン増幅器638につながれ得る。特定の実施形態では、周波数変調(FM)ラジオチューナ642はステレオオーディオCODEC630につながれ得る。FMアンテナ644は、FMラジオチューナ642につなぐことができる。さらに、ステレオヘッドホン646は、ステレオオーディオCODEC630につながれ得る。

【0042】

図6の概略図は、アナログベースバンドプロセッサ606につながれ得る無線周波数(RF)トランシーバ648をさらに示す。RFスイッチ650は、RFトランシーバ648及びRFアンテナ652につながれ得る。キーパッド654は、アナログベースバンドプロセッサ606につながれ得る。さらに、マイクロホンを備えるモノヘッドセット656は、アナログベースバンドプロセッサ606につながれ得る。さらに、バイブレーションデバイス658は、アナログベースバンドプロセッサ606につながれ得る。図6の概略図は、さらにオンチップシステム602につながれ得る電源660を示す。特定の実施形態では、電源660は、携帯電話600のさまざまなコンポーネントに電力を供給する直流(DC)電源である。さらに、特定の実施形態では、電源は、再充電可能なDCバッテリー、又は交流(AC)電源につながる交流・直流変換から導かれるDC電源である。

【0043】

図6の概略図のように、タッチスクリーンディスプレイ612、ビデオポート618、USBポート622、カメラ628、第1ステレオスピーカ634、第2ステレオスピーカ636、マイクロホン640、FMアンテナ644、ステレオヘッドホン646、RFスイッチ650、RFアンテナ652、キーパッド654、モノヘッドセット656、バイブレーションデバイス658、及び電源660は、オンチップシステム602の外側にあり得る。特定の実施形態では、デジタルベースバンドプロセッサ604は、図2又は図3を参照

10

20

30

40

50

して記載されるように、割り込みをスレッドに割り当て、割り込み処理によるレイテンシーのようなオーバーヘッドを減らし、且つ/又は高い優先度のタスクがより早く実行されることを可能にすることができるプロセッサユニット662を含み得る。例えば、DSP604は、スレッドが処理しているタスクの優先度に基づいて、各スレッドに優先度が割り当てられるマルチスレッドプロセッサであり得る。プロセッサユニット662は、割り込みを受け取り、各スレッドの優先度に基づいて、タスクを処理していないスレッド又は低い優先度のスレッドのような、処理するために割り込みを送るべきスレッドを決定することができる。

【0044】

図7は、無線インターネットプロトコル(IP)電話700の典型的な実施形態を示す図である。図のように、無線IP電話700は、デジタル信号プロセッサ(DSP)704を含む、オンチップシステム702を含む。ディスプレイコントローラ706は、DSP704につながれ得、ディスプレイ708は、ディスプレイコントローラ706につながる。典型的な実施形態では、ディスプレイ708は液晶ディスプレイ(LCD)である。図7は、キーパッド710がDSP704につながれ得ることをさらに示す。

10

【0045】

フラッシュメモリ712はDSP704につながれ得る。シンクロナスダイナミックアクセスメモリ(SDRAM)714、スタティックランダムアクセスメモリ(SRAM)716、及び電氣的消去可能ナードオンリーメモリ(EEPROM)718も、DSP704につながれ得る。図7の概略図は、さらに、発光ダイオード(LED)720がDSP704につながれ得ることを示す。さらに、特定の実施形態では、音声CODEC722は、DSP704につながれ得る。増幅器724は音声CODEC722につながれ得、モノスピーカー726は増幅器724につながれ得る。図7の概略図は、音声CODEC722につながれたモノヘッドセット728をさらに示す。特定の実施形態では、モノヘッドセット728はマイクロホンを含む。

20

【0046】

無線ローカルエリアネットワーク(WLAN)ベースバンドプロセッサ730は、DSP704につながれ得る。RFトランシーバ732はWLANベースバンドプロセッサ730につながれ得、RFアンテナ734はRFトランシーバ732につながれ得る。特定の実施形態では、Bluetooth(登録商標)コントローラ736もDSP704につながれ得、Bluetoothアンテナ738はコントローラ736につながれ得る。図7の概略図は、さらに、USBポート740もDSP704につながる得ることを示す。さらに、電源742は、オンチップシステム702につながれ、無線IP電話700のさまざまなコンポーネントに電力を供給する。

30

【0047】

図7の概略図に示すように、ディスプレイ708、キーパッド710、LED720、モノスピーカー726、モノヘッドセット728、RFアンテナ734、Bluetoothアンテナ738、USBポート740、及び電源742は、オンチップシステム702の外側にあり、オンチップシステム702の1以上のコンポーネントにつながれ得る。特定の実施形態では、DSP704は、図2又は図3を参照して示すように、スレッドに割り込みを割り当て、割り込み処理によるレイテンシーのようなオーバーヘッドを減らし、且つ/又は高い優先度のタスクがより早く実行されるようにすることができるプロセッサユニット762を含む。例えば、DSP704は、各スレッドに、そのスレッドが処理しているタスクの優先度に基づいて、優先度が割り当てられるマルチスレッドプロセッサであり得る。プロセッサユニット762は、割り込みを受け取り、各スレッドの優先度に基づいて、タスクを処理していないスレッド又は低い優先度のスレッドのような、処理するために割り込みを送るべきスレッドを決定することができる。

40

【0048】

図8は、ポータブルデジタルアシスタント(PDA)800の典型的な実施形態を示す図である。図のように、PDA800はデジタル信号プロセッサ(DSP)804を含む

50

、オンチップシステム 802 を含む。タッチスクリーンコントローラ 806 とディスプレイコントローラ 808 とは、DSP 804 につながる。さらに、タッチスクリーンディスプレイ 810 は、タッチスクリーンコントローラ 806 とディスプレイコントローラ 808 とにつながる。図 8 の概略図は、さらにキーパッド 812 が DSP 804 につながれ得ることを示す。

【0049】

特定の実施形態では、ステレオオーディオ CODEC 826 は、DSP 804 につながれ得る。第 1 ステレオ増幅器 828 は、ステレオオーディオ CODEC 826 につながれ得、第 1 ステレオスピーカ 830 は第 1 ステレオ増幅器 828 につながれ得る。さらに、マイクホン増幅器 832 はステレオオーディオ CODEC 826 につながれ得、マイクロホン 834 はマイクホン増幅器 832 につながれ得る。図 8 の概略図は、さらに、ステレオオーディオ CODEC 826 につながれ得る第 2 ステレオ増幅器 836 と、第 2 ステレオ増幅器 836 につながれ得る第 2 ステレオスピーカ 838 とを示す。特定の実施形態では、ステレオヘッドホン 840 もステレオオーディオ CODEC 826 につながれ得る。

10

【0050】

図 8 の概略図は、DSP 804 につながれ得る 802 . 11 コントローラ 842 と、802 . 11 コントローラ 842 につながれ得る 802 . 11 アンテナ 844 とを示す。さらに、Bluetooth コントローラ 846 は DSP 804 につながれ得、Bluetooth アンテナ 848 は Bluetooth コントローラ 846 につながれ得る。USB コントローラ 850 は、DSP 804 につながれ得、USB ポート 852 は USB コントローラ 850 につながれ得る。さらに、スマートカード 854、例えばマルチメディアカード (MMC)、セキュアデジタルカード (SD) は、DSP 804 につながれ得る。さらに、電源 856 は、オンチップシステム 802 につながれ得、PDA 800 のさまざまなコンポーネントに電力を供給し得る。

20

【0051】

図 8 の概略図に示すように、ディスプレイ 810、キーパッド 812、IrDA ポート 822、デジタルカメラ 824、第 1 ステレオスピーカ 830、マイクロホン 834、第 2 ステレオスピーカ 838、ステレオヘッドホン 840、802 . 11 アンテナ 844、Bluetooth アンテナ 848、USB ポート 852、及び電源 856 は、オンチップシステム 802 の外側にあるかもしれないし、オンチップシステム 802 上の 1 以上のコンポーネントにつながるかもしれない。特定の実施形態では、DSP 804 は、図 2 又は図 3 を参照して示すように、スレッドに割り込みを割り当て、割り込み処理によるレイテンシーのようなオーバヘッドを減らし、且つ / 又は高い優先度のタスクがより早く実行されることを可能にすることができるプロセッサユニット 862 を含む。例えば、DSP 804 は、各スレッドに、そのスレッドが処理しているタスクの優先度に基づいて優先度が割り当てられる、マルチスレッドプロセッサであり得る。プロセッサユニット 862 は、割り込みを受け取り、各スレッドの優先度に基づいて、タスクを処理していないスレッド又は低い優先度のスレッドのような、処理するために割り込みを送るべきスレッドを決定することができる。

30

40

【0052】

図 9 は、オーディオファイルプレーヤ (例えば、MP3 プレーヤ) 900 の典型的な実施形態を示す図である。図のように、オーディオファイルプレーヤ 900 は、デジタル信号プロセッサ (DSP) 904 を含むオンチップシステム 902 を含む。ディスプレイコントローラ 906 は DSP 904 につながれ得、ディスプレイ 908 はディスプレイコントローラ 906 につながる。典型的な実施形態では、ディスプレイ 908 は液晶ディスプレイ (LCD) である。キーパッド 910 は DSP 904 につながれ得る。

【0053】

図 9 の概略図でさらに描かれるように、フラッシュメモリ 912 とリードオンリーメモリ (ROM) 914 とは、DSP 904 につながれ得る。さらに、特定の実施形態では、

50

オーディオCODEC 916はDSP 904につながれ得る。増幅器 918はオーディオCODEC 916につながれ得、モノスピーカ 920は増幅器 918につながれ得る。図9の概略図は、マイクロホン入力 922とステレオ入力 924とがオーディオCODEC 916につながれ得ることもさらに示す。特定の実施形態では、ステレオヘッドホン 926もオーディオCODEC 916につながれ得る。

【0054】

USBポート 928とスマートカード 930とは、DSP 904につながれ得る。さらに、電源 932は、オンチップシステム 902につながれ得、オーディオファイルプレーヤ 900のさまざまなコンポーネントに電力を供給し得る。

【0055】

図9の概略図に示されるように、ディスプレイ 908、キーパッド 910、モノスピーカ 920、マイクロホン入力 922、ステレオ入力 924、ステレオヘッドホン 926、USBポート 928、及び電源 932は、オンチップシステム 902の外部にあり、オンチップシステム 902上の1以上のコンポーネントにつながる。特定の実施形態では、DSP 904は、図2又は図3を参照して記述されるように、スレッドに割り込みを割り当て、割り込み処理によるレイテンシーのようなオーバーヘッドを減らし、且つ/又は高い優先度のタスクがより早く実行されることを可能にすることができるプロセッサユニット 962を含む。例えば、DSP 904は、各スレッドに、そのスレッドが処理しているタスクの優先度に基づいて優先度が割り当てられる、マルチスレッドプロセッサであり得る。プロセッサユニット 962は、割り込みを受け取り、各スレッドの優先度に基づいて、タスクを処理していないスレッド又は低い優先度のスレッドのような、処理するために割り込みを送るべきスレッドを決定することができる。

【0056】

総則

ここに開示された発明概念の実施形態の上記の記述は、図解と説明の目的でのみ表されており、完全であること、又はここに開示された発明概念を開示された精細な形態に限定することを意図しない。ここに開示された発明概念の精神及び範囲から逸脱することなく、多数の変更及び適用は当業者に明らかである。

以下に、本願出願の当初の特許請求の範囲に記載された発明を付記する。

[1] それぞれがタスクを実行することができる複数のスレッドと、前記複数のスレッドそれぞれの優先度を識別し、少なくとも前記複数のスレッドの内の一つのスレッドの優先度に基づいて、当該複数のスレッドの内の一つのスレッドに割り込みを割り当てるように構成される割り込みモジュールとを具備するマルチスレッドプロセッサ。

[2] 前記スレッドの優先度は、当該スレッドによって実行されるタスクの優先度に対応する[1]記載のマルチスレッドプロセッサ。

[3] それぞれが前記複数のスレッドの内の一つに対応し、スレッドの優先度を格納するように構成される複数のレジスタと、

前記複数のレジスタにつながれ、前記割り込みモジュールのために、最も低い優先度を有する前記複数のスレッドの内の一つを識別するように構成される優先度エンコーダとをさらに具備する[1]記載のマルチスレッドプロセッサ。

[4] 前記割り込みモジュールは、前記最も低い優先度を有する前記複数のスレッドの内の一つに前記割り込みを割り当てることによって、前記最も低い優先度を有する前記複数のスレッドの一つに前記割り込みを課すように構成され、前記最も低い優先度を有する前記複数のスレッドの内の一つは、タスクを処理することを中断し、前記割り込みを処理するように構成される[3]記載のマルチスレッドプロセッサ。

[5] 前記割り込みは割り込みハンドラに関連付けられ、

前記最も低い優先度を有する前記複数のスレッドの内の一つは、前記割り込みハンドラを処理することにより前記割り込みを処理するように構成される[4]記載のマルチスレッドプロセッサ。

10

20

30

40

50

[6] 前記割り込みモジュールは、前記複数のスレッドの内の 1 以上が待ち状態で有るか否かを決定し、前記待ち状態である複数のスレッドの内の 1 以上の各々に関する最も低い優先度を決定することによって、前記複数のスレッドの各々に関する優先度を識別するように構成され、

前記割り込みモジュールは、前記最も低い優先度を有する複数のスレッドの内の 1 つに割り込みを課すように構成される [1] 記載のマルチスレッドプロセッサ。

[7] 前記割り込みモジュールは、前記複数のスレッドの優先度に基づいて、待ち状態である前記複数のスレッドの内の 1 つを識別し、前記待ち状態である前記複数のスレッドの内の 1 つに前記割り込みを課す [1] 記載のマルチスレッドプロセッサ。

[8] 前記マルチスレッドプロセッサは、ポータブル通信デバイス内に配置される [1] 記載のマルチスレッドプロセッサ。

[9] 第 1 スレッド上で第 1 タスクを実行することと、

第 2 スレッド上で第 2 タスクを実行することと、

前記第 1 タスクの優先度に基づいて、前記第 1 スレッドの第 1 優先度を決定することと

、
前記第 2 タスクの優先度に基づいて、前記第 2 スレッドの第 2 優先度を決定することと

、
割り込み優先度を有する割り込みを受け取ることと、

前記割り込み優先度、前記第 1 優先度及び前記第 2 優先度に基づいて、前記割り込みを割り当てることとを具備する方法。

[10] 待ち状態である第 3 スレッドを識別することをさらに具備し、

前記割り込みを割り当てることは、前記待ち状態である第 3 スレッドに基づき、そして前記割り込みを前記第 3 スレッドに課すことを含む [9] 記載の方法。

[11] 前記割り込みを割り当てることは、

前記第 1 優先度が前記第 2 優先度よりも高いことを決定することと、

前記第 2 タスクを停止することと、

処理するために前記第 2 スレッドに前記割り込みを供給することとを含む [9] 記載の方法。

[12] 前記割り込みを割り当てることは、

前記割り込み優先度が前記第 2 優先度よりも高いことを決定する [11] 記載の方法。

[13] 前記割り込みに関連する割り込みハンドラを処理することによって、前記第 2 スレッドによって前記割り込み処理することをさらに具備する [11] 記載の方法。

[14] 前記割り込みを割り当てることは、

前記割り込み優先度が前記第 1 優先度及び前記第 2 優先度よりも低いことを決定することと、

前記割り込みをキューに割り当てることとを含む [9] 記載の方法。

[15] 実行モジュールであって、第 1 優先度に関連する第 1 タスクを実行するように構成される第 1 スレッドと、前記第 1 優先度に対応する第 1 スレッドの優先度を格納するように構成される第 1 レジスタと、第 2 優先度に関連する第 2 タスクを実行するように構成される第 2 スレッドと、前記第 2 優先度に対応する第 2 スレッドの優先度を格納するように構成される第 2 レジスタとを含む実行モジュールと、

割り込みを受け取り、前記第 1 スレッドの優先度及び前記第 2 スレッドの優先度の一部に基づいて、前記割り込みのための割り当てを決定するように構成された割り込みモジュールとを具備するプロセッサユニット。

[16] 前記割り込みモジュールは、

割り込み優先度が前記第 1 スレッドの優先度よりも高いことを決定し、

前記第 1 スレッドに前記割り込みを供給することによって、前記第 1 スレッドに前記割り込みを割り当て、

前記第 1 スレッドは、前記第 1 タスクを処理することを停止し、前記割り込みを処理するように構成される [15] 記載のプロセッサユニット。

10

20

30

40

50

[1 7] 前記実行モジュールは、前記第 1 タスクを格納し、前記割り込み優先度に対応するために前記第 1 優先度を修正するように構成される [1 6] 記載のプロセッサユニット

。 [1 8] 前記第 1 スレッドは、前記割り込みに関連する割り込みハンドラを処理することによって、前記割り込みを処理する [1 6] 記載のプロセッサユニット。

[1 9] 前記実行モジュールは、待ち状態であるように構成される第 3 スレッドと、前記待ち状態を示す第 3 スレッド優先度を格納するように構成される第 3 レジスタとを含み、前記割り込みモジュールは、前記第 3 優先度に基づいて、前記割り込みを前記第 3 スレッドに割り当てるように構成される [1 5] 記載のプロセッサユニット。

[2 0] 前記プロセッサユニットは、ポータブル通信デバイスに配置される [1 5] 記載のプロセッサユニット。

【 図 1 】

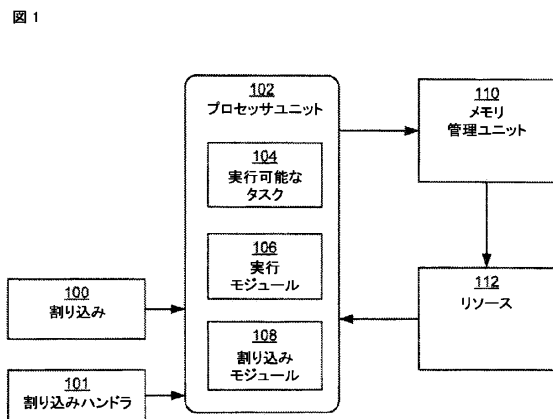


FIG. 1

【 図 2 】

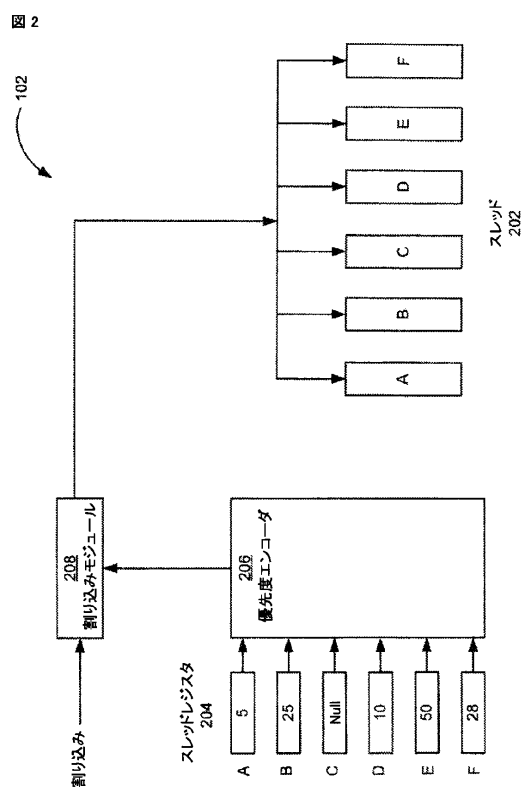


FIG. 2

【 図 3 】

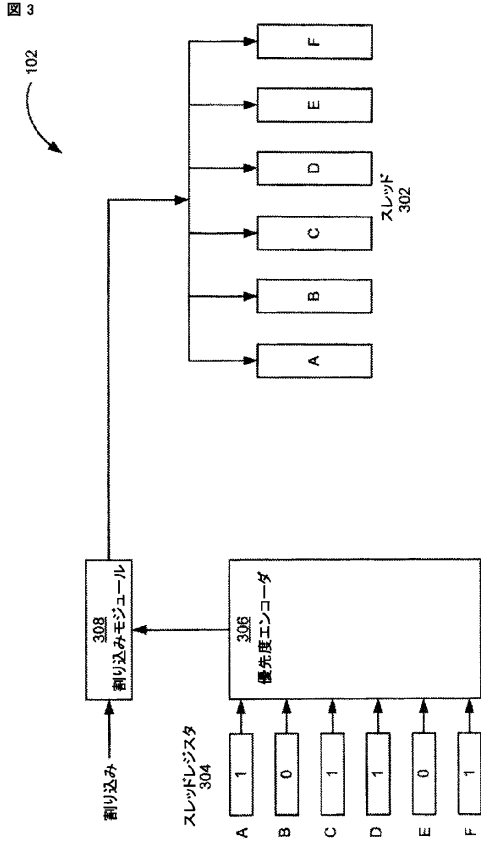


FIG. 3

【 図 4 】

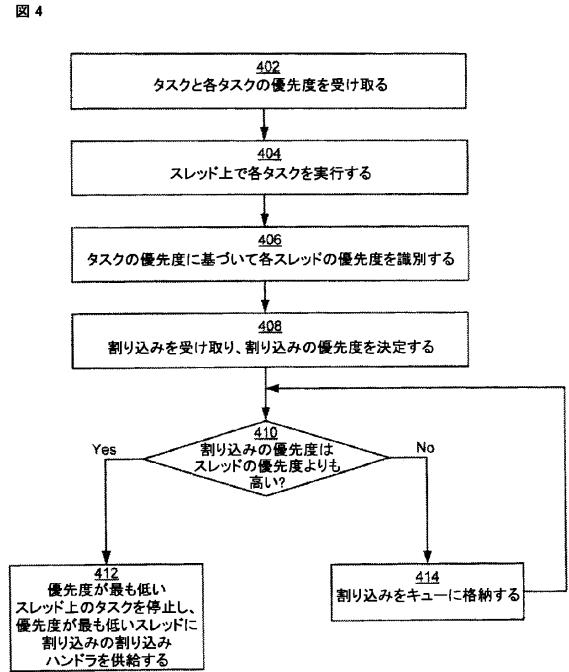


FIG. 4

【 図 5 】

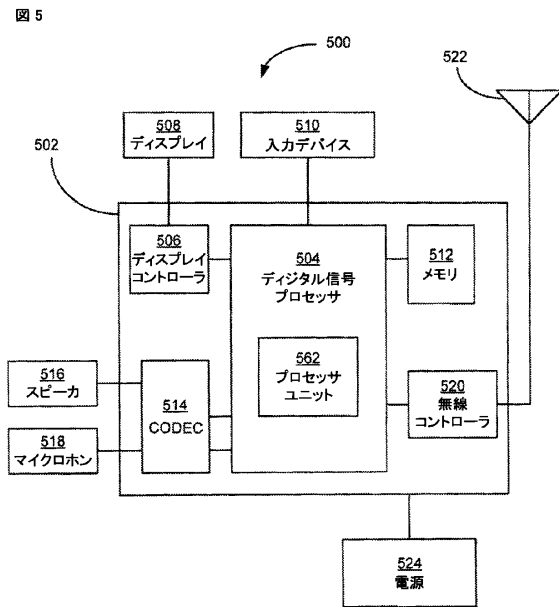


FIG. 5

【 図 6 】

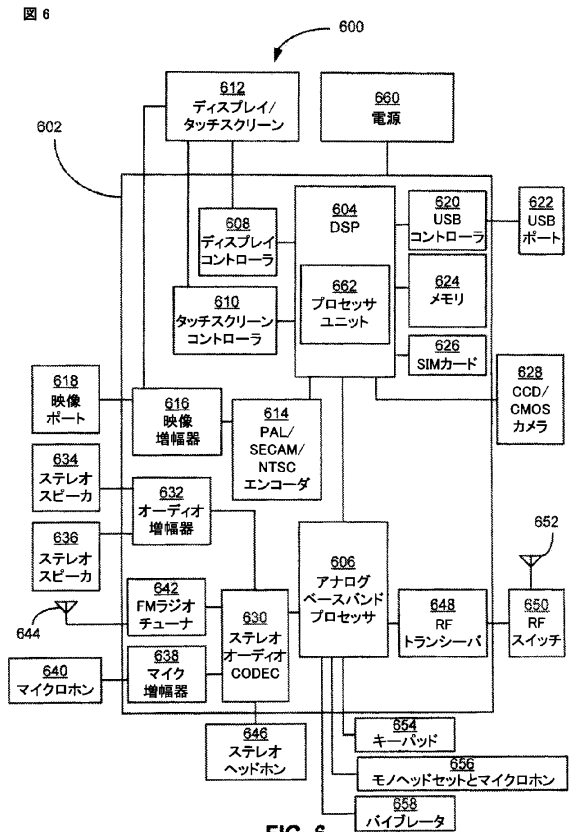


FIG. 6

フロントページの続き

- (74)代理人 100153051
弁理士 河野 直樹
- (74)代理人 100140176
弁理士 砂川 克
- (74)代理人 100158805
弁理士 井関 守三
- (74)代理人 100179062
弁理士 井上 正
- (74)代理人 100124394
弁理士 佐藤 立志
- (74)代理人 100112807
弁理士 岡田 貴志
- (74)代理人 100111073
弁理士 堀内 美保子
- (72)発明者 ブロンケ、エリッチ・ジェイムズ
アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7
7 5
- (72)発明者 コドレスキュ、ルシアン
アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7
7 5

審査官 篠塚 隆

- (56)参考文献 特開2 0 0 5 - 4 5 6 2 (J P , A)
特開平4 - 3 0 2 3 5 3 (J P , A)

- (58)調査した分野(Int.Cl. , D B名)
G 0 6 F 9 / 4 6 - 9 / 5 0