(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年4月6日(06.04.2023)

WIPO | PCT

(10) 国際公開番号
WO 2023/053713 A1

(51) 国際特許分類:
G09G 3/32 (2016.01) *H01L 33/00* (2010.01)
G09G 3/20 (2006.01) *H01L 33/62* (2010.01)
G09G 3/3233 (2016.01) *H01L 51/50* (2006.01)
H01L 27/32 (2006.01) *H05B 33/02* (2006.01)

(21) 国際出願番号： PCT/JP2022/029622

(22) 国際出願日： 2022年8月2日(02.08.2022)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2021-160405 2021年9月30日(30.09.2021) JP

(71) 出願人:株式会社ジャパンディスプレイ(**JAPAN DISPLAY INC.**) [JP/JP]; 〒1050003 東京都港区西新橋三丁目７番１号 Tokyo (JP).

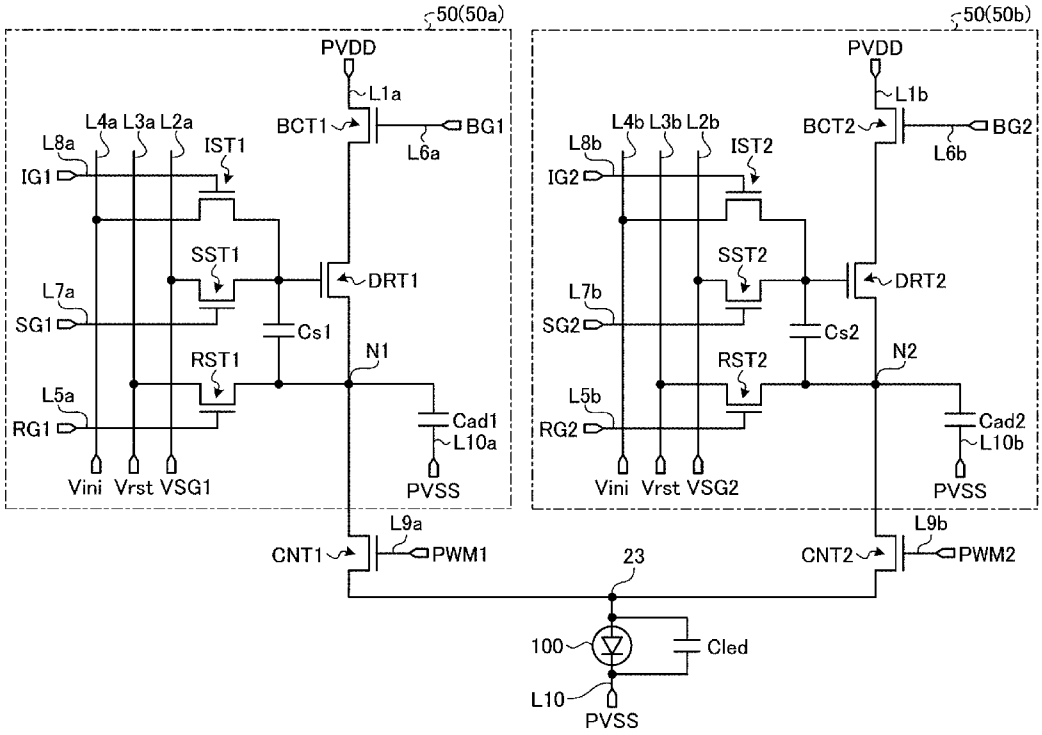
(72) 発明者: 小 川 耀 博 (**OGAWA, Akihiro**); 〒1050003 東京都港区西新橋三丁目７番１号 株式会社ジャパンディスプレイ内 Tokyo (JP).

(74) 代理人: 弁 理 士 法 人 酒 井 国 際 特 許 事 務 所 (**SAKAI INTERNATIONAL PATENT OFFICE**); 〒1000013 東京都千代田区霞が関３丁目８番１号 虎の門三井ビルディング Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,

(54) **Title:** DISPLAY DEVICE

(54) 発明の名称： 表示装置



(57) **Abstract:** The purpose of the present invention is to provide a display device capable of satisfactorily performing gradation control. A display device (1) comprises: a plurality of light-emitting elements (100) that are arranged in a display region; a first pixel circuit (50a) and a second pixel circuit (50b) that are respectively connected to each of the plurality of light-emitting elements; a first driving transistor (DRT1) that is provided in the first pixel circuit and supplies a first driving current to the light-emitting element; a second driving transistor (DRT2) that is provided in the second

WO 2023/053713 A1

[続葉有]

CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一　国際調査報告（条約第21条(3)）

pixel circuit and supplies a second driving current to the light-emitting element; a driving circuit (13) that supplies a video signal to each of the first driving transistor and the second driving transistor; a first connection switching transistor (CNT1) that is provided between the first driving transistor and the light-emitting element; and a second connection switching transistor (CNT2) that is provided between the second driving transistor and the light-emitting element. The first connection switching transistor and the second connection switching transistor are turned off during a non-light-emission period of the light-emitting element.

(57) 要約：本発明は、良好に階調制御を行うことができる表示装置を提供することを目的とする。表示装置（１）は、表示領域に配列された複数の発光素子（１００）と、複数の発光素子のそれぞれに接続された第１画素回路（５０ａ）及び第２画素回路（５０ｂ）と、第１画素回路に設けられ、発光素子に第１駆動電流を供給する第１駆動トランジスタ（ＤＲＴ１）と、第２画素回路に設けられ、発光素子に第２駆動電流を供給する第２駆動トランジスタ（ＤＲＴ２）と、第１駆動トランジスタ及び第２駆動トランジスタにそれぞれ映像信号を供給する駆動回路（１３）と、第１駆動トランジスタと発光素子との間に設けられた第１接続切換トランジスタ（ＣＮＴ１）と、第２駆動トランジスタと発光素子との間に設けられた第２接続切換トランジスタ（ＣＮＴ２）と、を有し、第１接続切換トランジスタ及び第２接続切換トランジスタは、発光素子の非発光期間にオフとなる。

明　細　書

発明の名称 ： 表示装置

技術分野

[0001] 本発明は、表示装置に関する。

背景技術

[0002] 無機発光ダイオード（マイクロＬＥＤ（ｍｉｃｒｏ　ＬＥＤ））や有機発光ダイオード（ＯＬＥＤ：Ｏｒｇａｎｉｃ　Ｌｉｇｈｔ　Ｅｍｉｔｔｉｎｇ　Ｄｉｏｄｅ）等の発光素子を用いた表示装置が知られている。下記特許文献１では、発光素子の階調表現を行う駆動方式として、電流値を調整することで階調を表現する電流駆動方式と、点灯時間を制御することで階調を表現するパルス幅変調方式とを組合せて表示を行う階調制御方法が記載されている。

先行技術文献

特許文献

[0003] 特許文献1：特開２０２０－６４１５９号公報

発明の概要

発明が解決しようとする課題

[0004] 電流駆動方式では、電流値を調整するトランジスタの性能に依存することとなり、当該電流値を調整するトランジスタの特性によっては所望の発光強度から変化してしまう場合がある。一方、パルス幅変調方式では、点灯時間に応じて画素回路のスイッチング素子のオン、オフを切り替える必要があると共に、所望の電流値に立ち上がるまでの駆動時間を要するため、高速な画素書込動作が困難となる。このため、細かい階調表現の制御が困難となる可能性がある。特許文献１には、電流駆動方式及びパルス幅変調方式を実現するための具体的な回路構成について記載されていない。

[0005] 本発明は、良好に階調制御を行うことができる表示装置を提供することを目的とする。

課題を解決するための手段

[0006] 本発明の一態様の表示装置は、表示領域に配列された複数の発光素子と、複数の前記発光素子のそれぞれに接続された第１画素回路及び第２画素回路と、前記第１画素回路に設けられ、前記発光素子に第１駆動電流を供給する第１駆動トランジスタと、前記第２画素回路に設けられ、前記発光素子に第２駆動電流を供給する第２駆動トランジスタと、前記第１駆動トランジスタ及び前記第２駆動トランジスタにそれぞれ映像信号を供給する駆動回路と、前記第１駆動トランジスタと前記発光素子との間に設けられた第１接続切換トランジスタと、前記第２駆動トランジスタと前記発光素子との間に設けられた第２接続切換トランジスタと、を有し、前記第１接続切換トランジスタ及び前記第２接続切換トランジスタは、前記発光素子の非発光期間にオフとなる。

図面の簡単な説明

[0007] [図1]図１は、実施形態に係る表示装置を示す平面図である。

[図2]図２は、実施形態に係る表示装置の画素の一例を示す平面図である。

[図3]図３は、実施形態に係る表示装置の構成例を示すブロック図である。

[図4]図４は、画素回路の構成例を示す回路図である。

[図5]図５は、実施形態に係る表示装置の動作例を説明するためのタイミングチャートである。

[図6]図６は、図５に示す書込み期間の動作例を説明するためのタイミングチャートである。

[図7]図７は、表示輝度レベルごとの、電流駆動方式及びＰＷＭ駆動方式の組合せの一例を説明するための説明図である。

[図8]図８は、実施形態に係る複数の副画素の、第１画素回路及び第２画素回路の配置関係を説明するための説明図である。

[図9]図９は、実施形態に係る複数の副画素の構成例を模式的に示す平面図である。

発明を実施するための形態

[0008] 本発明を実施するための形態（実施形態）につき、図面を参照しつつ詳細に説明する。以下の実施形態に記載した内容により本開示が限定されるものではない。また、以下に記載した構成要素には、当業者が容易に想定できるもの、実質的に同一のものが含まれる。さらに、以下に記載した構成要素は適宜組み合わせることが可能である。なお、開示はあくまで一例にすぎず、当業者において、本開示の主旨を保っての適宜変更について容易に想到し得るものについては、当然に本開示の範囲に含有されるものである。また、図面は説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本開示の解釈を限定するものではない。また、本開示と各図において、既出の図に関して前述したものと同様の要素には、同一の符号を付して、詳細な説明を適宜省略することがある。

[0009] 本明細書及び特許請求の範囲において、ある構造体の上に他の構造体を配置する態様を表現するにあたり、単に「上に」と表記する場合、特に断りの無い限りは、ある構造体に接するように、直上に他の構造体を配置する場合と、ある構造体の上方に、さらに別の構造体を介して他の構造体を配置する場合との両方を含むものとする。

[0010] （実施形態）

図１は、実施形態に係る表示装置を示す平面図である。本実施形態の表示装置１は、マイクロＬＥＤ（ｍｉｃｒｏ　ＬＥＤ）を備えるマイクロＬＥＤ表示装置である。図１に示すように、表示装置１は、アレイ基板２と、複数の画素ＰＸと、走査線駆動回路１２と、信号線駆動回路１３と、発光制御回路１４と、駆動ＩＣ（Ｉｎｔｅｇｒａｔｅｄ　Ｃｉｒｃｕｉｔ）２１０と、を含む。

[0011] アレイ基板２は、各画素ＰＸを駆動するための駆動回路基板であり、バックプレーン又はアクティブマトリクス基板とも呼ばれる。アレイ基板２は、基板２１を基体として形成され、基板２１上に複数の薄膜トランジスタ、複数の容量及び各種配線等を有する。特に図示しないが、アレイ基板２上には

、外部の制御基板から各種制御信号及び電力を入力するための配線基板（例えばフレキシブルプリント基板（ＦＰＣ））等が接続されていてもよい。

[0012] なお、以下の説明において、第１方向Ｄｘは、基板２１と平行な面内の一方向である。第２方向Ｄｙは、基板２１と平行な面内の一方向であり、第１方向Ｄｘと直交する方向である。なお、第２方向Ｄｙは、第１方向Ｄｘと直交しないで交差してもよい。第３方向Ｄｚは、第１方向Ｄｘ及び第２方向Ｄｙと直交する方向であり、基板２１の法線方向である。また、「平面視」とは、第３方向Ｄｚから見た場合の位置関係をいう。

[0013] 走査線駆動回路１２は、駆動ＩＣ２１０からの各種制御信号に基づいて複数の走査線（例えば、リセット制御信号線Ｌ５、書込制御走査線Ｌ７、初期化制御信号線Ｌ８（図４参照））を駆動する回路である。走査線駆動回路１２は、複数のゲート線を順次又は同時に選択し、選択された走査線にゲート駆動信号を供給する。これにより、走査線駆動回路１２は、ゲート線に接続された複数の画素ＰＸを選択する。

[0014] 信号線駆動回路１３は、表示領域ＡＡの信号線（映像信号線Ｌ２、リセット電源線Ｌ３及び初期化電源線Ｌ４（図４参照））に電位（映像信号ＶＳＧ、リセット電源電位Ｖｒｓｔ、初期化電位Ｖｉｎｉ）を供給して複数の画素ＰＸを駆動する駆動回路である。発光制御回路１４は、表示領域ＡＡの走査線（発光制御走査線Ｌ６及び接続制御走査線Ｌ９（図４参照））に信号を供給して複数の画素ＰＸを駆動する駆動回路である。

[0015] 駆動ＩＣ２１０は、走査線駆動回路１２、信号線駆動回路１３及び発光制御回路１４に制御信号を供給して、複数の画素ＰＸの表示を制御する回路である。なお、走査線駆動回路１２、信号線駆動回路１３及び発光制御回路１４の少なくとも一部は、駆動ＩＣ２１０と一体に形成されていてもよい。また、駆動ＩＣ２１０は、アレイ基板２上に設けられる。ただし、これに限定されず、駆動ＩＣ２１０はアレイ基板２に接続された配線基板に設けられてもよい。

[0016] アレイ基板２は、表示領域ＡＡと、周辺領域ＧＡとを有する。表示領域Ａ

Ａ内には、複数の画素ＰＸが設けられている。複数の画素ＰＸは、表示領域ＡＡにマトリクス状に配列される。周辺領域ＧＡは、表示領域ＡＡの外側の領域であり、複数の画素ＰＸが設けられない領域である。周辺領域ＧＡには、走査線駆動回路１２、信号線駆動回路１３、発光制御回路１４及び駆動ＩＣ２１０が設けられる。走査線駆動回路１２及び発光制御回路１４は、周辺領域ＧＡのうち第２方向Ｄｙに沿って延在する領域に設けられる。信号線駆動回路１３及び駆動ＩＣ２１０は、周辺領域ＧＡのうち第１方向Ｄｘに沿って延在する領域に設けられる。なお、走査線駆動回路１２及び発光制御回路１４は、周辺領域ＧＡの同一辺に沿った領域に設けられていてもよい。

[0017] なお、以下の説明では、表示領域ＡＡを４分割して、第１部分表示領域ＡＡｓ１、第２部分表示領域ＡＡｓ２、第３部分表示領域ＡＡｓ３及び第４部分表示領域ＡＡｓ４ごとに表示装置１の表示動作を行う例を説明する（図５参照）。

[0018] 本実施形態では、説明を分かりやすくするために、表示領域ＡＡを矩形状とし、周辺領域ＧＡを、表示領域ＡＡの周囲を囲む矩形の枠状としている。ただし、これに限定されず、表示領域ＡＡは、多角形状でもよく、外周の一部に切り欠き（ノッチ）や曲線部を有する異形状であってもよい。周辺領域ＧＡも、表示領域ＡＡの形状に対応して種々の形状に異ならせることができる。

[0019] 図２は、実施形態に係る表示装置の画素の一例を示す平面図である。図２に示すように、画素ＰＸは、第１副画素ＳＰＸ１、第２副画素ＳＰＸ２及び第３副画素ＳＰＸ３を有する。第１副画素ＳＰＸ１、第２副画素ＳＰＸ２及び第３副画素ＳＰＸ３は、それぞれ、発光素子１００を備える。発光素子１００は、平面視で、３μｍ以上、３００μｍ以下程度の大きさを有する無機発光ダイオード（ＬＥＤ：Light Emitting Diode）チップであり、マイクロＬＥＤと呼ばれる。なお、マイクロＬＥＤのマイクロは、発光素子１００の大きさを限定するものではない。なお、以下の説明では、第１副画素ＳＰＸ１、第２副画素ＳＰＸ２及び第３副画素ＳＰＸ３を区別して説明する必要

が無い場合には、単に副画素ＳＰＸと表す。また、発光素子１００は、各副画素ＳＰＸで中央に配置されているが、図２はあくまで模式的に示したものであり、発光素子１００の各副画素ＳＰＸでの位置は適宜変更することができる。

[0020] 第１副画素ＳＰＸ１は、例えば赤色（Ｒ）を表示する。第２副画素ＳＰＸ２は、例えば緑色（Ｇ）を表示する。第３副画素ＳＰＸ３は、例えば青色（Ｂ）を表示する。第１副画素ＳＰＸ１、第２副画素ＳＰＸ２及び第３副画素ＳＰＸ３は、第１方向Ｄｘに並んで配置される。ただしこれに限定されず、画素ＰＸは、他の配列であってもよい。例えば、第１副画素ＳＰＸ１と第２副画素ＳＰＸ２とが第２方向Ｄｙに隣り合って配置され、１つの第３副画素ＳＰＸ３が、第２方向Ｄｙに隣り合う第１副画素ＳＰＸ１及び第２副画素ＳＰＸ２と第１方向Ｄｘに隣り合って配置されていてもよい。また、画素ＰＸは、いわゆるペンタイル配列で構成されてもよい。また、画素ＰＸは、３つの副画素ＳＰＸに限定されず、４つ以上の副画素ＳＰＸで構成されてもよい。

[0021] 次に、表示装置１の階調制御について説明する。図３は、実施形態に係る表示装置の構成例を示すブロック図である。図３に示すように、表示装置１は、画素回路５０と、画素回路５０の駆動を制御する駆動信号制御部２００と、を有する。画素回路５０は、駆動信号（電流）を発光素子１００に供給して、発光素子１００を駆動する回路である。なお、図３では模式的に１つの画素回路５０（発光素子１００）を示しているが、複数の画素回路５０及び複数の発光素子１００は、副画素ＳＰＸ（図２参照）ごとに設けられ、表示領域ＡＡにマトリクス状に配列される。

[0022] 駆動信号制御部２００は、階調値解析部２０１と、駆動階調生成部２０２と、タイミング信号生成部２０３と、を含む。階調値解析部２０１は、外部制御回路から入力された画像信号に基づいて、画素ＰＸ（副画素ＳＰＸ）ごとの階調値（以下、目標輝度レベルと表す場合がある）を演算する回路である。

[0023] 駆動階調生成部２０２は、階調値解析部２０１から受け取った目標輝度レベルに基づいて、第１映像信号ＶＳＧ１及び第２映像信号ＶＳＧ２を生成する回路である。アレイ基板２の信号線駆動回路１３は、駆動階調生成部２０２から供給された第１映像信号ＶＳＧ１及び第２映像信号ＶＳＧ２を画素回路５０に出力して、複数の画素ＰＸを目標輝度レベルで駆動する。なお、以下の説明では、第１映像信号ＶＳＧ１及び第２映像信号ＶＳＧ２を区別して説明する必要が無い場合には、単に映像信号ＶＳＧと表す場合がある。

[0024] タイミング信号生成部２０３は、外部制御回路から入力された同期信号と、階調値解析部２０１から受け取った目標輝度レベルに基づいて、タイミング信号を生成する。走査線駆動回路１２及び発光制御回路１４は、タイミング信号生成部２０３から供給されたタイミング信号（制御信号）に基づいて、画素回路５０に制御信号（書込制御信号ＳＧ、発光制御信号ＢＧ等）を出力する。

[0025] 第１映像信号ＶＳＧ１及び第２映像信号ＶＳＧ２は、発光素子１００を点灯させるための所定の信号電位を有する。タイミング信号生成部２０３から供給されたタイミング信号（制御信号）は、発光制御回路１４による発光素子１００の点灯期間に関する情報を含む。表示装置１は、各副画素ＳＰＸの発光素子１００に供給される電流値を制御して階調を表現する方式（以下、電流駆動方式又はアナログ駆動方式と表す）と、発光素子１００に供給される電流値を一定としつつ、その点灯時間を制御して階調を表現する方式（以下、ＰＷＭ駆動方式又はパルス幅変調方式と表す）とを組み合わせて、多階調表示を行うことができる。なお、駆動信号制御部２００は、駆動ＩＣ２１０と一体に形成されてもよいし、外部制御回路に設けられていてもよい。

[0026] 図４は、画素回路の構成例を示す回路図である。図４に示すように画素回路５０は、第１画素回路５０ａと、第２画素回路５０ｂとを含む。第１画素回路５０ａ及び第２画素回路５０ｂは、１つの発光素子１００に接続される。すなわち、第１画素回路５０ａ及び第２画素回路５０ｂは、副画素ＳＰＸのそれぞれに設けられる。第１画素回路５０ａは、電流駆動方式により発光

素子１００を駆動する回路である。なお、第１画素回路５０ａは、１画面の表示を行うフレーム期間の一部の期間で、ＰＷＭ駆動方式により発光素子１００を駆動する回路として共用することができる。第２画素回路５０ｂは、ＰＷＭ駆動方式により発光素子１００を駆動する回路である。

[0027] 第１画素回路５０ａは、第１発光制御トランジスタＢＣＴ１、第１書込トランジスタＳＳＴ１、第１駆動トランジスタＤＲＴ１、第１初期化トランジスタＩＳＴ１、第１リセットトランジスタＲＳＴ１及び第１接続切換トランジスタＣＮＴ１を含む。第１画素回路５０ａが有する複数の薄膜トランジスタは、それぞれｎ型ＴＦＴ（Ｔｈｉｎ Ｆｉｌｍ Ｔｒａｎｓｉｓｔｏｒ）で構成される。また、第１画素回路５０ａは、第１保持容量Ｃｓ１及び第１付加容量Ｃａｄ１を含む。

[0028] 第１発光制御トランジスタＢＣＴ１のゲートは、第１発光制御走査線Ｌ６ａに接続される。第１発光制御走査線Ｌ６ａには、第１発光制御信号ＢＧ１が供給される。第１発光制御トランジスタＢＣＴ１のソース及びドレインの一方は第１アノード電源線Ｌ１ａに接続され、第１アノード電源線Ｌ１ａから電源電圧ＰＶＤＤが供給される。第１発光制御トランジスタＢＣＴ１のソース及びドレインの他方は、第１駆動トランジスタＤＲＴ１に接続される。第１発光制御トランジスタＢＣＴ１がオン（導通状態）になると、第１駆動トランジスタＤＲＴ１に電源電圧ＰＶＤＤが供給される。

[0029] 第１書込トランジスタＳＳＴ１のゲートは、第１書込制御走査線Ｌ７ａに接続される。第１書込制御走査線Ｌ７ａには、第１書込制御信号ＳＧ１が供給される。第１書込トランジスタＳＳＴ１のソース及びドレインの一方は、第１映像信号線Ｌ２ａに接続される。第１書込トランジスタＳＳＴ１のソース及びドレインの他方は、第１駆動トランジスタＤＲＴ１のゲートに接続される。第１書込トランジスタＳＳＴ１がオン（導通状態）になると、第１映像信号ＶＳＧ１が信号線駆動回路１３から第１駆動トランジスタＤＲＴ１のゲートに供給される。

[0030] ここで、第１映像信号ＶＳＧ１の大きさに応じて駆動トランジスタＤＲＴ

のオン状態が変化する。例えば、第１映像信号ＶＳＧ１が発光素子１００の最大輝度となる信号電位に対応するものであれば、駆動トランジスタＤＲＴは第１映像信号ＶＳＧ１の電位に応じてほぼ完全なオン状態となり、電源電圧ＰＶＤＤからの電流（所定の固定電位）がほぼそのまま駆動トランジスタＤＲＴを通過して発光素子１００に供給される。他方、第１映像信号ＶＳＧ１が発光素子１００の最低輝度、すなわち黒となる信号電位に対応するものであれば、駆動トランジスタＤＲＴはオフ状態となり、電源電圧ＰＶＤＤからの電流は発光素子１００に供給されない。

[0031] このように、第１映像信号ＶＳＧ１の信号電位に応じた大きさで駆動トランジスタＤＲＴのオン状態が変化し、その結果、電源電圧ＰＶＤＤからの電流は駆動トランジスタＤＲＴのオン状態に応じた分のみが発光素子１００に供給される。

[0032] 第１初期化トランジスタＩＳＴ１のゲートは、第１初期化制御信号線Ｌ８ａに接続される。第１初期化制御信号線Ｌ８ａには、第１初期化制御信号ＩＧ１が供給される。第１初期化トランジスタＩＳＴ１のソース及びドレインの一方は、第１初期化電源線Ｌ４ａに接続される。第１初期化トランジスタＩＳＴ１のソース及びドレインの他方は、第１駆動トランジスタＤＲＴ１のゲート、及び、第１書込トランジスタＳＳＴ１のソース及びドレインの他方に接続される。第１初期化電源線Ｌ４ａには、初期化電位Ｖｉｎｉが供給される。すなわち、第１初期化トランジスタＩＳＴ１がオン（導通状態）になると、駆動トランジスタＤＲＴのゲートには、第１初期化トランジスタＩＳＴ１を介して初期化電位Ｖｉｎｉが供給される。

[0033] 第１リセットトランジスタＲＳＴ１のゲートは、第１リセット制御信号線Ｌ５ａに接続される。第１リセット制御信号線Ｌ５ａには、第１リセット制御信号ＲＧ１が供給される。第１リセットトランジスタＲＳＴ１のソース及びドレインの一方は、第１リセット電源線Ｌ３ａに接続される。第１リセットトランジスタＲＳＴ１のソース及びドレインの他方は、第１駆動トランジスタＤＲＴ１のソース（出力側のノードＮ１）に接続される。第１リセット

電源線Ｌ３ａには、リセット電源電位Ｖｒｓｔが供給される。すなわち、第１リセットトランジスタＲＳＴ１がオン（導通状態）になると、駆動トランジスタＤＲＴのソース（出力側のノードＮ１）は、第１リセットトランジスタＲＳＴ１を介してリセット電源電位Ｖｒｓｔが供給される。

[0034] 第１接続切換トランジスタＣＮＴ１のゲートは、第１接続制御走査線Ｌ９ａに接続される。第１接続制御走査線Ｌ９ａには、第１接続制御信号ＰＷＭ１が供給される。第１接続切換トランジスタＣＮＴ１のソース及びドレインの一方は、出力側のノードＮ１を介して第１駆動トランジスタＤＲＴ１のソース（出力側のノードＮ１）に接続される。第１接続切換トランジスタＣＮＴ１のソース及びドレインの他方は、発光素子１００のアノード２３に接続される。言い換えると、第１接続切換トランジスタＣＮＴ１は、第１駆動トランジスタＤＲＴ１と発光素子１００との間に接続される。

[0035] 発光素子１００のカソードには、カソード電源線Ｌ１０を介して電源電圧ＰＶＳＳが供給される。発光素子１００は、理想的にはアノードに供給される電源電圧ＰＶＤＤとカソードに供給される電源電圧ＰＶＳＳとの電位差（ＰＶＤＤ－ＰＶＳＳ）により順方向電流（駆動電流）が供給され発光する。

[0036] なお、第１書込制御走査線Ｌ７ａ、第１初期化制御信号線Ｌ８ａ及び第１リセット制御信号線Ｌ５ａは、図３に示す走査線駆動回路１２に接続される。走査線駆動回路１２は、第１書込制御走査線Ｌ７ａ、第１初期化制御信号線Ｌ８ａ及び第１リセット制御信号線Ｌ５ａに、各種制御信号を供給する。また、第１発光制御走査線Ｌ６ａ及び第１接続制御走査線Ｌ９ａは、発光制御回路１４に接続される。発光制御回路１４は、第１発光制御走査線Ｌ６ａ及び第１接続制御走査線Ｌ９ａにそれぞれ制御信号を供給する。

[0037] また、第１画素回路５０ａが有する第１保持容量Ｃｓ１は、第１駆動トランジスタＤＲＴ１のゲートとソース（出力側のノードＮ１）との間に形成される容量である。第１付加容量Ｃａｄ１は、出力側のノードＮ１と第１カソード電源線Ｌ１０ａと間に形成される容量である。

[0038] 第２画素回路５０ｂは、第２発光制御トランジスタＢＣＴ２、第２書込ト

ランジスタＳＳＴ２、第２駆動トランジスタＤＲＴ２、第２初期化トランジスタＩＳＴ２、第２リセットトランジスタＲＳＴ２及び第２接続切換トランジスタＣＮＴ２を含む。第２画素回路５０ｂは、第２アノード電源線Ｌ１ｂ、第２映像信号線Ｌ２ｂ、第２リセット電源線Ｌ３ｂ、第２初期化電源線Ｌ４ｂ、第２リセット制御信号線Ｌ５ｂ、第２発光制御走査線Ｌ６ｂ、第２書込制御走査線Ｌ７ｂ、第２初期化制御信号線Ｌ８ｂ、第２接続制御走査線Ｌ９ｂ、第２カソード電源線Ｌ１０ｂを含む。第２画素回路５０ｂは、第１画素回路５０ａと類似した構成であり繰り返しの説明は省略する。第２画素回路５０ｂでは、第２発光制御トランジスタＢＣＴ２がオン（導通状態）になると、第２駆動トランジスタＤＲＴ２に電源電圧ＰＶＤＤが供給される。

[0039] 第２接続切換トランジスタＣＮＴ２のゲートは、第２接続制御走査線Ｌ９ｂに接続される。第２接続制御走査線Ｌ９ｂには、第２接続制御信号ＰＷＭ２が供給される。第２接続切換トランジスタＣＮＴ２のソース及びドレインの一方は、第２駆動トランジスタＤＲＴ２に接続される。第２接続切換トランジスタＣＮＴ２のソース及びドレインの他方は、発光素子１００のアノード２３に接続される。言い換えると、第２接続切換トランジスタＣＮＴ２は、第２駆動トランジスタＤＲＴ２と発光素子１００との間に接続される。

[0040] また、第２画素回路５０ｂは、第２保持容量Ｃｓ２及び第２付加容量Ｃａｄ２を含む。第２保持容量Ｃｓ２は、第２駆動トランジスタＤＲＴ２のゲートとソース（出力側のノードＮ２）との間に形成される容量である。第２付加容量Ｃａｄ２は、出力側のノードＮ２と第２カソード電源線Ｌ１０ｂとの間に形成される容量である。

[0041] 図４では、理解を容易にするために、第１画素回路５０ａが有する各配線（第１アノード電源線Ｌ１ａから第１カソード電源線Ｌ１０ａ）と、第２画素回路５０ｂが有する各配線（第２アノード電源線Ｌ１ｂから第２カソード電源線Ｌ１０ｂ）と、を回路ごとに分けて記載している。ただし、図９にて後述するように、第１画素回路５０ａと、第２画素回路５０ｂとで、配線の一部を共有していてもよい。

[0042] また、以下の説明では、第１画素回路５０ａが有する各薄膜トランジスタと、第２画素回路５０ｂが有する各薄膜トランジスタとを区別して説明する必要が無い場合には、単に、発光制御トランジスタＢＣＴ、書込トランジスタＳＳＴ、駆動トランジスタＤＲＴ、初期化トランジスタＩＳＴ、リセットトランジスタＲＳＴ及び接続切換トランジスタＣＮＴと表す場合がある。

[0043] また、第１画素回路５０ａが有する各配線と、第２画素回路５０ｂが有する各配線とを区別して説明する必要が無い場合には、単にアノード電源線Ｌ１、映像信号線Ｌ２、リセット電源線Ｌ３、初期化電源線Ｌ４、リセット制御信号線Ｌ５、発光制御走査線Ｌ６、書込制御走査線Ｌ７、初期化制御信号線Ｌ８、接続制御走査線Ｌ９、カソード電源線Ｌ１０と表す場合がある。

[0044] また、第１画素回路５０ａに供給される各制御信号と、第２画素回路５０ｂに供給される各制御信号とを区別して説明する必要が無い場合には、単に発光制御信号ＢＧ、書込制御信号ＳＧ、初期化制御信号ＩＧ、リセット制御信号ＲＧ、接続制御信号ＰＷＭと表す場合がある。

[0045] 図５は、実施形態に係る表示装置の動作例を説明するためのタイミングチャートである。なお、図５では、第１部分表示領域ＡＡｓ１及び第２部分表示領域ＡＡｓ２の副画素ＳＰＸを駆動する動作を示しているが、第３部分表示領域ＡＡｓ３以降、最終行の副画素ＳＰＸまで継続して駆動される。また、以下の説明では、１行目の副画素ＳＰＸから最終行の副画素ＳＰＸまでの駆動を行う期間をフレーム期間と表す。

[0046] 図５に示すように、期間ｔ１は、第１部分表示領域ＡＡｓ１の映像信号書込動作期間である。具体的には、期間ｔ１では、走査線駆動回路１２及び発光制御回路１４から供給される各制御信号により、第１発光制御走査線Ｌ６ａ及び第２発光制御走査線Ｌ６ｂの電位（第１発光制御信号ＢＧ１及び第２発光制御信号ＢＧ２）がＬレベルとなり、書込制御走査線Ｌ７－１、Ｌ７－２、・・・、Ｌ７－２７０の電位（第１書込制御信号ＳＧ１及び第２書込制御信号ＳＧ２）がＨレベルとなる。

[0047] 期間ｔ１では、第１画素回路５０ａの第１発光制御トランジスタＢＣＴ１

及び第２画素回路５０ｂの第２発光制御トランジスタＢＣＴ２がオフになる。また、第１画素回路５０ａの第１書込トランジスタＳＳＴ１及び第２画素回路５０ｂの第２書込トランジスタＳＳＴ２がオンになる。期間ｔ１では、第１部分表示領域ＡＡｓ１に属する書込制御走査線Ｌ７が順次走査される。書込制御走査線Ｌ７－１は、１行目の副画素ＳＰＸに接続された書込制御走査線Ｌ７であり、書込制御走査線Ｌ７－２は、２行目の副画素ＳＰＸに接続された書込制御走査線Ｌ７である。第１部分表示領域ＡＡｓ１は、例えば、書込制御走査線Ｌ７－１から書込制御走査線Ｌ７－２７０までを含む領域である。

[0048] 以下、図６を参照しつつ、映像信号書込動作期間について詳細に説明する。図６は、図５に示す書込み期間の動作例を説明するためのタイミングチャートである。なお、図６は、図５の期間ｔ４に示す映像信号書込動作期間ＳＷを拡大して示しているが、期間ｔ４の映像信号書込動作期間ＳＷについての説明は、期間ｔ１の映像信号書込動作期間にも適用できる。なお、期間ｔ１の前の期間では、副画素ＳＰＸは、前フレームの発光状態を継続している。

[0049] 図６に示すように、期間ｔ１１は、駆動トランジスタＤＲＴのソース初期化期間である。具体的には、期間ｔ１では、走査線駆動回路１２及び発光制御回路１４から供給される各制御信号により、発光制御走査線Ｌ６の電位（第１発光制御信号ＢＧ１及び第２発光制御信号ＢＧ２）がＬレベルとなり、リセット制御信号線Ｌ５の電位（第１リセット制御信号ＲＧ１及び第２リセット制御信号ＲＧ２）がＨレベルとなる。これにより、発光制御トランジスタＢＣＴがオフ（非導通状態）となり、リセットトランジスタＲＳＴがオン（導通状態）となる。

[0050] また、映像信号書込動作期間では、期間ｔ１１から期間ｔ１７に亘って、第１接続制御信号ＰＷＭ１及び第２接続制御信号ＰＷＭ２がＬレベルとなり、接続切換トランジスタＣＮＴがオフとなる。すなわち、発光素子１００の非発光期間である映像信号書込動作期間で、発光素子１００は、第１画素回

路５０ａ及び第２画素回路５０ｂと非接続となる。これにより、映像信号書込動作期間で第１画素回路５０ａのノードＮ１及び第２画素回路５０ｂのノードＮ２に生じた電位が、発光素子１００に印加されることを抑制できる。発光素子１００に意図しない逆バイアス電位が印加されることを抑制して、発光素子１００の損傷が発生することを抑制できる。

[0051] 期間ｔ１１では、アノード電源線Ｌ１からの電流が発光制御トランジスタＢＣＴにより遮断され、また、上述したように接続切換トランジスタＣＮＴがオフとなる。発光素子１００の発光が停止するとともに、副画素ＳＰＸ内に残留していた電荷が、リセットトランジスタＲＳＴを通じて外部に流れる。これにより、駆動トランジスタＤＲＴのソースがリセット電源電位Ｖｒｓｔに固定される。

[0052] 次に期間ｔ１２は、駆動トランジスタＤＲＴのゲート初期化期間である。具体的には、期間ｔ１２では、走査線駆動回路１２及び発光制御回路１４から供給される各制御信号により、初期化制御信号線Ｌ８の電位（第１初期化制御信号ＩＧ１及び第２初期化制御信号ＩＧ２）がＨレベルとなる。初期化トランジスタＩＳＴは、オンとなる。第１部分表示領域ＡＡｓ１に属する副画素ＳＰＸにおいて、初期化トランジスタＩＳＴを介して駆動トランジスタＤＲＴのゲートが初期化電位Ｖｉｎｉに固定される。初期化電位Ｖｉｎｉは、リセット電源電位Ｖｒｓｔに対して、駆動トランジスタＤＲＴのしきい値よりも大きい電位を有している。このため、駆動トランジスタＤＲＴはオンとなる。ただし、期間ｔ１２では、発光制御トランジスタＢＣＴがオフの状態を維持しているので、駆動トランジスタＤＲＴには電流が流れない。

[0053] 次に、期間ｔ１３は、オフセットキャンセル動作期間である。具体的には、期間ｔ１３では、走査線駆動回路１２及び発光制御回路１４から供給される各制御信号により、発光制御走査線Ｌ６の電位（第１発光制御信号ＢＧ１及び第２発光制御信号ＢＧ２）がＨレベルとなり、リセット制御信号線Ｌ５の電位（第１リセット制御信号ＲＧ１及び第２リセット制御信号ＲＧ２）がＬレベルとなる。これにより、発光制御トランジスタＢＣＴがオンとなり、

リセットトランジスタＲＳＴがオフとなる。

[0054] 駆動トランジスタＤＲＴは、期間ｔ１２の動作によりオン状態となっている。このため、アノード電源線Ｌ１（電源電圧ＰＶＤＤ）から、発光制御トランジスタＢＣＴを介して駆動トランジスタＤＲＴに電流が供給される。

[0055] この段階では、接続切換トランジスタＣＮＴがオフであり、発光素子１００側には電流が流れない。したがって、電源電圧ＰＶＤＤによって駆動トランジスタＤＲＴのソースが充電され、ソースの電位が上昇する。駆動トランジスタＤＲＴのゲート電位は、初期化電位Ｖｉｎｉとなっている。このため、駆動トランジスタＤＲＴのソース電位が（Ｖｉｎｉ－Ｖｔｈ）となった段階で駆動トランジスタＤＲＴがオフになり、電位の上昇が停止する。ここで、Ｖｔｈは、駆動トランジスタＤＲＴのしきい値電圧Ｖｔｈである。

[0056] しきい値電圧Ｖｔｈは、副画素ＳＰＸごと（及び画素回路５０ごと）にばらつきがある。このため、電位の上昇が停止したときの駆動トランジスタＤＲＴのソースの電位は、副画素ＳＰＸごと（及び画素回路５０ごと）に異なる。つまり、期間ｔ１３の動作によって、各副画素ＳＰＸで、駆動トランジスタＤＲＴのしきい値電圧Ｖｔｈに相当する電圧が取得される。

[0057] 次に、期間ｔ１４及び期間ｔ１５で、初期化トランジスタＩＳＴ及び発光制御トランジスタＢＣＴが順次オフとなる。次の期間ｔ１６はでは、走査線駆動回路１２及び発光制御回路１４から供給される各制御信号により、書込制御走査線Ｌ７の電位（第１書込制御信号ＳＧ１及び第２書込制御信号ＳＧ２）がＨレベルとなる。

[0058] これにより、発光制御トランジスタＢＣＴがオフになり、初期化トランジスタＩＳＴがオフになり、書込トランジスタＳＳＴがオンになる。期間ｔ１６では、第１部分表示領域ＡＡｓ１に属する副画素ＳＰＸにおいて、映像信号ＶＳＧが駆動トランジスタＤＲＴのゲートに入力される。駆動トランジスタＤＲＴのゲート電位は、初期化電位Ｖｉｎｉから映像信号ＶＳＧの電位に変化する。一方、駆動トランジスタＤＲＴのソースの電位は、（Ｖｉｎｉ－Ｖｔｈ）を維持している。この結果、駆動トランジスタＤＲＴのゲートとソ

ースとの間の電圧は、（ＶＳＧ－（Ｖｉｎｉ－Ｖｔｈ））となり、副画素ＳＰＸ間のしきい値電圧Ｖｔｈのばらつきが反映されたものとなる。

[0059] 図５に戻って、上述した映像信号書込動作期間の動作により、期間ｔ１では、Ｈレベルとなる書込制御走査線Ｌ７に属する副画素ＳＰＸにおいて、第１映像信号ＶＳＧ１－１が第１画素回路５０ａの第１駆動トランジスタＤＲＴ１のゲートに入力される。期間ｔ１の映像信号書込動作により、第１駆動トランジスタＤＲＴ１のゲート電位は、第１映像信号ＶＳＧ１－１の電位に変化する。同じ期間に、第２映像信号ＶＳＧ２－１が第２画素回路５０ｂの第２駆動トランジスタＤＲＴ２のゲートに入力される。第２駆動トランジスタＤＲＴ２のゲート電位は、第２映像信号ＶＳＧ２－１の電位に変化する。

[0060] ここで、図５に示すように、当該期間ｔ１の後に続く期間ｔ１ａ、ｔ１ｂは、第１映像信号ＶＳＧ１－１及び第２映像信号ＶＳＧ２－１に基づく表示がともに所謂ＰＷＭ駆動方式による表示となる。

[0061] 次に、期間ｔ１の後の、期間ｔ１ａ、ｔ１ｂは、発光動作期間である。期間ｔ１ａ、ｔ１ｂは、第１映像信号ＶＳＧ１－１及び第２映像信号ＶＳＧ２－１に基づいて、いわゆるＰＷＭ駆動方式による表示が実行される。ＰＷＭ駆動方式は、発光制御回路１４から各発光制御走査線Ｌ６に出力される発光制御信号ＢＧのパルス幅の長さに応じてその発光素子１００の階調を表現するものである。ＰＷＭ駆動方式において発光素子１００を点灯する場合、その明るさは当該発光素子１００の最大輝度であることが好ましい。したがって、本実施例では、期間ｔ１に入力される映像信号は、いずれも所謂当該発光素子１００の最大輝度に対応した映像信号ＶＳＧ（信号電位）である。このように、ＰＷＭ駆動方式の期間においては、発光素子１００の階調は最大輝度か輝度０で制御される。以下、このようにＰＷＭ駆動方式による表示期間に供給される映像信号ＶＳＧをデジタル信号と表現することがある。

[0062] 具体的には、期間ｔ１ａでは、走査線駆動回路１２及び発光制御回路１４から供給される各制御信号により、第１発光制御走査線Ｌ６ａに供給される第１発光制御信号ＢＧ１がＨレベルとなり、第２発光制御走査線Ｌ６ｂに供

給される第２発光制御信号ＢＧ２がＬレベルとなる。また、第１部分表示領域ＡＡｓ１の書込制御走査線Ｌ７－１、Ｌ７－２、・・・、Ｌ７－２７０はＬレベルとなる。

[0063] これにより、第１画素回路５０ａの第１発光制御トランジスタＢＣＴ１がオンになり、第１書込トランジスタＳＳＴ１がオフになる。さらに、発光動作期間では、第１接続切換トランジスタＣＮＴ１がオンになる。第１発光制御トランジスタＢＣＴ１を介して第１駆動トランジスタＤＲＴ１に電源電圧ＰＶＤＤが供給される。第１駆動トランジスタＤＲＴ１は、期間ｔ１で設定されたゲート－ソース間の電圧に応じた電流を、発光素子１００に供給する。すなわち、第１駆動トランジスタＤＲＴ１は、映像信号によってほぼ完全なオン状態となっており、発光素子１００は、ＰＶＤＤ－ＰＶＳＳの電位差による最大輝度で発光する。

[0064] 期間ｔ１ａで、第１発光制御トランジスタＢＣＴ１がオンになる期間（パルス幅）は、最大点灯輝度に対して１２．５％の目標輝度レベルとなる期間に設定される。なお、期間ｔ１ａでは、第２画素回路５０ｂの第２発光制御トランジスタＢＣＴ２がオフであるため、第２駆動トランジスタＤＲＴ２から発光素子１００には電流が流れない。ただし、第２駆動トランジスタＤＲＴ２のゲートとソースとの間の電圧は、第２保持容量Ｃｓ２によって保持される。また、期間ｔ１ａでは、第２画素回路５０ｂの第２接続切換トランジスタＣＮＴ２がオフであるため、第１駆動トランジスタＤＲＴ１からの電流による、第２駆動トランジスタＤＲＴ２のゲート－ソース間の電圧の変動が抑制される。

[0065] 次に、期間ｔ１ｂでは、走査線駆動回路１２及び発光制御回路１４から供給される各制御信号により、第１発光制御走査線Ｌ６ａに供給される第１発光制御信号ＢＧ１はＬレベルとなり、第２発光制御走査線Ｌ６ｂに供給される第２発光制御信号ＢＧ２はＨレベルとなる。また、第１部分表示領域ＡＡｓ１の書込制御走査線Ｌ７－１、Ｌ７－２、・・・、Ｌ７－２７０はＬレベルを維持している。

[0066] これにより、第２画素回路５０ｂの第２発光制御トランジスタＢＣＴ２がオンになり、第２書込トランジスタＳＳＴ２がオフになる。さらに、第２接続切換トランジスタＣＮＴ２がオンになる。第２発光制御トランジスタＢＣＴ２を介して第２駆動トランジスタＤＲＴ２に電源電圧ＰＶＤＤが供給される。第２駆動トランジスタＤＲＴ２は、期間ｔ１で設定されたゲート－ソース間の電圧に応じた電流を、発光素子１００に供給する。すなわち、第２駆動トランジスタＤＲＴ２は、デジタル信号によってほぼ完全なオン状態となっており、発光素子１００は、ＰＶＤＤ－ＰＶＳＳの電位差に基づく最大輝度で発光する。

[0067] 期間ｔ１ｂでは、第２発光制御トランジスタＢＣＴ２がオンになる期間（パルス幅）は、最大点灯輝度に対して５０％の目標輝度レベルとなる期間に設定される。すなわち、期間ｔ１ｂは、期間ｔ１ａよりも長い期間であって、本実施例では期間ｔ１ｂは期間ｔ１ａの４倍に相当する。なお、期間ｔ１ｂでは、第１画素回路５０ａの第１発光制御トランジスタＢＣＴ１がオフであるため、第１駆動トランジスタＤＲＴ１から発光素子１００には電流が流れない。また、期間ｔ１ｂでは、第１画素回路５０ａの第１接続切換トランジスタＣＮＴ１がオフであるため、第２駆動トランジスタＤＲＴ２からの電流による、第１駆動トランジスタＤＲＴ１のゲート－ソース間の電圧の変動が抑制される。

[0068] 発光期間となる期間ｔ１ａ、期間ｔ１ｂにおいては、いずれも発光素子１００は最大輝度で点灯する。他方、期間ｔ１ａは期間１ｂよりも発光期間が短い。したがって、期間ｔ１ａ、期間ｔ１ｂにおける発光素子１００のオン／オフを切り替えることによって発光素子１００の輝度を変化させることができる。より具体的には、これら期間ｔ１ａ、期間ｔ１ｂにおいて、両方とも発光素子１００が最大輝度で点灯していると、表示装置１の使用者は、人間の目の積分効果により、期間ｔ１ａ、期間ｔ１ｂに亘る期間に発光素子１００は最も明るい輝度で点灯していると視認する（この時の輝度を輝度Ａとする）。

[0069] 一方、これら期間ｔ１ａ、期間ｔ１ｂにおいて、期間ｔ１ｂのみで発光素子１００が点灯しているとすると、たとえ期間ｔ１ｂにおいて発光素子１００が最大輝度で点灯しているとしても、時間軸方向の積分効果により、期間ｔ１ａ、期間ｔ１ｂに亘る期間全体で見た場合には輝度Ａよりも暗くなり、使用者は輝度Ａよりも暗い輝度Ｂで発光素子１００は点灯していると視認する。

[0070] また、期間ｔ１ａ、期間ｔ１ｂにおいて、期間ｔ１ａのみで発光素子１００が点灯しているとすると、たとえ期間ｔ１ａにおいて発光素子１００が最大輝度で点灯しているとしても、時間軸方向の積分効果により、期間ｔ１ａ、期間ｔ１ｂに亘る期間全体で見た場合には輝度Ｂよりも暗くなり、使用者は輝度Ｂよりも暗い輝度Ｃで発光素子１００は点灯していると視認する。このように、ＰＷＭ駆動方式においては、発光素子１００の点灯期間の長さに応じて輝度を変化させる。

[0071] 期間ｔ１ａ、ｔ１ｂと重なる期間ｔ２から期間ｔ３では、第２部分表示領域ＡＡｓ２から第４部分表示領域ＡＡｓ４の映像信号書込動作が順次実行される。また期間ｔ２ａ、ｔ２ｂ、ｔ５ａ、ｔ５ｂでは、第２部分表示領域ＡＡｓ２の発光動作が第１部分表示領域ＡＡｓ１と同様に実行される。

[0072] 期間ｔ４では、期間ｔ１と同様に、第１部分表示領域ＡＡｓ１の映像信号書込動作が実行される。期間ｔ４の映像信号書込動作により、第１駆動トランジスタＤＲＴ１のゲート電位は、第１映像信号ＶＳＧ１－２の電位に変化する。第２駆動トランジスタＤＲＴ２のゲート電位は、第２映像信号ＶＳＧ２－２の電位に変化する。

[0073] 次に、期間ｔ４ａでは、走査線駆動回路１２及び発光制御回路１４から供給される各制御信号により、第１発光制御走査線Ｌ６ａに供給される第１発光制御信号ＢＧ１がＬレベルとなり、第２発光制御走査線Ｌ６ｂに供給される第２発光制御信号ＢＧ２がＨレベルとなる。また、第１部分表示領域ＡＡｓ１の書込制御走査線Ｌ７－１、Ｌ７－２、・・・、Ｌ７－２７０がＬレベルとなる。なお、期間ｔ４ａでの第２画素回路５０ｂの各トランジスタの動

作は、上述した期間ｔ１ｂと同様であり繰り返しの説明は省略する。

[0074] ここで、図５に示すように、期間ｔ４の後に続く期間ｔ４ａはＰＷＭ駆動方式による表示の一期間である。一方、期間ｔ４ｂはアナログ階調による表示期間である。アナログ階調による表示とは、点灯期間を所定期間に固定する一方、画素信号（映像信号ＶＳＧ）はアナログ電位であって、アナログ電位に応じて駆動トランジスタＤＲＴのゲートのオン状態が調整され、電源電圧ＰＶＤＤから発光素子１００に至る電流はゲートのオン状態に応じた大きさとなる。これによって、発光素子１００の輝度が画素信号（映像信号ＶＳＧ）のアナログ電位に応じた明るさとなる。より具体的には、アナログ電位の画素信号（映像信号ＶＳＧ）に基づく発光素子１００の明るさは、輝度０から所定の輝度まで明るさのうちのいずれかの明るさを有する。別言すると、当該期間をもしＰＷＭ駆動方式期間とすると当該期間に亘って最大輝度か輝度０でしか発光素子１００は発光しないところ、アナログ階調による表示期間においては、発光素子１００は、アナログ電位による階調表現によって輝度０から最大輝度の間のいずれかの輝度で発光する。以下、アナログ階調による表示をアナログ駆動方式という場合がある。

[0075] なお、アナログ駆動方式による表示期間に画素回路５０に供給される画素信号は所謂０～２５５の階調に対応したものが設定可能であるが、本実施例においては、当該アナログ電位基づく階調表現を行う期間が全体の点灯期間の１２．５％であることを考慮すると、当該画素信号による輝度表現としては０～３２階調程度である。

[0076] 期間ｔ４ａでは、第２発光制御トランジスタＢＣＴ２がオンになる期間（パルス幅）は、最大点灯輝度に対して２５％の目標輝度レベルとなる期間に設定される。なお、期間ｔ４ａでは、第１画素回路５０ａの第１発光制御トランジスタＢＣＴ１がオフであるため、第１駆動トランジスタＤＲＴ１から発光素子１００には電流が流れない。

[0077] 次に、期間ｔ４ｂでは、走査線駆動回路１２及び発光制御回路１４から供給される各制御信号により、第１発光制御走査線Ｌ６ａに供給される第１発

光制御信号ＢＧ１がＨレベルとなり、第２発光制御走査線Ｌ６ｂに供給される第２発光制御信号ＢＧ２がＬレベルとなる。また、第１部分表示領域ＡＡｓ１の書込制御走査線Ｌ７－１、Ｌ７－２、・・・、Ｌ７－２７０がＬレベルを維持している。なお、期間ｔ４ｂでの第１画素回路５０ａの各トランジスタの動作は、上述した期間ｔ１ａと同様であり繰り返しの説明は省略する。

[0078] 期間ｔ４ｂでは、第１駆動トランジスタＤＲＴ１から、アナログ信号である第１映像信号ＶＳＧ１－２に応じた電流（第１駆動電流）が発光素子１００に供給される。また、第１発光制御トランジスタＢＣＴ１がオンになる期間（パルス幅）は、最大点灯輝度に対して１２．５％の目標輝度レベルとなる期間に固定される。期間ｔ４ｂでの第１映像信号ＶＳＧ１－２の電位は、駆動信号制御部２００により副画素ＳＰＸごとに設定される。なお、期間ｔ４ｂでは、第２画素回路５０ｂの第２発光制御トランジスタＢＣＴ２がオフであるため、第２駆動トランジスタＤＲＴ２から発光素子１００には電流が流れない。

[0079] 以上の動作を第２部分表示領域ＡＡｓ２から第４部分表示領域ＡＡｓ４まで完了すると、１フレーム分の画像の表示が行われる。

[0080] 駆動信号制御部２００（図３参照）は、期間ｔ１ａ、ｔ１ｂ及び期間ｔ４ａ、ｔ４ｂの各発光動作期間の合計により、発光素子１００の輝度（階調）を制御することができる。より具体的には、デジタル電位の映像信号（第１映像信号ＶＳＧ１－１、第２映像信号ＶＳＧ２－１、ＶＳＧ２－２）に基づくＰＷＭ駆動方式による表示期間によって当該光学素子の輝度の８７．５％が構成され、アナログ電位の映像信号（第１映像信号ＶＳＧ１－２）によって残りの１２．５％の輝度が構成される。また、アナログ電位に応じて当該１２．５％の輝度は明るさをより細かく設定できる。このため、これらＰＷＭ駆動方式期間とアナログ駆動方式期間とを組み合わせることで、きわめて細やかな階調表現を実現できる。

[0081] 例えば、図５に示す例では、期間ｔ１ａ、ｔ１ｂ及び期間ｔ４ａ、ｔ４ｂ

の全期間で発光素子１００に電流が流れ、輝度１００％を表示する場合を示す。ただし、駆動信号制御部２００（図３参照）は、期間ｔ１ａ、ｔ１ｂ及び期間ｔ４ａ、ｔ４ｂの点灯のオンオフを制御することで、映像信号ＶＳＧに応じた長さの期間で、固定電流を発光素子１００に供給する。かつ、期間ｔ４ｂでの電流（第１映像信号ＶＳＧ１－２）を調整することで、適切に輝度（階調）を制御することができる。

[0082] また、発光期間では、第１接続切換トランジスタＣＮＴ１は、第１発光制御トランジスタＢＣＴ１と同期してオンオフ制御がなされる。第２接続切換トランジスタＣＮＴ２は、第２発光制御トランジスタＢＣＴ２と同期してオンオフ制御がなされる。これにより、期間ｔ１ａ、ｔ１ｂ及び期間ｔ４ａ、ｔ４ｂの各期間では、発光素子１００は、第１画素回路５０ａ及び第２画素回路５０ｂの一方と接続され、第１画素回路５０ａ及び第２画素回路５０ｂの他方と非接続とされる。

[0083] 図７は、表示輝度レベルごとの、電流駆動方式及びＰＷＭ駆動方式の組合せの一例を説明するための説明図である。図７に示すように、目標輝度レベルが０％よりも大きく、１２．５％以下の範囲では、駆動信号制御部２００は、期間ｔ４ｂで第１発光制御トランジスタＢＣＴ１をオンにして、電流（第１映像信号ＶＳＧ１－２）を発光素子１００に供給して、点灯輝度レベルに調整する。つまり、駆動信号制御部２００は、期間ｔ１ａ、ｔ１ｂ及び期間ｔ４ａで第１発光制御トランジスタＢＣＴ１及び第２発光制御トランジスタＢＣＴ２をオフにする。つまり、上記では、期間ｔ１ａ、ｔ１ｂ及び期間ｔ４ａで、発光素子１００がオフ（非発光）である。

[0084] 目標輝度レベルが１２．５％よりも大きく、２５％以下の範囲では、駆動信号制御部２００は、期間ｔ１ａで第１発光制御トランジスタＢＣＴ１をオンにして、１２．５％の目標輝度レベルに対応する長さの期間で、電流（第１映像信号ＶＳＧ１－１）を発光素子１００に供給する。また、駆動信号制御部２００は、期間ｔ４ｂで第１発光制御トランジスタＢＣＴ１をオンにして、電流（第１映像信号ＶＳＧ１－２）を発光素子１００に供給して、１２

．５％から２５％以下の範囲の点灯輝度レベルを調整する。つまり、駆動信号制御部２００は、期間ｔ１ｂ及び期間ｔ４ａで第１発光制御トランジスタＢＣＴ１及び第２発光制御トランジスタＢＣＴ２をオフにする。つまり、上記では、期間ｔ１ｂ及び期間ｔ４ａで、発光素子１００がオフ（非発光）である。

[0085] 目標輝度レベルが２５％よりも大きく、３７．５％以下の範囲では、駆動信号制御部２００は、期間ｔ４ａで第２発光制御トランジスタＢＣＴ２をオンにして、２５％の目標輝度レベルに対応する長さの期間で、電流（第２映像信号ＶＳＧ２－２）を発光素子１００に供給する。また、駆動信号制御部２００は、期間ｔ４ｂで第１発光制御トランジスタＢＣＴ１をオンにして、電流（第１映像信号ＶＳＧ１－２）を発光素子１００に供給して、２５％から３７．５％以下の範囲の点灯輝度レベルを調整する。つまり、駆動信号制御部２００は、期間ｔ１ａ及び期間ｔ１ｂで第１発光制御トランジスタＢＣＴ１及び第２発光制御トランジスタＢＣＴ２をオフにする。つまり、上記では、期間ｔ１ａ、ｔ１ｂで、発光素子１００がオフ（非発光）である。

[0086] 目標輝度レベルが３７．５％よりも大きく、５０％以下の範囲では、駆動信号制御部２００は、期間ｔ１ａ及び期間ｔ４ａで、それぞれ第１発光制御トランジスタＢＣＴ１及び第２発光制御トランジスタＢＣＴ２をオンにして、１２．５％の目標輝度レベルに対応する長さの期間及び２５％の目標輝度レベルに対応する長さの期間で、電流（第１映像信号ＶＳＧ１－１、第２映像信号ＶＳＧ２－２）を発光素子１００に供給する。また、駆動信号制御部２００は、期間ｔ４ｂで第１発光制御トランジスタＢＣＴ１をオンにして、電流（第１映像信号ＶＳＧ１－２）を発光素子１００に供給して、３７．５％から５０％以下の範囲の点灯輝度レベルを調整する。つまり、駆動信号制御部２００は、期間ｔ１ｂで第１発光制御トランジスタＢＣＴ１及び第２発光制御トランジスタＢＣＴ２をオフとする。つまり、上記では、期間ｔ１ｂで、発光素子１００がオフ（非発光）である。

[0087] 以下同様に、駆動信号制御部２００は、電流（第１映像信号ＶＳＧ１－１

、第２映像信号ＶＳＧ２－１、ＶＳＧ２－２）と電流（第１映像信号ＶＳＧ１－２）とを組み合わせて、点灯輝度レベルの表示を実現できる。

[0088] 次に、複数の副画素ＳＰＸでの、第１画素回路５０ａ及び第２画素回路５０ｂの構成例について説明する。図８は、実施形態に係る複数の副画素の、第１画素回路及び第２画素回路の配置関係を説明するための説明図である。なお、図８では、第１副画素ＳＰＸ１、第２副画素ＳＰＸ２及び第３副画素ＳＰＸ３のそれぞれにハッチングを付けて示している。また、各副画素ＳＰＸに示すＬ字パターンは、複数の副画素ＳＰＸが有する各トランジスタ及び各配線の配置関係（配置の対称性）を模式的に説明するためのものであり、実際の各トランジスタ及び各配線の配置パターンや形状を表すものではない。

[0089] 図８に示すように、複数の画素ＰＸは第１方向Ｄｘに配列される。第１方向Ｄｘで、第１副画素ＳＰＸ１、第２副画素ＳＰＸ２、第３副画素ＳＰＸ３、第１副画素ＳＰＸ１、第２副画素ＳＰＸ２及び第３副画素ＳＰＸ３の順に繰り返し配列される。また、各副画素ＳＰＸで、第１画素回路５０ａ及び第２画素回路５０ｂは、第２方向Ｄｙに隣り合って配置される。

[0090] Ｌ字パターンで模式的に示すように、１つの副画素ＳＰＸで、第１画素回路５０ａの各トランジスタ及び各配線の配置パターンは、第２画素回路５０ｂの各トランジスタ及び各配線の配置パターンと、第１方向Ｄｘに平行な対称軸で、線対称に配置される。図８に示す例では、１つの副画素ＳＰＸで、第１画素回路５０ａの各トランジスタ及び各配線の配置パターンは、第２画素回路５０ｂの各トランジスタ及び各配線の配置パターンに対して上下反転された配置パターンとなる。

[0091] 第１方向Ｄｘに隣接する２つの副画素ＳＰＸ（例えば図８の最も左側の第１副画素ＳＰＸ１と、これに隣接する第２副画素ＳＰＸ２）で、一方の副画素ＳＰＸ（第１副画素ＳＰＸ１）の第１画素回路５０ａ及び第２画素回路５０ｂと、他方の副画素ＳＰＸ（第２副画素ＳＰＸ２）の第１画素回路５０ａ及び第２画素回路５０ｂとは、第２方向Ｄｙに平行な対称軸に対して線対称

に配置される。図８に示す例では、隣接する２つの副画素ＳＰＸで、第１画素回路５０ａ及び第２画素回路５０ｂの各トランジスタ及び各配線の配置パターンは、左右反転された配置パターンとなる。

[0092] また、第１方向Ｄｘに隣接する２つの画素ＰＸに着目すると、一方の画素ＰＸ（図８の左側の画素ＰＸ）の第１副画素ＳＰＸ１と、他方の画素ＰＸ（図８の右側の画素ＰＸ）の第１副画素ＳＰＸ１とは、左右反転された配置パターンとなる。すなわち、第１方向Ｄｘで、第１副画素ＳＰＸ１、第２副画素ＳＰＸ２、第３副画素ＳＰＸ３、第１副画素ＳＰＸ１、第２副画素ＳＰＸ２及び第３副画素ＳＰＸ３の順に繰り返し配列され、第２副画素ＳＰＸ２及び第３副画素ＳＰＸ３を挟んで隣り合う２つの第１副画素ＳＰＸ１で、一方の第１副画素ＳＰＸ１の第１画素回路５０ａ及び第２画素回路５０ｂと、他方の第１副画素ＳＰＸ１の第１画素回路５０ａ及び第２画素回路５０ｂとは、第２方向Ｄｙに平行な対称軸に対して線対称に配置される。

[0093] このように、隣接する副画素ＳＰＸで各トランジスタ及び各配線の配置パターンを反転して形成することで、隣接する副画素ＳＰＸで配線を共有することができ、複数の副画素ＳＰＸの配置ピッチを小さくすることができる。また、第２方向Ｄｙで隣接する第１画素回路５０ａ及び第２画素回路５０ｂで各トランジスタ及び各配線の配置パターンを反転して形成することで、隣接する第１画素回路５０ａ及び第２画素回路５０ｂで配線を共有することができ、１つの副画素ＳＰＸで効率よく第１画素回路５０ａ及び第２画素回路５０ｂを配置することができる。

[0094] 図９は、実施形態に係る複数の副画素の構成例を模式的に示す平面図である。図９では、第１方向Ｄｘに配列された第１副画素ＳＰＸ１、第２副画素ＳＰＸ２及び第３副画素ＳＰＸ３の構成例を示す。なお、図９に示す第１画素回路５０ａ及び第２画素回路５０ｂの各トランジスタ及び各配線の電気的な接続関係は、図４にて上述した内容と同様であり、重複する説明は省略する。

[0095] 図９に示すように、１つの副画素ＳＰＸ（例えば第１副画素ＳＰＸ１）に

着目すると、第１画素回路５０ａの各トランジスタと、第２画素回路５０ｂの各トランジスタは、第１方向Ｄｘに平行な対称軸Ｑ１に対して、線対称に配置される。より詳細には、第１画素回路５０ａでは、対称軸Ｑ１から第２方向Ｄｙの一方（図９の上側）に向かって、第１リセットトランジスタＲＳＴ１、第１接続切換トランジスタＣＮＴ１、第１駆動トランジスタＤＲＴ１、第１発光制御トランジスタＢＣＴ１、第１書込トランジスタＳＳＴ１及び第１初期化トランジスタＩＳＴ１の順に配列される。

[0096] 第２画素回路５０ｂでは、対称軸Ｑ１から第２方向Ｄｙの他方（図９の下側）に向かって、第２リセットトランジスタＲＳＴ２、第２接続切換トランジスタＣＮＴ２、第２駆動トランジスタＤＲＴ２、第２発光制御トランジスタＢＣＴ２、第２書込トランジスタＳＳＴ２及び第２初期化トランジスタＩＳＴ２の順に配列される。

[0097] 発光素子１００（図９では図示を省略する）は、コンタクト部ＣＨ１を介して第１接続切換トランジスタＣＮＴ１に接続され、かつ、コンタクト部ＣＨ２を介して第２接続切換トランジスタＣＮＴ２に接続される。

[0098] また、第１画素回路５０ａの各配線と、第２画素回路５０ｂの各配線は、第１方向Ｄｘに平行な対称軸Ｑ１に対して、線対称に配置される。より詳細には、第１画素回路５０ａでは、対称軸Ｑ１から第２方向Ｄｙの一方（図９の上側）に向かって、リセット制御信号線Ｌ５、第１接続制御走査線Ｌ９ａ、第１発光制御走査線Ｌ６ａ、第１書込制御走査線Ｌ７ａ、第１初期化制御信号線Ｌ８ａの順に配列される。

[0099] 第２画素回路５０ｂでは、対称軸Ｑ１から第２方向Ｄｙの他方（図９の下側）に向かって、リセット制御信号線Ｌ５、第２接続制御走査線Ｌ９ｂ、第２発光制御走査線Ｌ６ｂ、第２書込制御走査線Ｌ７ｂ、第２初期化制御信号線Ｌ８ｂの順に配列される。

[0100] 図９に示すように、１つのリセット制御信号線Ｌ５は、第１画素回路５０ａと第２画素回路５０ｂとで共有される。すなわち、第１画素回路５０ａの第１リセットトランジスタＲＳＴ１と、第２画素回路５０ｂの第２リセット

トランジスタＲＳＴ２とは、リセット制御信号線Ｌ５を挟んで第２方向Ｄｙに隣り合って配置される。第１画素回路５０ａの第１リセットトランジスタＲＳＴ１のゲート、及び、第２画素回路５０ｂの第２リセットトランジスタＲＳＴ２のゲートは、共通のリセット制御信号線Ｌ５に接続される。

[0101] 次に、第１方向Ｄｘに隣接する２つの副画素ＳＰＸ（例えば第１副画素ＳＰＸ１及び第２副画素ＳＰＸ２）に着目すると、一方の副画素ＳＰＸ（第１副画素ＳＰＸ１）の第１画素回路５０ａ及び第２画素回路５０ｂと、他方の副画素ＳＰＸ（第２副画素ＳＰＸ２）の第１画素回路５０ａ及び第２画素回路５０ｂとは、第２方向Ｄｙに平行な対称軸Ｑ２に対して線対称に配置される。すなわち、第１副画素ＳＰＸ１の各トランジスタと、第２副画素ＳＰＸ２の各トランジスタとは、対称軸Ｑ２に対して線対称に配置される。なお、対称軸Ｑ２は、第１副画素ＳＰＸ１に接続された第１映像信号線Ｌ２ａと、第２副画素ＳＰＸ２に接続された第１映像信号線Ｌ２ａとの間に位置する。

[0102] すなわち、第２副画素ＳＰＸ２のリセットトランジスタＲＳＴ、接続切換トランジスタＣＮＴ、駆動トランジスタＤＲＴ、発光制御トランジスタＢＣＴ、初期化トランジスタＩＳＴ及び書込トランジスタＳＳＴと、第１副画素ＳＰＸ１のリセットトランジスタＲＳＴ、接続切換トランジスタＣＮＴ、駆動トランジスタＤＲＴ、発光制御トランジスタＢＣＴ、初期化トランジスタＩＳＴ及び書込トランジスタＳＳＴとは、対称軸Ｑ２に対して左右反転された配置関係を有する。

[0103] また、第１副画素ＳＰＸ１は、リセット電源線Ｌ３、第２映像信号線Ｌ２ｂ、アノード電源線Ｌ１及び第１映像信号線Ｌ２ａを有する。リセット電源線Ｌ３、第２映像信号線Ｌ２ｂ、アノード電源線Ｌ１及び第１映像信号線Ｌ２ａは、この順で第１方向Ｄｘに配列される。第１方向Ｄｘに隣り合う第２映像信号線Ｌ２ｂとアノード電源線Ｌ１との間に、接続切換トランジスタＣＮＴ、駆動トランジスタＤＲＴ、発光制御トランジスタＢＣＴ、初期化トランジスタＩＳＴ及び書込トランジスタＳＳＴが配置される。また、リセットトランジスタＲＳＴは、リセット電源線Ｌ３と第２映像信号線Ｌ２ｂとの間

に配置される。

[0104] リセット電源線Ｌ３は、第１副画素ＳＰＸ１の第１画素回路５０ａ及び第２画素回路５０ｂで共有される。つまり、１つの第１副画素ＳＰＸ１で、第１画素回路５０ａの第１リセットトランジスタＲＳＴ１及び第２画素回路５０ｂの第２リセットトランジスタＲＳＴ２は、共通のリセット電源線Ｌ３に接続される。また、アノード電源線Ｌ１は、第１副画素ＳＰＸ１の第１画素回路５０ａ及び第２画素回路５０ｂで共有される。つまり、１つの第１副画素ＳＰＸ１で、第１画素回路５０ａの第１発光制御トランジスタＢＣＴ１及び第２画素回路５０ｂの第２発光制御トランジスタＢＣＴ２は、共通のアノード電源線Ｌ１に接続される。また、第１映像信号線Ｌ２ａは、第１副画素ＳＰＸ１の第１画素回路５０ａに対応して設けられる。第２映像信号線Ｌ２ｂは、第１副画素ＳＰＸ１の第２画素回路５０ｂに対応して設けられる。

[0105] 第１副画素ＳＰＸ１と第１方向Ｄｘに隣接する第２副画素ＳＰＸ２に着目すると、第２副画素ＳＰＸ２は、第１映像信号線Ｌ２ａ、アノード電源線Ｌ１、第２映像信号線Ｌ２ｂ及び初期化電源線Ｌ４を有する。第１映像信号線Ｌ２ａ、アノード電源線Ｌ１、第２映像信号線Ｌ２ｂ及び初期化電源線Ｌ４は、この順で第１方向Ｄｘに配列される。初期化電源線Ｌ４は、第１副画素ＳＰＸ１の第１画素回路５０ａ及び第２画素回路５０ｂで共有される。また、アノード電源線Ｌ１は、第２副画素ＳＰＸ２の第１画素回路５０ａ及び第２画素回路５０ｂで共有される。第１映像信号線Ｌ２ａは、第２副画素ＳＰＸ２の第１画素回路５０ａに対応して設けられる。第２映像信号線Ｌ２ｂは、第２副画素ＳＰＸ２の第２画素回路５０ｂに対応して設けられる。

[0106] 第１副画素ＳＰＸ１及び第２副画素ＳＰＸ２で、第１映像信号線Ｌ２ａ、アノード電源線Ｌ１及び第２映像信号線Ｌ２ｂは、対称軸Ｑ２に対して線対称に配置される。一方で、第１副画素ＳＰＸ１のリセット電源線Ｌ３及び第２副画素ＳＰＸ２の初期化電源線Ｌ４は、対称軸Ｑ２に対して非対称に配置される。

[0107] 第１副画素ＳＰＸ１及び第２副画素ＳＰＸ２で、一方の第１副画素ＳＰＸ

１は、リセット電源線Ｌ３を有し、初期化電源線Ｌ４を有さない。また、他方の第２副画素ＳＰＸ２は、リセット電源線Ｌ３を有さず、初期化電源線Ｌ４を有する。本実施形態では、リセット電源線Ｌ３及び初期化電源線Ｌ４は、第１方向Ｄｘに隣接する２つの副画素ＳＰＸで共有される。これにより、各副画素ＳＰＸにリセット電源線Ｌ３及び初期化電源線Ｌ４を設けた場合に比べて、複数の副画素ＳＰＸの第１方向Ｄｘでの配置ピッチを小さくすることができる。

[0108] 第２副画素ＳＰＸ２と第３副画素ＳＰＸ３においても、一方の副画素ＳＰＸ（第２副画素ＳＰＸ２）の第１画素回路５０ａ及び第２画素回路５０ｂと、他方の副画素ＳＰＸ（第３副画素ＳＰＸ３）の第１画素回路５０ａ及び第２画素回路５０ｂとは、第２方向Ｄｙに平行な対称軸Ｑ３に対して線対称に配置される。つまり、第３副画素ＳＰＸ３の各トランジスタ及び各配線は、第１副画素ＳＰＸ１と相似となる配置関係を有する。なお、対称軸Ｑ３は、第２副画素ＳＰＸ２側に設けられた初期化電源線Ｌ４と、第３副画素ＳＰＸ３側に設けられたリセット電源線Ｌ３との間に位置する。

[0109] 第２副画素ＳＰＸ２及び第３副画素ＳＰＸ３に着目すると、１つの初期化電源線Ｌ４は、第２副画素ＳＰＸ２の第１画素回路５０ａ及び第２画素回路５０ｂと、第３副画素ＳＰＸ３の第１画素回路５０ａ及び第２画素回路５０ｂとに共有される。つまり、１つの初期化電源線Ｌ４は、４つの初期化トランジスタＩＳＴに接続される。

[0110] また、１つのリセット電源線Ｌ３は、第２副画素ＳＰＸ２の第１画素回路５０ａ及び第２画素回路５０ｂと、第３副画素ＳＰＸ３の第１画素回路５０ａ及び第２画素回路５０ｂとに共有される。つまり、１つのリセット電源線Ｌ３は、４つのリセットトランジスタＲＳＴに接続される。

[0111] 以上のような構成により、複数の副画素ＳＰＸが、それぞれ２つの画素回路（第１画素回路５０ａ及び第２画素回路５０ｂ）を有する構成であっても、各トランジスタ及び各配線を効率よく配置することができる。

[0112] なお、図９は、あくまでも一例であり、各トランジスタ及び各配線の配置

は適宜変更してもよい。例えば、各副画素ＳＰＸが有する各トランジスタのうち一部のトランジスタが非対称となるように配置されてもよい。

[0113] 以上説明したように、表示装置１は、表示領域ＡＡに配列された複数の発光素子１００と、複数の発光素子１００のそれぞれに接続された第１画素回路５０ａ及び第２画素回路５０ｂと、第１画素回路５０ａに設けられ、発光素子１００に第１駆動電流（第１映像信号ＶＳＧ１－２に応じた電流）を供給する第１駆動トランジスタＤＲＴ１と、第２画素回路５０ｂに設けられ、発光素子１００に第２駆動電流（例えば、第２映像信号ＶＳＧ２－２に応じた電流）を供給する第２駆動トランジスタＤＲＴ２と、第１駆動トランジスタＤＲＴ１及び第２駆動トランジスタＤＲＴ２にそれぞれ映像信号ＶＳＧを供給する駆動回路（信号線駆動回路１３）と、第１駆動トランジスタＤＲＴ１と発光素子１００との間に設けられた第１接続切換トランジスタＣＮＴ１と、第２駆動トランジスタＤＲＴ２と発光素子１００との間に設けられた第２接続切換トランジスタＣＮＴ２と、を有する。第１接続切換トランジスタＣＮＴ１及び第２接続切換トランジスタＣＮＴ２は、発光素子１００の非発光期間にオフとなる。

[0114] これによれば、第１接続切換トランジスタＣＮＴ１及び第２接続切換トランジスタＣＮＴ２を設けているので、発光素子１００の非発光期間（映像信号書込動作期間）で、発光素子１００は、第１画素回路５０ａ及び第２画素回路５０ｂと非接続となる。これにより、非発光期間で第１画素回路５０ａのノードＮ１及び第２画素回路５０ｂのノードＮ２に生じた電位が、発光素子１００に印加されることを抑制できる。発光素子１００に意図しない逆バイアス電位が印加されることを抑制して、発光素子１００の損傷が発生することを抑制できる。

[0115] また、表示装置１において、第１画素回路５０ａに設けられた第１駆動トランジスタＤＲＴ１は、映像信号ＶＳＧに応じて設定された第１駆動電流（第１映像信号ＶＳＧ１－２に応じた電流）を発光素子１００に供給し、第２画素回路５０ｂに設けられた第２駆動トランジスタＤＲＴ２は、映像信号Ｖ

ＳＧに応じた長さの期間（期間ｔ１ｂ、ｔ４ａ）で、固定された第２駆動電流（例えば、第２映像信号ＶＳＧ２－１、ＶＳＧ２－２に応じた固定電流）を発光素子１００に供給する。制御回路（駆動信号制御部２００）は、第１画素回路５０ａによる発光期間を所定期間に設定すると共に、第２画素回路５０ｂによる発光期間を変化させる。

[0116] これによれば、表示装置１は、発光期間の異なる期間ｔ１ａ、ｔ１ｂ、ｔ４ａの組み合わせによって階調を表現するＰＷＭ駆動方式と、期間ｔ４ａにおける発光素子１００への電流量（第１映像信号ＶＳＧ１－２）を制御して階調を表現するアナログ駆動方式とを組み合わせて、良好に階調制御を実現できる。

[0117] また、表示装置１において、第１駆動電流（第１映像信号ＶＳＧ１－２に応じた電流）の最大値で規定される最大の低階調値以下の範囲（例えば図７の目標輝度レベル１２．５％以下の範囲）では、第１駆動電流で発光素子１００が駆動される。また、第１駆動電流の最大値で規定される最大の階調値よりも大きい高階調側の範囲（例えば図７の目標輝度レベル１２．５％よりも大きい範囲）では、少なくとも第２駆動電流（例えば、第１映像信号ＶＳＧ１－１、第２映像信号ＶＳＧ２－１、ＶＳＧ２－２に応じた電流の少なくとも１つ以上）で発光素子１００が駆動される。

[0118] これによれば、電流駆動方式で全ての階調を制御する場合に比べて、階調制御範囲を小さくすることができる。また、本実施形態では、高階調側では、ＰＷＭ駆動方式の電流値が、電流駆動方式の電流値に比べて大きくなる。このため、電流値のばらつきに起因する発光色度の変化が生じることを抑制できる。

[0119] また、表示装置１において、第１駆動トランジスタＤＲＴ１及び第２駆動トランジスタＤＲＴ２は、共通の書込期間（例えば期間ｔ１、ｔ４）で、それぞれ映像信号ＶＳＧが供給され、時分割で、発光素子１００に第１駆動電流（第１映像信号ＶＳＧ１－２に応じた電流）及び第２駆動電流（例えば、第２映像信号ＶＳＧ２－１、ＶＳＧ２－２に応じた電流）を供給する。

[0120] 表示装置１は、１つの発光素子１００に、２つの第１画素回路５０ａと第２画素回路５０ｂとが設けられるので、同じ書込期間（例えば期間ｔ１）で、第１画素回路５０ａ及び第２画素回路５０ｂの映像信号書込動作を行うことができる。したがって、１つの画素回路で多階調表示を行う場合に比べて、映像信号書込動作に要する時間を短縮することができる。

[0121] なお、図４から図７に示した、画素回路５０及び駆動方法はあくまで一例であり、適宜変更することができる。例えば、表示装置１は、３つの異なる長さの期間ｔ１ａ、ｔ１ｂ、ｔ２ａ（パルス幅）を組み合わせてＰＷＭ駆動方式を実現しているが、これに限定されない。表示装置１は、例えば２つの異なる期間（パルス幅）あるいは４つ以上の異なる期間（パルス幅）を組み合わせてＰＷＭ駆動方式を実現してもよい。

[0122] また、図５に示す如く、ＰＷＭ駆動方式による表示期間を比較した場合、第１画素回路５０ａ側での期間の方が第２画素回路５０ｂ側での期間よりも長い。したがって、第１保持容量Ｃｓ１を第２保持容量Ｃｓ２よりも大きいものとする構成も採用可能である。

[0123] 以上、本発明の好適な実施の形態を説明したが、本発明はこのような実施の形態に限定されるものではない。実施の形態で開示された内容はあくまで一例にすぎず、本発明の趣旨を逸脱しない範囲で種々の変更が可能である。本発明の趣旨を逸脱しない範囲で行われた適宜の変更についても、当然に本発明の技術的範囲に属する。上述した各実施形態及び各変形例の要旨を逸脱しない範囲で、構成要素の種々の省略、置換及び変更のうち少なくとも１つを行うことができる。

符号の説明

[0124] １　表示装置
２　アレイ基板
１２　走査線駆動回路
１３　信号線駆動回路
１４　発光制御回路

５０　画素回路

５０ａ　第１画素回路

５０ｂ　第２画素回路

１００　発光素子

２００　駆動信号制御部

ＤＲＴ　駆動トランジスタ

ＢＣＴ　発光制御トランジスタ

ＣＮＴ　接続切換トランジスタ

ＩＳＴ　初期化トランジスタ

ＲＳＴ　リセットトランジスタ

ＳＳＴ　書込トランジスタ

ＳＧ　書込制御信号

ＢＧ　発光制御信号

ＶＳＧ１　第１映像信号

ＶＳＧ２　第２映像信号

ＩＧ　初期化制御信号

ＲＧ　リセット制御信号

ＰＷＭ　接続制御信号

Ｌ１　アノード電源線

Ｌ２　映像信号線

Ｌ３　リセット電源線

Ｌ５　リセット制御信号線

ＳＰＸ　副画素

請求の範囲

[請求項1] 表示領域に配列された複数の発光素子と、

複数の前記発光素子のそれぞれに接続された第１画素回路及び第２画素回路と、

前記第１画素回路に設けられ、前記発光素子に第１駆動電流を供給する第１駆動トランジスタと、

前記第２画素回路に設けられ、前記発光素子に第２駆動電流を供給する第２駆動トランジスタと、

前記第１駆動トランジスタ及び前記第２駆動トランジスタにそれぞれ映像信号を供給する駆動回路と、

前記第１駆動トランジスタと前記発光素子との間に設けられた第１接続切換トランジスタと、

前記第２駆動トランジスタと前記発光素子との間に設けられた第２接続切換トランジスタと、を有し、

前記第１接続切換トランジスタ及び前記第２接続切換トランジスタは、前記発光素子の非発光期間にオフとなる

表示装置。

[請求項2] 前記第１画素回路に設けられた前記第１駆動トランジスタは、前記映像信号に応じて設定された前記第１駆動電流を前記発光素子に供給し、

前記第２画素回路に設けられた前記第２駆動トランジスタは、固定された前記第２駆動電流を前記発光素子に供給し、

制御回路は、前記第１画素回路による発光期間を所定期間に設定すると共に、前記第２画素回路による発光期間を変化させる

請求項１に記載の表示装置。

[請求項3] 前記第１駆動電流の最大値で規定される最大の階調値以下の低階調側の範囲では、前記第１駆動電流で前記発光素子が駆動され、

前記第１駆動電流の最大値で規定される最大の階調値よりも大きい

高階調側の範囲では、少なくとも前記第２駆動電流で前記発光素子が駆動される

請求項２に記載の表示装置。

[請求項4] 前記第１駆動トランジスタ及び前記第２駆動トランジスタは、

共通の書込期間で、それぞれ前記映像信号が供給され、

時分割で、前記発光素子に前記第１駆動電流及び前記第２駆動電流を供給する

請求項１から請求項３のいずれか１項に記載の表示装置。

[請求項5] 前記第１画素回路に設けられた前記第１駆動トランジスタは、さらに、前記第１駆動電流として、前記第２駆動電流と同じ固定された駆動電流を前記発光素子に供給し、

前記制御回路は、前記第１画素回路による前記固定された駆動電流による発光期間をさらに設定する

請求項２に記載の表示装置。

[請求項6] 前記第１駆動トランジスタに接続され、前記第１駆動トランジスタにリセット電源電位を供給する第１リセットトランジスタと、

前記第２駆動トランジスタに接続され、前記第２駆動トランジスタに前記リセット電源電位を供給する第２リセットトランジスタと、を有し、

前記第１リセットトランジスタのゲート及び前記第２リセットトランジスタのゲートは、共通のリセット制御信号線に接続される

請求項１から請求項５のいずれか１項に記載の表示装置。

[請求項7] 前記リセット電源電位を供給するリセット電源線を有し、

前記第１画素回路の前記第１リセットトランジスタ及び前記第２画素回路の前記第２リセットトランジスタは、共通の前記リセット電源線に接続される

請求項６に記載の表示装置。

[請求項8] 第１方向に配列された複数の副画素を有し、

複数の前記副画素のそれぞれは、前記発光素子、前記第１画素回路及び前記第２画素回路を有し、

前記第１方向に隣接する２つの前記副画素で、一方の前記副画素の前記第１画素回路及び前記第２画素回路と、他方の前記副画素の前記第１画素回路及び前記第２画素回路とは、前記第１方向と交差する第２方向に平行な対称軸に対して線対称に配置される

請求項１から請求項７のいずれか１項に記載の表示装置。

[請求項9] １つの前記副画素で、前記第１画素回路と、前記第２画素回路とは、前記第１方向に平行な対称軸に対して線対称に配置される

請求項８に記載の表示装置。

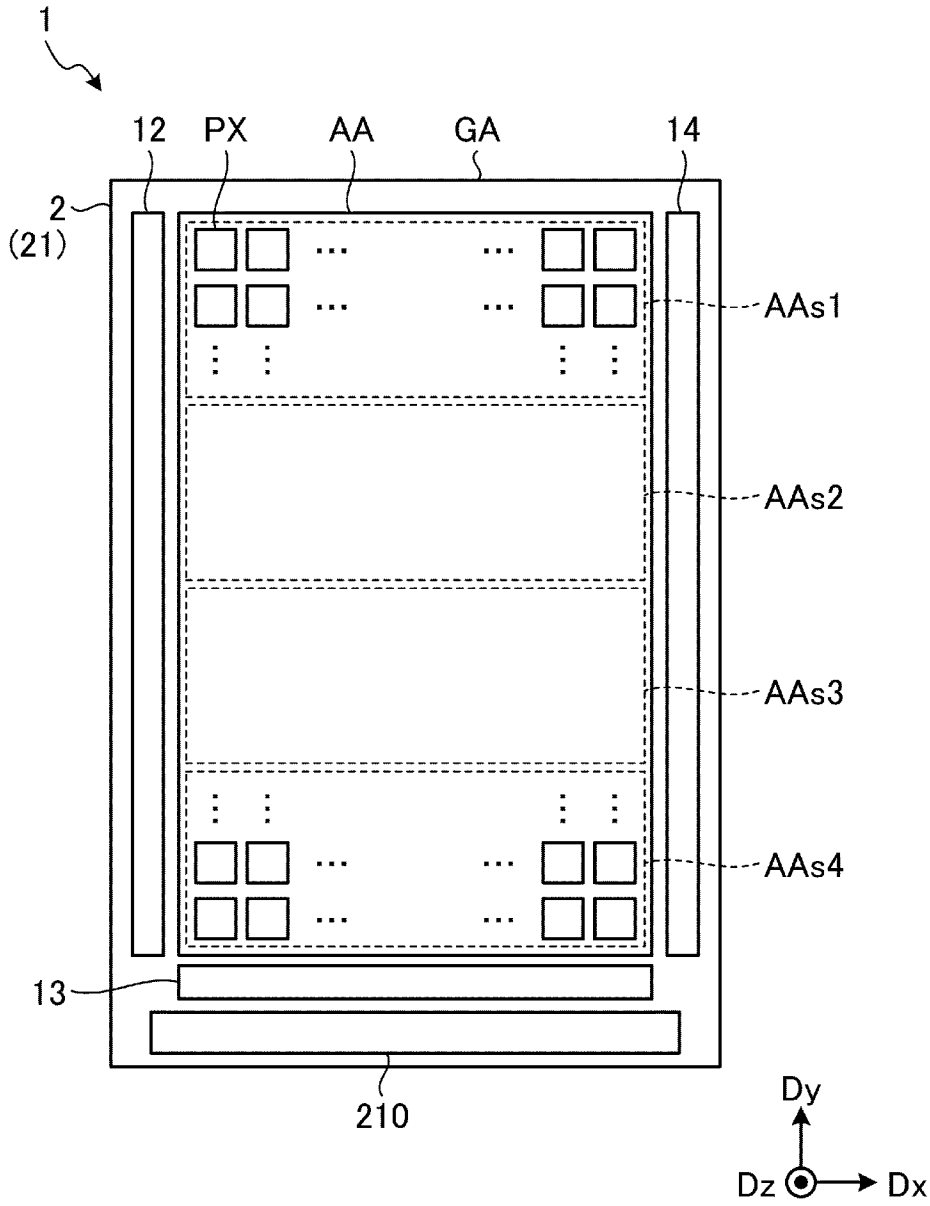
[請求項10] 複数の前記副画素は、第１副画素、第２副画素及び第３副画素を有し、

前記第１方向で、前記第１副画素、前記第２副画素、前記第３副画素、前記第１副画素、前記第２副画素及び前記第３副画素の順に繰り返し配列され、

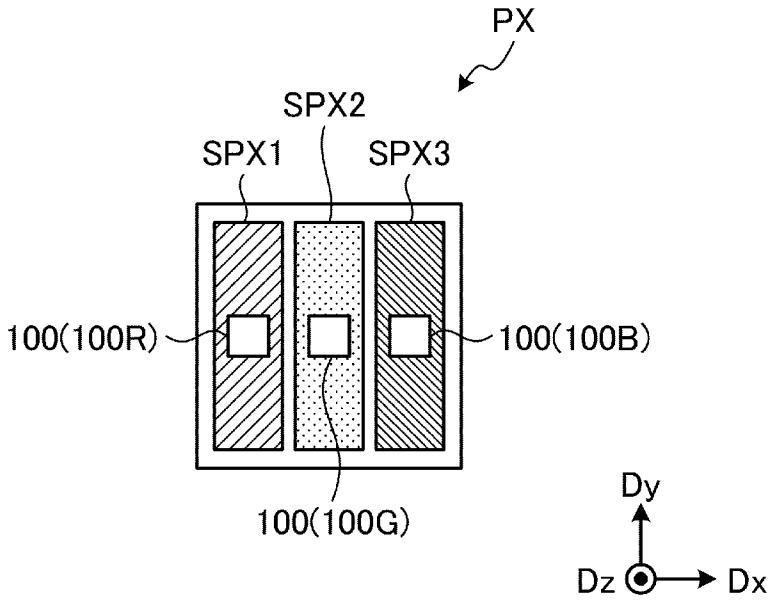
前記第２副画素及び前記第３副画素を挟む２つの前記第１副画素で、一方の前記第１副画素の前記第１画素回路及び前記第２画素回路と、他方の前記第１副画素の前記第１画素回路及び前記第２画素回路とは、前記第１方向と交差する第２方向に平行な対称軸に対して線対称に配置される

請求項８又は請求項９に記載の表示装置。

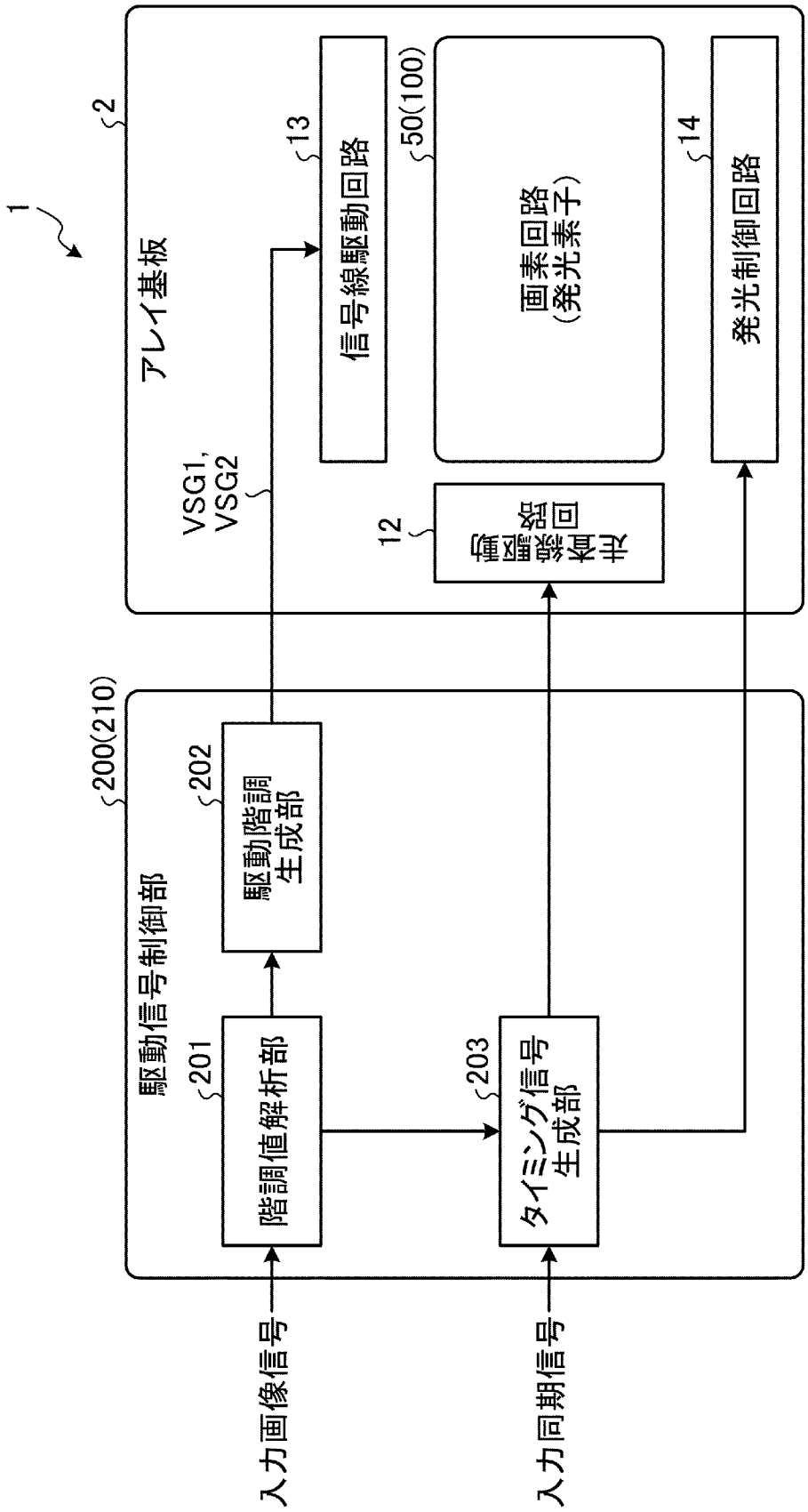
[図1]



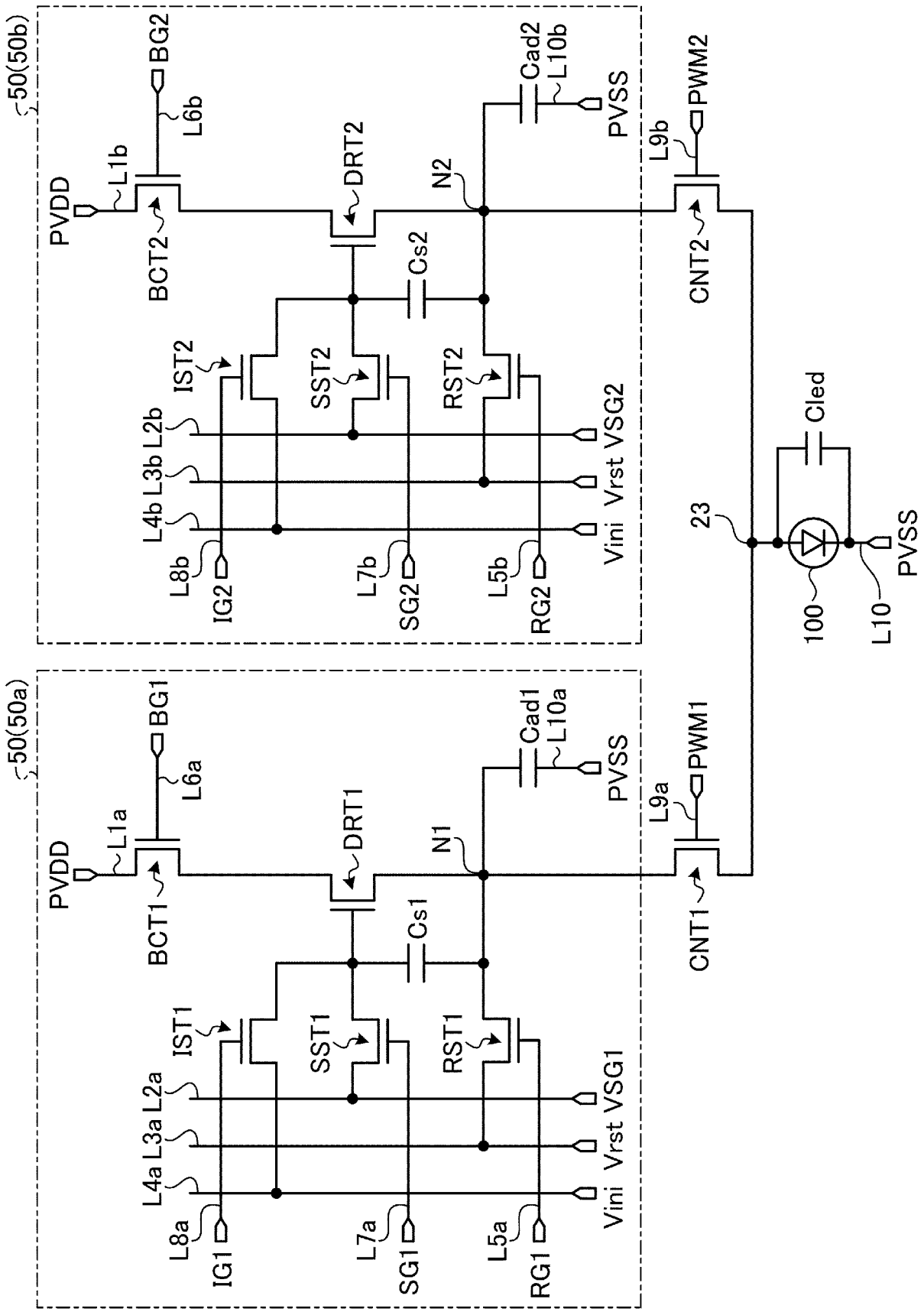
[図2]



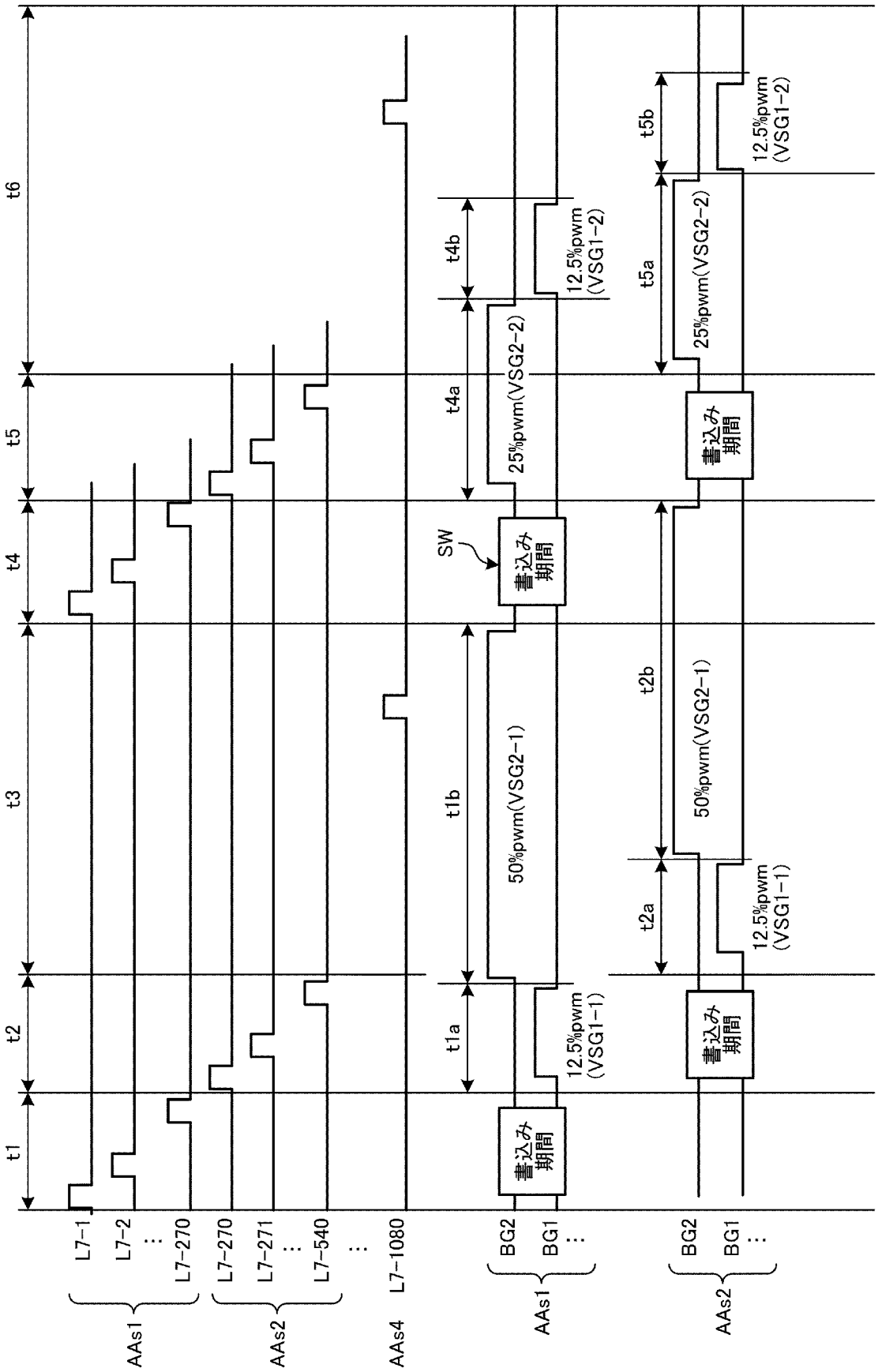
[図3]


1
2
アレイ基板
13
信号線駆動回路
50(100)
画素回路
(発光素子)
14
発光制御回路
VSG1,
VSG2
12
共通
駆動
回路
200(210)
駆動信号制御部
202
駆動階調
生成部
201
階調値解析部
203
タイミング信号
生成部
入力画像信号
入力同期信号

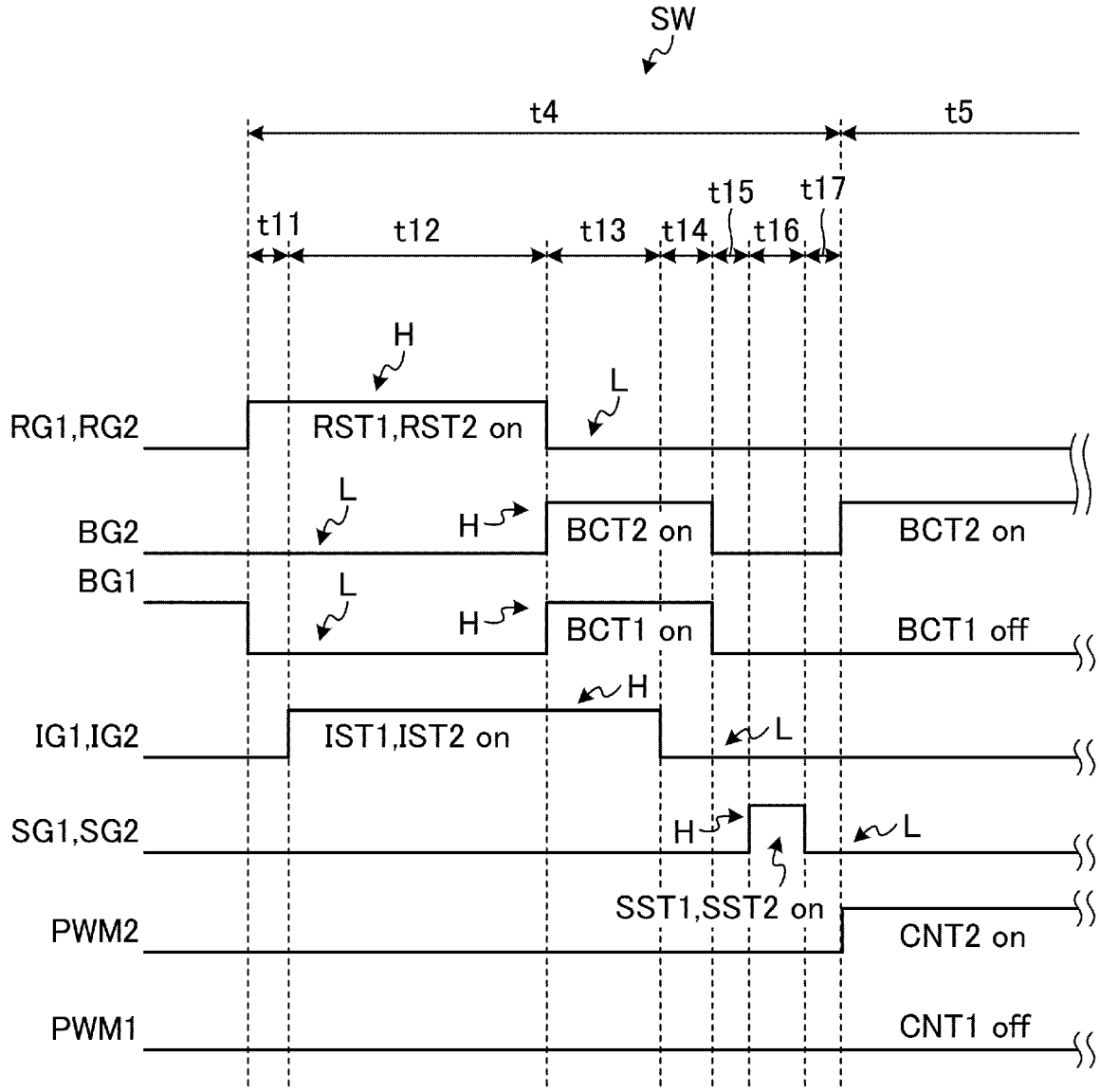
[図4]


50(50b)
50(50a)
PVDD
L1b
L1a
BG2
BG1
L6b
L6a
BCT2
BCT1
DRT2
DRT1
N2
N1
Cad2
L10b
Cad1
L10a
PVSS
L9b
L9a
PWM2
PWM1
CNT2
CNT1
Cs2
Cs1
IST2
IST1
SST2
SST1
RST2
RST1
L2b
L2a
L3b
L3a
L4b
L4a
Vini
Vrst
VSG2
VSG1
L8b
L8a
IG2
IG1
L7b
L7a
SG2
SG1
L5b
L5a
RG2
RG1
23
Cled
100
L10

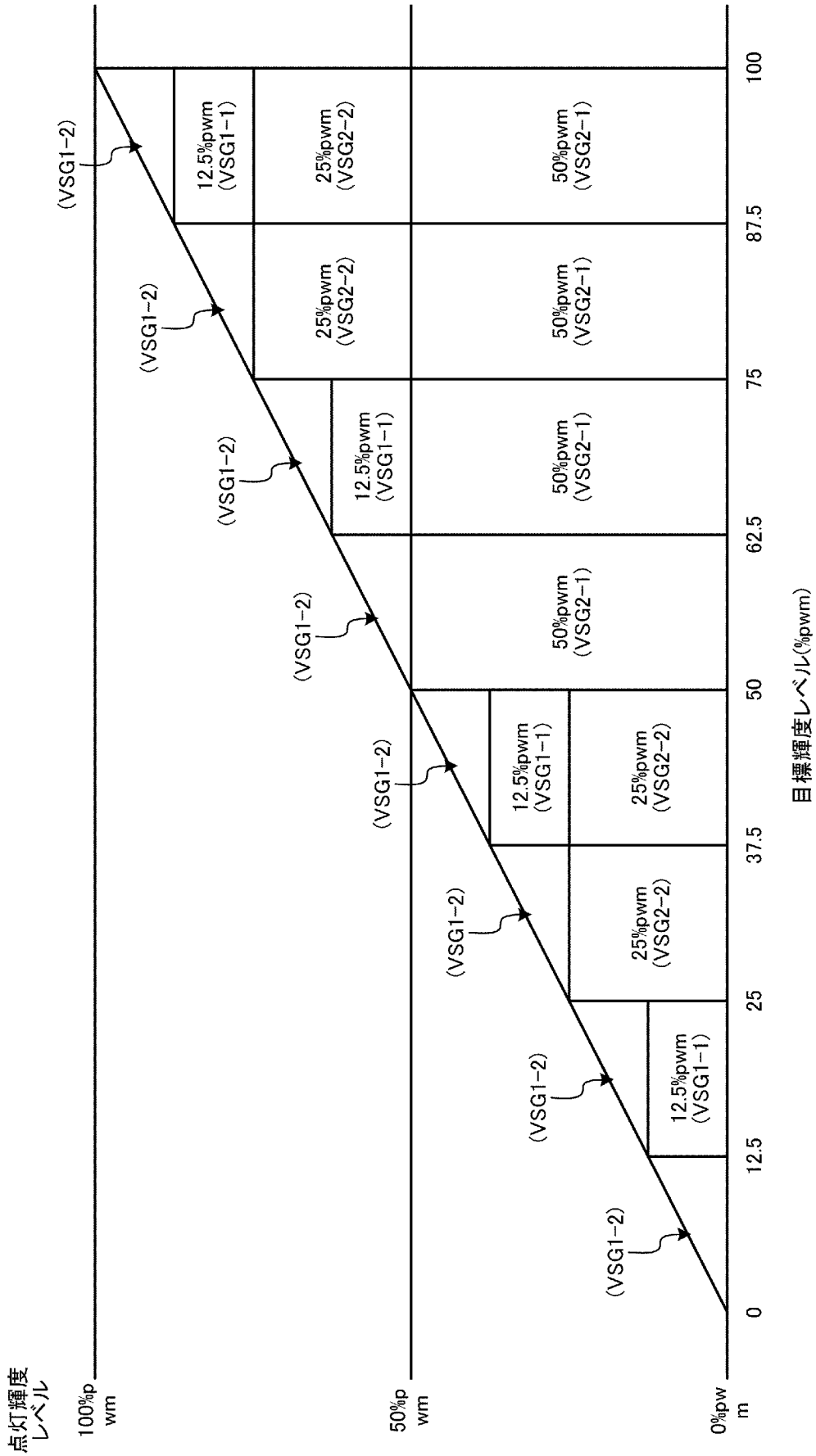
[図5]


t1
t2
t3
t4
t5
t6
L7-1
L7-2
L7-270
L7-270
L7-271
L7-540
L7-1080
AAs1
AAs2
AAs4
t1a
t1b
t2a
t2b
t4a
t4b
t5a
t5b
50%pwm(VSG2-1)
25%pwm(VSG2-2)
12.5%pwm (VSG1-1)
12.5%pwm (VSG1-2)
書込み期間
SW
BG2
BG1

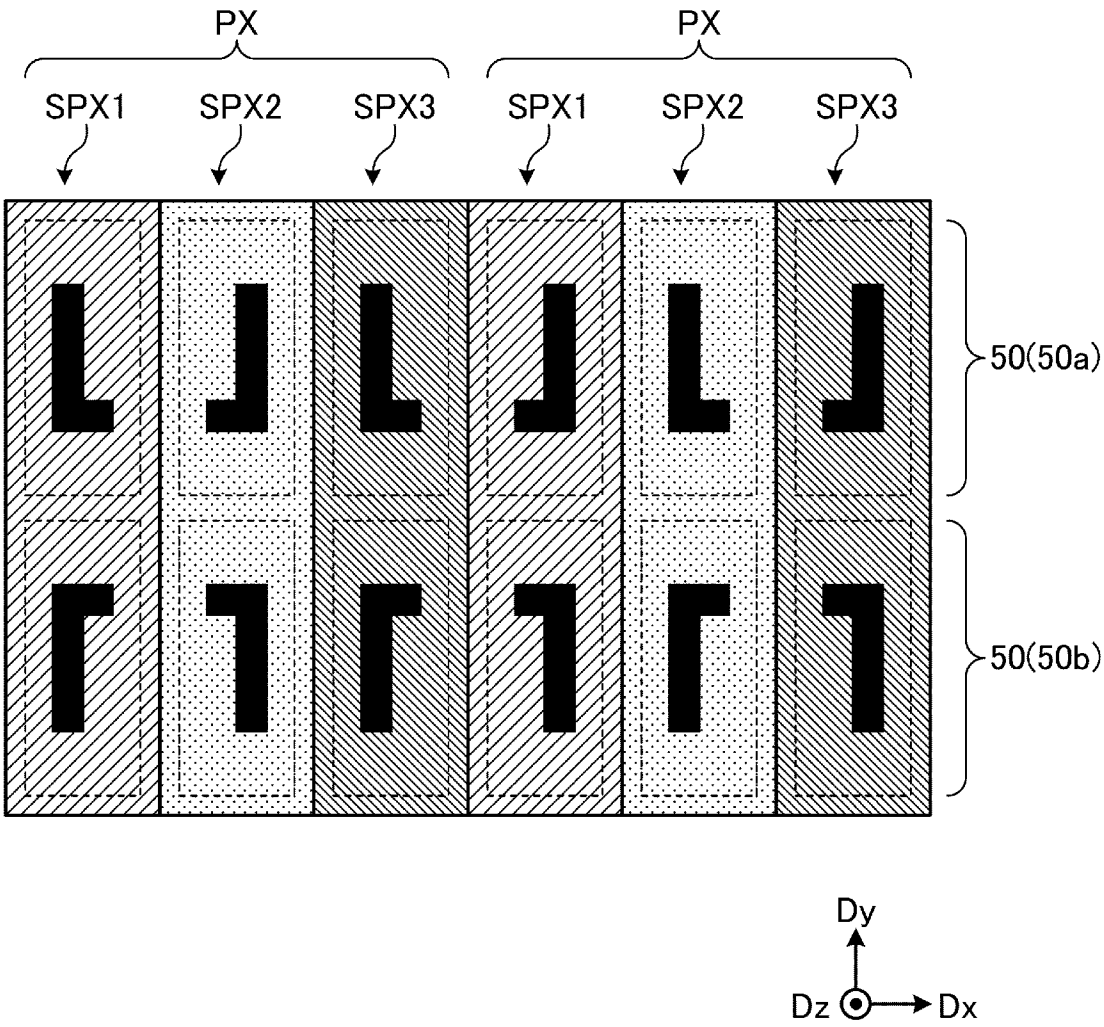
[図6]


SW
t4
t5
t11
t12
t13
t14
t15
t16
t17
H
L
RG1,RG2
RST1,RST2 on
BG2
BCT2 on
BCT2 on
BG1
BCT1 on
BCT1 off
IG1,IG2
IST1,IST2 on
SG1,SG2
SST1,SST2 on
PWM2
CNT2 on
PWM1
CNT1 off

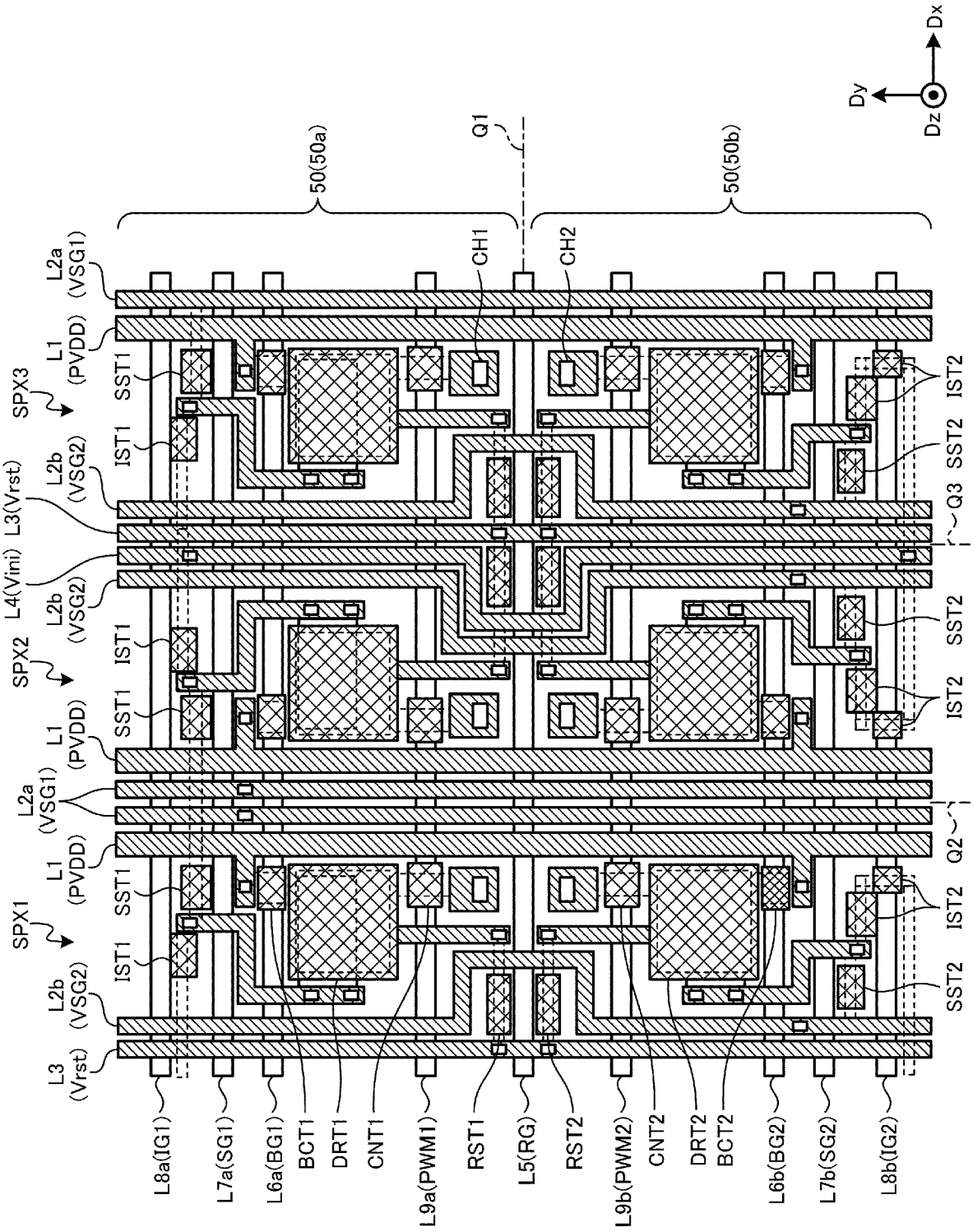
[図7]


点灯輝度レベル
100%pwm
50%pwm
0%pwm
(VSG1-2)
12.5%pwm (VSG1-1)
25%pwm (VSG2-2)
50%pwm (VSG2-1)
0
12.5
25
37.5
50
62.5
75
87.5
100
目標輝度レベル(%pwm)

[図8]



[図9]


Dx
Dy
Dz
50(50a)
Q1
50(50b)
CH1
CH2
L2a (VSG1)
L1 (PVDD)
SST1
IST1
SPX3
L2b (VSG2)
L3(Vrst)
L4(Vini)
SPX2
SPX1
L3 (Vrst)
IST2
SST2
Q3
Q2
L8a(IG1)
L7a(SG1)
L6a(BG1)
BCT1
DRT1
CNT1
L9a(PWM1)
RST1
L5(RG)
RST2
L9b(PWM2)
CNT2
DRT2
BCT2
L6b(BG2)
L7b(SG2)
L8b(IG2)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2022/029622

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/32(2016.01)i; ***G09G 3/20***(2006.01)i; ***G09G 3/3233***(2016.01)i; ***H01L 27/32***(2006.01)i; ***H01L 33/00***(2010.01)i; ***H01L 33/62***(2010.01)i; ***H01L 51/50***(2006.01)i; ***H05B 33/02***(2006.01)i

FI: G09G3/32 A; G09G3/20 621A; G09G3/20 624B; G09G3/20 680H; G09G3/20 641D; G09G3/20 641A; G09G3/20 641K; G09G3/20 621F; H01L27/32; H05B33/14 A; H05B33/02; H01L33/00 L; H01L33/00 J; H01L33/62; G09G3/3233

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/32; G09G3/20; G09G3/3233; H01L27/32; H01L33/00; H01L33/62; H01L51/50; H05B33/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2022
Registered utility model specifications of Japan 1996-2022
Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2010-276783 A (TOSHIBA MOBILE DISPLAY CO LTD) 09 December 2010 (2010-12-09) paragraphs [0013]-[0052], fig. 1-8	1, 3-4
Y		6-10
A		2
X	WO 2021/171921 A1 (KYOCERA CORP) 02 September 2021 (2021-09-02) paragraphs [0015]-[0046], fig. 1-6	1, 5
Y		6-10
X	JP 2005-338811 A (SEMICONDUCTOR ENERGY LAB CO LTD) 08 December 2005 (2005-12-08) paragraphs [0027]-[0064], fig. 1-4	1, 5
Y		6-10

☑ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
05 October 2022	**25 October 2022**
Name and mailing address of the ISA/JP **Japan Patent Office (ISA/JP)** **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Authorized officer Telephone No.

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2006-126874 A (SEMICONDUCTOR ENERGY LAB CO LTD) 18 May 2006 (2006-05-18) paragraphs [0107]-[0123], fig. 8	6-10
Y	JP 2006-163045 A (HITACHI DISPLAYS LTD) 22 June 2006 (2006-06-22) paragraphs [0054]-[0057], fig. 3	8-10
Y	JP 2016-109772 A (SONY CORP) 20 June 2016 (2016-06-20) paragraphs [0078]-[0079], fig. 31	8-10
Y	JP 2020-24373 A (TIANMA JAPAN LTD) 13 February 2020 (2020-02-13) paragraphs [0051]-[0077], fig. 4A-4C	10

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2022/029622

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2010-276783 A	09 December 2010	(Family: none)	
WO 2021/171921 A1	02 September 2021	CN 115088031 A	
JP 2005-338811 A	08 December 2005	US 2005/0243079 A1 paragraphs [0045]-[0082], fig. 1-4 CN 1691119 A	
JP 2006-126874 A	18 May 2006	US 2003/0214465 A1 paragraphs [0147]-[0164], fig. 8A EP 1363264 A2 CN 1482583 A KR 10-0961627 B1	
JP 2006-163045 A	22 June 2006	US 2006/0125741 A1 paragraphs [0076]-[0079], fig. 3 KR 10-2006-0064534 A CN 1815536 A	
JP 2016-109772 A	20 June 2016	(Family: none)	
JP 2020-24373 A	13 February 2020	US 2020/0035156 A1 paragraphs [0067]-[0093], fig. 4A-4C CN 110783373 A	

国際調査報告

国際出願番号
PCT/JP2022/029622

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

G09G 3/32(2016.01)i; G09G 3/20(2006.01)i; G09G 3/3233(2016.01)i; H01L 27/32(2006.01)i; H01L 33/00(2010.01)i; H01L 33/62(2010.01)i; H01L 51/50(2006.01)i; H05B 33/02(2006.01)i
FI: G09G3/32 A; G09G3/20 621A; G09G3/20 624B; G09G3/20 680H; G09G3/20 641D; G09G3/20 641A; G09G3/20 641K; G09G3/20 621F; H01L27/32; H05B33/14 A; H05B33/02; H01L33/00 L; H01L33/00 J; H01L33/62; G09G3/3233

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

G09G3/32; G09G3/20; G09G3/3233; H01L27/32; H01L33/00; H01L33/62; H01L51/50; H05B33/02

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２２年
日本国実用新案登録公報	１９９６－２０２２年
日本国登録実用新案公報	１９９４－２０２２年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2010-276783 A (東芝モバイルディスプレイ株式会社) 09.12.2010 (2010-12-09) [0013]-[0052],[図1]-[図8]	1,3-4
Y		6-10
A		2
X	WO 2021/171921 A1 (京セラ株式会社) 02.09.2021 (2021-09-02) [0015]-[0046],[図1]-[図6]	1,5
Y		6-10
X	JP 2005-338811 A (株式会社半導体エネルギー研究所) 08.12.2005 (2005-12-08) [0027]-[0064],[図1]-[図4]	1,5
Y		6-10
Y	JP 2006-126874 A (株式会社半導体エネルギー研究所) 18.05.2006 (2006-05-18) [0107]-[0123],[図8]	6-10

☑ C欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
05.10.2022	25.10.2022

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
西島　篤宏 2I 9308
電話番号 03-3581-1101 内線 3273

C.　関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2006-163045 A (株式会社 日立ディスプレイズ) 22.06.2006 (2006-06-22) [0054]-[0057],[図3]	8-10
Y	JP 2016-109772 A (ソニー株式会社) 20.06.2016 (2016-06-20) [0078]-[0079],[図31]	8-10
Y	JP 2020-24373 A (Ｔｉａｎｍａ　Ｊａｐａｎ株式会社) 13.02.2020 (2020-02-13) [0051]-[0077],[図4A]-[図4C]	10

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2022/029622

引用文献	公表日	パテントファミリー文献	公表日
JP 2010-276783 A	09.12.2010	（ファミリーなし）	
WO 2021/171921 A1	02.09.2021	CN 115088031 A	
JP 2005-338811 A	08.12.2005	US 2005/0243079 A1 [0045]-[0082],図1-図4 CN 1691119 A	
JP 2006-126874 A	18.05.2006	US 2003/0214465 A1 [0147]-[0164],図8A EP 1363264 A2 CN 1482583 A KR 10-0961627 B1	
JP 2006-163045 A	22.06.2006	US 2006/0125741 A1 [0076]-[0079],図3 KR 10-2006-0064534 A CN 1815536 A	
JP 2016-109772 A	20.06.2016	（ファミリーなし）	
JP 2020-24373 A	13.02.2020	US 2020/0035156 A1 [0067]-[0093],図4A-図4C CN 110783373 A	