

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 3 区分
 【発行日】平成 17 年 10 月 27 日 (2005.10.27)

【公開番号】特開 2003-69416 (P2003-69416A)
 【公開日】平成 15 年 3 月 7 日 (2003.3.7)
 【出願番号】特願 2002-218315 (P2002-218315)
 【国際特許分類第 7 版】

H 0 3 K 19/0175

H 0 3 K 17/687

H 0 3 K 17/693

【F I】

H 0 3 K 19/00 1 0 1 Q

H 0 3 K 17/693 A

H 0 3 K 19/00 1 0 1 F

H 0 3 K 17/687 F

【手続補正書】
 【提出日】平成 17 年 7 月 19 日 (2005.7.19)
 【手続補正 1】
 【補正対象書類名】明細書
 【補正対象項目名】特許請求の範囲
 【補正方法】変更
 【補正の内容】
 【特許請求の範囲】
 【請求項 1】

ノード上へ信号を駆動するよう構成された出力ドライバ回路の出力インピーダンスを、出力ドライバ制御回路を用いて可変に調整する方法であって、該出力ドライバ制御回路は、複数の抵抗性デバイスを備えており、該抵抗性デバイスのそれぞれは、第 1 の電源 (VDD) および前記ノード (104) の間にプログラム可能なように電氣的に並列接続可能であり、該方法は、

前記第 1 の電源と前記ノードとの間の第 1 の組の抵抗性デバイス (121) の電氣的接続を、2 進増分的な方法でプログラムするステップと、

前記第 1 の組における前記抵抗性デバイスのすべてがイネーブルされた時だけ、前記第 1 の電源と前記ノードとの間の第 2 の組の抵抗性デバイス (122) の電氣的接続を、2 進増分的な方法でプログラムするステップと、

を含む方法。

【請求項 2】

先にプログラムされた前記第 1 および第 2 の組 (121, 122) における抵抗性デバイスのすべてがイネーブルされたときだけ、前記第 1 の電源と前記ノードとの間に、抵抗性デバイスの 1 以上の追加の組 (123) の電氣的な接続を、2 進増分的な方法でプログラムするステップを含む、

請求項 1 に記載の方法。

【請求項 3】

前記第 1 の電源と前記ノードとの間に、前記複数の抵抗性デバイスのうちの少なくとも 1 つ (120, 236, 238) を、常時電氣的に接続するステップをさらに含む、

請求項 1 または 2 に記載の方法。

【請求項 4】

信号をノード上へ駆動するよう構成された可変インピーダンス出力ドライバ回路のための制御回路であって、

第 1 の電源 (V D D) と前記ノードとの間に、プログラム可能なように電氣的に接続可能な第 1 の組の抵抗性デバイスと、

前記第 1 の電源と前記ノードとの間に、プログラム可能なように電氣的に接続可能な第 2 の組の抵抗性デバイスと、

前記第 1 の電源と前記ノードとの間の前記第 1 の組の抵抗性デバイスの電氣的接続を、2 進増分的な方法でプログラムし、前記第 1 組の前記抵抗性デバイスのすべてが前記第 1 の電源と前記ノードとの間に電氣的に接続された時だけ、前記第 1 の電源と前記ノードとの間の前記第 2 の組の抵抗性デバイスの電氣的接続を、2 進増分的な方法でプログラムするコントローラと、

を備える、制御回路。

【請求項 5】

前記第 1 の電源と前記ノードとの間に、プログラム可能なように電氣的に接続可能な抵抗性デバイスの 1 以上の追加の組をさらに備え、

先にプログラムされた前記第 1 および第 2 の組の前記抵抗性デバイスのすべてが、前記第 1 の電源と前記ノードとの間に電氣的に接続された時だけ、前記コントローラは、前記第 1 の電源と前記ノードとの間の前記抵抗性デバイスの 1 以上の追加の組のうちの少なくとも 1 つの電氣的な接続を、2 進増分的な方法でプログラムする、

請求項 4 に記載の制御回路。

【請求項 6】

少なくとも 1 つの抵抗性デバイスは、前記第 1 の電源と前記ノードとの間に常時電氣的に接続される、

請求項 4 または 5 に記載の制御回路。

【請求項 7】

前記第 1 の組における抵抗性デバイスは、抵抗のバイナリ加重された符号を実現する、請求項 4 から 6 のいずれかに記載された制御回路。

【請求項 8】

前記第 2 の組における抵抗性デバイスは、抵抗のバイナリ加重された符号を実現する、請求項 4 から 7 のいずれかに記載された制御回路。

【請求項 9】

前記 1 以上の追加の組の少なくとも 1 つにおける抵抗性デバイスは、抵抗のバイナリ加重された符号を実現する、

請求項 5 から 8 のいずれかに記載された制御回路。

【請求項 10】

前記第 1 の組、前記第 2 の組、前記 1 以上の追加の組のそれぞれにおける前記抵抗性デバイスは、電界効果トランジスタを含む、

請求項 5 から 9 のいずれかに記載された制御回路。