(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[7]
G11C 16/06

(45) 공고일자 2005년01월06일
(11) 등록번호 10-0465064
(24) 등록일자 2004년12월27일

(21) 출원번호 10-2002-0027480
(22) 출원일자 2002년05월17일

(65) 공개번호 10-2003-0089314
(43) 공개일자 2003년11월21일

(73) 특허권자 주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 이상용
경기도이천시부발읍아미리현대임대아파트108-102

(74) 대리인 신영무

심사관 : 조명관

(54) 플래시 메모리 소자의 프로그램 워드라인 전압 발생회로

요약

본 발명은 플래시 메모리 소자의 프로그램 워드라인 전압 발생회로에 관한 것으로, 특히 구현이 간단하면서 필요에 따라 프로그램 및 베리파이의 회수조절이 가능하도록 외부로부터 데이터를 입력받아 전달하기 위하여 다수의 퓨즈를 포함하는 데이터 전송부와, 상기 데이터 전송부로부터 전달되는 상기 데이터를 초기 카운팅값으로 설정하도록 하기 위하여 리셋신호를 생성하는 카운팅 리셋부와, 상기 리셋신호에 따라 상기 데이터를 초기 카운팅값으로 설정하고, 클럭신호에 따라 설정된 초기 카운팅값부터 카운팅을 순차적으로 수행하는 카운팅부를 포함하는 프로그램 카운팅 회로를 제공한다.

대표도

도 2

색인어

NAND형 플래시, 프로그램 카운팅 회로, ISPP

명세서

도면의 간단한 설명

도 1는 본 발명의 실시예에 따른 플래시 메모리 소자의 프로그램 워드라인 전압 발생회로의 블록도이다.
도 2는 도 1에 도시된 프로그램 카운팅 회로부의 상세 회로도이다.
도 3은 도 2에 도시된 플립플롭의 상세 회로도이다.
도 4 및 도 5는 도 2에 도시된 프로그램 카운팅 회로부의 동작 특성을 설명하기 위해 일례로 도시한 파형도이다.
도 6은 도 1에 도시된 디코딩 회로부의 상세 회로도이다.
도 7은 도 1에 도시된 고전압 발생회로부의 상세 회로도이다.
도 8은 도 7에 도시된 고전압 발생회로부의 출력 파형도이다.

〈도면의 주요 부분에 대한 부호의 설명〉
100 : 프로그램 카운팅 회로부 110 : 데이터 전송부
120 : 카운팅부 121 : 셋팅부
122 : 제1 전송부 123 : 제2 전송부
124 : 제1 출력부 125 : 제2 출력부
200 : 디코딩 회로부 210 : 입력 반전부
220 : 디코딩 출력부 230 : 플립플롭
300 : 고전압 발생회로부 310 : 전압분배부
320 : 전압비교부 330 : 승압회로부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 플래시 메모리 소자의 프로그램 워드라인 전압 발생회로에 관한 것으로, 특히 NAND형 플래시 메모리 소자에서 이용되는 ISPP(Increment Step Pulse Program)시 필요한 스텝 펄스(Step Pulse)를 발생시키기 위한 프로그램 카운팅 회로에 관한 것이다.
EEPROM(Electrically Erasable and Programmable Read Only Memory) 및 플래시 메모리 등의 반도체 불휘발성 메모리 장치에 있어서는 채널핫일렉트론(Channel Hot Electron)(이하, 'CHE'라 함) 주입에 의하여 플로팅 게이트에 전자를 주입하여 데이터의 프로그램을 수행하는 NOR형의 반도체 불휘발성 메모리 장치가 널리 이용되고 있다.
그러나, 전술한 NOR형 반도체 불휘발성 메모리 장치에 있어서는 CHE 데이터 프로그램시에 대전류를 필수적으로 요구함에 따라 이 전류를 칩(Chip)내의 승압회로로부터 공급하는 것은 어렵다. 특히 전원전압이 저전압되어 있는 경우에는 단일 전원으로 동작시키기 어려운 문제가 있다. 또한, NOR형 반도체 불휘발성 메모리 장치에 있어서는 전류제한으로부터 바이트 단위로, 즉 병렬로 한번에 8개 정도의 메모리 셀 밖에 데이터 프로그램을 수행할 수 없으므로, 프로그램 속도에 있어서 많은 제약이 따른다.
최근에는 상기의 NOR형 반도체 불휘발성 메모리 장치의 제약에 의해 파울러-놀드하임(Fowler-Nordheim)(이하, 'F-N'이라 함) 터널현상을 이용하여 플로팅 게이트에 전자를 주입하여 데이터 프로그램을 수행하며, 대용량 및 높은 집적도를 제공하는 NAND형 반도체 불휘발성 메모리 장치(이하, 'NAND형 플래시 메모리'라 함)가 제안되고 있다.
NAND형 플래시 메모리에 있어서는 데이터 프로그램시 동작 전류가 작기 때문에 이 전류를 칩내의 승압회로로부터 공급하는 것이 비교적 용이할 뿐만 아니라 단일 전류로 동작시키기 쉽다는 이점이 있다. 이러한 이점에 의하여 NAND형 플래시 메모리에서는 페이지(Page) 단위로, 즉 선택하는 워드라인에 접속된 메모리 셀을 일괄로 데이터 프로그램을 행하는 것이 가능함에 따라 프로그램 속도가 증가하게 된다.
그런데, 전술한 NAND형 플래시 메모리는 데이터 프로그램 동작에 있어서 프로세스 불균일 등에 기인하는 프로그램 특성의 불균일이 큰 경우에는 선택 워드라인에 접속된 메모리 셀 사이에서 프로그램 속도차가 커지고, 프로그램 및 베리파이(Verify)의 반복회수가 증가하여 프로그램 속도가 감소되는 문제가 발생하게 된다. 이는 프로세스 불균일 등에 기인하는 프로그램 속도의 불균일이 선택 워드라인 내의 메모리 셀 사이에서 대략 2오더(Order) 정도의 프로그램 시간차가 발생함에 따라 종래의 동일 펄스 전압치 및 동일 펄스 시간폭의 단순 프로그램 펄스의 반복 인가방식에서는 프로그램 및 베리파이 회수를 대략 100회 정도 수행할 필요가 있기 때문이다. 이와 같을 경우, 실질적 프로그램 전압 인가시간보다는 오히려 프로그램 동작 및 베리파이 독출동작의 전압전환에 필요한 시간이 크게 증가하게 되어 실질적인 프로그램 속도가 감소하게 된다. 이러한 문제를 해결하기 위해서는 프로그램 및 베리파이의 회수를 최대한 10회 정도로 억제하여 데이터 프로그램을 수행할 필요가 있다.
그러나, 종래의 단순 프로그램 펄스의 반복 인가방식의 경우에는 이것을 실행하는데 펄스 전압치를 약간 높게 한 프로그램 펄스를 인가할 필요가 있는데, 이 경우, 프로그램 속도가 가장 빠른 메모리 셀이 과잉 프로그램되어 프로그램 스레시홀드 전압(Program Threshold Voltage; Vt)(이하, '문턱전압'이라 함)의 불균일이 증가하는 부작용을 초래하게 된다.
전술한 문제점을 해결하기 위하여, 프로그램 문턱전압의 불균일을 증대시키지 않고 프로그램 및 베리파이의 회수를 억제할 수 있는 NAND형 플래시 메모리의 새로운 프로그램 방식이 문헌 '95 ISSCC('A 3.3V 32Mb NAND Flash Memory with Incremental Step Pulse Programming Scheme(ISPP 방식)) p128~'에 개시(Disclosure)되어 있다.
상기 문헌에서 개시된 ISPP 방식은 프로그램 동작을 반복하여 수행시, 프로그램 워드라인 전압(즉, 선택 워드라인에 인가되는 고전압)이 프로그램 회수의 증가에 따라 점진적으로 증가하는 방향으로 가변 전압치로 설정되고, 기준 비트라인 전압(즉, 비트라인에 인가되는 전압)이 프로그램 회수에 관계없이 일정 전압치로 설정됨으로써 프로그램 전압차가 프로그램 회수의 증가에 따라 점진적으로 증가하도록 데이터 프로그램을 수행하는 방식이다.
이러한, ISPP 방식에 의한 데이터 프로그램 동작에서는 프로그램 회수의 증가에 의해 메모리 셀의 프로그램이 진행됨에 따라 프로그램 문턱전압이 상승하더라도 점진적으로 증가하는 프로그램 워드라인 전압을 통해 플로팅 게이트의 전위의 저하가 보상됨에 따라 메모리 셀의 터널 산화막에 인가되는 전계는 항상 일정하게 유지된다.

이와 같이, ISPP 방식에 의한 프로그램 동작에 있어서는 프로그램 회수의 증가에 따라 점진적으로 증가하는 방향으로 전압치가 단계적으로 변화하는 프로그램 워드라인 전압을 발생할 필요가 있다. 이에 따라, 프로그램 워드라인 전압을 발생하기 위한 프로그램 워드라인 전압 발생회로가 요구되는데, 이 프로그램 워드라인 전압 발생회로는 프로그램 카운팅 회로부를 포함한다.
그러나, 종래의 프로그램 카운팅 회로부에서는 플립플롭(Flip Flop)의 초기 카운팅값을 설정하기 위한 데이터(즉, 전원전압 또는 접지전압)를 외부로부터 전혀 입력받지 않거나, 이 데이터를 입력받더라도 다수의 트랜지스터(Transistor) 등을 통해 입력받는 방식을 사용하고 있다. 이에 따라, 종래의 프로그램 카운팅 회로부 를 통해서는 프로그램 및 베리파이의 회수조절이 쉽지 않으며, 프로그램 및 베리파이의 회수조절이 된다 하더라도 여러 개의 버스라인과 다수의 트랜지스터 들이 필요하게 되어 프로그램 워드라인 전압 발생회로의 전체 구성이 복잡해지는 문제를 초래하게 된다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 상기한 종래 기술의 문제를 해결하기 위해 안출된 것으로서, 구현이 간단하고, 필요에 따라 프로그램 및 베리파이의 회수조절이 가능한 프로그램 카운팅 회로를 제공하고, 이를 이용하여 각 칩의 특성에 따라 프로그램 전압을 달리하여 각각의 칩의 프로그램 시간을 조절할 수 있는 플래시 메모리 소자의 프로그램 워드라인 전압 발생회로를 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기한 목적을 구현하기 위한 본 발명의 일측면에 따르면, 데이터를 입력받아 전달하기 위하여 데이터를 입력받아 전달하기 위하여 다수의 퓨즈를 포함하는 데이터 전송부와, 상기 데이터 전송부로부터 전달되는 상기 데이터를 초기 카운팅값으로 설정하기 위하여 리셋신호를 생성하는 카운팅 리셋부와, 상기 리셋신호에 따라 상기 데이터를 초기 카운팅값으로 설정하고, 클럭신호에 따라 설정된 초기 카운팅값부터 카운팅을 순차적으로 수행하는 카운팅부와, 상기 카운팅부의 출력신호를 디코딩하는 디코딩 회로부와, 상기 디코딩 회로부의 출력신호에 따라 고전압을 발생하는 고전압 발생회로부를 포함하는 프로그램 워드라인 전압 발생회로가 제공된다.
이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전하도록하며 통상의 지식을 가진자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다.
도 1은 본 발명의 바람직한 실시예에 따른 프로그램 워드라인 전압 발생회로를 간략하게 도시한 블록도이다.
도 1을 참조하면, 본 발명의 프로그램 워드라인 전압 발생회로는 크게 프로그램 카운팅 회로부(100), 디코딩 회로부(200) 및 고전압 발생회로부(300)를 포함한다.
상기 프로그램 카운팅 회로부(100)는 외부로부터 인가되는 초기 데이터를 입력받아 초기 카운팅값을 설정하고, 클럭신호(LPCLK)에 따라 설정된 초기 카운팅값부터 카운팅을 수행한다. 상기 디코딩 회로부(200)는 프로그램 카운팅 회로부(100)로부터 출력되는 출력신호들(Q0 내지 Q3)을 디코딩한다. 상기 고전압 발생 회로부(300)는 디코딩 회로부(200)로부터 출력되는 출력신호들(STEP0 내지 STEP9)에 따라 프로그램 워드라인 전압들(VPPI0 내지 VPPI9)을 발생한다.
이하에서는, 상기에서 설명한 프로그램 워드라인 전압 발생회로에 포함되는 프로그램 카운팅 회로부(100), 디코딩 회로부(200) 및 고전압 발생회로부(300)를 구체적으로 설명하기로 한다.
도 2는 프로그램 카운팅 회로부(100)를 설명하기 위하여 일례로 도시한 상세 회로도로서, 데이터 전송부(110), 카운팅부(120) 및 미도시된 카운팅 리셋부를 포함한다.
도 2를 참조하면, 상기 데이터 전송부(110)는 외부로부터 인가되는 초기 데이터, 예컨대 전원전압 또는 접지전압을 카운팅부(120)로 전달하기 위하여 다수의 PMOS 트랜지스터들(PM1 내지 PM4), 다수의 NMOS 트랜지스터들(NM1 내지 NM4) 및 다수의 퓨즈들(FUSE1 내지 FUSE4)을 포함한다.
상기 PMOS 트랜지스터들(PM1 내지 PM4)은 상기 NMOS 트랜지스터들(NM1 내지 NM4)의 채널보다 큰 장채널(Long channel) 트랜지스터로 형성된다. 이러한, PMOS 트랜지스터들(PM1 내지 PM4)은 전원단자(Vdd)와 상기 퓨즈들(FUSE1 내지 FUSE4) 사이에 각각 접속되고, 접지단자(Vss)로부터 인가되는 접지전압에 의해 동작되어 전원전압을 상기 퓨즈들(FUSE1 내지 FUSE4)로 전달한다.
상기 NMOS 트랜지스터들(NM1 내지 NM4)은 상기 PMOS 트랜지스터들(PM1 내지 PM4)보다 작은 단채널(Short channel) 트랜지스터로 형성된다. 이러한, NMOS 트랜지스터들(NM1 내지 NM4)은 접지단자(Vss)와 노드들(N1 내지 N4) 사이에 각각 접속 되고, 전원단자(Vdd)로부터 인가되는 전원전압에 의해 동작되어 접지전압을 상기 노드들(N1 내지 N4)로 전달한다.
상기 퓨즈들(FUSE1 내지 FUSE4)은 상기 PMOS 트랜지스터들(PM1 내지 PM4)과 상기 노드들(N1 내지 N4) 사이에 각각 접속되고, PMOS 트랜지스터들(PM1 내지 PM4)을 통해 전달되는 전원전압을 노드들(N1 내지 N4)로 전달한다.
예컨대, 퓨즈들(FUSE1 내지 FUSE4)은 반도체 메모리 제조공정 진행시 형성되는 폴리(Poly) 라인을 이용하여 구현한다.
구체적으로, 퓨즈를 이용한 스위칭 방식은 반도체 메모리 장치에서 레이저 리페어(Laser Repair)시 사용하는 방식으로 반도체 메모리 제조공정 진행시 폴리 라인을 형성한 후 상기 폴리 라인 상부를 패시베이션(Passivation)하고, 식각공정을 통해 상기 폴리 라인이 노출되도록 패시베이션을 식각하여 필요시(즉, OFF시) 상기 폴리 라인을 레이저로 컷팅(Cutting)하여 사용한다.

상기 카운팅부(120)는 퓨즈들(FUSE1 내지 FUSE4)의 컷팅 상태(ON/OFF)에 따라 상기 데이터 전송부(110)로부터 전달되는 전원전압 또는 접지전압을 리셋신호(LPRST)에 의해 초기 카운팅값으로 설정하고, 이렇게 설정된 초기 카운팅값부터 시작하여 클럭신호(LPCLK)에 따라 순차적으로 카운팅을 수행하는 다수의 플립플롭들(F0 내지 F3)을 포함한다.

상기 카운팅 리셋부는 상기 카운팅부(120)의 플립플롭들(F0 내지 F3)의 초기 카운팅값을 설정하기 위한 리셋신호(LPRST)를 출력한다. 이러한, 리셋신호(LPRST)는 하이(HIGH)(이하, '1'라 함) 상태일 경우에만 플립플롭들(F0 내지 F3)의 초기 카운팅값을 설정한다. 즉, 리셋신호(LPRST)는 '1' 상태일 경우에만 플립플롭들(F0 내지 F3)의 출력신호(Q0 내지 Q3)에 영향을 미치고, 로우(LOW)(이하, '0'이라 함) 상태일 경우에는 영향을 미치지 않는다.

도 3에 도시된 바와 같이, 상기 플립플롭들(F0 내지 F3) 각각은 셋팅부(121), 제1 및 제2 전송부(122 및 123), 제1 및 제2 출력부(124 및 125) 및 인버터(I9)를 포함한다.

상기 셋팅부(121)는 단자 'S'로 입력되는 리셋신호(LPRST)에 따라 단자 'D'로 입력되는 노드(N1)(도 2 참조)의 전압(즉, 전원전압 또는 접지전압)을 노드(N5)로 전달하는 전송게이트(T1)를 포함한다. 상기 전송게이트(T1)는 리셋신호(LPRST)에 따라 동작되는 NMOS 트랜지스터(NM5)와, 인버터(I1)를 통해 반전된 리셋신호(LPRST)에 따라 동작되는 PMOS 트랜지스터(PM5)로 이루어진다.

상기 제1 전송부(122)는 단자 'CLK'로 입력되는 클럭신호(LPCLK)에 따라 상기 제2 전송부(123)를 통해 전달되는 출력신호들(Q0 내지 Q3)의 반전신호를 노드(N5)로 전달하는 전송게이트(T2)를 포함한다. 상기 전송게이트(T2)는 클럭신호(LPCLK)가 인버터(I2 및 I3)를 통해 출력되는 비반전 클럭신호(ICLK)에 따라 동작되는 NMOS 트랜지스터(NM6)와, 클럭신호(CLK)가 인버터(I2)를 통해 반전된 반전 클럭신호(CLKb)에 따라 동작되는 PMOS 트랜지스터(PM6)로 이루어진다.

상기 제2 전송부(123)는 단자 'CINb'로 입력되는 접지전압에 따라 인버터(I9)로부터 출력되는 출력신호들(Q0 내지 Q3)의 반전신호를 상기 제1 전송부(122)로 전달하기 위한 전송게이트(T3)를 포함한다. 상기 전송게이트(T3)는 접지전압에 따라 동작되는 PMOS 트랜지스터(PM7)와, 인버터(I4)를 통해 반전되는 접지전압에 따라 동작되는 NMOS 트랜지스터(NM7)로 이루어진다.

상기 제1 출력부(124)는 노드(N5)로 전달되는 신호를 디코딩 회로부(200)(도 1 참조)로 출력하기 위하여 다수의 래치부들(L1 및 L2)과, 상기 래치부들(L1 및 L2) 사이에 접속되는 전송게이트(T4)를 포함한다. 상기 래치부들(L1 및 L2)은 각각 두개의 인버터들(I5와 I6, I7와 I8)이 서로 상반되는 방향으로 병렬접속되어 이루어진다. 상기 전송게이트(T4)는 래치부(L1)의 출력신호를 래치부(L2)로 전송하기 위하여 제1 전송부(122)의 비반전 클럭신호(ICLK)에 따라 동작되는 PMOS 트랜지스터(PM8)와, 반전 클럭신호(CLKb)에 따라 동작되는 NMOS 트랜지스터(NM8)로 이루어진다.

상기 제2 출력부(125)는 단자 'CINb'로 입력되는 신호와 상기 제1 출력부(124)의 출력신호들(Q0 내지 Q3)을 논리조합하여 출력신호들(LCOUTb0 내지 LCOUTb3)중 어느 하나를 다음 단의 플립플롭(F1)의 단자 'CINb'로 출력하기 위하여 NOR 게이트(NOR)와, 인버터(I10)로 이루어진다.

상기에서 전술한 바와 같은 구성을 포함하는 프로그램 카운팅 회로부(100)(도 2 참조)의 동작 특성을 도 4에 도시된 파형도 및 이 파형도에 따른 진리표 1를 참조하여 설명하면 다음과 같다.

<진리표 1>

LPRST	LPCLK(순번)	Q3	Q2	Q1	Q0
1	0	1	1	1	1
0	1	1	1	1	0
0	2	1	1	0	1
0	3	1	1	0	0
0	4	1	0	1	1
0	5	1	0	1	0
0	6	1	0	0	1
0	7	1	0	0	0
0	8	0	1	1	1
0	9	0	1	1	0
0	10	0	1	0	1
0	11	0	1	0	0
0	12	0	0	1	1
0	13	0	0	1	0
0	14	0	0	0	1
0	15	0	0	0	0

도 4는 퓨즈(F1 내지 F4)를 컷팅(Cutting) 하지 않았을 경우(모두 ON 상태), 클럭신호(LPCLK)에 따라 각 플립플롭들(F0 내지 F3)로 출력되는 출력신호들(Q0 내지 Q3)의 파형도이다.

도 4 및 진리표 1을 참조하면, 우선 모든 퓨즈들(F1 내지 F4)이 'ON' 상태에서, 데이터 전송부(110)(도 2 참조)의 PMOS 트랜지스터들(PM1 내지 PM4)은 접지단자(Vss)로부터 인가되는 접지전압에 의해 동작되고, NMOS 트랜지스터들(NM1 내지 NM4)은 전원단자(Vdd)로부터 인가되는 전원전압에 의해 동작된다. 이에 따라, 전원전압은 상기 PMOS 트랜지스터들(PM1 내지 PM4)과 퓨즈들(FUSE1 내지 FUSE4)을 통해 플립플롭들(F0 내지 F3)의 단자 'D'로 전달된다.

이러한 동작 특성은, 상기 PMOS 트랜지스터들(PM1 내지 PM4)이 상기 NMOS 트랜지스터들(NM1 내지 NM4)에 비해 큰 장채널을 가지도록 형성되기 때문이다. 즉, 상기 NMOS 트랜지스터들(NM1 내지 NM4)은 상기 PMOS 트랜지스터들(PM1 내지 PM4)과 동시에 동작하나, 그 채널이 PMOS 트랜지스터들(PM1 내지 PM4)에 비해 비교적 작게 형성되기 때문에 퓨즈들(FUSE1 내지 FUSE4)을 통해 전달되는 전원전압을 접지단자(Vss)로 충분히 패스(Pass)시키지 못하게 된다. 이에 따라, 퓨즈들(FUSE1 내지 FUSE4)을 통해 전달되는 전원전압은 NMOS 트랜지스터들(NM1 내지 NM4)을 통해 모두 접지단자로 흐르는 것이 아니라, 어느 일정 시간동안 노드들(N1 내지 N4)을 통해 플립플롭들(F0 내지 F3)(도 2 참조)의 단자 'D'로 전달된다.

한편, 플립플롭들(F0 내지 F3)의 단자 'D'로 전달되는 전원전압(이하, '셋팅신호'라 함)은 클럭신호(LPCLK)와 '1' 상태의 리셋신호(LPRST)에 의해 셋팅부(121)(도 3 참조)를 통해 노드(N5)로 전달되고, 노드(N5)로 전달된 셋팅신호는 제1 출력부(124)(도 3 참조)를 통해 출력된다. 이에 따라, 플립플롭(F0 내지 F3)의 초기 출력신호(Q0 내지 Q3)는 '1111'로 셋팅된다.

이어서, 상기 플립플롭들(F0 내지 F3)의 출력신호(Q0 내지 Q3)가 '1111'로 셋팅된 상태에서 리셋신호(LPRST)가 '0' 상태로 천이하면, 각 플립플롭들(FO 내지 F3)의 셋팅부(121)의 전송게이트(T1)는 'OFF' 상태가 된다. 이에 따라, 단자 'D'로 입력되는 노드(N1)의 셋팅신호는 더 이상 노드(N5)로 전달되지 못하고 차단되게 된다.

이런 상태에서, 순번1에서와 같이 클럭펄스(LPCLK)가 각 플립플롭들(F0 내지 F3)의 단자 'CLK'로 인가되면, 각 플립플롭들(F0 내지 F3)의 각 출력신호(Q0 내지 Q3)는 인버터(I9)(도 3 참조)를 통해 '0' 상태로 반전되어 제2 전송부(123)(도 3 참조)로 전달된다. 이 때, 플립플롭(F0)의 경우에는 단자 'CINb'로 접지전압이 인가되는데 반해, 다른 플립플롭들(F1 내지 F3)의 경우에는 순번0에서 출력되는 출력 신호들(LCOUTb0 내지 LCOUTb2)이 인가된다. 이에 따라, 플립플롭(F0)의 경우, '0' 상태로 반전되는 출력신호(Q0)는 접지전압에 의해 제2 전송부(123)가 동작됨에 따라 제1 전송부(122) 및 제1 출력부(124)를 통해 출력된다. 그러나, 다른 플립플롭들(F1 내지 F3)의 경우, '0' 상태로 반전되는 출력신호(Q0)는 제2 전송부(123)가 동작되지 않음에 따라 그 출력경로가 차단되어 제1 출력부(124)의 래치부(L2)에 래치된 순번0에서의 출력신호가 그대로 출력된다. 따라서, 플립플롭들(F0 내지 F3)의 출력신호(Q0 내지 Q3)는 '1110'으로 천이된다.

상기에서 전술한 바와 같이, 플립플롭들(F0 내지 F3)의 각 출력신호(Q0 내지 Q3)는 각 단자 'CINb'로 입력되는 신호에 따라 결정된다. 예컨대, 플립플롭(F0)의 경우에는 접지전압에 따라 클럭신호(LPCLK)의 1펄스마다 출력신호(Q0)가 '0'에서 '1' 또는 '1'에서 '0'으로 교번적으로 천이한다. 플립플롭(F1)의 경우에는 플립플롭(F0)의 출력신호(LCOUTb0)에 따라 클럭펄스(LPCLK)의 2펄스 마다 출력신호(Q1)가 교번적으로 천이한다. 플립플롭(F2)의 경우에는 플립플롭(F1)의 출력신호(LCOUTb1)에 따라 클럭펄스(LPCLK)의 4펄스 마다 출력신호(Q2)가 교번적으로 천이한다. 플립플롭(F3)의 경우에는 플립플롭(F2)의 출력신호(LCOUTb2)에 따라 클럭펄스(LPCLK)의 8펄스 마다 출력신호(Q3)가 교번적으로 천이한다. 이러한, 반복적인 동작을 통해 프로그램 카운팅 회로부(100)는 진리표 1에 나타난 바와 같이 '1111', '1110', '1101', '1100', '1011',....., '0000'까지 순차적으로 디크리먼트(Decrement) 카운팅을 수행한다.

상기에서 전술한 프로그램 카운팅 회로부(100)의 동작 특성에 대한 다른 예 로서 도 5에 도시된 파형도 및 이 파형도에 따른 진리표 2를 참조하여 설명하면 다음과 같다.

<진리표 2>

LPRST	LPCLK(순번)	Q3	Q2	Q1	Q0
1	0	1	1	0	1
0	1	1	1	0	0
0	2	1	0	1	1
0	3	1	0	1	0
0	4	1	0	0	1
0	5	1	0	0	0
0	6	0	1	1	1
0	7	0	1	1	0
0	8	0	1	0	1
0	9	0	1	0	0

0	10	0	0	1	1
0	11	0	0	1	0
0	12	0	0	0	1
0	13	0	0	0	0
0	14	1	1	1	1
0	15	1	1	1	0

도 5는 퓨즈(F1 내지 F4)중 퓨즈(F2)만 컷팅(Cutting)하였을 경우(F2만 OFF 상태), 클럭신호(LPCLK)에 따라 각 플립플롭들(F0 내지 F3)로 출력되는 출력신호들(Q0 내지 Q3)의 파형도이다.

도 5 및 진리표 2를 참조하면, 우선 퓨즈들(F1 내지 F4)중 퓨즈(F2)를 제외한 모든 퓨즈들(F1, F3 및 F4)이 모두 'ON' 상태에서, 데이터 전송부(110)(도 2 참조)의 PMOS 트랜지스터들(PM1 내지 PM4)는 접지단자(Vss)로부터 인가되는 접지전압에 의해 동작되고, NMOS 트랜지스터들(NM1 내지 NM4)는 전원단자(Vdd)로부터 인가되는 전원전압에 의해 동작된다. 이에 따라, 각 PMOS 트랜지스터들(P1 내지 P4)을 통해 전달되는 전원전압중 퓨즈(F2)를 패스 경로로 하는 전원전압을 제외한 모든 전원전압은 카운팅부(120)로 전달된다. 즉, 플립플롭(F1)을 제외한 다른 플립플롭들(F0, F2 및 F3)의 단자 'D'에는 전원전압이 인가되고, 플립플롭(F1)의 단자 'D'에는 접지전압이 인가됨에 따라 제1출력부(124)(도 3 참조)로 출력되는 플립플롭들(F0 내지 F3)의 출력신호(Q0 내지 Q3)는 '1101' 상태로 셋팅된다.

이와 같이, 플립플롭들(F0 내지 F3)의 출력신호들(Q0 내지 Q3)이 '1101'으로 셋팅된 상태에서 리셋신호(LPRST)가 '0' 상태로 천이하고, 클럭신호(LPCLK)가 순차적으로 인가되면 프로그램 카운팅회로부(100)는 진리표 2에 나타난 바와 같이 '1101', '1100', '1011', '1010', '1001', '1000',....., '1110'까지 순차적으로 디크리먼트 카운팅을 수행한다.

지금까지, 도 4 및 도 5를 통해 설명한 프로그램 카운팅 회로부(100)는 퓨즈들(FUSE1 내지 FUSE4)의 상태(ON/OFF)에 따라 플립플롭들(F0 내지 F3)의 초기 카운팅값이 설정되고, 이렇게 설정된 초기 카운팅값부터 카운팅을 수행하도록 그 구성이 이루어진다. 또한, 이러한 플립플롭들(F0 내지 F3)의 출력신호들(Q0 내지 Q3)은 도 6에 도시된 디코딩 회로부(200)로 입력된다.

도 6을 참조하면, 디코딩 회로부(200)는 플립플롭들(F0 내지 F3)의 각 출력신호들(Q0 내지 Q3)을 반전시키기 위하여 다수의 인버터들(I11 내지 I14)을 포함하는 입력 반전부(210)와, 상기 출력신호들(Q0 내지 Q3)과 입력 반전부(210)의 출력신호를 논리 조합하여 디코딩신호들(STEP0 내지 STEP9)을 출력하는 디코딩 출력부(220)를 포함한다.

상기 디코딩 출력부(220)는 상기 출력신호들(Q0 내지 Q3)과 입력 반전부(210)의 출력신호들을 논리 조합하는 다수의 NOR 게이트들(NOR0 내지 NOR9) 과, 상기 NOR 게이트(NOR9)의 출력신호와 프로그램 인에이블 신호(PGMEN)를 래치하는 플립플롭(230)과, 상기 플립플롭(230)의 NOR 게이트(NOR10)의 출력신호(Q)를 반전시켜 각 NOR 게이트들(NOR0 내지 NOR9)의 입력단으로 전달하는 인버터(I15)를 포함한다.

상기 플립플롭(230)은 상기 NOR 게이트(NOR9)의 출력신호와 프로그램 인에이블신호(PGMEN)를 각각 입력으로 하는 두 개의 NOR 게이트들(NOR10 및 NOR11)로 이루어진 R-S(Reset-Set) 플립플롭의 구성을 가지며, 프로그램 인에이블신호(PGMEN)에 의해 디코딩 출력부(220)의 모든 출력신호들(STEP0 내지 STEP9)이 상기 출력신호들(Q0 내지 Q3)에 의해서만 영향을 받도록 하는 역할을 한다.

즉, 상기 플립플롭(230)은 프로그램 인에이블신호(PGMEN)가 '1' 상태로 입력되면 '1' 상태의 출력신호를 인버터(I15)로 출력하고, 이 상태는 NOR 게이트(NOR9)의 출력신호가 '0' 상태를 유지하는 동안 계속해서 유지된다. 한편, NOR 게이트(NOR9)의 출력신호가 '1' 상태로 천이하면 NOR 게이트(NOR11)의 출력신호(STEP9)는 '1' 상태로 천이한다.

상기에서 전술한 디코딩 회로부(200)의 동작 특성을 도 4에 도시된 출력신호들(Q0 내지 Q3)의 파형도를 입력으로 하여 나타낸 진리표 3과, 도 5에 도시된 출력신호들(Q0 내지 Q3)의 파형도를 입력으로 하여 나타낸 진리표 4를 참조하여 설명하면 다음과 같다.

<진리표 3>

LPCLK	Q3	Q2	Q1	Q0	STEP 9	STEP 8	STEP 7	STEP 6	STEP 5	STEP 4	STEP 3	STEP 2	STEP 1	STEP 0
0	1	1	1	1	0	0	0	0	0	0	0	0	0	1
1	1	1	1	0	0	0	0	0	0	0	0	0	1	0
2	1	1	0	1	0	0	0	0	0	0	0	1	0	0
3	1	1	0	0	0	0	0	0	0	0	1	0	0	0
4	1	0	1	1	0	0	0	0	0	1	0	0	0	0
5	1	0	1	0	0	0	0	0	1	0	0	0	0	0
6	1	0	0	1	0	0	0	1	0	0	0	0	0	0
7	1	0	0	0	0	0	1	0	0	0	0	0	0	0

8	0	1	1	1	0	1	0	0	0	0	0	0	0	0
9	0	1	1	0	1	0	0	0	0	0	0	0	0	0
10	0	1	0	1	0	0	0	0	0	0	0	0	0	0
11	0	1	0	0	0	0	0	0	0	0	0	0	0	0
12	0	0	1	1	0	0	0	0	0	0	0	0	0	0
13	0	0	1	0	0	0	0	0	0	0	0	0	0	0
14	0	0	0	1	0	0	0	0	0	0	0	0	0	0
15	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<진리표 4>

LPCLK	Q3	Q2	Q1	Q0	STEP 9	STEP 8	STEP 7	STEP 6	STEP 5	STEP 4	STEP 3	STEP 2	STEP 1	STEP 0
0	1	1	0	1	0	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	0	0	1	0	0
2	1	0	1	1	0	0	0	0	0	0	1	0	0	0
3	1	0	1	0	0	0	0	0	0	1	0	0	0	0
4	1	0	0	1	0	0	0	0	1	0	0	0	0	0
5	1	0	0	0	0	0	0	1	0	0	0	0	0	0
6	0	1	1	1	0	0	1	0	0	0	0	0	0	0
7	0	1	1	0	0	1	0	0	0	0	0	0	0	0
8	0	1	0	1	1	0	0	0	0	0	0	0	0	0
9	0	1	0	0	0	0	0	0	0	0	0	0	0	0
10	0	0	1	1	0	0	0	0	0	0	0	0	0	0
11	0	0	1	0	0	0	0	0	0	0	0	0	0	0
12	0	0	0	1	0	0	0	0	0	0	0	0	0	0
13	0	0	0	0	0	0	0	0	0	0	0	0	0	0
14	1	1	1	1	0	0	0	0	0	0	0	0	0	0
15	1	1	1	0	0	0	0	0	0	0	0	0	0	0

진리표 3 및 진리표 4를 참조하면, 카운팅부(120)(도 2 참조)의 각 플립플롭들(F0 내지 F3)의 출력신호들(Q0 내지 Q3)의 초기 카운팅값이 '1111'일 경우에는 디코딩 출력부(220)의 NOR 게이트들(NOR0 내지 NOR9)중 NOR 게이트(NOR0)가 우선적으로 선택된 후, 상기 플립플롭들(F0 내지 F3)의 카운팅에 의해 NOR 게이트들(NOR1 내지 NOR9)이 순차적으로 선택된다. 이에 따라, 디코딩 출력부(220)는 'STEP0', 'STEP1', 'STEP2', 'STEP3',....., 'STEP9' 순으로 순차적으로 출력신호를 출력한다.

한편, 각 플립플롭들(F0 내지 F3)의 출력신호들(Q0 내지 Q3)의 초기 카운팅값이 '1101'일 경우에는 디코딩 출력부(220)의 NOR 게이트들(NOR0 내지 NOR9)중 NOR 게이트(NOR1)가 우선적으로 선택된 후, 상기 플립플롭들(F0 내지 F3)의 카운팅에 의해 NOR 게이트(NOR2)부터 순차적으로 선택된다. 이에 따라, 디코딩 출력부(220)는 'STEP1', 'STEP2', 'STEP3', 'STEP4',....., 'STEP9, 'STEP0' 순으로 순차적으로 출력신호를 출력한다.

상기에서 전술한 바와 같이, 플립플롭들(F0 내지 F3)의 초기 카운팅값에 따라 디코딩 출력부(220)를 통해 순차적으로 출력되는 출력신호들(STEP0 내지 STEP9)은 도 7에 도시된 고전압 발생회로부(300)로 입력된다.

도 7을 참조하면, 고전압 발생회로부(300)는 전압분배부(310), 센스앰프(Sense Amplifier; S/A)로 이루어진 전압비교부(320), 승압회로부(330) 및 기준전압 발생부(미도시)를 포함한다.

상기 전압분배부(310)는 디코딩 출력부(220)(도 6 참조)의 출력신호들(STEP0 내지 STEP9)에 따라 전압비교부(320)로 분압전압(Va)을 출력하기 위하여 다수의 NMOS 트랜지스터들(NM9 내지 NM18)과, 다수의 저항소자들(R1 내지 R12)과, 프로그램 인에이블신호(PGMEN)에 따라 동작되는 NMOS 트랜지스터(NM19)를 포함한다.

상기 저항소자들(R1 및 R12)중 저항소자들(R1 및 R2)은 다른 저항소자들(R3 내지 R12)에 비해 비교적 큰 저항값을

가지며, 나머지 저항소자들(R3 내지 R12)은 순번대로 저항값이 순차적으로 증가하는 방향으로 설정된다. 이에 따라, 도 8에 도시된 파형도와 같이 상기 출력신호들(STEP0 내지 STEP9)의 선택되는 순번에 따라 프로그램 워드라인 전압(VPPI)을 일정 전위(Delta V)만큼 순차적으로 증가시킬 수 있다.
상기 NMOS 트랜지스터들(NM9 내지 NM18)의 드레인 단은 서로 접속되고, 소오스 단은 저항소자들(R3 내지 R12) 중 해당 저항소자의 일단에 각각 접속된다. 이렇게 접속되는 NMOS 트랜지스터들(NM9 내지 NM18)은 상기 출력신호들(STEP0 내지 STEP9)에 따라 동작되어 저항소자들(R1 및 R2)을 상기 저항소자들(R3 내지 R12)중 해당 저항소자(즉, 동작되는 NMOS 트랜지스터의 소오스 단과 접속되는 저항소자)를 제외한 나머지 저항소자들과 직렬접속시킨다.
예컨대, 프로그램 인에이블신호(PGMEN)에 의해 NMOS 트랜지스터(NM19)가 동작하는 상태에서, 상기 출력신호들(STEP0 내지 STEP9)중 출력신호(STEP0)가 선택되면, NMOS 트랜지스터(NM18)가 동작된다. 이에 따라, 저항소자(R12)를 제외한 나머지 저항소자들(R1 내지 R11)이 직렬로 접속되어 분배전압(Va)은 하기의 수학식 1과 같이 구해진다.

수학식 1

$$V_a = \frac{(R2+R3+R4+R5+R6+R7+R8+R9+R10+R11)}{R1+(R2+R3+R4+R5+R6+R7+R8+R9+R10+R11)} \times VPP$$

한편, 전압비교부(320)는 상기 전압분배부(310)에서 분배된 분배전압(Va)을 기준전압 발생부로부터 출력되는 기준전압(Vref)과 비교하여, 상기 분배전압(Va)이 기준전압(Vref)보다 작을 경우에는 승압회로부(330)를 통해 고전압(VPP)을 승압시켜 출력하고, 클 경우에는 승압회로부(330)을 동작시키지 않아 일정한 고전압(VPP)을 출력한다. 이와 같이, 출력되는 고전압(VPP)에 의해 프로그램 워드라인 전압들(VPPI0 내지 VPPI9)은 상기 출력신호들(STEP0 내지 STEP9)의 선택되는 순번에 따라 일정 전위(Delta V)만큼 순차적으로 증가한다.
상기에서 설명한 본 발명의 기술적 사상은 바람직한 실시예에서 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명은 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술적 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

발명의 효과

상술한 바와 같이, 본 발명에서는 외부 데이터를 퓨즈를 통해 입력받음에 따라 구현이 간단하고, 필요에 따라 프로그램 및 베리파이의 회수조절이 가능한 프로그램 카운팅 회로를 구현할 수 있다.
또한, 본 발명은 상기 프로그램 카운팅 회로를 이용하여 각 칩의 특성에 따라 프로그램 전압을 달리하여 각각의 칩의 프로그램 시간을 조절할 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1.

데이터를 입력받아 전달하기 위하여 다수의 퓨즈를 포함하는 데이터 전송부;
상기 데이터 전송부로부터 전달되는 상기 데이터를 초기 카운팅값으로 설정하기 위하여 리셋신호를 생성하는 카운팅 리셋부;
상기 리셋신호에 따라 상기 데이터를 초기 카운팅값으로 설정하고, 클럭신호에 따라 설정된 초기 카운팅값부터 카운팅을 순차적으로 수행하는 카운팅부;
상기 카운팅부의 출력신호를 디코딩하는 디코딩 회로부; 및
상기 디코딩 회로부의 출력신호에 따라 고전압을 발생하는 고전압 발생회로부를 포함하는 프로그램 워드라인 전압 발생회로.

청구항 2.

제 1 항에 있어서, 상기 데이터 전송부는,
전원전압을 상기 다수의 퓨즈의 일단으로 각각 전달하는 다수의 PMOS 트랜지스터; 및
접지전압을 상기 다수의 퓨즈의 타단으로 각각 전달하는 다수의 NMOS 트랜지스터를 더 포함하는 프로그램 워드라인 전압 발생회로.

청구항 3.

제 2 항에 있어서,
상기 다수의 PMOS 트랜지스터는 상기 다수의 NMOS 트랜지스터보다 큰 장채널을 가지는 프로그램 워드라인 전압 발생회로.

청구항 4.

제 1 항에 있어서,
상기 데이터는 전원전압 또는 접지전압인 프로그램 워드라인 전압 발생회로.

청구항 5.

제 1 항에 있어서,

상기 다수의 퓨즈는 반도체 메모리 제조공정시 형성되는 폴리 라인인 프로그램 워드라인 전압 발생회로.

청구항 6.

제 1 항에 있어서,
상기 카운팅부는 다수의 플립플롭을 포함하는 프로그램 워드라인 전압 발생회로.

청구항 7.

제 6 항에 있어서, 상기 다수의 플립플롭은,
상기 리셋신호에 따라 상기 데이터를 노드로 전달하는 셋팅부;
상기 노드로 전달되는 상기 데이터를 출력하는 제1 출력부;
상기 제1 출력부의 출력신호를 반전시키는 인버터;
제어신호 및 상기 클럭신호에 따라 상기 인버터의 출력신호를 상기 노드로 전달하는 전송부; 및
상기 제1 출력부의 출력신호와 상기 제어신호를 논리조합하여 출력하는 제2 출력부를 포함하는 프로그램 워드라인 전압 발생회로.

청구항 8.

제 7 항에 있어서,
상기 셋팅부는 상기 리셋신호에 따라 동작하여 상기 데이터를 상기 노드로 전달하는 전송게이트를 포함하는 프로그램 워드라인 전압 발생회로.

청구항 9.

제 7 항에 있어서, 상기 제1 출력부는,
상기 노드의 데이터를 래치하는 제1 래치부;
상기 클럭신호 및 상기 클럭신호의 반전신호에 따라 동작하여 상기 제1 래치부의 출력신호를 전달하는 전송게이트; 및
상기 전송게이트의 출력신호를 래치하여 출력하는 제2 래치부를 포함하는 프로그램 워드라인 전압 발생회로.

청구항 10.

제 7 항에 있어서, 상기 전송부는,
상기 제어신호에 따라 동작하여 상기 인버터의 출력신호를 전달하는 제1 전송게이트; 및
상기 클럭신호에 따라 동작하여 상기 제1 전송게이트의 출력신호를 상기 노드로 전달하는 제2 전송게이트를 포함하는 프로그램 워드라인 전압 발생회로.

청구항 11.

제 7 항 또는 제 10 항에 있어서,
상기 제어신호는 접지전압 또는 전단에 접속된 플립플롭의 제2 출력부의 출력신호인 프로그램 워드라인 전압 발생회로.

청구항 12.

삭제

청구항 13.

제 1 항에 있어서, 상기 디코딩 회로부는,
상기 프로그램 카운팅 회로부의 출력신호를 반전시키는 입력 반전부; 및
상기 프로그램 카운팅 회로부의 출력신호와, 상기 입력 반전부의 출력신호를 논리조합하여 출력하는 디코딩 출력부를 포함하는 프로그램 워드라인 전압 발생회로.

청구항 14.

제 13 항에 있어서, 상기 디코딩 출력부는,
상기 프로그램 카운팅 회로부의 출력신호와, 상기 입력 반전부의 출력신호를 논리 조합하는 다수의 NOR 게이트;
상기 다수의 NOR 게이트중 어느 하나의 NOR 게이트의 출력신호와 프로그램 인에이블 신호를 래치하는 플립플롭; 및
상기 플립플롭의 출력신호를 반전시켜 상기 다수의 NOR 게이트의 입력단으로 전달하는 인버터를 포함하는 프로그램 워드라인 전압 발생회로.

청구항 15.

제 14 항에 있어서,
상기 플립플롭은 R-S 플립플롭인 프로그램 워드라인 전압 발생회로.

청구항 16.

제 1 항에 있어서, 상기 고전압 발생회로부는,
상기 디코딩 회로부의 출력신호에 따라 전압을 분배하는 전압분배부;
기준전압을 발생하는 기준전압 발생부;
상기 전압분배부를 통해 분배된 분배전압과 상기 기준전압을 비교하는 전압비교부; 및
상기 전압비교부의 출력신호에 따라 고전압을 생성하는 승압회로부를 포함하는 프로그램 워드라인 전압 발생회로.

청구항 17.

제 16 항에 있어서, 상기 전압분배부는,
상기 디코딩 회로부의 출력신호에 따라 동작하는 다수의 NMOS 트랜지스터; 및

상기 NMOS 트랜지스터의 동작 상태에 따라 전압을 분배하는 다수의 저항소자를 포함하는 프로그램 워드라인 전압 발생회로.

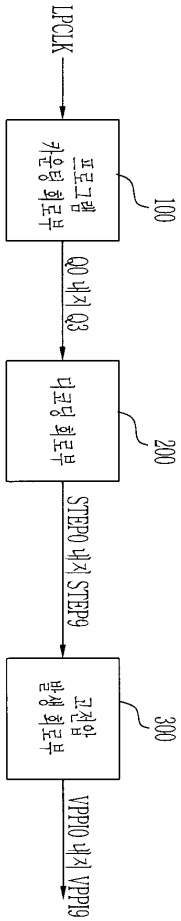
청구항 18.

제 17 항에 있어서,

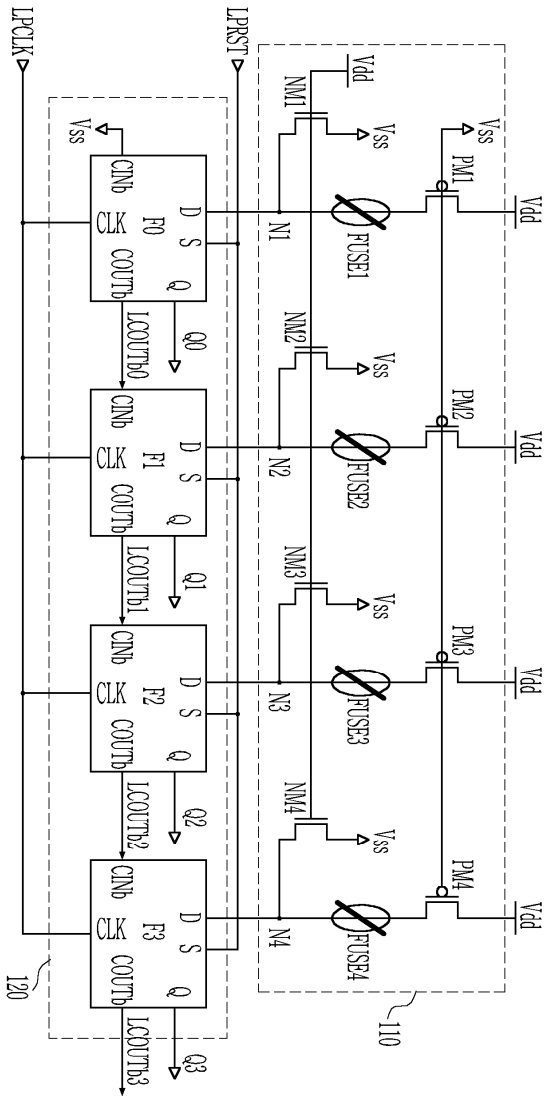
상기 다수의 저항소자는 서로 다른 저항값을 가지는 프로그램 워드라인 전압 발생회로.

도면

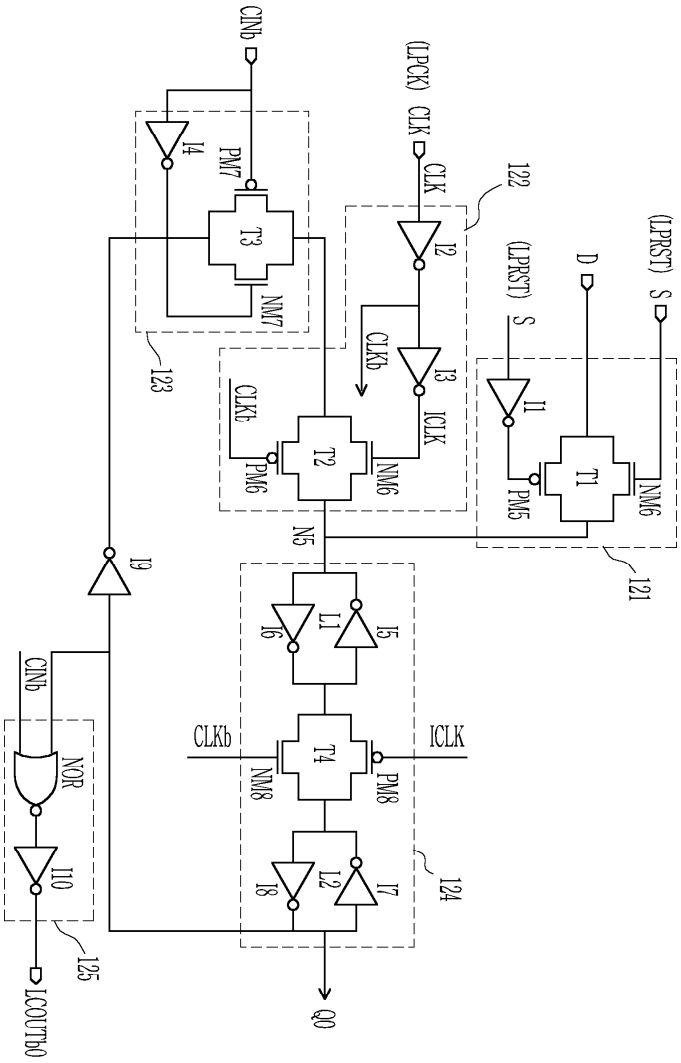
도면1



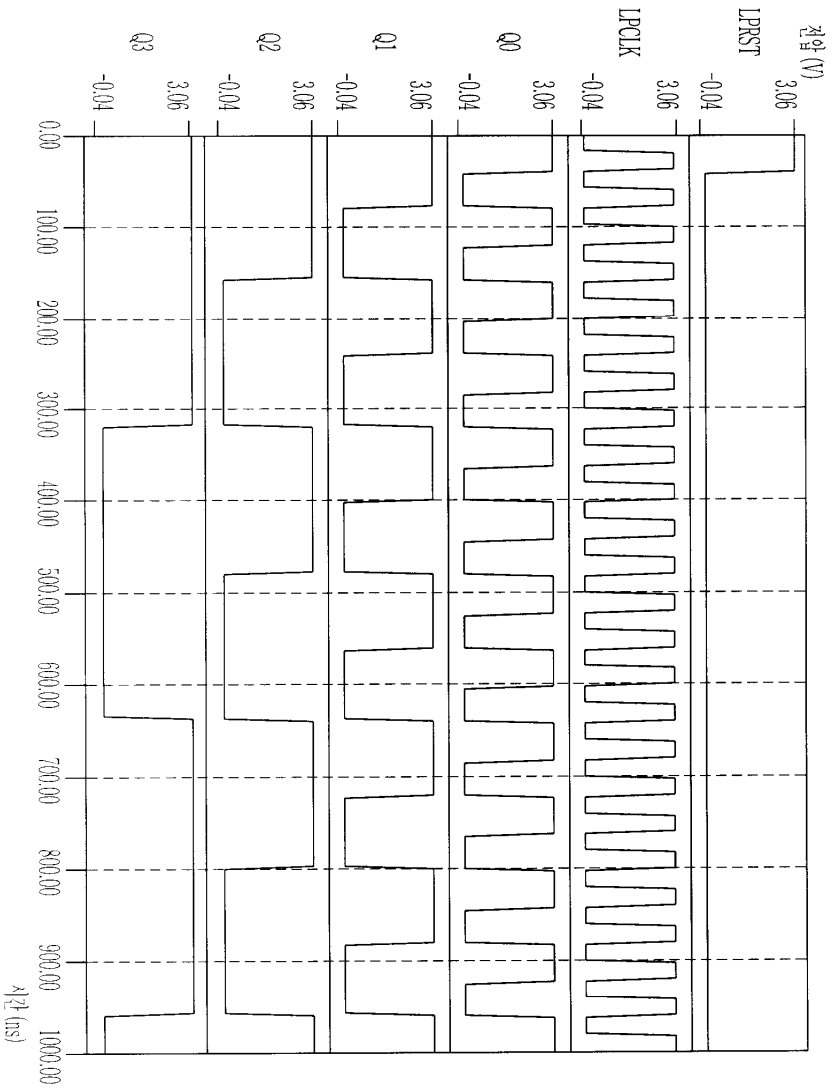
도면2


LPCLK
LPRST
Vdd
Vss
NM1
NM2
NM3
NM4
PM1
PM2
PM3
PM4
N1
N2
N3
N4
FUSE1
FUSE2
FUSE3
FUSE4
110
120
CINb
CLK
COUTb
D
S
Q
F0
F1
F2
F3
Q0
Q1
Q2
Q3
LCOUTb0
LCOUTb1
LCOUTb2
LCOUTb3

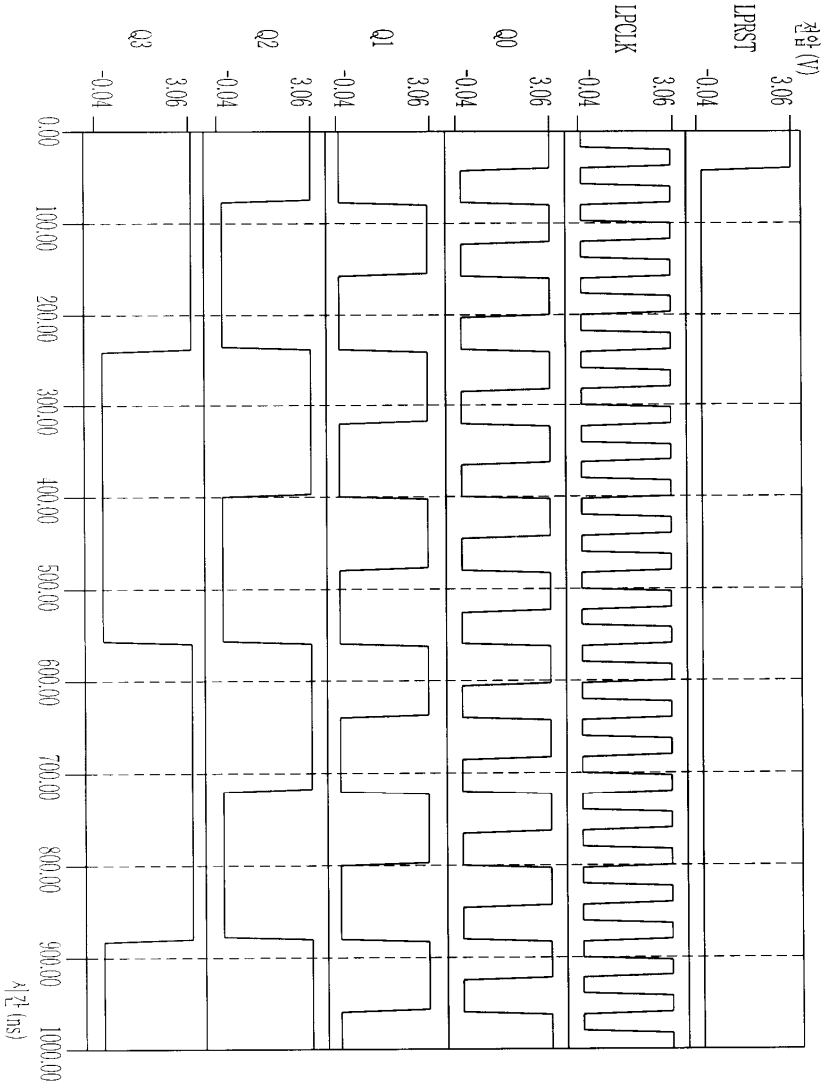
도면3


CINb
(LPCK) CLK
CLK
122
(LPRST) S
D
(LPRST) S
I4
PM7
T3
NM7
I2
CLKb
I3
ICLK
CLKb
T2
PM6
NM6
I1
T1
PM5
NM6
123
N5
121
I9
I6
L1
I5
CINb
CLKb
T4
ICLK
NM8
PM8
NOR
I8
L2
I7
124
I10
125
LCOUTb0
Q0

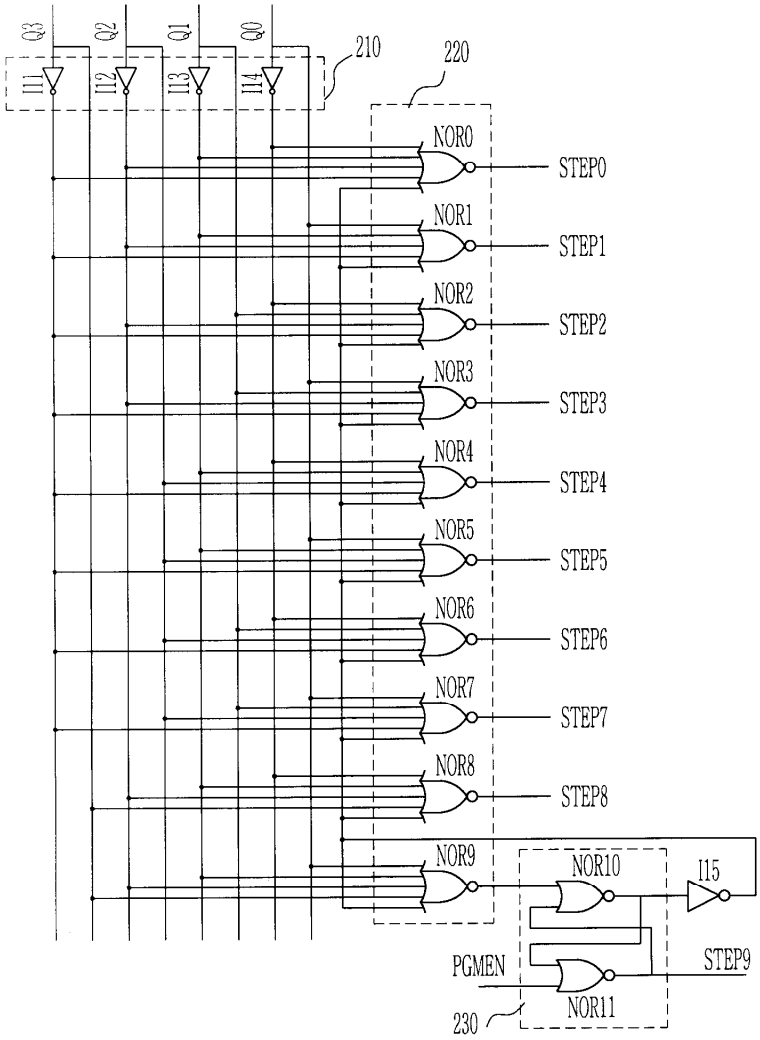
도면4


전압 (V)
LPRST
LPCLK
Q0
Q1
Q2
Q3
3.06
-0.04
0.00
100.00
200.00
300.00
400.00
500.00
600.00
700.00
800.00
900.00
1000.00
시간 (ns)

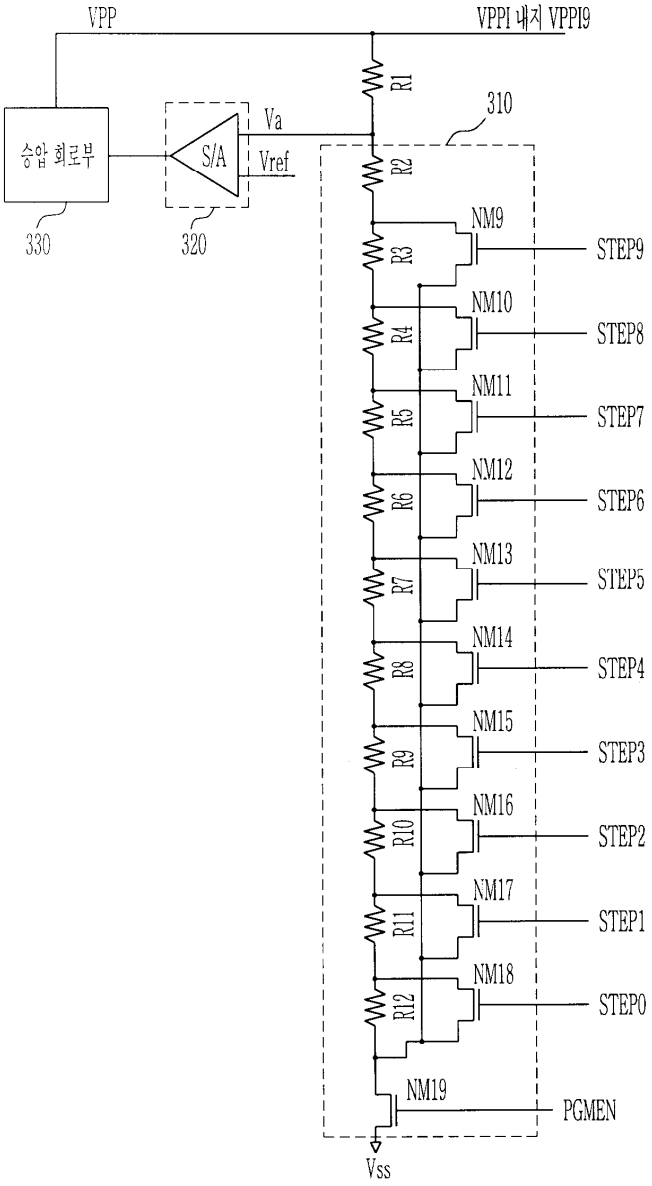
도면5


전압 (V)
LPRST
LPCLK
Q0
Q1
Q2
Q3
3.06
-0.04
0.00
100.00
200.00
300.00
400.00
500.00
600.00
700.00
800.00
900.00
1000.00
시간 (ms)

도면6


Q3
Q2
Q1
Q0
I11
I12
I13
I14
210
220
NOR0
STEP0
NOR1
STEP1
NOR2
STEP2
NOR3
STEP3
NOR4
STEP4
NOR5
STEP5
NOR6
STEP6
NOR7
STEP7
NOR8
STEP8
NOR9
NOR10
I15
PGMEN
STEP9
NOR11
230

도면7


VPP
VPPI 내지 VPPI9
R1
310
승압 회로부
S/A
Va
Vref
R2
330
320
NM9
R3
STEP9
NM10
R4
STEP8
NM11
R5
STEP7
NM12
R6
STEP6
NM13
R7
STEP5
NM14
R8
STEP4
NM15
R9
STEP3
NM16
R10
STEP2
NM17
R11
STEP1
NM18
R12
STEP0
NM19
PGMEN
Vss

도면8