



(12) 发明专利申请

(10) 申请公布号 CN 118922912 A

(43) 申请公布日 2024. 11. 08

(21) 申请号 202380026936.9

(22) 申请日 2023.03.10

(30) 优先权数据

FR2202859 2022.03.30 FR

(85) PCT国际申请进入国家阶段日

2024.09.11

(86) PCT国际申请的申请数据

PCT/EP2023/056240 2023.03.10

(87) PCT国际申请的公布数据

W02023/186498 FR 2023.10.05

(71) 申请人 索泰克公司

地址 法国伯尔宁

(72) 发明人 H·比亚尔 A·波捷 M·费拉托

P·勒费夫尔

(74) 专利代理机构 北京三友知识产权代理有限公司 11127

专利代理师 李栋修 龚泽亮

(51) Int. Cl.

H01L 21/02 (2006.01)

H01L 21/18 (2006.01)

G23C 16/00 (2006.01)

G30B 28/14 (2006.01)

G30B 29/36 (2006.01)

G30B 33/06 (2006.01)

H01L 21/04 (2006.01)

H01L 29/16 (2006.01)

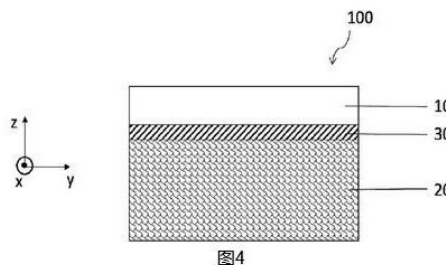
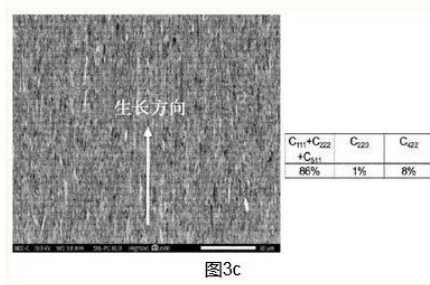
权利要求书2页 说明书9页 附图6页

(54) 发明名称

包含在多晶碳化硅支撑衬底上的单晶薄层的复合结构及相关制造方法

(57) 摘要

本发明涉及一种用于制造微电子组件的复合结构,其包括设置在多晶碳化硅支撑衬底上的单晶薄膜,所述支撑衬底具有优选的晶体取向,其中: $-C_{422}$ 织构系数小于30%;以及 $-C_{220}$ 织构系数大于60%,或 $C_{111}+C_{222}+C_{511}$ 织构系数的总和大于70%。本发明还涉及制造这种复合结构的方法。



1. 一种用于制造微电子组件的复合结构(100),其包括设置在由多晶碳化硅制成的支撑衬底(20)上的单晶薄层(10),所述支撑衬底(20)具有优选的晶体取向,其中:

- C_{422} 织构系数小于30%,特别是小于20%;以及

- C_{220} 织构系数大于60%,或 $C_{111}+C_{222}+C_{511}$ 织构系数的总和大于70%,特别是大于80%。

2. 如前述权利要求所述的复合结构(100),其中,所述支撑衬底(20)具有氮掺杂,并且电阻率小于30m Ω .cm。

3. 如前述权利要求中任一项所述的复合结构(100),其中,所述薄层(10)由碳化硅构成。

4. 如权利要求1和2中任一项所述的复合结构(100),其中,所述薄层(10)由金刚石构成。

5. 如前述权利要求中任一项所述的复合结构(100),其包含连续或不连续的中间层(30),所述中间层(30)设置在所述薄层(10)和所述支撑衬底(20)之间且由至少一种金属材料或半导体材料构成。

6. 如前述权利要求所述的复合结构(100),其中,所述中间层(30)由硅、碳化硅、钨和/或钛构成。

7. 如前述权利要求中任一项所述的复合结构(100),其中,所述 C_{422} 织构系数小于15%,甚至小于10%。

8. 如前述权利要求中任一项所述的复合结构(100),其中,所述支撑衬底(20)的厚度为50微米至800微米,优选为60微米至500微米。

9. 如前述权利要求中任一项所述的复合结构(100),其包含在所述薄层(10)上和/或在所述薄层(10)中的电子组件,并且可选地在所述支撑衬底(20)的背面包含电接触。

10. 一种用于制造所述复合结构(100)的方法,所述复合结构(100)包括设置在由多晶碳化硅制成的支撑衬底(20)上的单晶薄层(10),所述制造方法包括以下步骤:

a) 提供由多晶碳化硅制成的支撑衬底(20),所述支撑衬底具有优选的晶体取向,其中:

- C_{422} 织构系数小于30%,特别是小于20%;以及

- C_{220} 织构系数大于60%,或 $C_{111}+C_{222}+C_{511}$ 织构系数的总和大于70%,特别是大于80%;

b) 提供由单晶材料制成的供体衬底(1);

c) 将来自所述供体衬底(1)的薄层(10)转移到所述支撑衬底(20)上。

11. 如前述权利要求所述的制造方法,其中,所述转移步骤c)包括:

c1) 在所述供体衬底(1)中形成弱化埋置面(11),以界定在所述弱化埋置面(11)与所述供体衬底(1)的正面(1a)之间的所述薄层(10);

c2) 通过分子粘附键合,将所述供体衬底(1)直接或通过中间层(30)组装到所述支撑衬底(20)上;

c3) 沿所述弱化埋置面(11)进行分离,从而导致所述薄层(10)转移到所述支撑衬底(20)上。

12. 如前述权利要求所述的制造方法,其中,在组装两个衬底(1,20)之前,所述步骤c2)包括:

-在步骤c1)之前或之后,在所述供体衬底(1)上形成中间层(30);和/或

-在所述支撑衬底(20)上形成中间层(30),

所述中间层(30)由选自硅、碳化硅、钨、钛中的至少一种金属材料或半导体材料形成。

13. 如前述两项权利要求任一项所述的制造方法,其中,形成所述供体衬底(1)的单晶材料为碳化硅。

14. 如权利要求10至13中任一项所述的制造方法,其还包括在所述复合结构(100)的薄层(10)上和/或所述薄层(10)中制造电子组件。

15. 如前述权利要求所述的制造方法,其中,电子元件的制造特别包括在所述薄层(10)上的同质外延或异质外延步骤。

包含在多晶碳化硅支撑衬底上的单晶薄层的复合结构及相关制造方法

技术领域

[0001] 本发明涉及用于微电子组件的半导体材料领域。本发明特别涉及复合结构,其包含设置在由多晶碳化硅制成的支撑衬底上的单晶薄层。单晶薄层优选由碳化硅制成,复合结构旨在用于功率电子应用。

背景技术

[0002] SiC越来越广泛地应用于制造创新性功率组件,以满足日益增长的电子应用领域的需求,特别是诸如电动车辆。事实上,基于单晶碳化硅的功率组件及集成电源系统,能够处理比常规硅等效物高得多的功率密度,并且只需较小的有源区。

[0003] 尽管如此,用于微电子工业的高质量单晶SiC(c-SiC)衬底仍然昂贵,难以大量供应。因此,用于制造复合结构的层转移解决方案具有优势,该复合结构通常包含在较低成本的支撑衬底上(例如由多晶SiC(p-SiC)制成)的单晶SiC制成的薄层(从高质量c-SiC衬底获得)。然后可在该薄层上和/或该薄层中制造电子组件。

[0004] 一种众所周知的薄层转移解决方案为Smart Cut™法,其基于轻离子注入(light ion implantation)以及在单晶供体衬底与支撑衬底之间在键合界面处的直接键合组装。

[0005] 目前,市场上已有可作为支撑衬底的p-SiC衬底。然而,其机械特性、电特性甚至热特性对于由薄层转移方法获得、预计用于功率应用的高质量复合结构而言,未必是最合适的。

[0006] 如上所述,功率电子应用需要复合结构具有优异的垂直导电性。因此,可根据应用需求对单晶薄层进行掺杂:例如,具有N型掺杂,电阻率小于或等于30mΩ·cm、10mΩ·cm、甚至小于1mΩ·cm。然而,还需要确保复合结构的支撑衬底中具有良好的电导率。为此,通常会对多晶衬底进行重度掺杂(特别地,N型掺杂),以达到小于30mΩ·cm的电阻率。此外,必须将复合结构的组装界面设计为垂直电阻不会增加(或仅略微增加)的形式。

[0007] 然而,也有其它应用不需要垂直导电性,而是要求支撑衬底具有高电阻率:射频应用的情况尤其如此。下文列出的支撑衬底的其他特性(机械甚至热特性)均为这些RF应用以及功率应用所必需的。

[0008] 基于直接分子粘附键合的薄层转移方法,高度依赖组装衬底的表面质量。特别是需要小于或等于1nm RMS(均方根粗糙度)的粗糙度,以及非常低的表面缺陷程度(颗粒、孔隙等或可能产生键合缺陷的其他起伏),这对于支撑衬底和供体衬底都是如此。

[0009] SiC的硬度和单晶支撑衬底表面上晶粒的存在,使得表面制备非常复杂,难以达到完美质量。

[0010] 最后,需要使用表现出低曲率(curvature)或低变形的支撑衬底。曲率对应于偏转或“翘曲”,其相当于衬底相对于参考平面的偏差的代数差。一方面,需要低曲率,以便使这些支撑衬底与高质量的直接组装及高键合能兼容,另一方面,以便使支撑衬底不容易在转移方法过程中或之后因为高机械应力而在单晶薄层中造成损坏。低曲率对于确保在复合结

构薄层上/内的组件的制造步骤(例如,光刻)的性能也很重要。p-SiC支撑衬底的曲率半径(与翘曲的倒数成正比)通常旨在大于约25m,即例如,对150mm直径衬底而言,曲率(“翘曲”)小于或等于100微米(为了简单起见,本文其余部分均将 μm 称为“微米”)。

[0011] 此外,为了有效地排出特别是功率组件所产生的热,支撑衬底能够确保良好的导热率通常是重要的。

[0012] 在p-SiC衬底上实现所有这些规格非常复杂。

[0013] 文献US10934634提出了一种p-SiC衬底,该衬底两个面之间的晶粒尺寸变化率小于0.43%,产生大于142m的曲率半径。此外,所述衬底至少一面表现出小于1nm的算术平均粗糙度。

[0014] 然而,这种方法仍然昂贵,是高能源和材料密集型的,因为要获得所提出的p-SiC衬底,最初沉积在石墨衬底上的p-SiC有相当大部分会被移除和损耗(通常最初沉积2mm,以形成350微米的p-SiC衬底)。

发明内容

[0015] 本发明提出了一种复合结构,其包含设置在p-SiC支撑衬底上的由单晶材料(特别是c-SiC)制成的薄层。本发明还涉及制造这类复合结构的方法。

[0016] 发明概述

[0017] 本发明涉及一种用于制造微电子组件的复合结构,其包括设置在由多晶碳化硅制成的支撑衬底上的单晶薄层,所述支撑衬底具有优选的晶体取向,其中:

[0018] $-C_{422}$ 织构系数(texture coefficient)小于30%,特别是小于20%;以及

[0019] $-C_{220}$ 织构系数大于60%,或 $C_{111}+C_{222}+C_{511}$ 织构系数的总和大于70%,特别是大于80%。

[0020] 根据本发明的其他优势以及非限制性特征(其可单独或根据任何技术上可行的组合考虑):

[0021] • 支撑衬底具有氮掺杂,电阻率小于30m $\Omega\cdot\text{cm}$;

[0022] • 薄层由碳化硅构成;

[0023] • 薄层由金刚石构成;

[0024] • 复合结构包括连续或不连续的中间层,其设置于薄层及支撑衬底之间且由至少一种金属或半导体材料构成;

[0025] • 中间层由硅、碳化硅、钨、和/或钛构成;

[0026] • C_{422} 织构系数小于15%,甚至小于10%;

[0027] • 支撑衬底的厚度范围在50微米及800微米之间,优选在60微米及500微米之间。

[0028] • 复合结构包含在薄层上和/或在薄层中的电子组件,并且可选地包含位于支撑衬底背面的电接触。

[0029] 本发明还涉及一种用于制造复合结构的方法,该复合结构包含设置在由多晶碳化硅制成的支撑衬底上的单晶薄层,该制造方法包括以下步骤:

[0030] a) 提供由多晶碳化硅制成的支撑衬底,该支撑衬底具有优选的晶体取向,其中:

[0031] $-C_{422}$ 织构系数小于30%,特别是小于20%;以及

[0032] $-C_{220}$ 织构系数大于60%,或 $C_{111}+C_{222}+C_{511}$ 织构系数的总和大于70%,特别是大于

80%；

[0033] b) 提供由单晶材料制成的供体衬底；

[0034] c) 将来自供体衬底的薄层转移到支撑衬底上。

[0035] 根据本发明的其他优势以及非限制性特征(其可单独或根据任何技术上可行的组合考虑)：

[0036] • 转移步骤c) 包括：

[0037] c1) 在供体衬底中形成弱化埋置面, 以将所述薄层界定在该弱化埋置面与供体衬底的正面之间；

[0038] c2) 通过分子粘附键合, 将供体衬底直接或通过中间层组装到支撑衬底；

[0039] c3) 沿弱化埋置面进行分离, 以导致将薄层转移到支撑衬底上；

[0040] • 在接合两个衬底之前, 步骤c2) 包括：

[0041] -在步骤c1) 之前或之后, 在供体衬底上形成中间层；和/或

[0042] -在支撑衬底上形成中间层,

[0043] 中间层(30) 由选自硅、碳化硅、钨和钛中的至少一种金属或半导体材料形成；

[0044] • 形成供体衬底的单晶材料为碳化硅；

[0045] • 该制造方法还包括在复合结构的薄层上和/或薄层中制造电子组件；

[0046] • 电子组件的制造尤其包括在薄层上的同质外延或异质外延步骤。

附图说明

[0047] 本发明的进一步特点和优点将从以下参考附图提供的本发明的详细描述而变得显而易见, 其中：

[0048] [图1] 图1示出了本发明的复合衬底；

[0049] [图2] 图2示出了10个衍射峰的列表, 其根据递增米勒指数(hk1)分类、在3C多型SiC衬底中考虑并可通过X光衍射测量；该表还显示了峰的位置及其理论强度；

[0050] [图3a]

[0051] [图3b]

[0052] [图3c] 图3a、3b、3c示出了在不同条件下制造并具有不同优选晶体取向或织构的支撑衬底的显微照片(SEM), 实现其以制造本发明的复合结构；

[0053] [图4] 图4示出了本发明的复合衬底；

[0054] [图5a]

[0055] [图5b]

[0056] [图5c]

[0057] [图5c']

[0058] [图5c'']

[0059] [图5d] 图5a、5b、5c、5c'、5c''及5d示出了本发明的制造方法的步骤；

[0060] [图6] 图6示出了五种类型的支撑衬底的生产条件和相关特征, 其中支撑衬底2、3和4适用于本发明的复合结构。

[0061] 图中相同附图标记可用于相同类型的组件。出于易读性的目的, 有些图为未按比例绘制的示意图。特别地, 沿z轴的层厚度相对于沿x轴及y轴的横向尺寸不成比例；且层的

相对厚度并不一定按图中绘制。

具体实施方式

[0062] 本发明涉及一种特别适用于制造微电子组件的复合结构100,其包含单晶薄层10,特别是由碳化硅、金刚石、硅、II-VI或III-V族半导体化合物(例如,AlN、GaN等)或甚至氧化镓(Ga₂O₃)制成的单晶薄层,该薄层设置在由多晶碳化硅制成的支撑衬底20上(图1)。

[0063] 在主平面(x,y)中,复合结构100优选为具有直径100mm、150mm、200mm或甚至更大尺寸的圆形晶片的形式。然而,也可为允许对其处理以制造组件的任何其他形式。复合结构100的厚度沿图中的z轴延伸。

[0064] 复合结构100的薄层10的厚度范围通常在几十nm至几百nm之间,例如50nm至800nm之间。从下文中可看出,可在所述薄层10上进行外延步骤,以便使其增厚(同质外延)或生长其他材料(异质外延),以满足待制造的电子组件的需求。

[0065] 薄层10表现出适合于应用以及目标组件的电阻率。例如,对于功率组件而言,薄层的电阻率通常小于30mΩ·cm、10mΩ·cm或甚至1mΩ·cm,并且具有N型掺杂(氮掺杂)。对于RF组件而言,薄层的电阻率可大于1000Ω·cm或甚至10kΩ·cm,例如未经特定掺杂或添加钒。

[0066] 支撑衬底20,顾名思义,相当于复合结构100的机械支撑。支撑衬底20的主平面(x,y)的横向尺寸(特别是其直径)与复合结构100尺寸相同。应注意,由于转移方法,薄层10可具有略小的横向尺寸:事实上,支撑衬底20的外围环通常没有薄层10,因为衬底20边缘的凸缘或倒角会阻碍所述层10的组装及有效应用。

[0067] 在复合结构100中,支撑衬底20的厚度通常范围在几百微米和大约50微米之间,例如,在800微米和50微米之间,特别是在500微米和60微米之间,或甚至在350微米和100微米之间。

[0068] 当需要良好的垂直导电性时(功率应用),支撑衬底20具有小于30mΩ·cm、15mΩ·cm或甚至小于10mΩ·cm的电阻率。当薄层10为N型时,支撑衬底20通常选择相同的掺杂类型,即典型的氮掺杂。为了实现前述的低电阻率,氮浓度(可通过二次离子质谱法测量)通常大于5E19原子/cm³,优选大于或等于1E20原子/cm³,或甚至大于或等于1.5E20原子/cm³。

[0069] 当支撑衬底需要高电阻率时(大于1000Ω·cm,或甚至大于10kΩ·cm,或甚至更大),则p-SiC支撑衬底20由非常纯的前体(例如,甲基三氯硅烷)和/或添加杂质(诸如钒)而制造。

[0070] 由3C多型p-SiC制成的支撑衬底20也具有优选的晶体取向。在此情况下,优选晶体取向的特征在于特定比例的各种织构系数。

[0071] 织构系数可以百分比表示,可量化支撑衬底20的微晶相对于所述衬底20表面的法线(normal)的优选平均取向。作为提示,织构系数可通过G.Harris("X.Quantitative measurement of preferred orientation in rolled uranium bars",Philosophical Magazine Series 7,43:336,113-123,1952)描述的方法测量。实际上,织构系数由X射线衍射仪收集的衍射峰而测量的,其使用在10°至135°角度范围内的 $\theta-2\theta$ 方法(2 θ 标度)。在此范围内,3C多型SiC衬底可考虑表中(图2所示)列出且根据递增米勒指数(Miller indices,

hkl) 进行分类的十个衍射峰。

[0072] 织构系数 C_{hkl} 基于峰值强度 I_{hkl} (其与样本峰下方的面积成正比) 及粉末的理论强度 $I_{0\ hkl}$ (其可基于ICDD (国际衍射数据中心) 公开的理论百分比而获得) 而计算。织构系数 C_{hkl} 表示如下:

[0073] $C_{hkl} = (I_{hkl}/I_{0\ hkl}) / (1/N \times \sum (I_{hkl}/I_{0\ hkl}))$, 其中N为考虑的峰值数目。

[0074] 根据第一替代性实施方式, 支撑衬底20的优选晶体取向的特征在于 C_{422} 织构系数小于30%且 C_{220} 织构系数大于60%。

[0075] 根据第二替代性实施方式, 支撑衬底20的优选晶体取向的特征在于 C_{422} 织构系数小于30%, 且 $C_{111}+C_{222}+C_{511}$ 织构系数的总和大于70%的事实。

[0076] 优选地, 对于所述替代性实施方式的任意一种, C_{422} 织构系数小于20%、小于15%、或者甚至小于10%。

[0077] 优选地, 根据第二替代性实施方式, $C_{111}+C_{222}+C_{511}$ 织构系数的总和大于80%。

[0078] 图3a、3b及3c示出了本发明的复合结构100的支撑衬底20的织构的三个示例。这些图像由扫描电子显微镜 (SEM) 在横向平面 (y, z) (即在支撑衬底20的横截面) 中的背向散射电子 (EBSD) 获得。在图3a及3b右侧, 作为说明, 织构三角形包含以不同白色符号标记的某些刻面 (facet); 作为说明, 所述符号也应用于SEM图像的某些织构。相关的主要织构系数百分比显示在三个图3a、3b及3c中的SEM图像右侧。

[0079] 优选织构 (根据上述两个替代性实施方式) 结合高掺杂 (当需要垂直导电时) 可获得符合复合结构100中所期望的物理、机械和电气规格的支撑衬底20, 即:

[0080] - 优异平坦度 (低曲率);

[0081] - 低电阻率 (当需要应用和在复合结构100上制造组件时); 以及

[0082] - 良好热导率 (特别是在第一所述替代性实施方式的情况下)。

[0083] 支撑衬底20的曲率半径大于25m, 有利地大于或等于50m。例如, 150mm直径的支撑衬底20具有小于或等于100微米, 或甚至50微米的曲率 (或“翘曲”), 而200mm直径的支撑衬底20具有小于或等于150微米, 或甚至70微米的曲率 (或“翘曲”)。

[0084] 支撑衬底20的曲率半径范围使得所述衬底与设有单晶薄层10的复合结构100的规格、用于制造此类结构100的方法、以及后续在薄层10上和/或在薄层10中的微电子组件制造完美相容。需要注意的是, 复合结构100的曲率仍然接近于支撑衬底20的曲率。

[0085] 根据本发明的一个特定实施方式, 复合结构100包括连续或不连续的中间层30, 其设置于薄层10及支撑衬底20之间且由至少一种金属材料或半导体材料构成 (图4)。如下文所述, 参考用于制造复合结构100的方法, 在沿键合界面40进行组装前, 可在薄层10一侧、支撑衬底20一侧、或两侧上形成中间层30。

[0086] 例如, 中间层30可由硅、碳化硅、钨和/或钛构成。其厚度范围通常在数nm及数百nm厚之间, 优选在2nm及50nm之间。

[0087] 本发明还涉及一种用于制造复合结构100的方法。

[0088] 该方法包括提供由多晶碳化硅制成的支撑衬底20的第一步骤a), 该支撑衬底具有优选晶体取向, 其中:

[0089] - C_{422} 织构系数小于30%, 特别是小于20%、小于15%或甚至小于10%; 以及

[0090] - C_{220} 织构系数大于60%, 或 $C_{111}+C_{222}+C_{511}$ 织构系数的总和大于70%, 特别是大于

80%。

[0091] 优选地,为了解决功率电子应用,支撑衬底20具有氮掺杂,使电阻率达到小于30mΩ·cm、15mΩ·cm或甚至小于10mΩ·cm。

[0092] 支撑衬底20的曲率半径大于25m,有利地大于或等于50m。

[0093] 步骤a)实施化学气相沉积(Cheical Vapour Deposition,CVD)技术。此技术涉及一种气体混合物,其包括至少一种硅前体气体(诸如硅烷或氯硅烷)和/或至少一种碳前体气体(诸如烷烃或烯烃),和/或至少一种硅及碳前体气体(诸如甲基三氯硅烷,缩写为MTCS)且如果需要,至少一种含氮(例如, NH_3 、 N_2H_4 、 N_2)的掺杂气体。所述掺杂气体也可为碳和/或硅前体(例如,胺,诸如 H_2NCH_3)。这类气体可在载体中稀释,该载体可为诸如氢气等还原性气体和/或诸如氩气等惰性气体。

[0094] 这种气体混合物在高温下进入反应器,其中前体气体分解并在晶种表面上反应,该晶种优选由细晶粒且纯化的等静压石墨制成,从而形成3C-SiC多型体,其耐机械性和耐热性、热膨胀系数和纯度与复合结构100的规格完美兼容。此外,3C-SiC多型体可掺杂非常高水平的氮,通常为 10^{20} 原子/ cm^3 ,因此表现出的电阻率小于30mΩ·cm,而不会降低衬底质量,降低衬底质量将不利于复合结构的质量,随后影响微电子组件的性能能力。最后,其为能承受高温方法的材料,在制造复合结构100及组件时,支撑衬底20必须经受该高温方法。

[0095] 在SiC的CVD沉积期间的反应器温度应在约1000°C和约1600°C之间,优选在约1100°C和约1400°C之间。在此温度范围内,沉积速率可在相当宽的范围内变化,从1微米/小时至超过100微米/小时。有利地,反应器中的总压力不超过350mbar或甚至300mbar。

[0096] 通过改变CVD法的参数,诸如温度、前体的分压以及可能的掺杂气体的百分比,可改变沉积p-SiC层的晶体取向/织构。

[0097] 在沉积之后,对涂覆有厚SiC沉积层的石墨晶种进行机械加工,随后在空气中氧化,通常在900°C下,以便移除任何石墨残留物。应注意,石墨晶种的移除也仅通过机械加工技术或甚至基本上通过燃烧/氧化而进行。

[0098] 晶种的每个面都回收p-SiC裸晶片(raw p-SiC wafer)。由于沉积层的应力释放,p-SiC裸晶片呈现曲率。可以使用扫描p-SiC晶片表面的共焦白光传感器来测量这种曲率。

[0099] 随后,通过粗磨而后细磨以薄化p-SiC裸晶片,并通过抛光进行表面处理,以便得到具有上文所述的当描述复合结构100时的关键特征的p-SiC支撑衬底20。特别地,研磨步骤的目的在于从与石墨接触的晶片面一侧移除足够的厚度。这去除了产生显著应力的初始晶体生长区。

[0100] 重要的是,p-SiC裸晶片的曲率保持在合理范围内,从而能够从具有经济可行厚度的裸晶片制造低曲率的支撑衬底20。例如,直径150mm且厚度小于900微米的p-SiC裸晶片的曲率(“翘曲”)目标为小于或等于250微米。因此,在研磨和抛光之后,可以获得厚度通常小于500微米且曲率(“翘曲”)小于100微米、或小于50微米、或甚至小于30微米的支撑衬底20。

[0101] 图6示出了具有各种p-SiC沉积条件(温度、前体气体、压力、掺杂气体的摩尔分数)和所得机械、电和热特性的列表。样本2、3和4代表本发明的复合结构100的支撑衬底20;其织构分别如图3c、3a和3b所示。

[0102] 样本1和5无法达到制造高质量复合结构100所需的规格(电阻率、曲率),因此没有落入本发明的范围内。这些样本的织构不利于低曲率,并且表面20a上的晶粒尺寸比样本2、

3和4的更大且更不均匀,因此更难以制备其表面和获得直接组装所需的表面光洁度(surface finish)。

[0103] 旨在接受薄层10的支撑衬底20的表面20a(图5a)优选表现出小于或等于1nm RMS的粗糙度(通过原子力显微技术以20微米x 20微米的扫描来测量),且甚至更优选地小于或等于0.5nm RMS。旨在形成复合结构100背面的支撑衬底20表面可表现出较高的表面粗糙度,例如10nm RMS数量级。

[0104] 该方法的步骤a)可以可选地包括在大于或等于1500°C,通常在1500°C和2000°C之间的温度下,施加至支撑衬底20的热处理,以稳定多晶结构。事实上,这些温度范围有可能在用于制造复合结构100的方法中的后期施加。

[0105] 随后,本发明的制造方法包括提供由单晶材料制成的供体衬底1的步骤b),薄层10将从该供体衬底取得(图5a)。如上所述,参考复合结构100,单晶材料可为4H、6H或3C多型碳化硅、金刚石、硅、II-IV或III-V族半导体化合物(特别是GaN)等。供体衬底1优选为具有100mm、150mm、200mm或甚至更大直径(与支撑衬底20的直径相同或非常接近)且厚度通常范围在300微米和800微米之间的晶片形式。其具有正面1a和背面1b。正面1a的表面粗糙度有利地选定为小于1nm RMS或甚至小于0.5nm RMS,如通过原子力显微法(AFM)以20微米x 20微米的扫描来测量的。供体衬底1的掺杂类型和电阻率,是根据要制造在复合结构100的薄层10上和/或薄层1中的组件需求确定的。

[0106] 最后,所述方法包括将来自供体衬底1的薄层10转移至支撑衬底20上的步骤c)。现有技术中已知有各种用于层转移的选项(在供体衬底1的多孔层上的机械、化学或机械化学薄化、分离等),在此不再详述。

[0107] 根据一个优选的实施方式,该方法的步骤c)涉及根据Smart Cut™法的原理注入轻质元素并通过直接键合组装。

[0108] 第一步骤c1)对应于将轻质元素引入供体衬底1中以形成弱化埋置面11,弱化埋置面11与供体衬底1的正面1a界定出待转移的薄层10(图5b)。需要注意的是,尽管待转移的薄层10显示为连续层,但其也可由诸如在供体衬底1表面上制备的不连续区块组成。

[0109] 轻质元素优选为氢、氦或这两种元素的共同注入,并被注入在供体衬底1中的预定深度,与薄层10的目标厚度一致。这些轻质元素将围绕该预定深度形成微空腔,微空腔分布在平行于供体衬底1的自由表面1a(即平行于图中的平面(x,y))的极薄层(fine layer)中。为简洁起见,将此极薄层称为弱化埋置面11。

[0110] 选择轻质元素的注入能量以便达到预定深度。例如,以范围在10keV与250keV之间的能级和范围在 $5^{E}16/\text{cm}^2$ 与 $1^{E}17/\text{cm}^2$ 之间的剂量注入氢离子,以便界定出具有大约100nm至1500nm厚度的薄层10。应注意,在离子注入步骤之前,可在供体衬底1的正面1a上沉积保护层。此保护层可由诸如氧化硅或氮化硅等材料组成。保护层在下一阶段之前被移除。

[0111] 随后,转移步骤c)包括第二阶段c2),即将供体衬底1的正面1a一侧沿键合界面40通过分子粘附键合组装到支撑衬底20的第一面20a的一侧(图5c)。

[0112] 可选地,在引入轻质元素的阶段c1)之前或之后,在任何情况下,在组装阶段之前,可在供体衬底1的正面1a上形成中间层30。该中间层30可由半导体材料(例如,硅或碳化硅)或金属材料(诸如钨、钛)等制成。中间层30的厚度有利地通常限制在几纳米与几十纳米之间。

[0113] 在中间层30在第一阶段c1)之前形成的情况下,可在该额外层的交叉处调整轻质元素的注入能量(和可能的剂量)。在中间层30在第一阶段c1)之后形成的情况下,则小心地通过施加低于起泡热预算的热预算来形成此层,所述起泡热预算对应于在供体衬底1的表面上出现气泡,这是由于弱化埋置面11中的微空腔的过高生长和加压所致。

[0114] 可选地,在组装阶段之前,中间层30也可沉积在待组装的支撑衬底20的面上;其可选定为与对于供体衬底1所提及的中间层4具有相同性质或不同性质。中间层30可以可选地沉积在待组装的两个衬底1、10中的任何一个上。

[0115] 一个或多个中间层的目的基本上在于提高键合能量(特别是在低于1100°C的温度范围内),这归因于与在两个直接组装的SiC表面的情况下相比,在更低的温度下形成共价键;这个(这些)中间层的另一优势为可改善键合界面40的垂直导电性。

[0116] 一个或多个中间层30预计在组装后埋置在键合组件50中(图5c'、5c''),且最终埋置在复合结构100中。即使中间层30在一个和/或另一个衬底1、20上形成时是连续的,但在后续的热处理期间,其可被分段且具有不连续的性质。当所述层的初始厚度非常低时,通常小于10nm,基本上就是这种情况。

[0117] 进一步参考组装阶段c2)的描述,众所周知,直接分子粘附键合不需要粘合材料,因为键合是在组装表面之间的原子水平上建立的。分子粘附键合有多种类型,在其温度条件、压力条件、气氛条件或使表面接触之前的处理方面特别不同。可以举出室温键合(无论是否事先对要组装的表面进行等离子活化)、原子扩散键合(ADB)、表面活化键合(SAB)等。

[0118] 组装阶段c2)可在将待组装的面1a、20a接触之前,包括化学清洁(例如,RCA清洁)、表面活化(例如,通过氧气或氮气等离子体)或其他表面处理(诸如通过刷洗(擦洗)清洁)的常规程序,其可提升键合界面40的质量(低缺陷率、高粘附能)。

[0119] 最后,第三阶段c3)包括沿弱化埋置面11的分离,其导致薄层10被施加到支撑衬底20上(图5d)。

[0120] 沿弱化埋置面11的分离通常通过在800°C与1200°C之间的温度范围内施加热处理来进行。此热处理导致在弱化埋置面11中产生空腔和微裂纹,使它们受到气态形式存在的轻质元素的压力,直到裂缝沿所述弱平面11传递。或者,或共同地,可对键合组件(特别是对弱化埋置面11)施加机械应力,以传递或协助导致分离的断裂的机械传递。在完成此分离之后,一方面获得包括支撑衬底20和转移薄层10的复合结构100,另一方面则获得供体衬底的剩余部1'。薄层10的掺杂程度和类型由供体衬底1的性质的选择来界定,或可随后通过用于掺杂半导体层的已知技术来调整。

[0121] 薄层10的自由表面10a在分离后通常是粗糙的:例如,其粗糙度在5nm与100nm RMS之间。可应用清洁和/或平滑化阶段以恢复良好的表面光洁度(通常,粗糙度小于几埃RMS)。特别地,这些阶段可包含薄层20自由表面的机械化学平滑化处理。去除50nm至300nm可有效地恢复所述层10的表面光洁度。所述阶段还可包括在温度范围1200°C至1800°C的至少一次热处理。施加此热处理以移除薄层10上残留的轻质元素,并促进薄层10的晶格的重排。它还能使结合界面40得到加强。热处理还可以包含或对应于薄层10上的外延,以增加其厚度(例如,在c-SiC薄层10上的c-SiC同质外延、在c-SiC薄层10上的GaN异质外延等)。

[0122] 最后,需要注意的是,转移步骤c)可包括供体衬底的剩余部1'的再调理(reconditioning)步骤,以重新作为新复合结构100的供体衬底1。可对剩余衬底1'的正面1

实施与应用于复合结构100类似的机械和/或化学处理。

[0123] 所得的复合结构100对于极高温热处理极其强固,所述热处理可用于改善薄层10的质量或制造在所述层10上和/或在所述层中的组件。复合结构100中的支撑衬底20是稳定的,且在制造复合结构100期间和之后对其施加的高温热处理过程中,其曲率不会过度地增加。

[0124] 本发明的复合结构100尤其适于制造一种(或多种)高电压微电子组件,例如,肖特基二极管(Schottky diode)、MOSFET晶体管等。更普遍而言,其适用于功率微电子应用,实现优异垂直热导率、良好热导性并提供高质量的c-SiC薄层。

[0125] 利用电阻性的支撑衬底20,复合结构100也可适用于射频应用,其物理和潜在热特性非常适于制造RF电子组件。

[0126] 当然,本发明不限于已经描述的实施方式和实施例,在不脱离权利要求书所定义的本发明范围的前提下,可以增加其他实施方式。

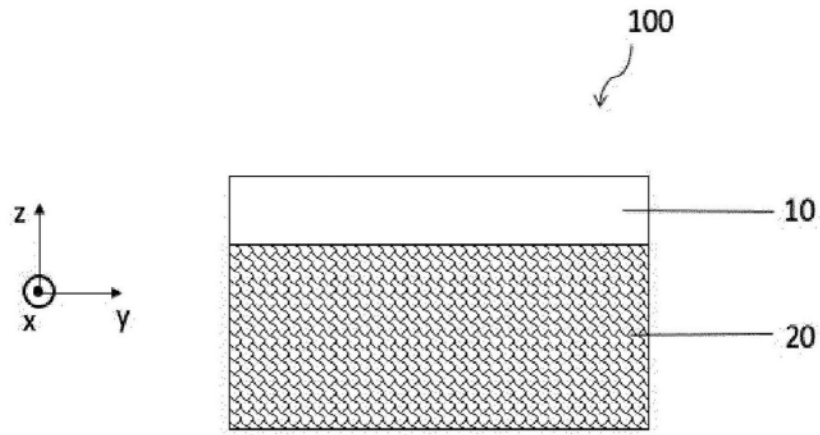


图1

hkl	峰的位置 2θ [°]	理论强度 I_0 [%] (来源 ICDD)
111	[34,940° - 36,345°]	100
200	[41,230° - 41,584°]	23
220	[59,494° - 60,452°]	57
311	[71,167° - 72,348°]	48
222	[75,303° - 75,749°]	10
400	[89,575° - 90,298°]	12
331	[100,250° - 101,537°]	25
420	[104,045° - 104,885°]	13
422	[119,276° - 120,418°]	14
511	[132,367° - 134,021°]	15

图2

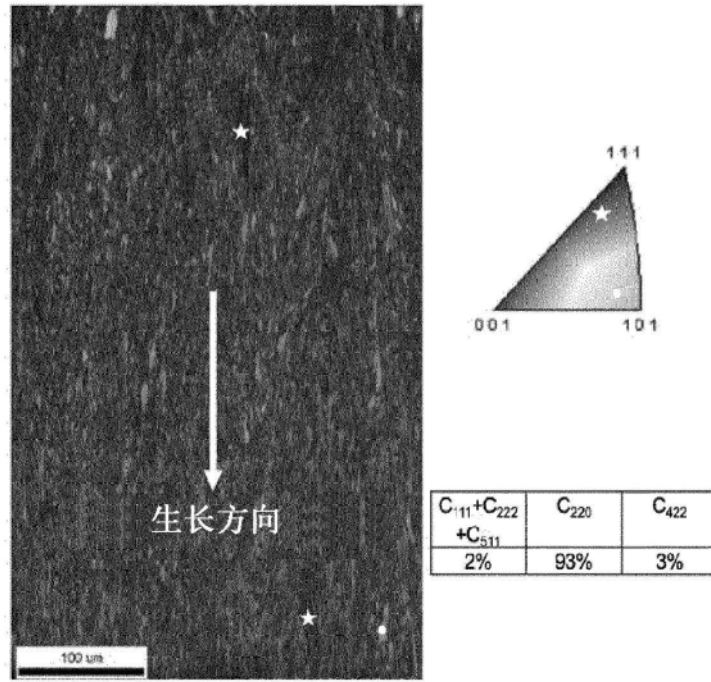


图3a

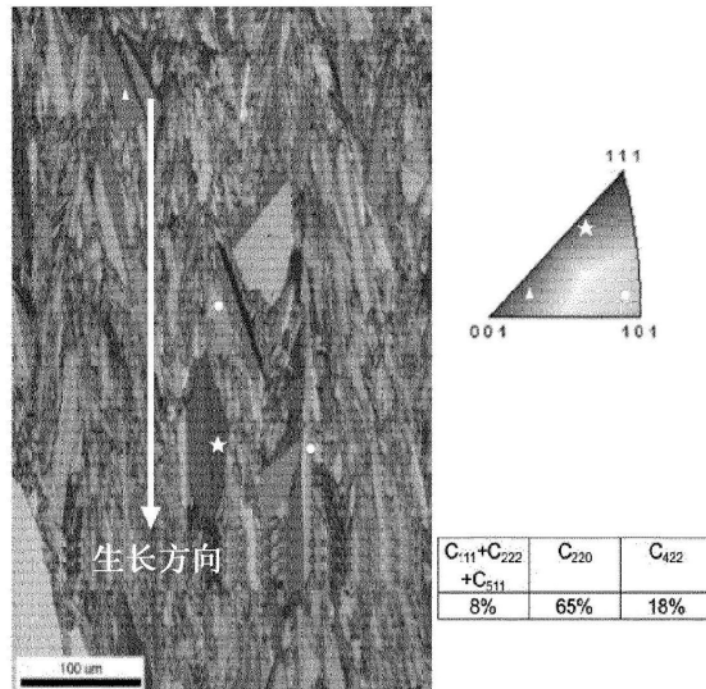


图3b

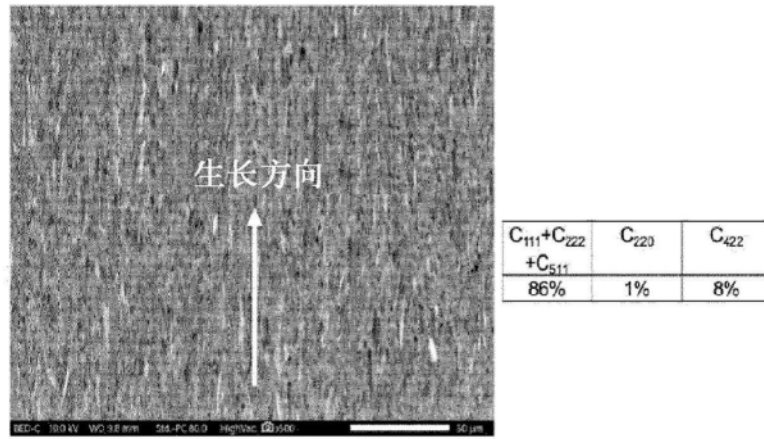


图3c

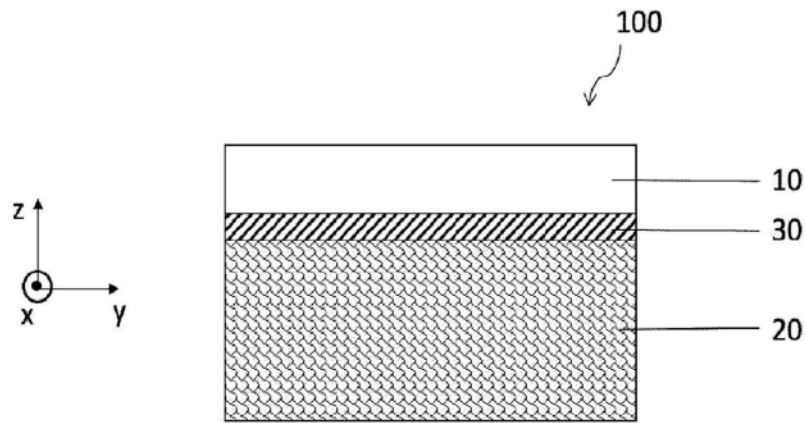


图4

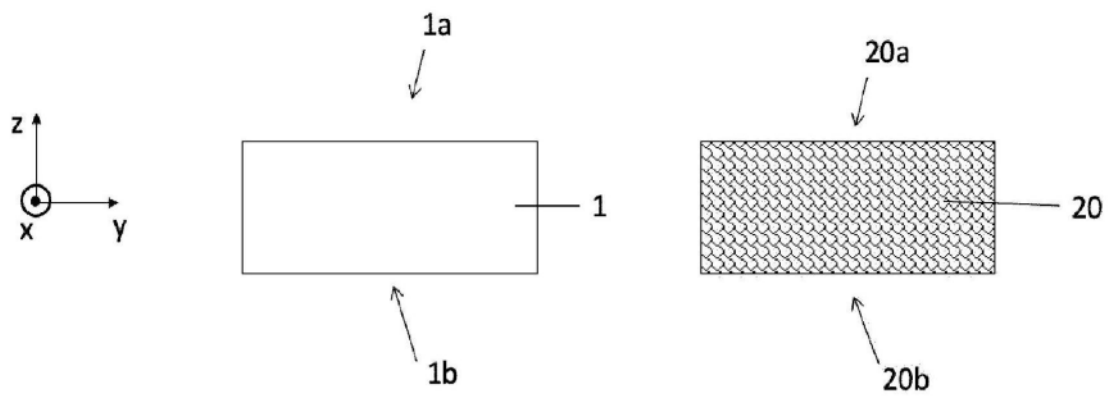


图5a

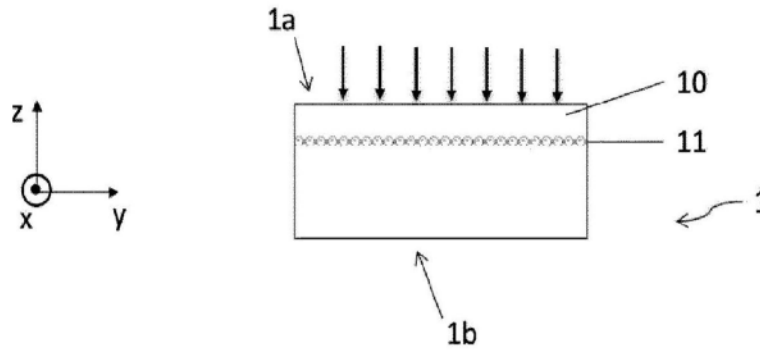


图5b

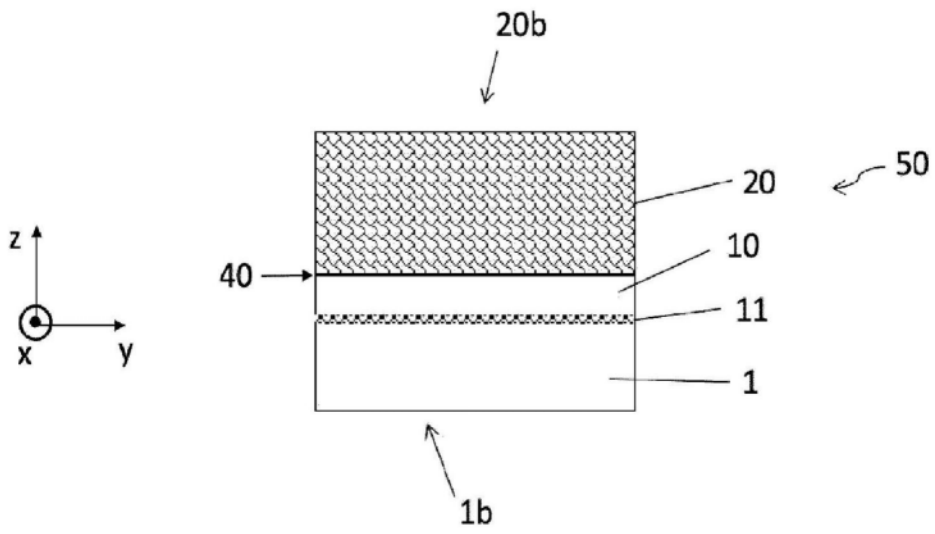


图5c

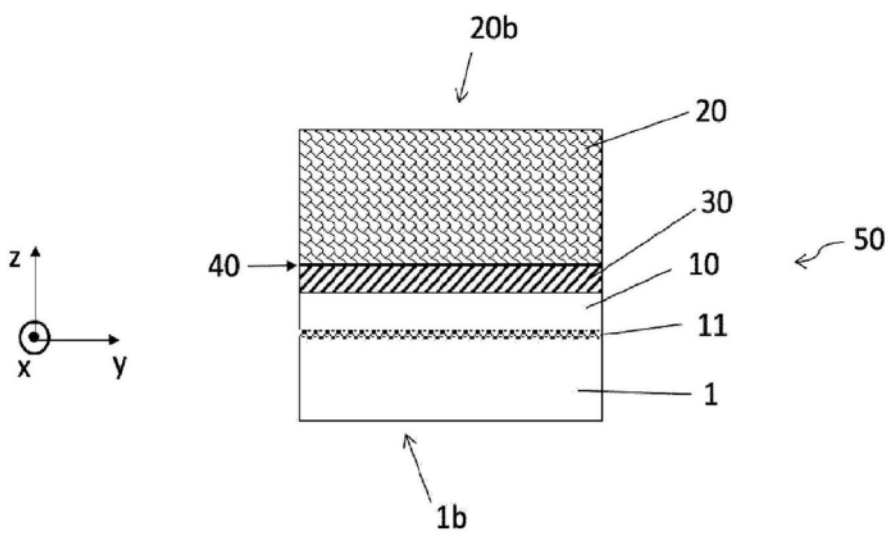


图5c'

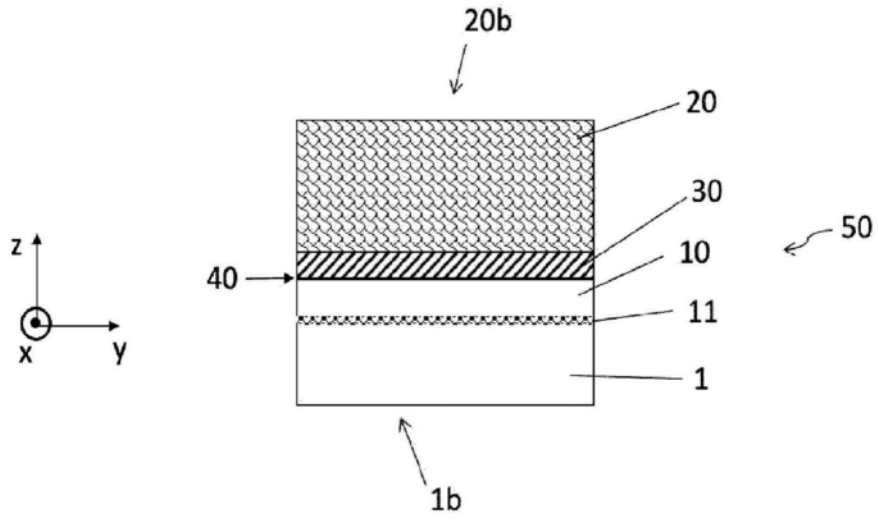


图5c''

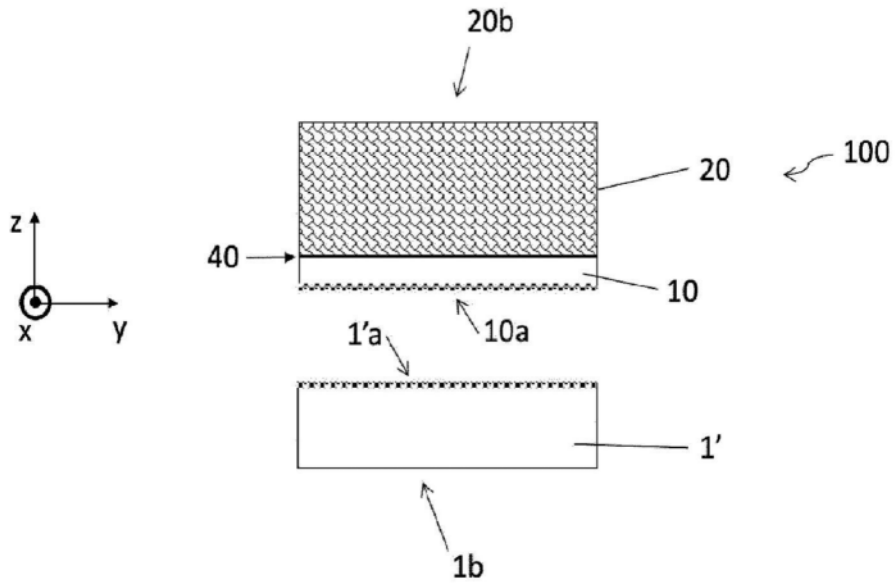


图5d

#	1	2	3	4	5
温度(° C)	1277	1277	1277	1327	1327
MTCS前体气体(mbar)	23	8	16	16	16
NH ₃ 掺杂气体	3	6	4	4	6
% C ₂₂₀	1	1	93	65	7
% C ₁₁₁ + C ₂₂₂ +C ₅₁₁	9	86	2	8	20
% C ₄₂₂	80	8	3	18	54
N掺杂(at/cm ³)	8 x10 ¹⁹	7 x10 ²⁰	1,8 x10 ²⁰	2,2x10 ²⁰	6,8x10 ²⁰
电阻率(mOhm. cm)	16	1,1	5	3,3	0,9
热导率(W/m/K)	210	52	270	215	130
p-SiC裸晶片厚度(μm)	650	650	650	800	800
p-SiC裸晶片曲率 (150mm) [um]	850	190	210	235	650
p-SiC支撑衬底(20)曲率 (150mm) [um]	-	< 100	< 100	< 100	-

图6