

1. 一种集成电路 IC, 包括 :

分离器电路, 其被耦合以接收第一时钟信号, 其中所述分离器电路基于所述第一时钟信号生成第二时钟信号和第三时钟信号 ;

第一延迟电路, 其被耦合以接收所述第二时钟信号, 其中所述第一延迟电路生成所述第二时钟信号的延迟版本 ;

第二延迟电路, 其被耦合以接收所述第三时钟信号, 其中所述第二延迟电路生成所述第三时钟信号的延迟版本 ;

校正器电路, 其被耦合以接收所述第二时钟信号和所述第三时钟信号的延迟版本, 其中所述校正器电路生成具有相对于所述第一时钟信号而修改的占空比的时钟输出信号 ;

第一选择器电路, 其被耦合以从多个所述校正器电路中的每一个接收所述时钟输出信号, 其中所述第一选择器电路选择并输出来自多个所述校正器电路之一的第一校正时钟输出信号 ; 和

第二选择器电路, 其被耦合以从多个所述校正器电路中的每一个接收所述时钟输出信号, 其中所述第二选择器电路选择并输出来自多个所述校正器电路中的另一个的第二校正时钟输出信号。

2. 根据权利要求 1 的集成电路, 其中所述第二校正时钟输出信号是所输出的第一校正时钟输出信号的相移版本。

3. 根据权利要求 1 的集成电路, 其中所述第一校正时钟输出信号和第二校正时钟输出信号的相位基本上相差 90 度。

4. 根据权利要求 1 的集成电路, 进一步包括 :

多个存储电路, 其被耦合以接收所述第一校正时钟输出信号和所述第二校正时钟输出信号, 其中所述多个存储电路由所述第一校正时钟输出信号和所述第二校正时钟输出信号的变换边沿所触发。

5. 根据权利要求 1 的集成电路, 其中所述校正器电路包括 SR 锁存器。

6. 根据权利要求 1 的集成电路, 其中所述分离器电路包括 :

传输门, 其被耦合以接收所述第一时钟信号, 所述传输门生成所述第二时钟信号 ; 和

反相器, 其被耦合以接收所述第一时钟信号, 所述反相器生成所述第三时钟信号, 其中所述第三时钟信号是所述第二时钟信号的反相版本。

7. 根据权利要求 1 的集成电路, 其中所述第一延迟电路和所述第二延迟电路均包括多个串联连接的缓冲器。

8. 一种占空比校正电路, 包括 :

第一脉冲生成器电路, 其被耦合以接收第一时钟信号, 其中所述第一脉冲生成器电路基于所述第一时钟信号生成第一脉冲信号 ;

第二脉冲生成器电路, 其被耦合以接收第二时钟信号, 其中所述第二脉冲生成器电路基于所述第二时钟信号生成第二脉冲信号 ;

锁存器, 其被耦合以接收所述第一脉冲信号和所述第二脉冲信号, 其中所述锁存器生成具有相对于时钟输入信号而修改的占空比的时钟输出信号。

9. 根据权利要求 8 的占空比校正电路, 进一步包括 :

分离器电路, 其被耦合以接收所述时钟输入信号, 其中所述分离器电路将所述时钟输

入信号分离为第三时钟信号和第四时钟信号；

延迟链电路，其被耦合以接收所述第三时钟信号和所述第四时钟信号中的每一个，其中所述延迟链电路分别生成所述第三时钟信号和所述第四时钟信号中的每一个的延迟版本以作为所述第一时钟信号和所述第二时钟信号。

10. 根据权利要求 9 的占空比校正电路，其中所述延迟链电路包括多个串联耦合的缓冲器以及被耦合以接收来自多个缓冲器中的每一个的输出的选择器电路。

11. 根据权利要求 8 的占空比校正电路，其中所述第二时钟信号是所述第一时钟信号的反相版本。

12. 根据权利要求 8 的占空比校正电路，其中所述第一脉冲信号设置所述锁存器并且所述第二时钟信号重置所述锁存器。

13. 根据权利要求 8 的占空比校正电路，其中所述第一脉冲生成器电路和所述第二脉冲生成器电路均包括：

可配置延迟链电路，其被耦合以接收所述第一时钟信号或所述第二时钟信号之一；

耦合到所述可配置延迟链电路的输出的反相器；和

耦合到所述反相器的输出以及所述第一时钟信号或所述第二时钟信号之一的逻辑门，

由此所述第一脉冲生成器电路和所述第二脉冲生成器电路中的每一个生成具有比所述时钟输入信号的脉冲更小的宽度的脉冲。

14. 根据权利要求 13 的占空比校正电路，其中所述可配置延迟链电路对所述第一脉冲信号和所述第二脉冲信号的宽度进行控制。

15. 一种对集成电路 IC 进行操作的方法，包括：

对第一时钟信号进行分离以生成第二时钟信号和第三时钟信号；

对所述第二时钟信号和所述第三时钟信号应用延迟以生成所述第二时钟信号和所述第三时钟信号的延迟版本；

基于所述第二时钟信号的延迟版本生成第一脉冲信号，其中所述第一脉冲信号根据所述第二时钟信号的变换而从第一逻辑电平变换为第二逻辑电平；

基于所述第三时钟信号的延迟版本生成第二脉冲信号，其中所述第二脉冲信号根据所述第三时钟信号的变换而从所述第一逻辑电平变换为所述第二逻辑电平；以及

通过校正器电路生成具有相对于所述第一时钟信号而修改的占空比的时钟输出信号；

选择并输出来自多个所述校正器电路之一的第一校正时钟输出信号；以及

选择并输出来自多个所述校正器电路中的另一个的第二校正时钟输出信号。

16. 根据权利要求 15 的方法，其中所述第一脉冲信号的宽度小于所述第二时钟信号的宽度的一半。

17. 根据权利要求 15 的方法，其中所述时钟输出信号的上升沿与所述第一脉冲信号的上升沿同时出现，并且所述时钟输出信号的下降沿与所述第二脉冲信号的上升沿同时出现。

18. 根据权利要求 15 的方法，其中所述时钟输出信号是所述第一时钟信号的相移版本。

19. 根据权利要求 15 的方法，其中所述第三时钟信号是所述第二时钟信号的反相版

本。

20. 根据权利要求 15 的方法, 其中生成所述第一脉冲信号和所述第二脉冲信号包括在所述第二时钟信号从所述第一逻辑电平变换为所述第二逻辑电平时对锁存器进行设置, 并且在所述第三时钟信号从所述第一逻辑电平变换为所述第二逻辑电平时对所述锁存器进行重置。

用于集成电路中的存储器接口的占空比校正电路

背景技术

[0001] 在数字电路中,时钟信号对电路内不同部分之间以及不同电路之间的通信进行同步。被设计为利用时钟信号进行操作的电路可以在时钟信号的上升或下降沿进行响应。单倍数据速率 (SDR) 存储接口通常仅采用上升或下降沿之一来传输数据。另一方面,双倍数据速率 (DDR) 存储器接口在时钟信号的上升沿和下降沿都传输数据。因此,DDR 存储器接口中的数据传输速率是常规 SDR 存储器接口的传输速率的两倍快。

[0002] 随着数据速率的提高,由于可以在其间捕捉有效数据的窗口大小可能减小并潜在地导致数据丢失,所以占空比失真会成为问题。占空比是时钟或系统处于“活动”状态的时间的分数。大多数高速应用需要基本上对称的占空比,原因在于非对称占空比将使得系统中所有时钟的同步更为困难。对称占空比或 50% 占空比意味着每个时钟周期具有相等的高和低周期。换句话说,具有 50% 占空比的时钟信号在逻辑 1 经过一半时钟周期并且在逻辑 0 经过另一半时钟周期。

[0003] 通常采用各种占空比校正技术来校正占空比失真。一般使用能够延迟时钟信号的上升沿和下降沿的静态延迟链。然而,由于占空比失真通常随设备而变化,所以难以使用一种静态延迟设置来校正不同设备中的占空比失真。而且难以针对在不同工艺、电压和温度 (PVT) 条件下进行操作的设备找到正确设置,原因在于占空比失真也在不同 PVT 条件下发生变化。

[0004] 因此,需要具有一种能够对在不同 PVT 条件下进行操作的设备中的占空比失真进行自动校正的占空比校正电路。在这种背景下提出本发明。

发明内容

[0005] 本发明的实施例包括用于校正集成电路 (IC) 中的占空比失真的电路和方法。

[0006] 应当意识到的是,本发明可以以多种方式来实施,诸如在计算机可读介质上对装置、系统、设备或方法进行处理。下文中对本发明的若干发明实施例进行描述。

[0007] 在一个实施例中,公开了一种具有校正器电路的 IC。该 IC 包括分离器电路,其接收时钟信号并且将时钟信号分离为两个不同的时钟信号。在一个实施例中,一个时钟信号是另一个的反相版本。每个时钟信号耦合到延迟电路。每个延迟电路生成相对应时钟信号的延迟版本。校正器电路耦合到时钟信号的两个延迟版本以基于时钟信号的延迟版本生成时钟输出信号。所生成的时钟信号具有经校正的占空比。

[0008] 在依据本发明的又一个实施例中,提供了一种占空比校正电路。该电路包括锁存器和脉冲生成器电路。一个脉冲生成器电路被耦合以接收第一时钟信号。由该脉冲生成器电路基于第一时钟信号生成第一脉冲信号。另一个脉冲生成器电路被耦合以接收第二时钟信号。由该脉冲生成器电路基于第二时钟信号生成第二脉冲信号。锁存器接收两个脉冲信号并且基于两个脉冲信号生成具有经校正占空比的时钟输出信号。

[0009] 在依据本发明的可替换实施例中,提供了一种对 IC 进行操作的方法。该方法包括将时钟信号分离为两个不同的时钟信号。对两个时钟信号中的每一个应用延迟以生成两个

时钟信号的延迟版本。基于两个时钟信号的每个延迟版本生成两个脉冲信号。所生成的脉冲信号基于相对应时钟信号的转换而从一个逻辑电平转换至另一个逻辑电平。基于第一和第二脉冲信号生成具有经校正占空比的时钟输出。

[0010] 本发明的其它方面将由于以下结合通过对本发明的原则进行示例而图示的附图所进行的详细描述而变得显而易见。

附图说明

[0011] 通过参考下列结合附图所进行的以下描述将最佳地理解本发明,其中:

[0012] 图 1 示出了具有非均匀占空比的时钟信号的示例性波形以及具有均匀占空比的时钟信号的示例性波形。

[0013] 意在说明而非限制的图 2A 示出了作为依据本发明的一个实施例的具有用于 IC 中的存储器接口的占空比校正器电路的示例性电路。

[0014] 意在说明而非限制的图 2B 示出了作为依据本发明的一个实施例的存储器接口读取路径电路。

[0015] 意在说明而非限制的图 3A 示出了作为依据本发明的一个实施例的均衡模块的更为详细的表示。

[0016] 意在说明而非限制的图 3B 示出了作为依据本发明的一个实施例的延迟链的更为详细的表示。

[0017] 意在说明而非限制的图 4 示出了作为依据本发明的一个实施例的校正器电路的更为详细的表示。

[0018] 意在说明而非限制的图 5A 示出了作为依据本发明的一个实施例的分离器电路的更为详细的表示。

[0019] 意在说明而非限制的图 5B 示出了脉冲生成器电路的更为详细的表示。

[0020] 意在说明而非限制的图 5C 示出了本发明中的作为一个实施例的锁存器的更为详细的表示。

[0021] 意在说明而非限制的图 6 示出了描述时钟信号、时钟信号的反相版本、设置脉冲信号、重置脉冲信号和时钟输出信号之间的关系的示例性波形。

[0022] 意在说明而非限制的图 7 是示出作为依据本发明的另一个实施例的用于对 IC 进行操作的方法流程的简化流程图。

具体实施方式

[0023] 本发明的实施例包括用于对集成电路 (IC) 中的占空比失真进行校正的电路和方法。

[0024] 然而,对于本领域技术人员而言显然的是,本发明可以在没有一些或所有这些具体细节的情况下进行实践。在其它实例中,没有对公知操作进行详细描述以免对本发明造成不必要的混淆。

[0025] 这里所描述的实施例提供了一种对 IC 中的占空比失真进行校正以生成跨所有 PVT 范围具有近似 50% 占空比的时钟信号。应当意识到的是,在例如像 DDR3 那样的高速存储器接口的高速应用中,要求 50% 或接近 50% 的占空比以确保传输窗口足够宽,从而确保

数据被正确捕捉。在高速应用中,具有非对称占空比的时钟信号会使得数据同步更为困难。所公开的实施例提供了一种动态占空比校正电路,其能够轻易地对 IC 设备内的时钟信号中的占空比失真进行校正。一个实施例描述了一种 IC 中的占空比校正电路,其将时钟信号分离为两个不同时钟信号,并且使用这两个时钟信号来生成对称或基本上对称的输出时钟信号。另一个实施例描述了一种占空比校正电路,其使用两个信号脉冲和锁存器来生成基本上对称的时钟信号。

[0026] 图 1 示出了非对称时钟信号的波形 100 以及对称时钟信号的波形 110。波形 100 对于每个时钟周期具有非均匀的高和低周期。如波形 100 上所示的间隔 T 是时钟信号的时钟周期。本领域技术人员理解到,一个时钟周期是指从一个上升 / 下降沿到下一个上升 / 下降沿的周期。占空比参数指定了每个时钟周期期间逻辑高输出的相对持续时间。如图 1 的波形 100 所示,每个时钟周期 T 具有与其逻辑低持续时间相比相对较短的逻辑高持续时间。如之前所解释的,对称时钟信号具有基本上 50% 的占空比。换句话说,每个时钟周期 T 应当具有相等或几乎相等的逻辑高和逻辑低输出的持续时间。图 1 的示例性波形 110 示出了对称的时钟信号。波形 110 上的每个时钟周期 T 具有均匀的高和低输出的持续时间。这样,波形 110 是具有 50% 占空比的对称时钟信号的波形。

[0027] 意在说明而非限制的图 2A 示出了作为依据本发明的一个实施例的具有用于 IC 中的存储器接口的占空比校正器电路的示例性电路 200。本领域技术人员应当意识到,图 2A 的实施例示出了 IC 中的存储器接口的写路径,并且输出管脚 250A 和 250B 可以连接到外部存储器模块。本领域技术人员还应当意识到,输出管脚 250A 和 250B 分别可以表示数据 (DQ) 管脚和数据选通 (strobe) (DQS) 管脚。图 2A 的实施例示出了通过逻辑模块 230 耦合到 I/O 寄存器 240A 和 240B 的均衡模块 210。时钟信号 202 耦合到均衡模块 210。在一个实施例中,均衡模块 210 包括被耦合以接收时钟信号 202 的延迟链。在示例性实施例中,延迟链是多个串联连接的缓冲器,其生成时钟信号 202 的多个延迟版本。延迟锁相环 (DLL) 215 的输出 212 耦合至均衡模块 210。在图 2A 的实施例中,DLL 215 被耦合到均衡模块 210 中的多个缓冲器中的每一个的使能输入,其细节将在后续段落中进行解释。在一个实施例中,均衡模块是电流饥饿 (current-starved) 延迟链。DLL 215 向均衡模块 210 输出和发送延迟设置以控制每个均衡阶段的延迟,并且该延迟设置跨不同的 PVT 条件而保持。均衡模块 210 生成时钟信号 202 的多个延迟版本作为输出 214。

[0028] 仍然参考图 2A,输出 214 被连接到校正器电路 220。在一个实施例中,每个校正器电路 220 包括设置 / 重置 (SR) 锁存器。每个校正器电路 220 的输出被耦合至选择器电路 235A 和 235B。选择器电路 235A 和 235B 的选择输入 234A 和 234B 分别控制多个输入 231 中的哪一个被选择作为选择器电路 235A 和 235B 的输出。输出 237A 和 237B 分别耦合到 I/O 寄存器 240A 和 240B。I/O 寄存器 240A 和 240B 包括连接到各个逻辑元件的多个存储电路或寄存器。输出 237A 和 237B 分别连接到 I/O 寄存器 240A 和 240B 中的寄存器 244A-244H 的时钟端子。在一个实施例中,I/O 寄存器 244A-244H 被来自校正器电路 220 的时钟输出信号的边沿所触发。在图 2A 的实施例中,输出 237A 连接到寄存器 244A-244D 的时钟端子,以及 I/O 寄存器 240A 中的选择器电路 242C 的选择输入 243C。耦合到逻辑门 246A 和选择器电路 242A 的寄存器 244A 和 244B 控制输出缓冲器 245A 的使能端子 249A。输出缓冲器 245A 耦合到输出管脚 DQ 250A。寄存器 244C 和 244D 通过选择器电路 242C 和 242B 耦合到输出

缓冲器 245A。寄存器 244B 的输入端子 241B 耦合到寄存器 244A 的输出。本领域技术人员应当意识到,输入端子 241A、241C 和 241D 可以连接到可以提供逻辑高或逻辑低电平的 IC 电路的核心。本领域技术人员还应当意识到,选择器电路 242A 和 242B 可以被用来旁路寄存器 244A-244D、逻辑门 246A 和选择器电路 242C。在一个实施例中,选择输入 243A 和 243B 连接到静态数值或配置随机访问存储器 (CRAM) 位以分别控制选择器电路 242A 和 242B 的输出。在图 2A 的实施例中,输入端子 247A 和 247B 被耦合至 IC 的核心。本领域技术人员应当意识到,输入端子 247A 和 247B 可以连接到 IC 的核心中的寄存器。选择器电路 242A 的输出使能和禁用输出缓冲器 245A,并且选择器电路 242B 的输出携带从 I/O 寄存器 240A 通过输出缓冲器 245A 到输出管脚 DQ 250A 的输出数据。

[0029] 仍然参见图 2A, I/O 寄存器 240B 分享与 I/O 寄存器 240A 的相似性。出于简要的原因,例如寄存器 244E-244F、输入端子 241E-241H、输入端子 247D 和 247E、选择输入 243D 和 243E、选择器电路 242D-242F 以及逻辑门 246B 的在 I/O 寄存器 240A 中所示出并且在以上所描述的元件不在此处进行重复或详细描述。逻辑模块 230 的选择器电路 235B 选择来自均衡模块 210 的时钟信号的一个延迟版本作为输出信号。在一个实施例中,选择输入 234B 耦合到 IC 中的核心逻辑模块。该核心逻辑模块控制选择输入 234B 并且在校准处理期间选择不同相位以便为时钟信号 202 确定适当相位。在另一个实施例中,选择器电路 235A 的选择输入 234A 根据选择器电路 235B 的选择而选择一个输入信号 231 作为输出 237A。例如,选择器电路 235A 可以选择被选择作为选择器电路 235B 的输出 237B 的输入信号 231 的相移版本。在示例性实施例中,输出 237A 和 237B 相位基本上相差 90° 。输出 237B 耦合到 I/O 寄存器 240B 中的寄存器 244E-244H 的时钟端子。I/O 寄存器 240B 中的选择器电路 242D 和 242E 的输出分别连接到使能端子 249B 和输出缓冲器 245B。输出缓冲器 245B 连接到输出管脚 250B。在一个实施例中,输出管脚 250A 和 250B 分别是 DQ 和 DQS 管脚,并且 DQ 和 DQS 管脚连接到外部存储器模块。本领域技术人员应当意识到,DQ 和 DQS 信号在 DDR 存储器接口中使用。本领域技术人员还应当意识到,当 IC 中的存储器接口向存储器模块进行写入时,DQS 在 DQ 管脚具有要被写入存储器模块的数据时被断言。

[0030] 意在说明而非限制的图 2B 示出了作为依据本发明一个的实施例的电路 290。出于简要的原因,例如均衡模块 210、DLL 模块 215、校正器电路 220 以及选择器电路 235A 和 235B 的在图 2A 中已经示出并且在以上进行了描述的元件将不在此处进行详细描述。本领域技术人员应当意识到,电路 290 表示 IC 中存储器接口电路的读取路径。这样,没有对公知元件进行详细描述以免对本发明造成混淆。在一个实施例中,管脚 280A 和 280B 连接到外部存储器模块,并且管脚 280A 和 280B 是从存储器模块向 IC 读取数据的输入管脚。在一个这样的实施例中,管脚 280A 可以是 DQS 管脚,而管脚 280B 可以是 DQ 管脚。管脚 280A 耦合到接收从管脚 280A 所传送的信号的输入缓冲器 265A。来自输入缓冲器 265A 的信号被传送到延迟链 270。在一个实施例中,延迟链 270 包括串联连接以产生输入信号的延迟版本或相移版本的若干缓冲器。校正器电路 220 对相移的时钟信号中的失真进行校正以产生具有基本上 50% 占空比的时钟信号。来自延迟链 270 的输出连接至校正器电路 220。在一个实施例中,来自延迟链 270 的输出包括输入信号的延迟版本以及相同信号的延迟版本的反相版本。分别在图 3B 和 4 中示出的延迟链 270 和校正器电路 220 的细节将在后续段落中进行描述。校正器电路 220 的输出耦合至逻辑门 246B 的一个输入端子以及寄存器 262C 的时

钟端子。本领域技术人员应当意识到,在一个实施例中,寄存器 262C 的时钟端子是活动低端子。换句话说,在图 2B 的实施例中,寄存器 262C 被所接收时钟信号的下降沿所触发。

[0031] 在图 2B 的实施例中,寄存器 262C 输出逻辑高信号并且连接到逻辑门 264B 的一个其它输入端子。选择器电路 235B 选择 DQS 使能信号以控制寄存器 262A 和 262B。在一个实施例中,DQS 使能信号也被称作后同步 (postamble) 时钟信号。应当意识到的是,该后同步时钟信号是已经被校准以实现 DQS 使能信号的正确定时的时钟信号。选择器电路 235B 的输出连接到选择器电路 262A 和 262B 的时钟端子。选择器电路 262A 和 262B 耦合到逻辑门 264A 以控制寄存器 262C 的清除端子。寄存器 262C 在寄存器 262A 和 262B 使能时被清除。在一个实施例中,寄存器 262A 和 262B 连同逻辑门 264A 一起仅在电路 290 从存储器模块进行读取时被使能以便在电路 290 没有从存储器模块进行读取时防止电路中的毛刺 (glitch)。在另一个实施例中,来自选择器电路 235 的后同步信号选通 (gate) 管脚 280A 以防止时钟信号中的毛刺或错误边沿。

[0032] 仍然参考图 2B,管脚 280B 连接到输入缓冲器 265B。在一个实施例中,管脚 280B 是从外部存储器模块读取数据并且将该数据传送至输入寄存器 285 的 DQ 管脚。在图 2B 的实施例中,输入寄存器 285 包括一些存储元件或寄存器 262D-262H,它们如图所示相互连接。在管脚 280B 所接收的数据或信号通过输入缓冲器 265B 传送至寄存器 262D-262H。寄存器 262F、262G 和 262H 由来自逻辑门 264B 的校正的时钟输出信号所控制。该时钟输出信号可以连接到延迟电路 280。本领域技术人员应当意识到,延迟电路 280 是简单延迟链,例如串联耦合的两个反相器,其被用于校正或减小电路中的时钟偏斜 (skew)。这样,延迟电路 280 可以在偏斜基本上为低时被旁路。应当意识到的是,电路 290 可以连接到利用不同时钟域进行操作的外部存储器模块。因此,在一个实施例中,寄存器 262D 和 262E 被用于将来自外部存储器模块的时钟信号与该实施例中的系统内的时钟信号重新同步。

[0033] 意在说明而非限制的图 3A 示出了作为依据本发明的一个实施例的均衡模块 210 的更为详细的表示。时钟信号 202 连接到分离器电路 310。分离器电路 310 对时钟输入信号 202 进行分离以生成两个不同的时钟信号 312A 和 312B。在一个实施例中,时钟信号 312B 是时钟信号 312A 的反相版本。两个时钟信号,即时钟信号 312A 和 312B,耦合到均衡延迟模块 210A 和 210B。均衡延迟模块 210A 和 210B 中的每一个都包括多个串联连接的延迟缓冲器 211。每个缓冲器 211 生成相对应时钟信号 312A 和 312B 的延迟版本。来自每个缓冲器 211 的输出连接到校正器电路 220。DLL 模块 215 连接到均衡延迟模块 210A 和 210B 中的每个缓冲器 211。每个校正器电路 220 基于来自均衡延迟模块 210A 和 210B 的相对应延迟时钟信号输出具有经校正占空比的时钟信号。在图 2A 的实施例中,每个校正器 220 所生成的时钟信号耦合到选择器电路 235A 和 235B。

[0034] 意在说明而非限制的图 3B 示出了作为依据本发明一个实施例的图 2B 的延迟链 270 的更为详细的表示。DLL 模块 215 连接到每个延迟链 270A 和 270B。端子 DQSIN 305 连接到图 2B 的输入缓冲器 265A。分离器电路 310 将在端子 DQSIN 305 接收的时钟信号分离为时钟信号 312A 和 312B。在图 3B 的实施例中,时钟信号 312B 是时钟信号 312A 的反相版本。延迟链 270A 和 270B 中的每一个都包括多个串联连接的缓冲器 211。来自延迟链 270A 和 270B 中的每个缓冲器 211 的输出分别连接到选择器电路 275A 和 275B。来自每个延迟链 270A 和 270B 的输出连接到校正器电路 220。在图 3B 的实施例中,校正器电路 220 基于来

自延迟链 270A 和 270B 的时钟信号生成具有经校正占空比的时钟信号。在图 2B 的实施例中,具有经校正占空比的时钟信号连接到逻辑门 264B 和寄存器 262C。虽然图 3A 的均衡模块 210A 和 210B 以及图 3B 的延迟链 270A 和 270B 中仅示出了三个缓冲器 211,但是本领域技术人员应当意识到的是,所需缓冲器的数量可以针对不同应用而在不同电路之间有所变化。因此,可以在均衡模块 210A 和 210B 以及延迟链 270A 和 270B 中使用更多或更少的缓冲器 211。

[0035] 意在说明而非限制的图 4 示出了作为依据本发明一个实施例的校正器电路 220 的更为详细的表示。校正器电路 220 包括连接到锁存器 420 的两个脉冲生成器电路 415A 和 415B。时钟信号 405A 和 405B 与来自图 3A 和 3B 的实施例中的均衡模块 210A、210B 和延迟链 270A、270B 的输出信号相类似。时钟信号 405A 和 405B 分别连接到脉冲生成器电路 415A 和 415B。脉冲生成器电路 415A 和 415B 分别基于时钟信号 405A 和 405B 生成相对小的脉冲。如何生成脉冲的细节参考图 5B 和图 6 进行讨论。在图 4 的实施例中,锁存器 420 是 SR 锁存器,并且脉冲生成器 415A 连接到锁存器 420 的设置端子,而脉冲生成器 415B 则连接到锁存器 420 的重置端子。在一个实施例中,脉冲生成器 415A 和 415B 分别生成非重叠的设置和重置信号。在示例性实施例中,SR 锁存器 420 的输出 425 是基于来自脉冲生成器 415A 和 415B 的脉冲所生成的具有经校正占空比的时钟信号。

[0036] 意在说明而非限制的图 5A 示出了作为依据本发明的一个实施例的分离器电路 310 的更为详细的表示。分离器电路 310 包括传输门 (pass gate) 510 和反相器 520。在图 5A 的实施例中,传输门 510 是互补金属氧化物半导体 (CMOS) 传输门。分离器电路 310 接收时钟信号 CLK_{in} 信号 505,并且将该信号分离为 CLK 512 和 CLK_B 522 信号。CLK_{in} 信号 505 经过传输门 510 和反相器 520 传送。反相器 520 对 CLK_{in} 信号 505 进行反转以生成 CLK_B 信号 522。在图 5A 的实施例中,时钟信号 CLK_B 522 是时钟信号 CLK 512 的反相版本。时钟信号 CLK 512 和 CLK_B 522 中的每一个可以分别连接到如图 3A 和 3B 的实施例中所示出的均衡延迟模块或延迟链。

[0037] 意在说明而非限制的图 5B 示出了脉冲生成器电路 415 的更为详细的表示。输入信号 IN 532 连接到脉冲生成器电路 415 中的可配置延迟链电路 550。在图 5B 的实施例中,输入信号 IN 532 可以连接到如图 5A 所示的任一时钟信号 CLK 512 或 CLK_B 522。可配置延迟链电路 550 对脉冲生成器电路 415 所生成的脉冲的宽度进行控制。来自可配置延迟链电路 550 的信号被反相器 520 进行反转并且连接到逻辑门 560。在图 5B 的实施例中,逻辑门 560 是 AND 门,其接收来自可配置延迟链电路 550 的反相信号以及输入信号 IN 532。输出信号 OUT 562 基于输入信号 IN 532 的逻辑状态以及来自可配置延迟链电路 550 的反相信号而生成。在示例性实施例中,输出信号 OUT 562 是具有相对小的脉冲的信号。输出信号 OUT 562 可以连接到锁存器。在图 4 的说明性实施例中,来自脉冲生成器 415A 和 415B 的输出信号分别连接到锁存器 420 的设置和重置端子。

[0038] 意在说明而非限制的图 5C 示出了本发明中的作为一个实施例的锁存器 420 的更为详细的表示。应当意识到的是,在一个实施例中,锁存器 420 是 SR 锁存器,并且因此没有对这样的锁存器的公知元件进行详细描述以免对本发明造成不必要的混淆。锁存器 420 包括两个反相器 520A 和 520B,以及两个 NAND 门 570A 和 570B。传输门 510 耦合到反相器 520A 的输出和 NAND 门 570A 的输入。在一个实施例中,传输门 510 被用来使得从输入信号

S 562A 到输出 OUT572 以及输入信号 R 562B 到输出 OUT 572 的信号路径均等。输入信号 S 562A 和输入信号 R 562B 由脉冲生成器电路所生成。在图 4 的说明性实施例中,输入信号 S 562A 由脉冲生成器 415A 所生成,而输入信号 R 562B 则由脉冲生成器 415B 所生成。在一个实施例中,锁存器 420 的输出 OUT 572 是基于来自输入信号 S 562A 和输入信号 R 562B 的脉冲而生成的具有基本上 50% 占空比的时钟信号。虽然在该实施例中使用了锁存器,但是本领域技术人员应当意识到,在这种背景下可以使用执行类似功能的类似逻辑或存储元件替代锁存器。

[0039] 意在说明而非限制的图 6 示出了依据本发明一个实施例的描述时钟输入信号、时钟信号的反相版本、设置脉冲信号、重置脉冲信号和时钟输出信号之间的关系的示例性波形 610、620、630、640 和 650。波形 610 是时钟输入信号的示例性波形,而波形 620 是时钟输入信号的反相版本的示例性波形。在一个实施例中,时钟输入信号是具有延迟的相移时钟信号,而时钟输入信号的反相版本是具有延迟的相移时钟信号的反相版本。在一个实施例中,时钟输入信号是来自均衡模块 210A 中的一个缓冲器 211 的时钟输出信号,和来自图 3A 的均衡模块 210B 中的一个缓冲器 211 的时钟输出信号的反相版本。如图 6 所示,如波形 610 所表示的时钟输入信号并不具有 50% 的占空比,原因在于每个时钟周期 T 并不具有相等的逻辑高电平和逻辑低电平周期。在图 6 的说明性实施例中,时钟输入信号在每个时钟周期 T 中具有基本上更长的逻辑高周期。这样,应当意识到的是,如波形 620 所表示的时钟信号的反相版本也不具有 50% 的占空比。

[0040] 仍然参考图 6,波形 630 示出了所生成的设置信号。在图 6 的说明性实施例中,由波形 630 所表示的设置信号是具有显著短的活动脉冲的活动高信号。本领域技术人员应当意识到,活动高信号被在其处于逻辑高电平即逻辑 1 时被认为是“活动的”。在该实例中,如波形 630 所表示的设置信号在波形 630 处于逻辑高状态时是活动的。波形 640 示出了所生成的具有相对短的脉冲的重置信号。在图 6 的说明性实施例中,设置信号 630 在时钟输入信号 610 从逻辑低电平转变为逻辑高电平时从逻辑低电平变为逻辑高电平。重置信号 640 在时钟输入信号 620 的反相版本从逻辑低电平转变为逻辑高电平时从逻辑低电平变为逻辑高电平。在示例性实施例中,分别如波形 630 和 640 所表示的设置信号和重置信号中脉冲的宽度 W 可以进行调节。在图 5B 的实施例中,可配置延迟链电路 550 被用来调节设置 630 和重置 640 脉冲中每一个的宽度 W。在一个实施例中,设置 630 和重置 640 脉冲中每一个的宽度 W 小于时钟输入信号 610 的 $1/2$ 周期 $1/2T$ 。

[0041] 仍然参考图 6,波形 650 示出了所生成的具有基本上 50% 占空比的时钟输出信号,50% 占空比即相等的高和低逻辑电平周期。在图 6 的实施例中,时钟输出信号 650 基于设置 630 和重置 640 信号而生成。时钟输出信号 650 在设置信号 630 从逻辑低电平变为逻辑高电平时从逻辑低电平变为逻辑高电平。当重置信号 640 从逻辑低电平变为逻辑高电平时,时钟输出信号 650 从逻辑高电平转变为逻辑低电平以实现基本上 50% 的占空比。在图 5C 的说明性实施例中,分别由波形 630 和 640 所表示的设置和重置脉冲被用来设置和重置图 5C 的锁存器 420。图 5C 中的输出 OUT 572 表示波形 650 中所示的时钟输出信号。图 6 的实施例中的时钟输出信号的每个时钟周期 T 具有基本上 50% 的占空比。在示例性实施例中,该时钟输出信号具有不差于 45/55 的占空比。

[0042] 意在说明而非限制的图 7 是示出作为依据本发明的另一个实施例的用于对 IC 进

行操作的方法 700 流程的简化流程图。在操作 710 中,第一时钟信号被分离以生成第二和第三时钟信号。在图 3A 的说明性实施例中,CLKin 信号 202 被分离器电路 310 分离为 CLK 信号 312A 和 CLKB 信号 312B。在一个实施例中,第三时钟信号可以是第二时钟信号的反相版本。在操作 720 中,向第二和第三时钟信号应用延迟以生成第二和第三时钟信号的延迟版本。在示例性实施例中,第二和第三时钟信号的延迟版本是第二和第三时钟信号的相移版本。在图 2A 的说明性实施例中,由均衡模块 210 生成时钟信号的延迟版本。在操作 730 中,基于第二时钟信号的延迟版本生成脉冲信号。在一个实施例中,该脉冲信号具有相对小的逻辑高电平脉冲,并且每个脉冲的宽度小于第二时钟信号的逻辑高脉冲的宽度的一半。例如图 5B 的可配置延迟 550 的可配置延迟链电路可以被用来调节每个脉冲的宽度。在另一个实施例中,脉冲信号是被用来对诸如图 5C 所示的 SR 锁存器 420 的锁存器进行设置的设置脉冲信号。该脉冲信号在第二时钟信号从逻辑低电平转变为逻辑高电平时从逻辑低电平转变为逻辑高电平。在图 6 的说明性实施例中,波形 630 示出了该脉冲信号的表示。

[0043] 仍然参考图 7,在操作 740 中生成另一个脉冲信号。该脉冲信号基于第三时钟信号而生成。在示例性实施例中,操作 740 中所生成的脉冲信号是重置脉冲信号,其在第三时钟信号从逻辑低电平转变为逻辑高电平时从逻辑低电平转变为逻辑高电平。重置脉冲信号由图 6 的说明性实施例中的波形 640 所表示。重置脉冲信号被用来对图 5C 的实施例中的锁存器 420 进行重置。在操作 750 中生成时钟输出信号。基于操作 730 和 740 中所生成的两个脉冲信号而生成的时钟输出信号具有经校正的占空比。在图 6 的说明性实施例中,时钟输出信号由波形 650 所表示。在一个实施例中,时钟输出信号的上升沿基本上与操作 730 中所生成的脉冲信号的上升沿同时出现,而时钟输出信号的下降沿基本上与操作 740 中所生成的脉冲信号的上升沿同时出现。在另一个实施例中,该时钟输出信号是具有基本上对称的即接近 50% 的占空比的时钟信号。

[0044] 至此,关于集成电路对实施例进行了描述。这里所描述的方法和装置可以被并入到任意适当电路之中。例如,该方法和装置可以被并入到诸如微处理器或可编程逻辑器件的多种类型的设备之中。示例性的可编程逻辑器件包括可编程阵列逻辑 (PAL)、可编程逻辑阵列 (PLA)、现场可编程逻辑阵列 (FPLA)、电可编程逻辑器件 (EPLD)、电可擦除可编程逻辑器件 (EEPLD)、逻辑单元阵列 (LCA)、现场可编程门阵列 (FPGA)、专用标准产品 (ASSP)、专用集成电路 (ASIC),这仅是举出一些示例。

[0045] 这里所描述的可编程逻辑设备可以是数据处理系统的一部分,该数据处理系统包括以下组件中的一个或多个:处理器;存储器;I/O 电路;以及外部设备。数据处理系统可以在诸如计算机联网、数据联网、仪器、视频处理、数字信号处理,或者需要可编程或可重复编程逻辑的优点的任意其它适当应用的广泛应用中得以使用。可编程逻辑设备可以被用来执行各种不同的逻辑功能。例如,可编程逻辑设备可以被配置为与系统处理器协同操作的处理器或控制器。可编程逻辑设备还可以被用于对针对数据处理系统中的共享资源的访问进行仲裁的仲裁器。在又一个示例中,可编程逻辑器件可以被配置为处理器与系统中的其它组件之一之间的接口。在一个实施例中,可编程逻辑设备可以是受让人所拥有的设备之一。

[0046] 虽然以具体顺序对方法操作进行了描述,但是应当理解的是,可以在所描述的操作之间执行其它操作,可以对所描述的操作进行调节以使得它们在稍有不同的时间出现,

或者所描述的操作可以分布在允许处理操作以与处理相关联的各种间隔出现的系统中,只要重叠操作的处理以所期望的方式执行。

[0047] 虽然已经为了理解的清楚而以一些细节对之前的发明进行了描述,但是显然可以在所附权利要求的范围之内进行某些变化和修改。相应地,本发明要被理解为是说明性而非限制性的,并且本发明并不局限于这里所给出的细节,而是可以在所附权利要求的范围和等同形式内进行修改。

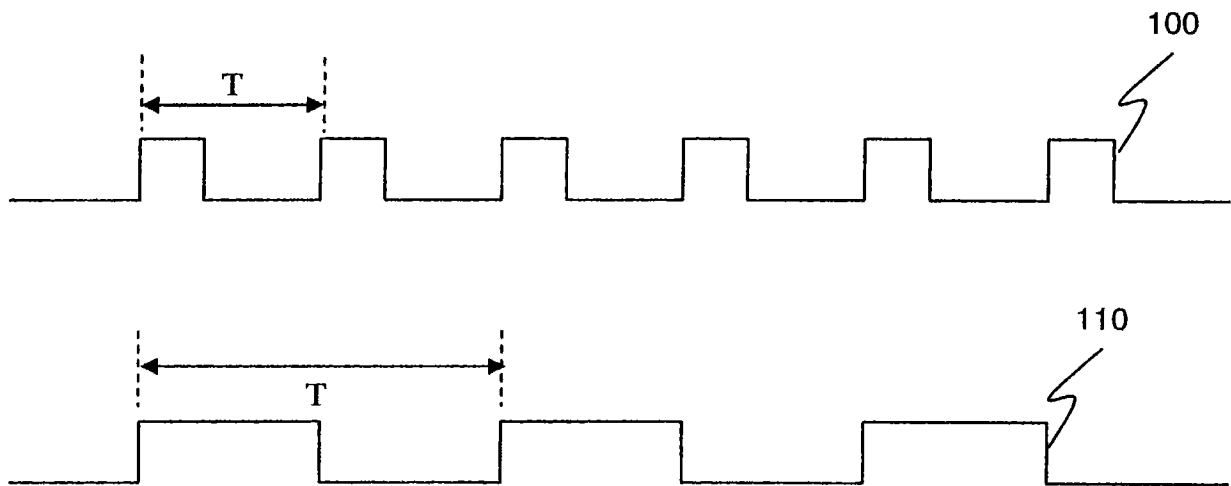


图 1

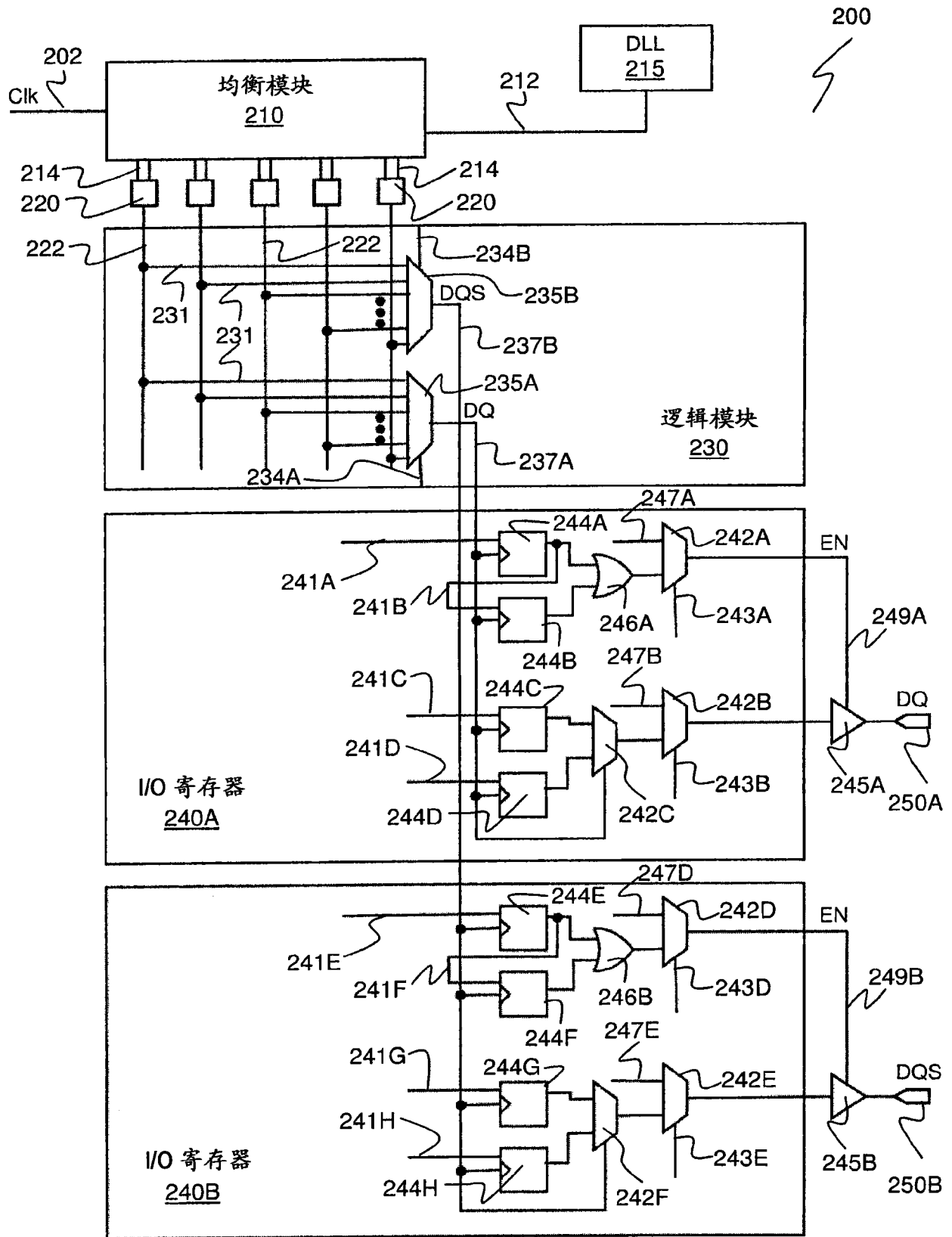


图 2A

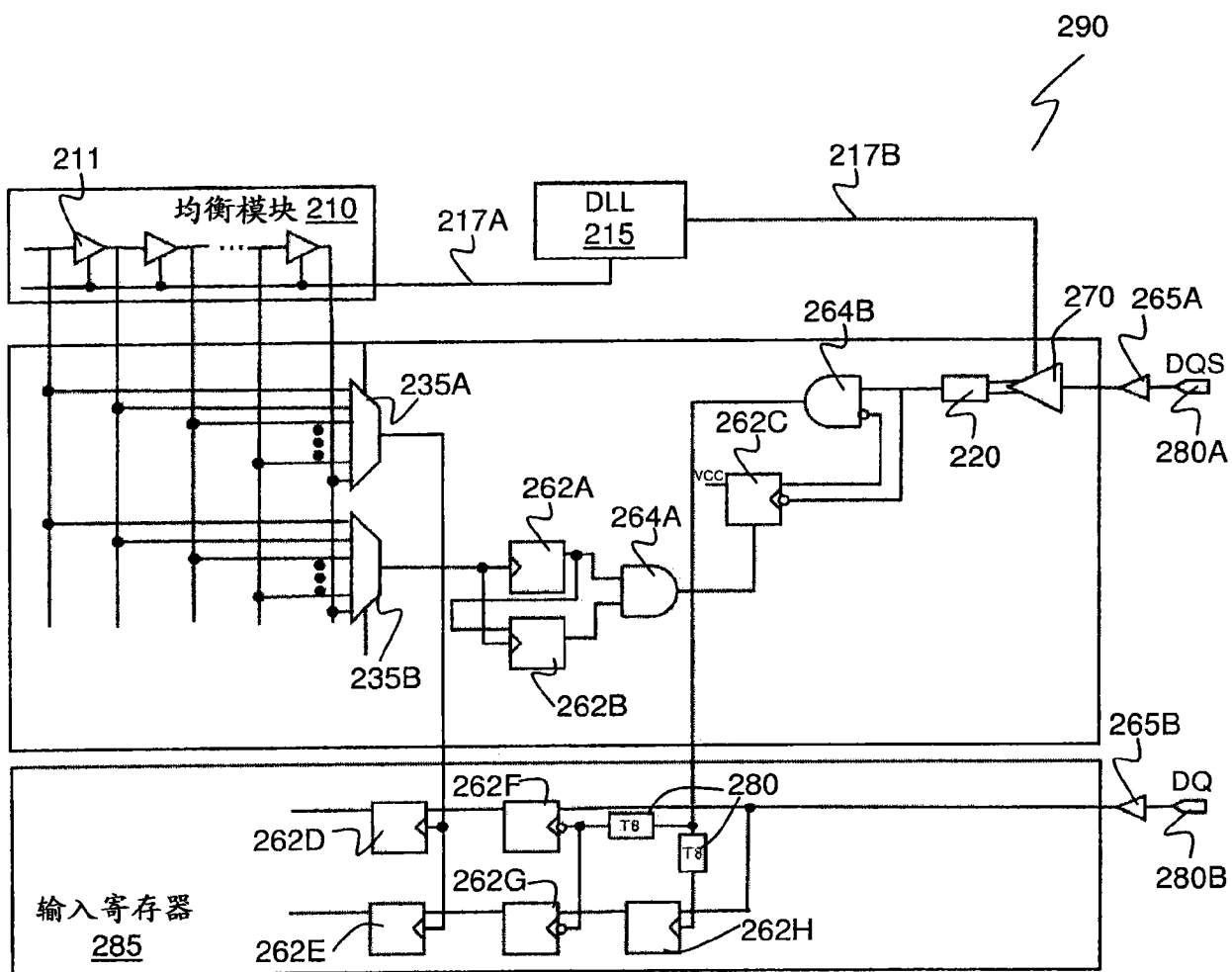


图 2B

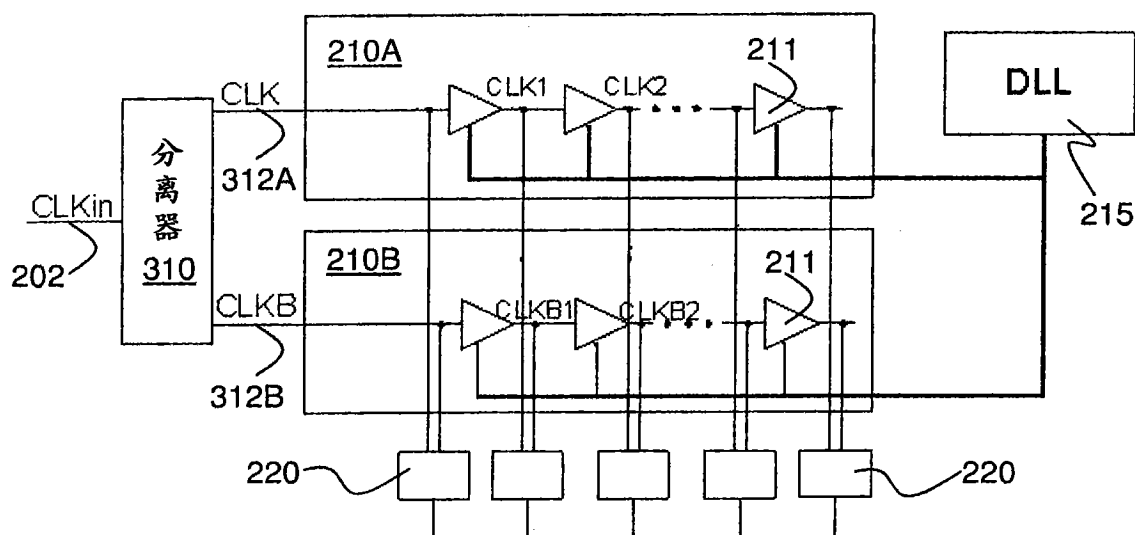


图 3A

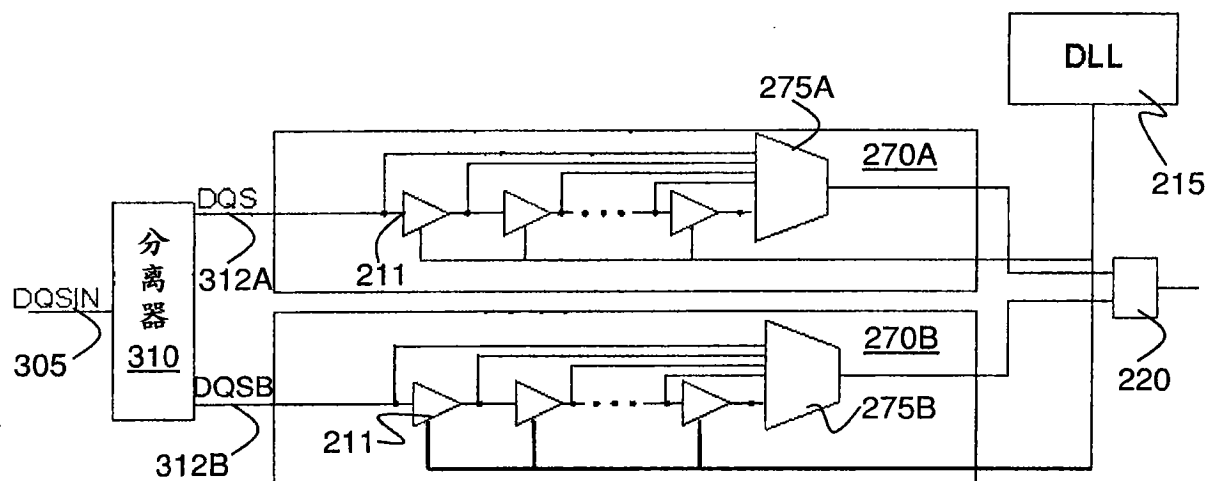


图 3B

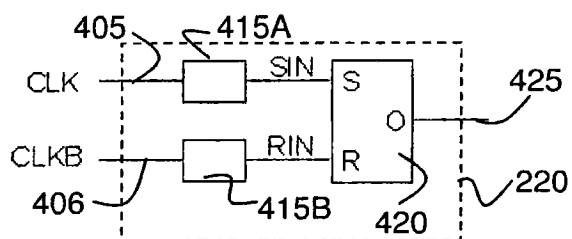


图 4

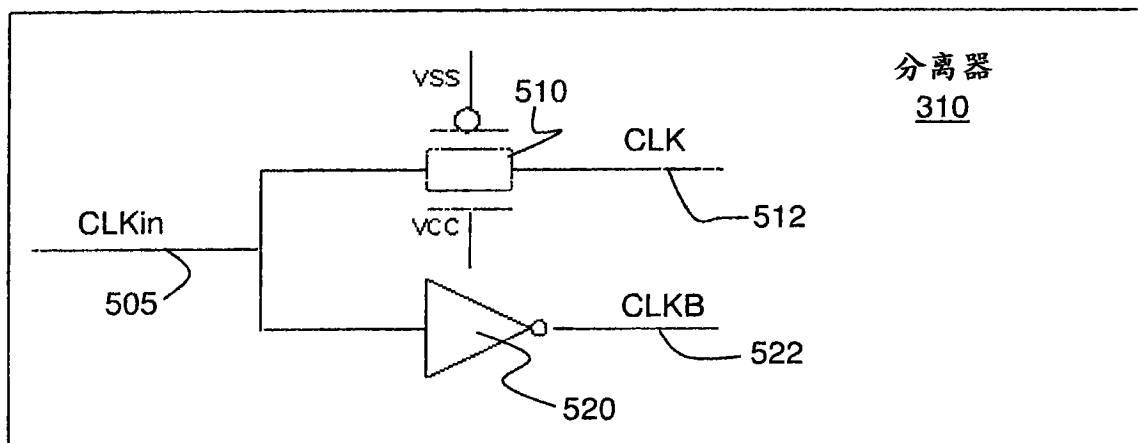


图 5A

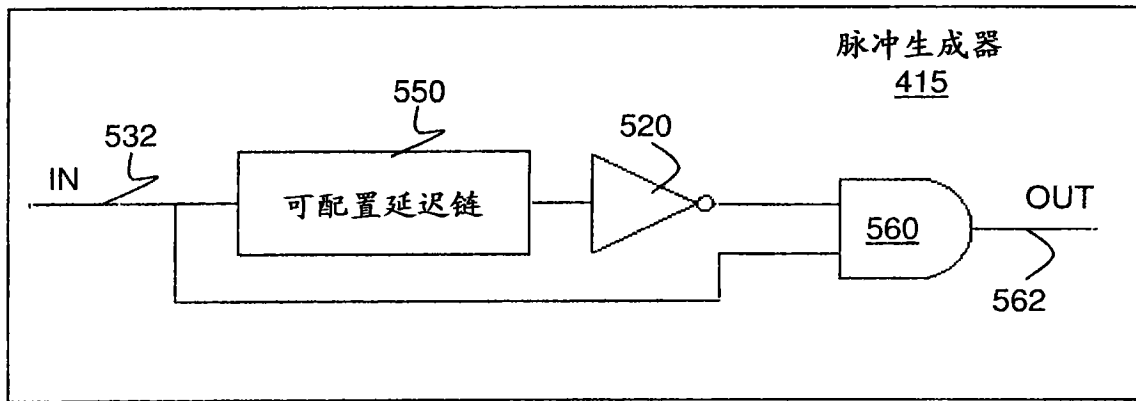


图 5B

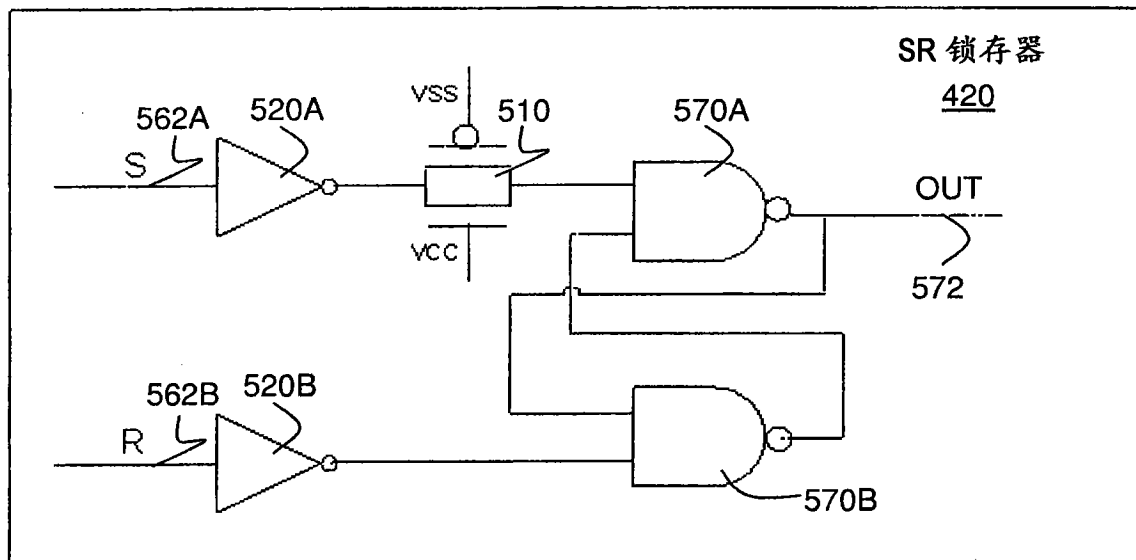


图 5C

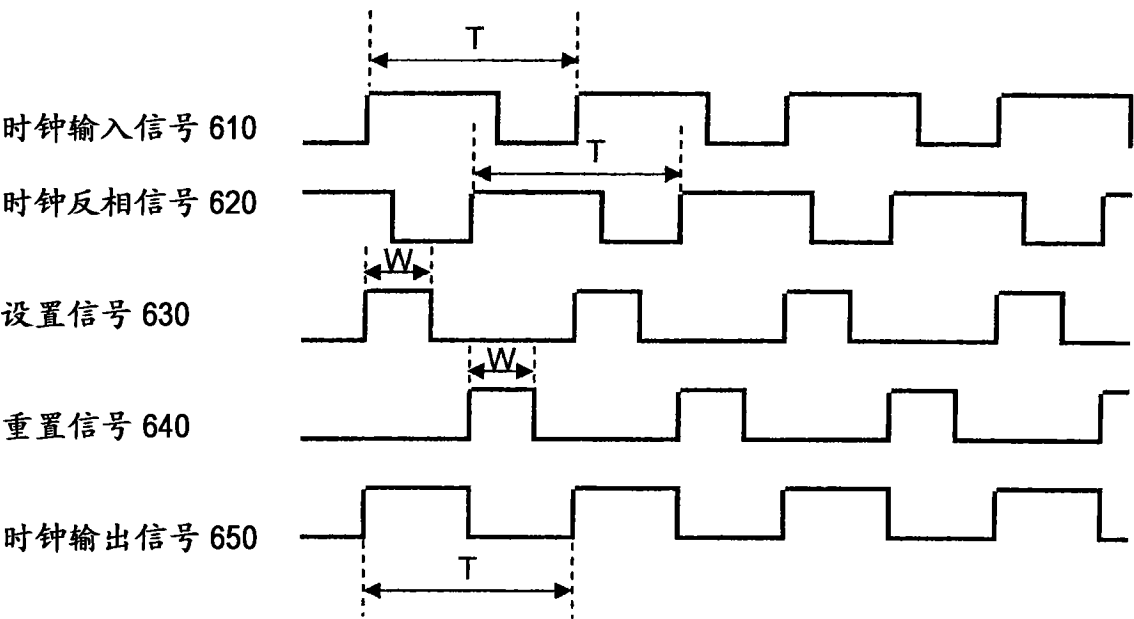


图 6

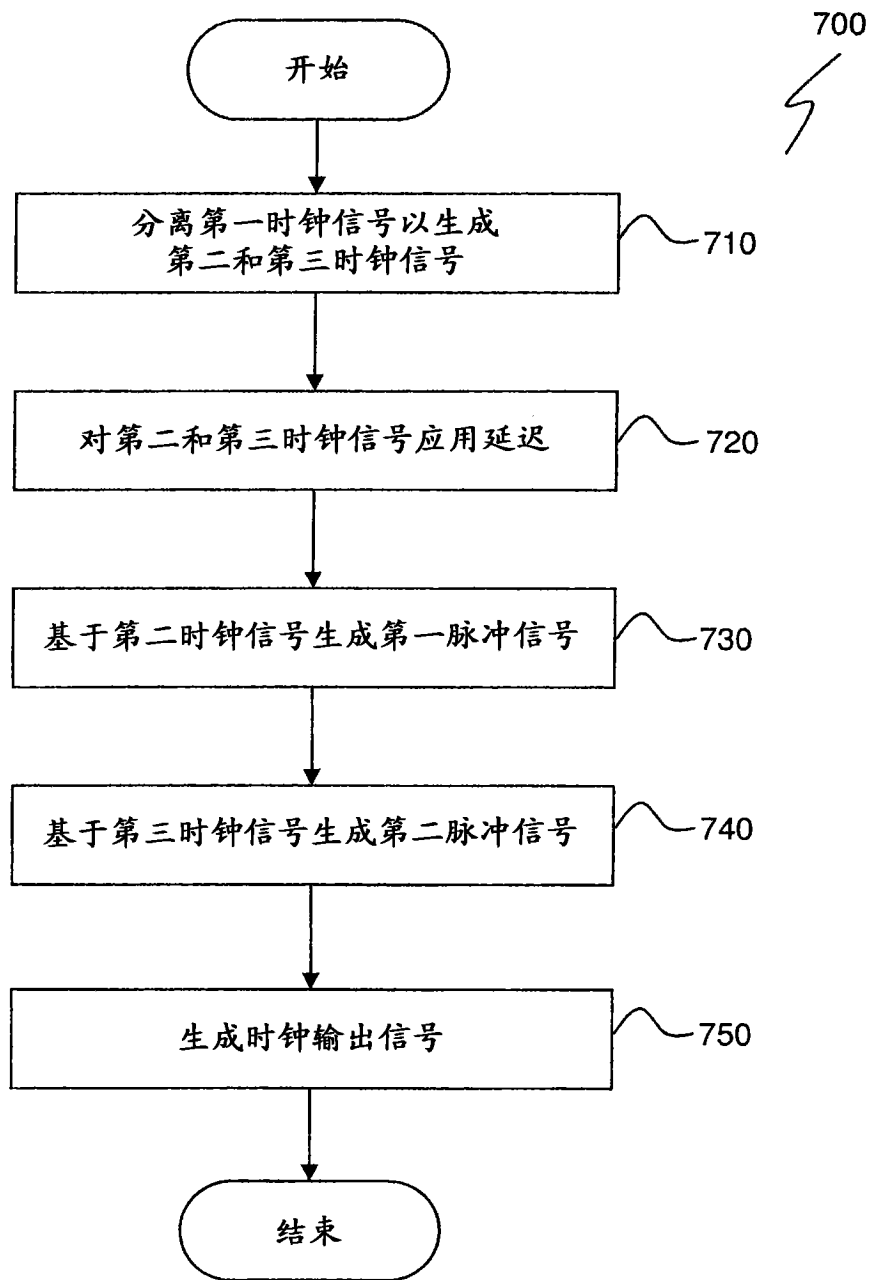


图 7