

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-347607
(P2005-347607A)

(43) 公開日 平成17年12月15日(2005.12.15)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 27/14	HO 1 L 27/14	D 4M118
HO 1 L 23/02	HO 1 L 23/02	F
HO 1 L 23/04	HO 1 L 23/04	E

審査請求 未請求 請求項の数 8 O L (全 15 頁)

(21) 出願番号	特願2004-166931 (P2004-166931)	(71) 出願人	000000376 オリンパス株式会社 東京都渋谷区幡ヶ谷2丁目43番2号
(22) 出願日	平成16年6月4日(2004.6.4)	(74) 代理人	100106909 弁理士 棚井 澄雄
		(74) 代理人	100064908 弁理士 志賀 正武
		(74) 代理人	100101465 弁理士 青山 正和
		(74) 代理人	100094400 弁理士 鈴木 三義
		(74) 代理人	100086379 弁理士 高柴 忠夫

最終頁に続く

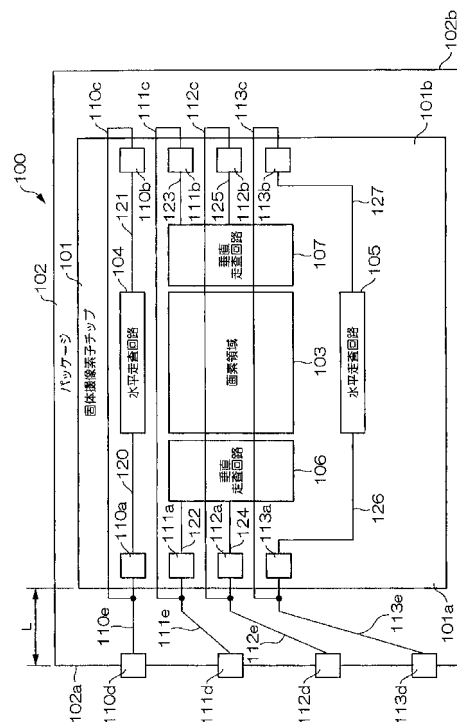
(54) 【発明の名称】 固体撮像装置、固体撮像素子チップ及びパッケージ

(57) 【要約】

【課題】 チップ内での複雑な配線を不要とし、固体撮像素子チップの面積を小さくできると共に、パッケージの小型化を図るようになる。

【解決手段】 固体撮像素子チップ101をパッケージ102に収納して固体撮像装置100を構成する。固体撮像素子チップ101は、一方の側縁部に配置された第1のパッド電極110a、111a、112a、113aと他方の側縁部に配置された第2のパッド電極110b、111b、112b、113bを有し、第1のパッド電極110a、111a、112a、113aと前記第2パッド電極110b、111b、112b、113bとの間をパッケージ内配線110c、111c、112c、113cにより接続する。パッケージ内配線を使うことで、チップ内配線が簡略化でき、チップサイズが縮小できる。

【選択図】 図3



【特許請求の範囲】**【請求項 1】**

固体撮像素子チップをパッケージに収納して構成された固体撮像装置であって、
前記固体撮像素子チップは、一方の側縁部に配置された第 1 のパッド電極と他方の側縁部に配置された第 2 のパッド電極を有し、

前記第 1 のパッド電極と前記第 2 パッド電極との間を前記パッケージ内の配線により接続するようにしたことを特徴とする固体撮像装置。

【請求項 2】

前記第 1 及び第 2 のパッド電極を互いに対向する位置に配列し、且つ、相対する前記第 1 及び第 2 のパッド電極は、各々、同一信号で機能するように配置するようにしたことを特徴とする請求項 1 記載の固体撮像装置。

10

【請求項 3】

前記パッケージは、その外周に、前記パッケージ内の配線と接続され、且つ、外部機器と接続する外部端子を更に有し、

前記外部端子は、前記一方の側縁部及び前記他方の側縁部の夫々に対向する前記パッケージの第 1 の外周部及び第 2 の外周部に配列されていることを特徴とする請求項 1 又は 2 記載の固体撮像装置。

【請求項 4】

前記外部端子は、相対する前記第 1 のパッド電極及び第 2 のパッド電極を 1 ユニットとして、1 ユニット毎に前記第 1 の外周部と第 2 の外周部とに交互に配列されていることを特徴とする請求項 3 記載の固体撮像装置。

20

【請求項 5】

撮像部に対して所定の機能を実行する複数の機能部と、

前記機能部と接続される複数の電極パッドとを有し、

前記複数の電極パッドは、対向する側縁部に配列され、同一信号で機能する複数の前記機能部と接続される複数の前記電極パッドは略同一ライン上に配列されるようにしたことを特徴とする固体撮像素子チップ。

【請求項 6】

固体撮像素子チップを担持するパッケージであって、

前記固体撮像素子チップは、撮像部に対して所定の機能を実行する複数の機能部と、前記機能部と接続される複数の電極パッドとを有し、前記複数の電極パッドは、対向する側縁部に配列され、同一信号で機能する複数の前記機能部と接続される複数の前記電極パッドは略同一ライン上に配列されるように構成されており、

30

一方の側縁部に配列されるパッド電極と他方の側縁部に配列されるパッド電極のうち、同一信号で機能する第 1 の電極パッドと第 2 のパッド電極とを接続する配線が設けられるようにしたことを特徴とするパッケージ。

【請求項 7】

その外周に、前記配線と接続され、且つ、外部機器と接続する外部端子を更に有し、前記外部端子は、前記一方の側縁部及び前記他方の側縁部の夫々に対向する、第 1 の外周部、及び第 2 の外周部に配列されていることを特徴とする請求項 6 記載のパッケージ。

40

【請求項 8】

前記外部端子は、相対する前記第 1 のパッド電極及び第 2 のパッド電極を 1 ユニットとして、1 ユニット毎に前記第 1 の外周部と第 2 の外周部とに、交互に配列されていることを特徴とする請求項 7 記載のパッケージ。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、固体撮像装置、固体撮像素子チップ及び、パッケージに関するもので、特に、固体撮像素子のチップのチップ内配線の簡素化、チップの小型化にかかわる。

50

【背景技術】

【0002】

固体撮像装置において、水平走査回路を受光エリアの対向する辺に振り分けて構成したものが知られている。この際、従来の固体撮像装置では、両側に設けられた水平走査回路には同一の信号が入力されている。また、従来の固体撮像装置では、例えば特許文献1に示されるように、共通の信号は、単一パッド電極からチップ内配線を経由して、各々の走査回路に入力されるようにしている。

【0003】

図7は、水平走査回路を2分割した構成の従来の固体撮像装置を示すものである。図7において、10-11, 10-12, …, 10-34は、画素を構成するCMDで、マトリクス状に配列されている。そしてX方向に配列されている各行のCMDは、それぞれ水平選択線11-1, 11-2, 11-3で共通に接続され、該水平選択線11-1, 11-2, 11-3には、それぞれ垂直走査回路12の出力が印加されている。またY方向に配列された各列のCMDは、それぞれ垂直選択線13-1, 13-2, 13-3, 13-4に接続されており、垂直選択線13-1及び13-3は、それぞれ読み出し用MOSスイッチ14-1及び14-3を介して出力ライン15-1に接続され、同様に垂直選択線13-2及び13-4は、それぞれ読み出し用MOSスイッチ14-2及び14-4を介して、出力ライン15-2に接続されている。読み出し用MOSスイッチ14-1, 14-3の各ゲートには、第1の水平走査回路16-1の出力パルス1-1, 1-3が印加され、読み出し用MOSスイッチ14-2, 14-4の各ゲートには、第2の水平走査回路16-2の出力パルス1-2, 1-4が印加されるようになっている。

【0004】

このような固体撮像装置では、第1及び第2の水平走査回路16-1, 16-2に共通な入力パルスを与えるために、パッド17が設けられる。パッド17に印加された入力パルスは、第1のバッファ18、第2のバッファ19-1, 19-2を介して、第1及び第2の水平走査回路16-1及び16-2にそれぞれ供給される。

【0005】

上述の例では、水平走査回路を受光エリアの対向する辺に振り分けて構成しているが、更に、垂直走査回路を受光エリアの対向する辺に振り分けて構成していても良い。垂直走査回路を振り分けて構成したものでは、第1及び第2の水平走査回路に共通な入力パルスを与えるためのパッドと、第1及び第2の垂直走査回路に共通な入力パルスを与えるためのパッドとが設けられる。

【特許文献1】特開平6-339072号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

上述のように、水平走査回路や垂直走査回路を振り分けて構成した固体撮像装置では、両側に設けられた水平走査回路や垂直走査回路には同一信号が入力される場合がある。従来では、共通の信号に対して単一のパッド電極を設け、単一パッド電極から各々の走査回路に信号を供給している。このように、同一の信号を複数の回路ユニットに入力する際、共通な信号を単一のパッド電極から入力されるようにすると、パッド電極数の増加が抑えられ、固体撮像素子チップ外形が大きくなるのが防止できる。

【0007】

ところが、単一パッド電極から各々の走査回路に信号を供給するためには、そのための配線をチップ内配線で形成する必要がある。すなわち、図7の例では、パッド電極17からバッファ18、バッファ19-1を介して第1の水平走査回路16-1に入力信号を送るチップ内配線21と、パッド電極17からバッファ18、バッファ19-2を介して第2の水平走査回路16-1に入力信号を送るチップ内配線22を形成する必要がある。共通信号が更に増えると、共通信号を伝送するためのチップ内配線が更に複雑化し、固体撮

像素子チップ内で配線に用いられる領域が増大し、固体撮像素子チップのチップサイズが大きくなるという問題が生じる。

【0008】

本発明は、上述の課題に鑑みなされたもので、チップ内での複雑な配線を不要とし、固体撮像素子チップの面積を小さくすることができると共に、パッケージの小型化を図ることができるようにした固体撮像装置、固体撮像素子チップ、及びパッケージを提供することを目的とする。

【課題を解決するための手段】

【0009】

請求項1に係る発明は、固体撮像素子チップをパッケージに収納して構成された固体撮像装置であって、固体撮像素子チップは、一方の側縁部に配置された第1の패드電極と他方の側縁部に配置された第2の패드電極を有し、第1の패드電極と第2の패드電極との間をパッケージ内の配線により接続するようにしたことを特徴とする。

10

【0010】

請求項2に係る発明は、請求項1の発明において、第1及び第2の패드電極を互いに対向する位置に配列し、且つ、相対する第1及び第2の패드電極は、各々、同一信号で機能するように配置するようにしたことを特徴とする。

【0011】

請求項3に係る発明は、請求項1又は2の発明において、パッケージは、その外周に、パッケージ内の配線と接続され、且つ、外部機器と接続する外部端子を更に有し、外部端子は、一方の側縁部及び他方の側縁部の夫々に対向するパッケージの第1の外周部及び第2の外周部に配列されていることを特徴とする。

20

【0012】

請求項4に係る発明は、請求項3の発明において、外部端子は、相対する第1の패드電極及び第2の패드電極を1ユニットとして、1ユニット毎に第1の外周部と第2の外周部とに交互に配列されていることを特徴とする。

【0013】

請求項5に係る発明は、固体撮像素子チップにおいて、撮像部に対して所定の機能を実行する複数の機能部と、機能部と接続される複数の電極パッドとを有し、複数の電極パッドは、対向する側縁部に配列され、同一信号で機能する複数の機能部と接続される複数の電極パッドは略同一ライン上に配列されるようにしたことを特徴とする。

30

【0014】

請求項6に係る発明は、固体撮像素子チップを担持するパッケージであって、固体撮像素子チップは、撮像部に対して所定の機能を実行する複数の機能部と、機能部と接続される複数の電極パッドとを有し、複数の電極パッドは、対向する側縁部に配列され、同一信号で機能する複数の機能部と接続される複数の電極パッドは略同一ライン上に配列されるように構成されており、一方の側縁部に配列される패드電極と他方の側縁部に配列される패드電極のうち、同一信号で機能する第1の電極パッドと第2の電極パッドとを接続する配線が設けられるようにしたことを特徴とする。

【0015】

請求項7に係る発明は、請求項6において、その外周に、配線と接続され、且つ、外部機器と接続する外部端子を更に有し、外部端子は、一方の側縁部及び他方の側縁部の夫々に対向する、第1の外周部、及び第2の外周部に配列されていることを特徴とする。

40

【0016】

請求項8に係る発明は、請求項7の発明において、外部端子は、相対する第1の패드電極及び第2の패드電極を1ユニットとして、1ユニット毎に第1の外周部と第2の外周部とに、交互に配列されていることを特徴とする。

【発明の効果】

【0017】

請求項1に係る発明によれば、固体撮像素子チップの面積を小さく構成することが可能

50

となる。

【0018】

また、請求項2に係る発明によれば、請求項1の効果に加えて、更にパッケージ内に設けられる配線の引き回しを簡略化することが可能となる。

【0019】

また、請求項3に係る発明によれば、請求項1もしくは2の効果に加えて、パッケージ外形の小型化が可能となる。

【0020】

また、請求項4に係る発明によれば、請求項3の効果に加えて、更にパッケージ外形の小型化が可能となる。

10

【0021】

また、請求項5に係る発明によれば、固体撮像素子チップの面積を小さく構成することが可能となる。

【0022】

また、請求項6に係る発明によれば、パッケージ内に設けられる配線の引き回しを簡略化することが可能となる。

【0023】

また、請求項7に係る発明によれば、請求項6の効果に加えて、パッケージ外形の小型化が可能となる。

【0024】

また、請求項8に係る発明によれば、請求項7の効果に加えて、パッケージ外形の更なる小型化が可能となる。

20

【発明を実施するための最良の形態】

【0025】

以下、本発明の実施の形態について図面を参照しながら説明する。本発明は、固体撮像装置において、共通信号が入力される信号線をパッケージ内配線で行うようにしている。パッケージ内配線とは、固体撮像素子チップを収納するパッケージの内で配線を行うものである。本発明の実施形態を説明するに先立ち、パッケージ内配線について説明する。

【0026】

固体撮像装置は、図1に示すように、固体撮像素子チップ501をパッケージ502に収納して構成される。図2にそのA-A断面図で示すように、パッケージ502は、例えば、パッケージ層511、512、513、514の4つのパッケージ層からなる。パッケージ502の上に固体撮像素子チップ501が配置される。パッケージ502の最上部は、例えば、ガラスなどからなる透明部材503で封止される。パッケージ502からは、外部端子505、505、...が導出される。なお、この図はパッケージ内配線を模式的に示したものであり、実際の配線を示すものではない。

30

【0027】

第1のパッケージ層511と第2のパッケージ層512との間には、配線521が形成される。第2のパッケージ層512と第3のパッケージ層513との間には、配線522が形成される。第3のパッケージ層513と第4のパッケージ層514との間には、配線523が形成される。

40

【0028】

固体撮像素子チップ501上には、パッド電極530が配置される。固体撮像素子チップ501のパッド電極530と、第3のパッケージ層513と第4のパッケージ層514との間の配線523とは、例えばワイヤボンディング533により接続される。

【0029】

第3のパッケージ層513と第4のパッケージ層514の配線523と、第2のパッケージ層512と第3のパッケージ層513との間の配線522との間は、層間コンタクト532により接続される。第2のパッケージ層512と第3のパッケージ層513との間の配線522と、第1のパッケージ層511と第2のパッケージ層512との間の配線5

50

2 1 との間は、層間コンタクト 5 3 1 により接続される。第 1 のパッケージ層 5 1 1 と第 2 のパッケージ層 5 1 2 との間の配線 5 2 1 は、外部端子 5 0 5、5 0 5、... に接続される。

【0030】

パッケージ内配線は、このように、パッケージ層間の配線 5 2 1、5 2 2、5 2 3 および、層間接続手段 5 3 1、5 3 2 およびワイヤボンディングなどの接続手段 5 3 0 を使った配線である。以下に説明するように、本発明では、共通信号が入力される信号線を、このようなパッケージ内配線で行うようにしている。

【0031】

なお、本発明のパッケージ配線は、パッケージ層 5 1 1、5 1 2、5 1 3、5 1 4 間の配線 5 2 1、5 2 2、5 2 3 のどの層間配線を用いても良い。また、この例では、パッケージ層を 4 層としているが、これに限定されないのは勿論のことである。また、固体撮像素子チップ 5 0 1 のパッド電極とパッケージ内の配線との間の接続は、ワイヤボンディングに限定されるものではない。また、上述の例では、外部端子 5 0 5 はリードタイプとしているが、これに限定されるものではない。

10

【0032】

図 3 は、本発明の第 1 の実施の形態を表わす固体撮像装置 1 0 0 の概要図を示す。図 3 において、固体撮像装置 1 0 0 は、固体撮像素子チップ 1 0 1 をパッケージ 1 0 2 に収納して構成される。固体撮像素子チップ 1 0 1 上には画素領域 1 0 3 が形成される。また、固体撮像素子チップ 1 0 1 上には、第 1 水平走査回路 1 0 4、第 2 水平走査回路 1 0 5、第 1 垂直走査回路 1 0 6、第 2 垂直走査回路 1 0 7 が画素領域 1 0 3 を挟んで両側に設けられている。なお、本実施の形態を示す概念図において、パッド電極 1 1 0 a、1 1 0 b、1 1 1 a、1 1 1 b、1 1 2 a、1 1 2 b、1 1 3 a、1 1 3 b は図 2 におけるパッド電極 5 3 0 に対応し、パッケージ内配線 1 1 0 c、1 1 0 e、1 1 1 c、1 1 1 e、1 1 2 c、1 1 2 e、1 1 3 c、1 1 3 e は、図 2 におけるパッケージ内配線 5 2 1、5 2 2、5 2 3 および層間接続手段 5 3 1、5 3 2 およびワイヤボンディングなどの接続手段 5 3 3 まで含んで対応するものとする。

20

【0033】

固体撮像素子チップ 1 0 1 の一方の側縁部 1 0 1 a には、パッド電極 1 1 0 a、1 1 1 a、1 1 2 a、1 1 3 a が形成され、他方の側縁部 1 0 1 b には、パッド電極 1 1 0 b、1 1 1 b、1 1 2 b、1 1 3 b が形成される。パッド電極 1 1 0 a は、チップ内配線 1 2 0 により第 1 水平走査回路 1 0 4 に接続される。パッド電極 1 1 0 b は、チップ内配線 1 2 1 により第 1 水平走査回路 1 0 4 に接続される。パッド電極 1 1 1 a は、チップ内配線 1 2 2 により第 1 垂直走査回路 1 0 6 に接続される。パッド電極 1 1 1 b は、チップ内配線 1 2 3 により第 2 垂直走査回路 1 0 7 に接続される。パッド電極 1 1 2 a は、チップ内配線 1 2 4 により第 1 垂直走査回路 1 0 6 に接続される。パッド電極 1 1 2 b は、チップ内配線 1 2 5 により第 2 垂直走査回路 1 0 7 に接続される。パッド電極 1 1 3 a は、チップ内配線 1 2 6 により第 2 水平走査回路 1 0 5 に接続される。パッド電極 1 1 3 b は、チップ内配線 1 2 7 により第 2 水平走査回路 1 0 5 に接続される。

30

【0034】

パッド電極 1 1 0 a とパッド電極 1 1 0 b は、同一の信号を入力するための電極である。パッド電極 1 1 0 a とパッド電極 1 1 0 b とは、パッケージ内配線 1 1 0 c で接続される。パッド電極 1 1 1 a とパッド電極 1 1 1 b は、同一の信号を入力するための電極である。パッド電極 1 1 1 a とパッド電極 1 1 1 b とは、パッケージ内配線 1 1 1 c で接続される。パッド電極 1 1 2 a とパッド電極 1 1 2 b は、同一の信号を入力するための電極である。パッド電極 1 1 2 a とパッド電極 1 1 2 b とは、パッケージ内配線 1 1 2 c で接続される。パッド電極 1 1 3 a とパッド電極 1 1 3 b は、同一の信号を入力するための電極である。パッド電極 1 1 3 a とパッド電極 1 1 3 b とは、パッケージ内配線 1 1 3 c で接続される。

40

【0035】

50

このように、対向する側縁部のほぼ向かい合った位置のほぼ同一ライン上のパッド電極 110a 及び 110b、111a 及び 111b、112a 及び 112b、113a 及び 113b には、それぞれ、同一の信号が入力されるように、各パッド電極が配置されている。そして、同一の信号が入力されるパッド電極 110a 及び 110b、111a 及び 111b、112a 及び 112b、113a 及び 113b の間は、それぞれ、パッケージ内配線 110c、111c、112c、113c で接続される。

【0036】

パッケージ 102 の外周部 102a は固体撮像素子チップ 101 の側縁部 101a に対向し、パッケージ 102 の外周部 102b は固体撮像素子チップ 101 の側縁部 101b に対向している。パッケージ 102 の一方の外周部 102a には、外部端子 110d、外部端子 111d、外部端子 112d、外部端子 113d が設けられる。パッケージ内配線 110c、111c、112c 及び 113c は、パッケージ内配線 110e、111e、112e 及び 113e により、外部端子 110d、111d、112d 及び 113d に夫々接続されている。

10

【0037】

このように、第 1 実施形態では、対向する側縁部のほぼ向かい合った位置のパッド電極 110a 及び 110b、111a 及び 111b、112a 及び 112b、113a 及び 113b には、同一の信号が入力されるように、各パッド電極が配置されている。そして、同一の信号が入力されるパッド電極 110a と 110b と外部端子 110d とを結線する配線をパッケージ内配線 110c、110e とし、同一の信号が入力されるパッド電極 111a と 111b と外部端子 111d とを結線する配線をパッケージ内配線 111c、111e とし、同一の信号が入力されるパッド電極 112a と 112b と外部端子 112d とを結線する配線をパッケージ内配線 112c、112e とし、同一の信号が入力されるパッド電極 113a と 113b と外部端子 113d とを結線する配線をパッケージ内配線 113c、113e としている。これにより、対向する側縁部のほぼ向かい合った位置にあるパッド電極 110a 及び 110b、111a 及び 111b、112a 及び 112b、113a 及び 113b には、それぞれ、同一の信号が入力されるため、固体撮像素子チップ内で同一信号が入力されるパッド電極同士をチップ内配線にて接続する必要がなくなり、チップ内配線領域を減らせることができ、固体撮像素子チップの面積を小さくすることができる。

20

30

【0038】

次に本発明の第 2 の実施の形態について説明する。図 4 は、本発明の第 2 の実施の形態を表わす固体撮像装置 200 の概要図を示す。図 4 において、固体撮像装置 200 は、固体撮像素子チップ 201 をパッケージ 202 に収納して構成される。固体撮像素子チップ 201 上には画素領域 203 が形成される。また、固体撮像素子チップ 201 上には、第 1 水平走査回路 204、第 2 水平走査回路 205、第 1 垂直走査回路 206、第 2 垂直走査回路 207 が画素領域 203 を挟んで両側に設けられている。なお、本実施の形態を示す概念図において、パッド電極 210a、210b、211a、211b、212a、212b、213a、213b は図 2 におけるパッド電極 530 に対応し、パッケージ内配線 210c、210e、211c、211e、212c、212e、213c、213e は、図 2 におけるパッケージ内配線 521、522、523 および層間接続手段 531、532 およびワイヤボンディングなどの接続手段 533 まで含んで対応するものとする。

40

【0039】

固体撮像素子チップ 201 の一方の側縁部 201a には、パッド電極 210a、211a、212a、213a が形成され、他方の側縁部 201b には、パッド電極 210b、211b、212b、213b が形成される。パッド電極 210a は、チップ内配線 220 により第 1 水平走査回路 204 に接続される。パッド電極 210b は、チップ内配線 221 により第 1 水平走査回路 204 に接続される。パッド電極 211a は、チップ内配線 222 により第 1 垂直走査回路 206 に接続される。パッド電極 211b は、チップ内配線 223 により第 2 垂直走査回路 207 に接続される。パッド電極 212a は、チップ内

50

配線 224 により第 1 垂直走査回路 206 に接続される。パッド電極 212b は、チップ内配線 225 により第 2 垂直走査回路 207 に接続される。パッド電極 213a は、チップ内配線 226 により第 2 水平走査回路 205 に接続される。パッド電極 213b は、チップ内配線 227 により第 2 水平走査回路 205 に接続される。

【0040】

パッド電極 210a とパッド電極 210b は、同一の信号を入力するための電極である。パッド電極 210a とパッド電極 210b とは、パッケージ内配線 210c で接続される。パッド電極 211a とパッド電極 211b は、同一の信号を入力するための電極である。パッド電極 211a とパッド電極 211b とは、パッケージ内配線 211c で接続される。パッド電極 212a とパッド電極 212b は、同一の信号を入力するための電極である。パッド電極 212a とパッド電極 212b とは、パッケージ内配線 212c で接続される。パッド電極 213a とパッド電極 213b は、同一の信号を入力するための電極である。パッド電極 213a とパッド電極 213b とは、パッケージ内配線 213c で接続される。

10

【0041】

このように、対向する側縁部のほぼ向かい合った位置のほぼ同一のライン上のパッド電極 210a 及び 210b、211a 及び 211b、212a 及び 212b、213a 及び 213b には、それぞれ、同一の信号が入力されるように、各パッド電極が配置されている。そして、同一の信号が入力されるパッド電極 210a 及び 210b、211a 及び 211b、212a 及び 212b、213a 及び 213b の間は、それぞれ、パッケージ内配線 210c、211c、212c、213c で接続される。

20

【0042】

パッケージ 202 の外周部 202a は固体撮像素子チップ 201 の側縁部 201a に対向し、パッケージ 202 の外周部 202b は固体撮像素子チップ 201 の側縁部 201b に対向している。パッケージ 202 の一方の外周部 202a には、外部端子 210d と外部端子 211d が設けられ、パッケージ 202 の他方の外周部 202b には、外部端子 212d と外部端子 213d とが設けられる。パッケージ内配線 210c、211c、212c 及び 213c は、パッケージ内配線 210e、211e、212e 及び 213e により、外部端子 210d、211d、212d 及び 213d に夫々接続されている。

【0043】

上述の第 1 の実施例と第 2 の実施形態との相違点は、第 1 の実施形態では、複数ある外部端子がパッケージの一側縁部にすべて設けられているのに対して、第 2 実施形態では、複数ある外部端子がパッケージの対向する外周部に振り分けられている点である。すなわち、第 2 の実施形態では、パッケージ 202 の一方の外周部 202a に外部端子 210d と外部端子 211d を設け、パッケージ 202 の他方の外周部 202b に外部端子 212d と外部端子 213d を設けるようにしている。

30

【0044】

入力信号数すなわちパッド電極数が多くなると、通常パッド電極間ピッチよりも外部端子間ピッチが広いため、外部端子への接続を行うためのパッケージ内配線を引き回す必要があり、その配線領域を確保するためにパッケージサイズが大きくなってしまふ。この実施の形態によれば、外部端子を対向する外周部に振り分けることにより外部端子への接続をするためのパッケージ内配線領域の面積を小さくすることができる。このため、チップ端 - パッケージ端間隔 L を第 1 の実施形態の場合より狭くすることができ、パッケージ外形の小型化が実現できる。

40

【0045】

図 5 は、本発明の第 3 の実施の形態を表わす固体撮像装置 300 の概要図を示す。固体撮像装置 300 は、固体撮像素子チップ 301 をパッケージ 302 に収納して構成される。固体撮像素子チップ 301 上には画素領域 303 が形成される。また、固体撮像素子チップ 301 上には、第 1 水平走査回路 304、第 2 水平走査回路 305、第 1 垂直走査回路 306、第 2 垂直走査回路 307 が画素領域 303 を挟んで両側に設けられている。な

50

お、本実施の形態を示す概念図において、パッド電極 310a、310b、311a、311b、312a、312b、313a、313b は図 2 におけるパッド電極 530 に対応し、パッケージ内配線 310c、310e、311c、311e、312c、312e、313c、313e は、図 2 におけるパッケージ内配線 521、522、523 および層間接続手段 531、532 およびワイヤボンディングなどの接続手段 533 まで含んで対応するものとする。

【0046】

固体撮像素子チップ 301 の一方の側縁部 301a には、パッド電極 310a、311a、312a、313a が形成され、他方の側縁部 301b には、パッド電極 310b、311b、312b、313b が形成される。パッド電極 310a は、チップ内配線 320 により第 1 水平走査回路 304 に接続される。パッド電極 310b は、チップ内配線 321 により第 1 水平走査回路 304 に接続される。パッド電極 311a は、チップ内配線 322 により第 1 垂直走査回路 306 に接続される。パッド電極 311b は、チップ内配線 323 により第 2 垂直走査回路 307 に接続される。パッド電極 312a は、チップ内配線 324 により第 1 垂直走査回路 306 に接続される。パッド電極 312b は、チップ内配線 325 により第 2 垂直走査回路 307 に接続される。パッド電極 313a は、チップ内配線 326 により第 2 水平走査回路 305 に接続される。パッド電極 313b は、チップ内配線 327 により第 2 水平走査回路 305 に接続される。

10

【0047】

パッド電極 310a とパッド電極 310b は、同一の信号を入力するための電極である。パッド電極 310a とパッド電極 310b とは、パッケージ内配線 310c で接続される。パッド電極 311a とパッド電極 311b は、同一の信号を入力するための電極である。パッド電極 311a とパッド電極 311b とは、パッケージ内配線 311c で接続される。パッド電極 312a とパッド電極 312b は、同一の信号を入力するための電極である。パッド電極 312a とパッド電極 312b とは、パッケージ内配線 312c で接続される。パッド電極 313a とパッド電極 313b は、同一の信号を入力するための電極である。パッド電極 313a とパッド電極 313b とは、パッケージ内配線 313c で接続される。

20

【0048】

このように、対向する外周部のほぼ向かい合った位置のほぼ同一のライン上のパッド電極 310a 及び 310b、311a 及び 311b、312a 及び 312b、313a 及び 313b には、それぞれ、同一の信号が入力されるように、各パッド電極が配置されている。そして、同一の信号が入力されるパッド電極 310a 及び 310b、311a 及び 311b、312a 及び 312b、313a 及び 313b の間は、それぞれ、パッケージ内配線 310c、311c、312c、313c で接続される。

30

【0049】

パッケージ 302 の外周部 302a は固体撮像素子チップ 301 の側縁部 301a に対向し、パッケージ 302 の外周部 302b は固体撮像素子チップ 301 の側縁部 301b に対向している。パッケージ 302 の一方の外周部 302a には、外部端子 310d と外部端子 312d が設けられ、パッケージ 302 の他方の外周部 302b には、外部端子 311d と外部端子 313d とが設けられる。パッケージ内配線 310c、311c、312c 及び 313c は、パッケージ内配線 310e、311e、312e 及び 313e により、外部端子 310d、311d、312d 及び 313d に夫々接続されている。

40

【0050】

上述の第 2 の実施例と第 3 の実施形態との相違点は、第 3 の実施形態では、外部端子と相対するパッド電極を 1 ユニットとし、外部端子を 1 ユニットおきにパッケージの対向する外周部に交互に配列した点である。つまり、この第 3 実施形態では、パッド電極 310a に対する外部端子がパッケージ 302 の一方の外周部 302a に配置され、パッド電極 311b に対する外部端子がパッケージ 302 の他方の外周部 302b に配置され、パッド電極 312a に対する外部端子がパッケージ 302 の一方の外周部 302a に配置され

50

、パッド電極 3 1 3 b に対する外部端子がパッケージ 3 0 2 の他方の外周部 3 0 2 b に配置される。このように、外部端子を 1 ユニットおきにパッケージの対向する外周部に交互に配置しているので、パッド電極ピッチが広がったことと等価となり、外部端子への接続をするためのパッケージ内配線の引き回しが容易となるため、第 2 の実施の形態にくらべて、更にチップ端 - パッケージ端間隔 L を狭く構成することができ、更にパッケージ外形の小型化を実現できる。

【 0 0 5 1 】

次に本発明の第 4 の実施の形態について説明する。図 6 に第 4 の実施の形態を表わす固体撮像装置の概要図を示す。本実施の形態では、対向する外周部に設けられたパッド電極の中で共通接続する必要のないパッド電極があった場合のものである。

10

【 0 0 5 2 】

図 6 において、固体撮像装置 4 0 0 は、固体撮像素子チップ 4 0 1 をパッケージ 4 0 2 に収納して構成される。固体撮像素子チップ 4 0 1 上には画素領域 4 0 3 が形成される。また、固体撮像素子チップ 4 0 1 上には、第 1 水平走査回路 4 0 4、第 2 水平走査回路 4 0 5 や、第 1 垂直走査回路 4 0 6、第 2 垂直走査回路 4 0 7 が画素領域 4 0 3 を挟んで両側に設けられている。なお、本実施の形態を示す概念図において、パッド電極 4 1 0 a、4 1 0 b、4 1 1 a、4 1 1 b、4 1 2 a、4 1 2 b、4 1 3 a、4 1 3 b は図 2 におけるパッド電極 5 3 0 に対応し、パッケージ内配線 4 1 0 c、4 1 0 e、4 1 1 c、4 1 1 e、4 1 2 c、4 1 2 e、4 1 3 c、4 1 3 e は、図 2 におけるパッケージ内配線 5 2 1、5 2 2、5 2 3 および層間接続手段 5 3 1、5 3 2 およびワイヤボンディングなどの接続手段 5 3 3 まで含んで対応するものとする。

20

【 0 0 5 3 】

固体撮像素子チップ 4 0 1 の一方の側縁部 4 0 1 a には、パッド電極 4 1 0 a、4 1 2 a、4 1 3 a、及びダミーパッド電極 4 1 5 が形成され、他方の側縁部 4 0 1 b には、パッド電極 4 1 0 b、4 1 1 b、4 1 2 b、4 1 3 b が形成される。パッド電極 4 1 0 a はチップ内配線 4 2 0 により第 1 水平走査回路 4 0 4 に接続される。パッド電極 4 1 0 b はチップ内配線 4 2 1 により第 1 水平走査回路 4 0 4 に接続される。パッド電極 4 1 1 b は、チップ内配線 4 2 3 により画素領域 4 0 3 に接続される。ダミーパッド電極 4 1 5 は、何とも接続されていない。パッド電極 4 1 2 a は、チップ内配線 4 2 4 により第 1 垂直走査回路 4 0 6 に接続される。パッド電極 4 1 2 b は、チップ内配線 4 2 5 により第 2 垂直走査回路 4 0 7 に接続される。パッド電極 4 1 3 a は、チップ内配線 4 2 6 により第 2 水平走査回路 4 0 5 に接続される。パッド電極 4 1 3 b は、チップ内配線 4 2 7 により第 2 水平走査回路 4 0 5 に接続される。

30

【 0 0 5 4 】

パッド電極 4 1 0 a とパッド電極 4 1 0 b は、同一の信号を入力するための電極である。パッド電極 4 1 0 a とパッド電極 4 1 0 b とは、パッケージ内配線 4 1 0 c で接続される。ダミーパッド電極 4 1 5 は、何も供給されない。パッド電極 4 1 1 b は、入力信号として、例えば電源が供給される。パッド電極 4 1 2 a とパッド電極 4 1 2 b は、同一の信号を入力するための電極である。パッド電極 4 1 2 a とパッド電極 4 1 2 b とは、パッケージ内配線 4 1 2 c で接続される。パッド電極 4 1 3 a とパッド電極 4 1 3 b は、同一の信号を入力するための電極である。パッド電極 4 1 3 a とパッド電極 4 1 3 b とは、パッケージ内配線 4 1 3 c で接続される。

40

【 0 0 5 5 】

このように、対向する外周部のほぼ向かい合ったほぼ同一ラインの位置のパッド電極 4 1 0 a 及び 4 1 0 b、4 1 2 a 及び 4 1 2 b、4 1 3 a 及び 4 1 3 b には、それぞれ、同一の信号が入力されるように、各パッド電極が配置されている。これら、同一の信号が供給されるパッド電極の間は、それぞれ、パッケージ内配線 4 1 0 c、4 1 2 c、4 1 3 c で接続される。なお、パッド電極 4 1 1 b とダミーパッド電極 4 1 5 については、同じ信号は供給されておらず、パッケージ内配線で結ばれていない。

【 0 0 5 6 】

50

パッケージ 402 の外周部 402 a は固体撮像素子チップ 401 の側縁部 401 a に対向し、パッケージ 402 の外周部 402 b は固体撮像素子チップ 401 の側縁部 401 b に対向している。パッケージ 402 の一方の外周部 402 a には、外部端子 410 d と外部端子 412 d が設けられ、パッケージ 402 の他方の外周部 402 b には、外部端子 411 d と外部端子 413 d とが設けられる。パッケージ内配線 410 c、411 c、412 c 及び 413 c は、パッケージ内配線 410 e、411 e、412 e 及び 413 e により、外部端子 410 d、411 d、412 d 及び 413 d に夫々接続されている。

【0057】

この実施形態は、固体撮像素子チップ 401 上の対向する辺のほぼ向かい合う位置に配置されているパッド電極のうち、片側のパッド電極のみに信号が入力されるパッド電極がある場合を示している。すなわち、パッド電極 411 b とダミーパッド電極 415 とは、対向する辺のほぼ向かい合う位置に配置されているが、パッド電極 411 b にのみ信号が供給され、ダミーパッド電極 415 には、信号は供給されない。

10

【0058】

このように対向する辺に設けられたパッド電極の中で共通接続する必要のないパッド電極があった場合でも、共通接続されるパッド電極間の接続をパッケージ内配線で接続し、それに接続される外部端子をパッケージの対向する外周部に交互に配列することにより、固体撮像素子の小型化を実現できる。

【0059】

なお、図中固体撮像素子チップ上のどの回路にも接続されないダミーパッド電極 415 は必ずしも配設しておく必要がないことは言うまでもない。

20

【0060】

また、本発明による全ての実施の形態において、パッケージ内配線を介して共通に接続されるパッド電極に入力される信号は走査回路へチップ内配線を介して入力されているが、必ずしも走査回路への信号であるとは限らない。更に、本発明による全ての実施の形態において、パッケージ内配線は、撮像素子チップ上のパッド電極とパッケージ上に形成された金属配線との電氣的接続手段を含むことは先に述べたとおりだが、電氣的接続手段としては、一般的にワイヤボンディングなどが用いられるが、低抵抗で電氣的接続が確保される手段であれば、その手段は問わない。外部端子についても、パッド電極とパッケージ内配線との間の電氣的接続手段と同様に、外部電気基板（図示せず）と低抵抗での電氣的接続が取れば、外部端子としての形状はどのようなものでもよい。

30

また、上記実施の形態では、上下左右に走査回路を有する X Y アドレス型固体撮像素子を例にとり説明したが、これに限定されるものではない。

【0061】

本発明は、上述した実施形態に限定されるものではなく、この発明の要旨を逸脱しない範囲内で様々な変形や応用が可能である。

【図面の簡単な説明】

【0062】

【図 1】固体撮像素子装置におけるパッケージ内配線の説明に用いる斜視図である。

【図 2】固体撮像素子装置におけるパッケージ内配線の説明に用いる断面図である。

40

【図 3】本発明による第 1 の実施の形態を表す固体撮像素子装置の構成図である。

【図 4】本発明による第 2 の実施の形態を表す固体撮像素子装置の構成図である。

【図 5】本発明による第 3 の実施の形態を表す固体撮像素子装置の構成図である。

【図 6】本発明による第 4 の実施の形態を表す固体撮像素子装置の構成図である。

【図 7】従来の固体撮像素子装置の説明に用いる接続図である。

【符号の説明】

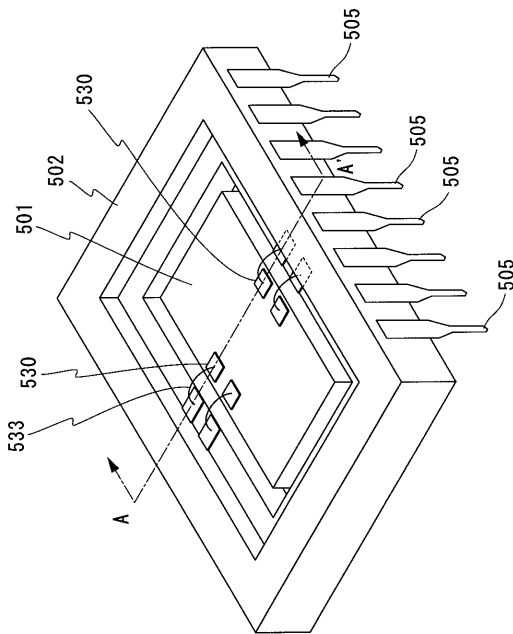
【0063】

101、201、301、401・・・固体撮像素子チップ、102、202、302、402・・・パッケージ、103、203、303、403・・・画素領域、104、204、304、404・・・第 1 水平走査回路、105、205、305、405・・・

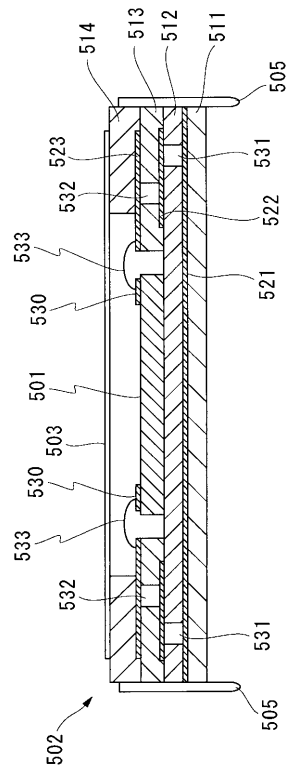
50

・第2水平走査回路、106、206、306、406・・・第1垂直走査回路、107、207、307、407・・・第2垂直走査回路、110c~113c、210c~213c、310c~313c、410c、412c、413c・・・パッケージ内配線

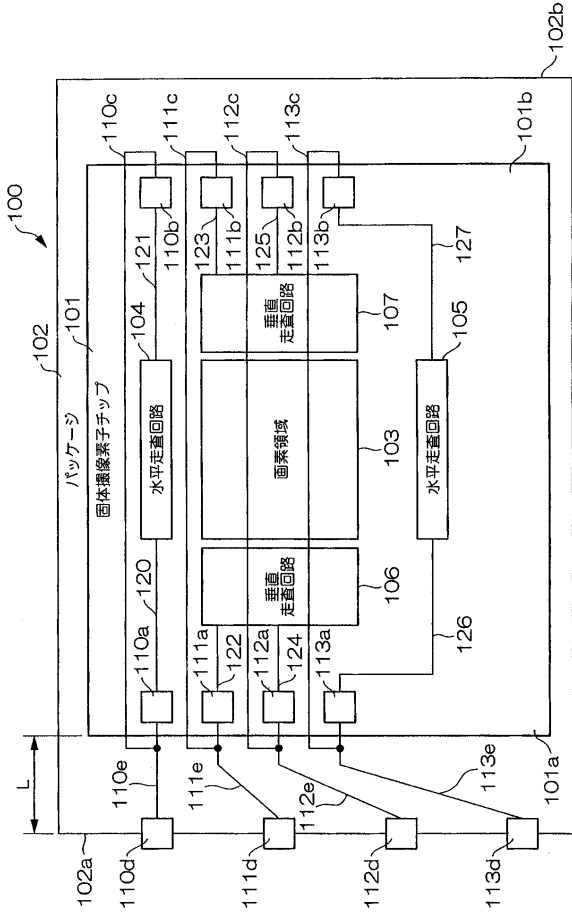
【図1】



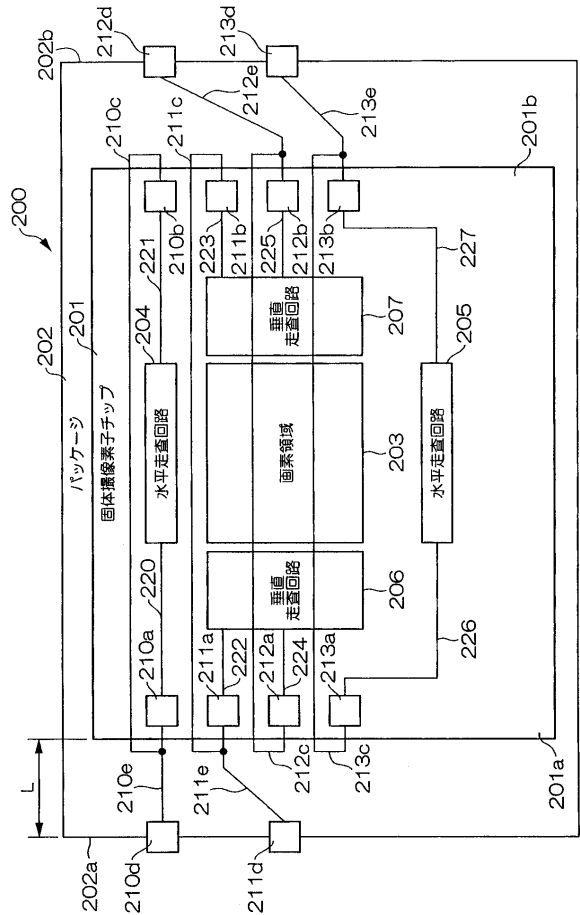
【図2】



【 図 3 】



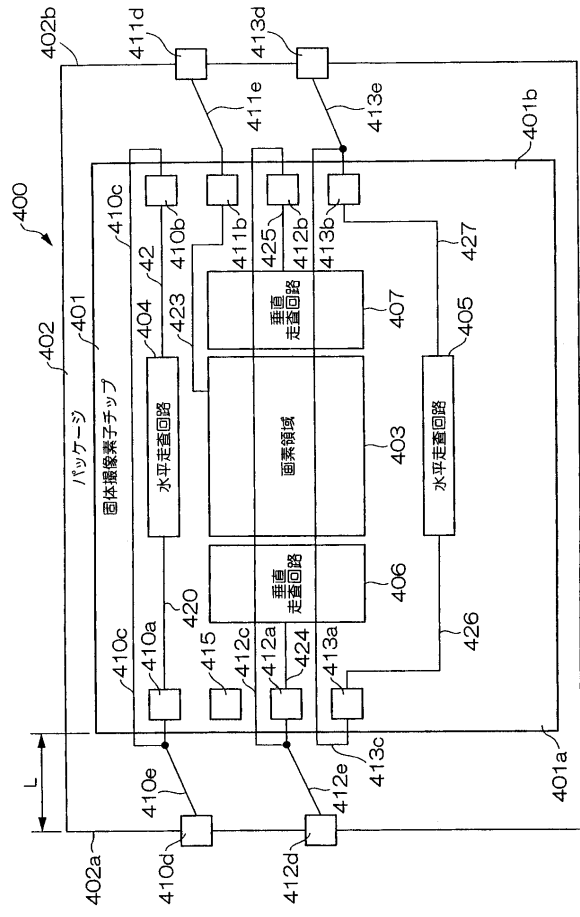
【 図 4 】



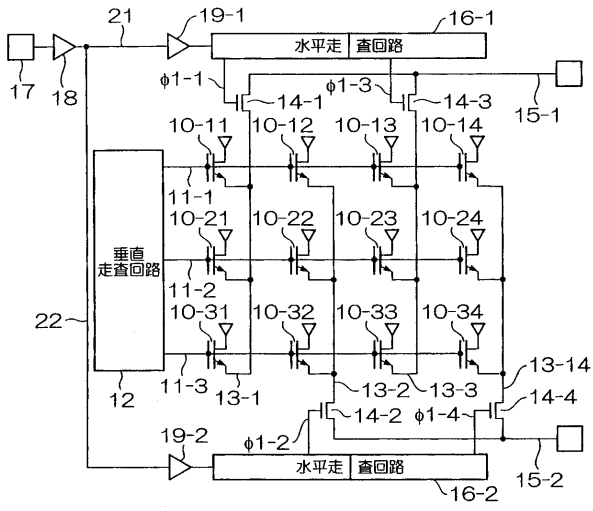
【 図 5 】



【 図 6 】



【图 7】



フロントページの続き

(72)発明者 細貝 茂

東京都渋谷区幡ヶ谷2丁目4番2号 オリンパス株式会社内

Fターム(参考) 4M118 AB01 HA02 HA10 HA11 HA25 HA30