



(12) 发明专利申请

(10) 申请公布号 CN 117981078 A

(43) 申请公布日 2024. 05. 03

(21) 申请号 202280061486.2

(22) 申请日 2022.08.05

(30) 优先权数据

17/479,691 2021.09.20 US

(85) PCT国际申请进入国家阶段日

2024.03.11

(86) PCT国际申请的申请数据

PCT/US2022/039610 2022.08.05

(87) PCT国际申请的公布数据

W02023/043548 EN 2023.03.23

(71) 申请人 高通股份有限公司

地址 美国加利福尼亚州

(72) 发明人 H·赵 方堃 J·杨 S·黄

(74) 专利代理机构 北京市金杜律师事务所

11256

专利代理师 张宁 姚宗妮

(51) Int.Cl.

H01L 23/498 (2006.01)

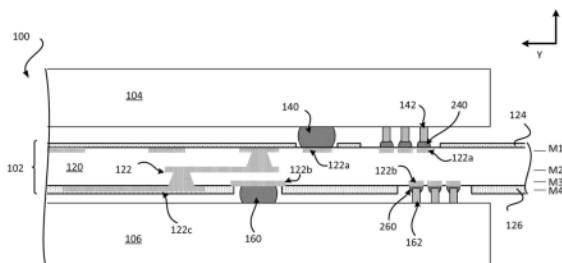
权利要求书3页 说明书15页 附图11页

(54) 发明名称

包括具有高密度互连件的衬底的封装件

(57) 摘要

一种封装件,该封装件包括:衬底、耦合至该衬底的第一表面的第一集成器件、以及耦合至该衬底的第二表面的第二集成器件。该衬底包括:至少一个电介质层;位于该至少一个电介质层中并穿过该至少一个电介质层的第一表面的第一多个高密度互连件;位于该至少一个电介质层中的第二多个高密度互连件。



横截面剖面视图

1. 一种封装件,包括:  
衬底,所述衬底包括:  
至少一个电介质层;  
位于所述至少一个电介质层中并穿过所述至少一个电介质层的第一表面的第一多个互连件,其中所述第一多个互连件包括第一宽度和第一间距;  
位于所述至少一个电介质层中并穿过所述至少一个电介质层的第二表面的第二多个互连件,其中所述第二多个互连件包括第二宽度和第二间距;以及  
位于所述至少一个电介质层中的第三多个互连件,  
其中所述第三多个互连件包括大于所述第一宽度和所述第二宽度的第三宽度,并且  
其中所述第三多个互连件包括大于所述第一间距和所述第二间距的第三间距,  
耦合至所述衬底的第一表面的第一集成器件;以及  
耦合至所述衬底的第二表面的第二集成器件。
2. 根据权利要求1所述的封装件,  
其中所述第一集成器件耦合至所述第一多个互连件,并且  
其中所述第二集成器件耦合至所述第二多个互连件。
3. 根据权利要求1所述的封装件,  
其中所述第一多个互连件位于所述衬底的第一金属层上,并且其中所述第二多个互连件位于所述衬底的倒数第二金属层上。
4. 根据权利要求1所述的封装件,  
其中所述第一多个互连件位于所述至少一个电介质层中的第一金属层上,并且  
其中所述第二多个互连件位于被嵌入在所述至少一个电介质层中的最后金属层上。
5. 根据权利要求1所述的封装件,其中所述衬底包括位于所述至少一个电介质层的所述第一表面之上的第四多个互连件。
6. 根据权利要求1所述的封装件,其中所述衬底包括位于所述至少一个电介质层的所述第二表面之上的第四多个互连件。
7. 根据权利要求1所述的封装件,  
其中所述第一多个互连件包括约3微米-4微米的第一最小宽度和/或约3微米-4微米的第一最小间距,并且  
其中所述第二多个互连件包括约3微米-4微米的第二最小宽度和/或约3微米-4微米的第二最小间距。
8. 根据权利要求1所述的封装件,  
其中所述第一宽度为约3微米-4微米或更大并且/或者所述第一间距为约3微米-4微米或更大,并且  
其中所述第二宽度为约3微米-4微米或更大并且/或者所述第二间距为约3微米-4微米或更大。
9. 根据权利要求1所述的封装件,其中所述第一集成器件通过第一多个焊料互连件和/或第一多个柱互连件耦合至所述第一多个互连件。
10. 根据权利要求9所述的封装件,其中所述第二集成器件通过第二多个焊料互连件和/或第二多个柱互连件耦合至所述第二多个互连件。

11. 一种装置,包括:  
衬底,所述衬底包括:  
至少一个电介质层;  
用于第一高密度互连的构件,用于第一高密度互连的所述构件位于所述至少一个电介质层中并穿过所述至少一个电介质层的第一表面;以及  
用于第二高密度互连的构件,用于第二高密度互连的所述构件位于所述至少一个电介质层中并穿过所述至少一个电介质层的第二表面;  
耦合至所述衬底的第一表面的第一集成器件;以及  
耦合至所述衬底的第二表面的第二集成器件。
12. 根据权利要求11所述的装置,  
其中所述第一集成器件耦合至用于第一高密度互连的所述构件,并且  
其中所述第二集成器件耦合至用于第二高密度互连的所述构件。
13. 根据权利要求11所述的装置,  
其中用于第一高密度互连的所述构件位于所述衬底的第一金属层上,并且  
其中用于第二高密度互连的所述构件位于所述衬底的倒数第二金属层上。
14. 根据权利要求11所述的装置,  
其中用于第一高密度互连的所述构件位于所述至少一个电介质层中的第一金属层上,  
并且  
其中用于第二高密度互连的所述构件位于被嵌入在所述至少一个电介质层中的最后金属层上。
15. 根据权利要求11所述的装置,其中所述衬底包括位于所述至少一个电介质层的所述第一表面之上的用于互连的构件。
16. 根据权利要求11所述的装置,其中所述衬底包括位于所述至少一个电介质层的所述第二表面之上的用于互连的构件。
17. 根据权利要求11所述的装置,  
其中用于第一高密度互连的所述构件包括具有约3微米-4微米的第一最小宽度和/或约3微米-4微米的第一最小间距的第一互连件,并且  
其中用于第二高密度互连的所述构件包括具有约3微米-4微米的第二最小宽度和/或约3微米-4微米的第二最小间距的第二互连件。
18. 根据权利要求11所述的装置,  
其中用于第一高密度互连的所述构件包括具有约3微米-4微米或更大的第一宽度和/或约3微米-4微米或更大的第一间距的第一互连件,并且  
其中用于第二高密度互连的所述构件包括具有约3微米-4微米或更大的第二宽度和/或约3微米-4微米或更大的第二间距的第二互连件。
19. 根据权利要求11所述的装置,  
其中所述第一集成器件通过用于第一焊料互连的构件和/或用于第一柱互连的构件耦合至用于第一高密度互连的所述构件,并且其中所述第二集成器件通过用于第二焊料互连的构件和/或用于第二柱互连的构件耦合至用于第二高密度互连的所述构件。
20. 根据权利要求11所述的装置,其中所述装置包括选自由以下项组成的组的设备:音

乐播放器、视频播放器、娱乐单元、导航设备、通信设备、移动设备、移动电话、智能电话、个人数字助理、固定位置终端、平板计算机、计算机、可穿戴设备、膝上型计算机、服务器、物联网 (IoT) 设备和机动车辆中的设备。

21. 一种用于制造衬底的方法, 包括:

提供包括第一晶种层的第一载体;

在所述第一晶种层之上形成第一多个高密度互连件;

在所述第一多个高密度互连件之上形成第一电介质层;

在所述第一电介质层之中和/或之上形成多个互连件;

提供包括第二晶种层的第二载体;

在所述第二晶种层之上形成第二多个高密度互连件;

通过第二电介质层将包括所述第二晶种层以及所述第二多个高密度互连件的所述第二载体耦合至包括所述第一晶种层、所述第一多个高密度互连件、所述第一电介质层以及所述多个互连件的所述第一载体;

将所述第二载体与所述第一载体解耦; 以及

移除所述第一晶种层的部分以及所述第二晶种层的部分。

22. 根据权利要求21所述的方法, 其中在解耦所述第二载体之后, 进一步包括在所述第二电介质层之中和之上形成第二多个互连件。

23. 根据权利要求21所述的方法, 进一步在所述第二多个高密度互连件之上形成阻焊层。

## 包括具有高密度互连件的衬底的封装件

[0001] 相关申请的交叉引用

[0002] 本申请要求于2021年9月20日在美国专利局提交的非临时申请序列号17/479,691的优先权和权益,该非临时申请的全部内容以引用方式如同整体在下文全面阐述那样并且出于所有适用目的并入本文。

### 技术领域

[0003] 各种特征涉及具有衬底的封装件。

### 背景技术

[0004] 封装件可包括衬底和集成器件。这些部件耦合在一起以提供可以执行各种电气功能的封装件。一直存在提供性能较好的封装件以及减小封装件的整体大小的需求。

### 发明内容

[0005] 各种特征涉及具有衬底的封装件。

[0006] 一个示例提供了一种封装件,该封装件包括:衬底、耦合至该衬底的第一表面的第一集成器件以及耦合至该衬底的第二表面的第二集成器件。该衬底包括至少一个电介质层;第一多个互连件,该第一多个互连件位于该至少一个电介质层中并穿过该至少一个电介质层的该第一表面;以及第二多个互连件,该第二多个互连件位于该至少一个电介质层中并穿过该至少一个电介质层的该第二表面。该第一多个互连件包括第一宽度和第一间距。该第二多个互连件包括第二宽度和第二间距。该衬底包括位于该至少一个电介质层中的第三多个互连件。该第三多个互连件包括大于该第一宽度和该第二宽度的第三宽度。该第三多个互连件包括大于该第一间距和该第二间距的第三间距。

[0007] 另一示例提供了一种装置,该装置包括:衬底、耦合至该衬底的第一表面的第一集成器件、以及耦合至该衬底的第二表面的第二集成器件。该衬底包括:至少一个电介质层;用于第一高密度互连的构件,用于第一高密度互连的该构件位于该至少一个电介质层中并穿过该至少一个电介质层的该第一表面;用于第二高密度互连的构件,用于第二高密度互连的该构件位于该至少一个电介质层中并穿过该至少一个电介质层的该第二表面。

[0008] 另一示例提供了一种用于制造衬底的方法。该方法提供包括第一晶种层的第一载体。该方法在该第一晶种层之上形成第一多个高密度互连件。该方法在该第一多个高密度互连件之上形成第一电介质层。该方法在该第一电介质层之中和/或之上形成多个互连件。该方法提供包括第二晶种层的第二载体。该方法在该第二晶种层之上形成第二多个高密度互连件。该方法通过第二电介质层将包括该第二晶种层以及该第二多个高密度互连件的该第二载体耦合至包括该第一晶种层、该第一多个高密度互连件、该第一电介质层以及该多个互连件的该第一载体。该方法将该第二载体与该第一载体解耦。该方法移除该第一晶种层的部分以及该第二晶种层的部分。

## 附图说明

[0009] 在结合附图理解下面阐述的详细描述时,各种特征、本质和优点会变得明显,在附图中,类似的参考标号贯穿始终作相应标识。

[0010] 图1例示了包括具有高密度互连件的衬底的封装件的横截面剖面视图。

[0011] 图2例示了包括具有高密度互连件的衬底的封装件的特写视图。

[0012] 图3例示了包括具有高密度互连件的衬底的封装件的特写视图。

[0013] 图4A至图4C例示了用于制造具有高密度互连件的衬底的示例性工序。

[0014] 图5例示了用于制造具有高密度互连件的衬底的示例性工序。

[0015] 图6A至图6B例示了用于制造包括具有高密度互连件的衬底的封装件的示例性工序。

[0016] 图7例示了用于制造包括具有高密度互连件的衬底的封装件的示例性工序。

[0017] 图8例示了可以集成本文中所描述的管芯、电子电路、集成器件、集成无源器件(IPD)、无源部件、封装件和/或器件封装件的各种电子设备。

## 具体实施方式

[0018] 在以下描述中,给出了具体细节以提供对本公开的各个方面的透彻理解。然而,本领域普通技术人员将理解,没有这些具体细节也可以实践这些方面。例如,电路可能用框图示出以避免使这些方面湮没在不必要的细节中。在其他实例中,公知的电路、结构和技术可能不被详细示出以免湮没本公开的这些方面。

[0019] 本公开描述了一种封装件,该封装件包括衬底、耦合至该衬底的第一表面的第一集成器件、以及耦合至该衬底的第二表面的第二集成器件。该衬底包括:至少一个电介质层、位于该至少一个电介质层中并穿过该至少一个电介质层的第一表面的第一多个高密度互连件、位于该至少一个电介质层中并穿过该至少一个电介质层的第二表面的第二多个高密度互连件、以及位于该至少一个电介质层之上的阻焊层。使用该衬底的第一侧之上的该第一多个高密度互连件以及该衬底的第二侧之上的该第二多个高密度互连件有助于为集成器件提供高密度和高速通信,同时减小封装件的总高度和/或尺寸。

[0020] 包括具有高密度互连件的衬底的示例性封装件

[0021] 图1例示了包括具有高密度互连件的衬底的封装件100的横截面剖面视图。封装件100包括衬底102、集成器件104、集成器件106和包封层108。

[0022] 衬底102包括至少一个电介质层120、多个互连件122、阻焊层124和阻焊层126。衬底102可以是无芯衬底。衬底102可包括第一表面(例如,顶表面)和第二表面(例如,底表面)。如将在以下进一步描述的,衬底102包括位于衬底102的第一侧(例如,顶侧)上的多个高密度互连件以及位于衬底102的第二侧(例如,底侧)上的多个高密度互连件。多个互连件122可包括多个互连件122a、多个互连件122b和多个互连件122c。使用衬底102的两侧上的高密度互连件允许去往/来自较小空间中集成器件的更多电连接(例如,更密集的电路),从而实现高速通信,同时仍减小封装件的尺寸。

[0023] 多个互连件122a包括多个高密度互连件。多个互连件122a可包括位于衬底102的顶部金属层(诸如M1层(例如,第一金属层))上的互连件。多个互连件122a可被嵌入在至少一个电介质层120中。多个互连件122a可位于被嵌入在至少一个电介质层120中的第一金属

层中。多个互连件122a包括约3微米-4微米的最小宽度以及约3微米-4微米的最小间距。多个互连件122a可包括具有约3微米-4微米或更大的宽度的至少一个互连件。多个互连件122a可包括具有约3微米-4微米或更大的间距的至少一个互连件。

[0024] 多个互连件122b包括多个高密度互连件。该多个互连件122b可包括位于衬底102的次底部金属层(例如,倒数第二金属层,M3层)上的互连件。多个互连件122b可被嵌入在至少一个电介质层120中。多个互连件122b可位于被嵌入在至少一个电介质层120中的最后金属层中。多个互连件122b包括约3微米-4微米的最小宽度以及约3微米-4微米的最小间距。多个互连件122b可包括具有约3微米-4微米或更大的宽度的至少一个互连件。多个互连件122b可包括具有约3微米-4微米或更大的间距的至少一个互连件。

[0025] 多个互连件122c可位于至少一个电介质层120中。多个互连件122c可位于至少一个电介质层120的底表面之上。多个互连件122c可被阻焊层126围绕。多个互连件122c包括约8微米的最小宽度以及约8微米的最小间距。多个互连件122c可包括具有约8微米或更大的宽度的至少一个互连件。多个互连件122c可包括具有约8微米或更大的间距的至少一个互连件。

[0026] 图2和图3例示并更详细地描述了用于衬底的高密度互连件的各种示例。

[0027] 如图1中所示,集成器件104耦合至衬底102的第一表面(例如,顶表面)。例如,集成器件104通过多个焊料互连件140(例如,第一多个焊料互连件、用于第一焊料互连的构件)和/或多个柱互连件142(例如,第一多个柱互连件、用于第一柱互连的构件)耦合至衬底102的多个互连件122a。包封层108耦合至衬底102和集成器件104。包封层108位于衬底102的第一表面之上。包封层108包封集成器件104。包封层108可位于集成器件104之上和/或周围。包封层108可以是用于包封的构件。

[0028] 集成器件106耦合至衬底102的第二表面(例如,底表面)。例如,集成器件106通过多个焊料互连件160(例如,第二多个焊料互连件、用于第二焊料互连的构件)和/或多个柱互连件162(例如,第二多个柱互连件、用于第二柱互连的构件)耦合至衬底102的多个互连件122b。

[0029] 多个焊料互连件130可以耦合至衬底102。例如,多个焊料互连件130可耦合至多个互连件122c。多个焊料互连件130可耦合至来自衬底102的最后金属层(例如,M4层)的互连件。

[0030] 图2例示了封装件100的特写视图。如图2中所示,封装件100包括衬底102、集成器件104和集成器件106。衬底102包括多个互连件122。多个互连件122包括多个互连件122a、多个互连件122b和多个互连件122c。

[0031] 集成器件104通过多个焊料互连件140耦合至多个互连件122a。集成器件104通过多个柱互连件142和/或多个焊料互连件240(例如,第一多个焊料互连件、用于第一焊料互连的构件)耦合至多个互连件122a。注意,多个焊料互连件140和多个焊料互连件240可被视为相同的焊料互连件群的一部分,即使它们具有不同大小和/或体积。多个互连件122a包括多个高密度互连件。多个互连件122a可包括位于衬底102的顶部金属层(诸如M1层(例如,第一金属层))上的互连件。多个互连件122a可位于(例如,被嵌入)至少一个电介质层120中。多个互连件122a可被定位成穿过至少一个电介质层120的第一表面。例如,多个互连件122a可包括穿过至少一个电介质层120的第一表面被定位(例如,被嵌入)在至少一个电介质层

120中的互连件。多个互连件122a中的至少一些互连件可具有与至少一个电介质层120的第一表面(例如,顶表面)共面的互连件表面。多个互连件122a包括约3微米-4微米的最小宽度以及约3微米-4微米的最小间距。多个互连件122a可包括具有约3微米-4微米或更大的宽度的至少一个互连件。多个互连件122a可包括具有约3微米-4微米或更大的间距的至少一个互连件。

[0032] 集成器件106通过多个焊料互连件160耦合至多个互连件122b。集成器件106通过多个柱互连件162和/或多个焊料互连件260(例如,第二多个焊料互连件、用于第二焊料互连的构件)耦合至多个互连件122b。注意,多个焊料互连件160和多个焊料互连件260可被视为相同的焊料互连件群的一部分,即使它们具有不同大小和/或体积。集成器件106耦合至衬底102的M3层中的互连件。多个互连件122b包括多个高密度互连件。多个互连件122b可位于(例如,被嵌入)至少一个电介质层120中。多个互连件122b可被定位成穿过至少一个电介质层120的第二表面。例如,多个互连件122b可包括穿过至少一个电介质层120的第二表面被嵌入至少一个电介质层120中的互连件。多个互连件122b中的至少一些互连件可具有与至少一个电介质层120的第二表面(例如,底表面)共面的互连件表面。多个互连件122b可包括位于衬底102的倒数第二金属层(例如,次底部金属层、M3层)上的互连件。多个互连件122b可包括位于被嵌入在至少一个电介质层120中的最后金属层上的互连件。多个互连件122b包括约3微米-4微米的最小宽度以及约3微米-4微米的最小间距。多个互连件122b可包括具有约3微米-4微米或更大的宽度的至少一个互连件。多个互连件122b可包括具有约3微米-4微米或更大的间距的至少一个互连件。

[0033] 在一些实现方式中,多个互连件122c中的至少一些互连件可位于至少一个电介质层120中。在一些实现方式中,多个互连件122c中的至少一些互连件可位于至少一个电介质层120的第二表面(例如,底表面)之上。多个互连件122c可被阻焊层126围绕。多个互连件122c可以是用于互连的构件。多个互连件122c可包括位于衬底102的最后金属层(例如,底部金属层、M4层)上的互连件。注意,多个互连件122c可包括位于其他金属层(诸如M2层)上的互连件。多个互连件122c中位于至少一个电介质层120的第二表面之上的至少一些互连件可具有与该至少一个电介质层120的第二表面和/或多个互连件122b中被定位成穿过该至少一个电介质层120的第二表面的至少一个互连件的另一互连件表面共面的互连件表面。例如,多个互连件122b中的互连件(例如,高密度互连件、高密度迹线互连件、高密度焊盘互连件)可具有背离至少一个电介质层120的互连件表面,并且其中该互连件表面与多个互连件122c中的互连件(例如,迹线互连件、焊盘互连件)的面向至少一个电介质层120的另一互连件表面共面,并且其中多个互连件122c中的该互连件(例如,迹线互连件、焊盘互连件)位于至少一个电介质层120的第二表面之上。多个互连件122c包括约8微米的最小宽度以及约8微米的最小间距。多个互连件122c可包括具有约8微米或更大的宽度的至少一个互连件。多个互连件122c可包括具有约8微米或更大的间距的至少一个互连件。

[0034] 图3例示了封装件300的特写视图。封装件300与封装件100类似,并且包括与封装件100类似的部件和/或以与封装件100类似的方式来配置。如图3中所示,封装件300包括衬底102、集成器件104和集成器件106。衬底102包括多个互连件122。多个互连件122包括多个互连件122a、多个互连件122b和多个互连件122c。

[0035] 集成器件106通过多个焊料互连件160耦合至多个互连件122c。集成器件106通过

多个柱互连件162和/或多个焊料互连件260耦合至多个互连件122b。集成器件106耦合至衬底102的M3层和M4层中的互连件。多个互连件122b包括多个高密度互连件。多个互连件122b可被嵌入在至少一个电介质层120中。多个互连件122c可位于至少一个电介质层120中且在至少一个电介质层120的第二表面(例如,底表面)之上。图3例示了集成器件106可耦合至至少一个电介质层120中的互连件以及位于至少一个电介质层120的第二表面之上的互连件。

[0036] 图1至图3例示并描述了高密度互连件可如何位于衬底的两侧和/或两个表面上。这使得高速通信能够被提供给位于衬底两侧上的集成器件。位于衬底的两侧和/或两个表面上的高密度互连件可被配置为通过非高密度互连件耦合在一起。例如,多个互连件122a(例如,第一多个高密度互连件)以及多个互连件122b(例如,第二多个高密度互连件)可被配置为通过多个互连件122中的其他互连件(例如,非高密度互连件)耦合在一起。如下文将进一步描述的,可使用嵌入式迹线衬底(ETS)工艺来制造该高密度互连件(例如,122a、122b)。衬底102中所示的金属层的数量是示例性的。衬底的不同实现方式可具有不同数目的金属层。例如,衬底可包括7个金属层(例如,M1-M7层)。在该示例中,多个互连件122a可包括位于M1金属层(例如,第一金属层)上的互连件,多个互连件122b可包括位于M6金属层(例如,倒数第二金属层、次底部金属层)上的互连件,并且多个互连件122c可包括M7金属层(例如,最后金属层、底部金属层)上的互连件。注意,金属层的编号从衬底的顶部开始到底部。然而,金属层的编号可以从衬底的底部开始到顶部。迹线互连件和/或焊盘互连件可位于衬底的一个或多个金属层上。过孔互连件可位于衬底的各金属层之间。注意,如本公开中描述的底表面和/或顶表面可以是任意限定的。在一些实现方式中,第一表面可以是底表面并且第二表面可以是顶表面。在一些实现方式中,第二表面可以是底表面并且第一表面可以是顶表面。

[0037] 图2和图3例示了M3层中的互连件和M4层中的互连件之间的垂直间距小于M3层中的互连件和M2层中的互连件之间的垂直间距(例如,比其更紧密)。该配置可有助于提供比具有相同金属层数目的其他衬底更薄的衬底。注意,针对各个互连件所提到的宽度、间距、最小宽度和/或最小间距是示例性的。在一些实现方式中,互连件的宽度、间距、最小宽度和/或最小间距可以不同。在一些实现方式中,互连件的宽度、间距、最小宽度和/或最小间距的不同组合可用于衬底。使用互连件的宽度、间距、最小宽度和/或最小间距的哪些组合可取决于包括集成器件和衬底的封装件的设计和/或要求。例如,在一些实现方式中,衬底102可包括(i)多个互连件122a和/或多个互连件122b,其中互连件包括约6微米的最小宽度和/或约8微米的最小间距,以及(ii)多个互连件122c,其中互连件具有约10微米的最小宽度和/或约15微米的最小间距。在一些实现方式中,衬底102可包括(i)多个互连件122a和/或多个互连件122b,其中互连件包括约6微米或更大的宽度和/或约8微米或更大的间距,以及(ii)多个互连件122c,其中互连件包括约10微米或更大的宽度和/或约15微米或更大的最小间距。

[0038] 如在本公开中所使用的,高密度互连件可以是具有小于衬底的其他互连件的最小宽度和/或最小间距的互连件。如在本公开中所使用的,高密度互连件可以是具有小于衬底的其他互连件的宽度和/或间距的互连件。在一些实现方式中,衬底的高密度互连件可以是衬底的第一多个互连件,并且衬底的其他互连件(例如,非高密度互连件)可以是衬底的第二多个互连件和/或衬底的第三多个互连件。在一些实现方式中,衬底的高密度互连件可类

似于衬底的互连件(例如,非高密度互连件),除了高密度互连件具有改进的宽度和/或间距,这允许衬底中的更高密度的布线。包括特定宽度和/或特定间距的多个互连件可意味着该多个互连件中的一个或多个的互连件,每个互连件包括特定宽度和/或特定间距。包括特定最小宽度和/或特定最小间距的多个互连件可意味着该多个互连件中的一个或多个的互连件,每个互连件包括特定最小宽度和/或特定最小间距。

[0039] 集成器件(例如,104、106)可以包括管芯(例如,半导体裸管芯)。集成器件可包括集成电路。集成器件可包括功率管理集成电路(PMIC)。集成器件可包括应用处理器。集成器件可包括调制解调器。集成器件可以包括射频(RF)器件、无源器件、滤波器、电容器、电感器、天线、发射器、接收器、基于砷化镓(GaAs)的集成器件、表面声波(SAW)滤波器、体声波(BAW)滤波器、发光二极管(LED)集成器件、基于硅(Si)的集成器件、基于碳化硅(SiC)的集成器件、存储器、功率管理处理器和/或它们的组合。集成器件(例如,104、106)可以包括至少一个电子电路(例如,第一电子电路、第二电子电路等)。集成器件可以是电部件和/或电器件的示例。

[0040] 封装件(例如,100、300)可以实现在射频(RF)封装件中。RF封装件可以是射频前端封装件(RFFE)。封装件(例如,100、300)可被配置为提供无线保真(WiFi)通信和/或蜂窝通信(例如,2G、3G、4G、5G)。封装件(例如,100、300)可被配置为支持全球移动通信系统(GSM)、通用移动通信系统(UMTS)和/或长期演进(LTE)。封装件(例如,100、300)可被配置为传输和接收具有不同频率和/或通信协议的信号。

[0041] 已经描述了具有衬底的各种封装件,现在将在下面描述用于制造衬底的若干方法。

#### [0042] 用于制造衬底的示例性工序

[0043] 在一些实现方式中,制造衬底包括若干工艺。图4A至图4C例示了用于提供或制造衬底的示例性工序。图4A至图4C可用于提供或制造无芯衬底。在一些实现方式中,图4A至图4C的工序可被用来提供或制造衬底102。然而,图4A至图4C的工艺可被用来制造本公开中所描述的任何衬底。

[0044] 应当注意,图4A至图4C的工序可组合一个或多个阶段以便简化和/或阐明用于提供或制造衬底的工序。在一些实现方式中,各工艺的次序可被改变或修改。在一些实现方式中,在不脱离本公开的范围的情况下,一个或多个工艺可被替代或置换。

[0045] 如图4A中所示,阶段1例示了在提供第一载体400之后的状态。第一晶种层401和互连件402可位于第一载体400之上。互连件402可位于第一晶种层401之上。可使用镀覆工艺和蚀刻工艺来形成互连件402。在一些实现方式中,第一载体400可被提供有第一晶种层401和金属层,该金属层被图案化以形成互连件402。互连件402可包括高密度互连件。例如,互连件402可代表来自多个互连件122a的至少一些高密度互连件。

[0046] 阶段2例示了在第一载体400、第一晶种层401和互连件402之上形成电介质层420之后的状态。沉积和/或层压工艺可被用于形成电介质层420。电介质层420可包括聚酰亚胺。然而,不同实现方式可以将不同材料用于电介质层。

[0047] 阶段3例示了在电介质层420中形成多个腔410之后的状态。可使用蚀刻工艺(例如,光蚀刻工艺)或激光工艺来形成多个腔410。

[0048] 阶段4例示了在电介质层420之中和该电介质层之上(包括在多个腔410之中和该

多个腔之上)形成互连件412之后的状态。例如,可以形成过孔、焊盘和/或迹线。可使用镀覆工艺来形成互连件。注意,阶段2至4可被迭代地重复以形成附加电介质层和附加互连件。

[0049] 如图4B中所示,阶段5例示了在提供第二载体406之后的状态。第二晶种层407和互连件408可位于第二载体406之上。互连件408可位于第二晶种层407之上。可使用镀覆工艺和蚀刻工艺来形成互连件408。在一些实现方式中,第二载体406可被提供有第二晶种层407和金属层,该金属层被图案化以形成互连件408。互连件408可包括高密度互连件。例如,互连件408可代表来自多个互连件122b的至少一些高密度互连件。

[0050] 阶段6例示了将第二载体406、第二晶种层407、互连件408、和电介质层422耦合至电介质层420和互连件412的工艺。电介质层422可包括预浸料。

[0051] 阶段7例示了第二载体406、第二晶种层407、互连件408、和电介质层422已耦合至电介质层420、互连件412、互连件402、第一晶种层401和第一载体400之后的状态。层压工艺可用来将第二载体406、第二晶种层407、互连件408、和电介质层422耦合至电介质层420、互连件412、互连件402、第一晶种层401和第一载体400。

[0052] 阶段8例示了第二载体406与第二晶种层407解耦(例如,分离、移除)之后的状态。

[0053] 如图4C中所示,阶段9例示了在电介质层422中形成多个腔430之后的状态。蚀刻工艺或激光工艺可被用来形成腔430。

[0054] 阶段10例示了在电介质层422之中和该电介质层之上(包括在多个腔430之中和该多个腔之上)形成互连件414之后的状态。例如,可形成过孔、焊盘和/或迹线。可使用镀覆工艺来形成互连件。

[0055] 互连件402、408、412和/或414中的一些或全部可定义衬底102的多个互连件122。例如,互连件402可由多个互连件122a表示,互连件408可由多个互连件122b表示,并且互连件412和互连件414可由多个互连件122c表示。电介质层420和422可以由至少一个电介质层120表示。电介质层420和/或422可包括预浸料。在一些实现方式中,电介质层420可包括味之素(Ajinomoto)堆积膜(ABF)和/或聚酰亚胺。在一些实现方式中,至少一个电介质层120可包括至少一个预浸层和至少一个ABF层。在一些实现方式中,至少一个电介质层120可包括至少一个预浸层和至少一个聚酰亚胺层。

[0056] 阶段11例示了将第一载体400与至少一个电介质层120以及第一晶种层401解耦(例如,分离、移除、研磨掉)、移除(例如,蚀刻掉)第一晶种层401的部分,移除(例如,蚀刻掉)第二晶种层407的部分从而留下包括至少一个电介质层120和多个互连件122的衬底102之后的状态。多个互连件122包括多个互连件122a、多个互连件122b以及多个互连件122c。衬底102可以是无芯衬底。

[0057] 阶段12例示了在衬底102之上形成阻焊层124和阻焊层126之后的状态。可使用沉积工艺来形成阻焊层124和阻焊层126。在一些实现方式中,在至少一个电介质层120之上可以不形成或形成一个阻焊层。

[0058] 不同实现方式可使用不同工艺来形成金属层。在一些实现方式中,化学气相沉积(CVD)工艺和/或物理气相沉积(PVD)工艺用于形成金属层。例如,溅射工艺、喷涂工艺和/或镀覆工艺可用来形成金属层。

[0059] 用于制造衬底的方法的示例性流程图

[0060] 在一些实现方式中,制造衬底包括若干工艺。图5例示了用于提供或制造衬底的方法

法500的示例性流程图。在一些实现方式中,图5的方法500可被用来提供或制造图1至图3中的衬底。例如,图5的方法可以用于制造衬底102。

[0061] 应当注意,图5的方法500可以组合一个或多个工艺以便简化和/或阐明用于提供或制造衬底的方法。在一些实现方式中,各工艺的次序可被改变或修改。

[0062] 该方法(在505处)提供第一载体(例如,400)。不同实现方式可将不同材料用于第一载体400。第一载体400可包括第一晶种层(例如,401)。第一晶种层401可包括金属(例如,铜)。第一载体可包括衬底、玻璃、石英和/或载体带。图4A的阶段1例示并描述了所提供的具有第一晶种层的第一载体的示例。

[0063] 该方法(在510处)在第一载体400和第一晶种层401之上形成互连件并将其图案化。金属层可被图案化以形成互连件。可使用镀覆工艺来形成金属层和互连件。在一些实现方式中,载体和晶种层可包括金属层。金属层位于晶种层之上,并且金属层可被图案化以形成互连件(例如,402)。图4A的阶段1例示并描述了在晶种层和载体之上的互连件的示例。

[0064] 该方法(在515处)在第一晶种层401、第一载体400和互连件402之上形成电介质层420。沉积和/或层压工艺可被用于形成电介质层420。电介质层420可包括聚酰亚胺。形成电介质层还可包括在电介质层420中形成多个腔(例如,410)。可使用蚀刻工艺(例如,光蚀刻)或激光工艺来形成该多个腔。图4A的阶段2至3例示并描述了形成电介质层并且在该电介质层中形成腔的示例。

[0065] 该方法(在520处)在该电介质层之中和该电介质层之上形成互连件。例如,可在电介质层420之中和该电介质层之上形成互连件412。可使用镀覆工艺来形成互连件。形成互连件可包括在电介质层之上和/或电介质层之中提供图案化金属层。形成互连件还可包括在电介质层的腔中形成互连件。图4A的阶段4例示并描述了在电介质层之中和该电介质层之上形成互连件的示例。注意,一些方法可迭代地提供和/或形成附加互连件和附加电介质层,如515处和520处所描述的。

[0066] 该方法(在525处)提供第二载体(例如,406)。不同实现方式可将不同材料用于第二载体406。第二载体可包括第二晶种层(例如,407)。第二晶种层407可包括金属(例如,铜)。第二载体可包括衬底、玻璃、石英和/或载体带。该方法也可(在525处)在第二载体406和第二晶种层407之上形成互连件408并将其图案化。金属层可被图案化以形成互连件。可使用镀覆工艺来形成金属层和互连件。图4B的阶段5例示并描述了具有第二晶种层和互连件的第二载体的示例。

[0067] 该方法(在530处)将第二载体406、第二晶种层407、互连件408、电介质层422耦合至第一载体400、第一晶种层401、互连件402、和电介质层420。层压工艺可用来将第二载体406、第二晶种层407、互连件408、电介质层422耦合至第一载体400、第一晶种层401、互连件402、和电介质层420。图4B的阶段6-7例示并描述了将一个载体中的互连件耦合至另一载体中的互连件的示例。

[0068] 该方法(在535处)将第二载体(例如,406)与第二晶种层(例如,407)解耦。第二载体406可被分离和/或磨掉。图4B的阶段8例示并描述了载体解耦的示例。

[0069] 该方法(在540处)在该电介质层之中和/或该电介质层之上形成互连件。例如,可在电介质层422之中和/或之上形成互连件414。可使用镀覆工艺来形成互连件。形成互连件可包括在电介质层之上和电介质层中提供图案化金属层。形成互连件还可包括在电介质层

的腔中形成互连件。图4C的阶段9-10例示并描述了在电介质层之中和之上形成互连件的示例。

[0070] 该方法(在545处)将第一载体(例如,400)与第一晶种层(例如,401)解耦。第一载体400可被分离和/或磨掉。该方法也可(在545处)移除第一晶种层(例如,401)的部分以及第二晶种层(例如,407)的部分。可以使用蚀刻工艺来移除第一晶种层401的部分以及第二晶种层407的部分。图4C的阶段11例示并描述了将载体解耦以及晶种层移除的示例。

[0071] 在一些实现方式中,在载体和晶种层移除后,该方法可在衬底之上形成阻焊层(例如,124、126)。图4C的阶段12例示并描述了形成阻焊层的示例。

[0072] 不同实现方式可使用不同工艺来形成金属层。在一些实现方式中,化学气相沉积(CVD)工艺和/或物理气相沉积(PVD)工艺用于形成金属层。例如,溅射工艺、喷涂工艺和/或镀膜工艺可用来形成金属层。

[0073] 用于制造包括具有高密度互连件的衬底的封装件的示例性工序

[0074] 在一些实现方式中,制造封装件包括若干工艺。图6A至图6B例示了用于提供或制造包括具有高密度互连件的衬底的封装件的示例性工序。在一些实现方式中,图6A至图6B的工序可被用于提供或制造封装件100。然而,图6A至图6B的工艺可被用来制造本公开中所描述的任何封装件(例如,300)。

[0075] 应当注意,图6A至图6B的工序可以组合一个或多个阶段以简化和/或阐明用于提供或制造封装件的工序。在一些实现方式中,各工艺的次序可被改变或修改。在一些实现方式中,在不脱离本公开的范围的情况下,一个或多个工艺可被替代或置换。

[0076] 如图6A中所示,阶段1例示了在提供衬底102之后的状态。衬底102包括至少一个电介质层120、多个互连件122、阻焊层124和阻焊层126。多个互连件122可包括多个互连件122a、多个互连件122b和多个互连件122c。一些互连件可包括高密度互连件。例如,如图1至图3中所描述的,第一多个高密度互连件可位于衬底的第一侧上,以及第二多个高密度互连件可位于衬底的第二侧上。不同实现方式可使用具有不同数目的金属层的不同衬底。衬底102可以使用如图4A至图4C中所描述的方法来制造。

[0077] 阶段2例示了在集成器件106通过多个焊料互连件160、多个柱互连件162和/或多个焊料互连件260耦合至衬底102之后的状态。可以使用焊料回流工艺来将集成器件106耦合至衬底102。集成器件106可耦合至衬底102的第二表面(例如,底表面)。图2例示了可如何将集成器件106耦合至衬底102的示例。不同实现方式可以将不同的部件和/或器件耦合至衬底102。

[0078] 阶段3例示了在集成器件104通过多个焊料互连件140、多个柱互连件142和/或多个焊料互连件240耦合至衬底102之后的状态。可以使用焊料回流工艺来将集成器件104耦合至衬底102。集成器件104可耦合至衬底102的第一表面(例如,顶表面)。图2例示了可如何将集成器件104耦合至衬底102的示例。不同实现方式可以将不同的部件和/或器件耦合至衬底102。

[0079] 如图6B中所示,阶段4例示了在衬底102的第一表面之上提供(例如,形成)包封层108之后的状态。包封层108可以包封集成器件104。包封层108可包括模制件、树脂和/或环氧树脂。可以使用压缩模制工艺、转移模制工艺、或液态模制工艺来形成包封层108。包封层108可以是可光蚀刻的。包封层108可以是用于包封的构件。

[0080] 阶段5例示了在将多个焊料互连件130耦合至衬底102之后的状态。可以使用焊料回流工艺来将多个焊料互连件130耦合至衬底102。多个焊料互连件130可耦合至多个互连件122。

[0081] 本公开中所描述的封装件(例如,100、300)可以一次制造一个,或者可以一起制造作为一个或多个晶片的一部分并且随后被切割成单独的封装件。

[0082] 用于制造包括具有高密度互连件的衬底的封装件的方法的示例性流程图

[0083] 在一些实现方式中,制造封装件包括若干工艺。图7例示了用于提供或制造包括具有高密度互连件的衬底的封装件的方法700的示例性流程图。在一些实现方式中,图7的方法700可被用于提供或制造本公开中所描述的封装件100。然而,方法700可以用于提供或制造本公开中所描述的任何封装件(例如,300)。

[0084] 应当注意,图7的方法可以组合一个或多个工艺以便简化和/或阐明用于提供或制造封装件的方法。在一些实现方式中,各工艺的次序可被改变或修改。

[0085] 该方法(在705处)提供衬底(例如,102)。衬底102可以由供应商提供或被制造。衬底102包括至少一个电介质层120、多个互连件122、阻焊层124和阻焊层126。多个互连件122可包括多个互连件122a、多个互连件122b和多个互连件122c。一些互连件可包括高密度互连件。例如,如图1至图3中所描述的,第一多个高密度互连件可位于衬底的第一侧上,以及第二多个高密度互连件可位于衬底的第二侧上。不同实现方式可以使用不同的工艺来制造衬底102。图4A至图4C例示并描述了制造具有高密度互连件的衬底的示例。图6A的阶段1例示并描述了提供具有高密度互连件的衬底的示例。

[0086] 该方法(在710处)将集成器件(例如,106)耦合至衬底102。例如,集成器件106耦合至衬底102的第二表面(例如,底表面)。集成器件106通过多个焊料互连件160、多个柱互连件162和/或多个焊料互连件260耦合至衬底102。可以使用焊料回流工艺来将集成器件106耦合至衬底102。图6A的阶段2例示并描述了将集成器件耦合至衬底的示例。

[0087] 该方法(在710处)将集成器件(例如,104)耦合至衬底102。例如,集成器件104耦合至衬底102的第一表面(例如,顶表面)。集成器件104通过多个焊料互连件140、多个柱互连件142和/或多个焊料互连件240耦合至衬底102。可以使用焊料回流工艺来将集成器件104耦合至衬底102。图6A的阶段3例示并描述了将集成器件耦合至衬底的示例。

[0088] 该方法(在715处)在衬底(例如,102)的第一表面之上形成包封层(例如,108)。包封层108可被提供并形成在衬底102和集成器件104之上和/或围绕衬底102和集成器件104。包封层108可包括模制件、树脂和/或环氧树脂。可以使用压缩模制工艺、转移模制工艺、或液态模制工艺来形成包封层108。包封层108可以是可光蚀刻的。包封层108可以是用于包封的构件。图6B的阶段4例示并描述了形成包封层的示例。

[0089] 该方法(在720处)将多个焊料互连件(例如,130)耦合至衬底102。可以使用焊料回流工艺来将多个焊料互连件130耦合至衬底102。图6B的阶段5例示并描述了将焊料互连件耦合至衬底的示例。

[0090] 本公开中所描述的封装件(例如,100、300)可以一次制造一个,或者可以一起制造作为一个或多个晶片的一部分并且随后被切割成单独的封装件。

[0091] 示例性电子设备

[0092] 图8例示了可集成有前述器件、集成器件、集成电路(IC)封装件、集成电路(IC)器

件、半导体器件、集成电路、管芯、中介体、封装件、层叠封装件 (PoP)、系统级封装件 (SiP)、或片上系统 (SoC) 中的任一者的各种电子设备。例如,移动电话设备802、膝上型计算机设备804、固定位置终端设备806、可穿戴设备808、或机动车辆810可包括如本文中所描述的器件800。器件800可以是例如本文所描述的器件和/或集成电路 (IC) 封装件中的任一者。图8中所例示的设备802、804、806和808以及车辆810仅仅是示例性的。其他电子设备也能够以器件800为特征,此类电子设备包括但不限于包括以下各项的一组设备(例如,电子设备):移动设备、手持式个人通信系统 (PCS) 单元、便携式数据单元(诸如个人数字助理)、启用全球定位系统 (GPS) 的设备、导航设备、机顶盒、音乐播放器、视频播放器、娱乐单元、固定位置数据单元(诸如仪表读取装备)、通信设备、智能电话、平板计算机、计算机、可穿戴设备(例如,手表、眼镜)、物联网 (IoT) 设备、服务器、路由器、机动车辆(例如,自主车辆)中实现的电子设备、或者存储或检索数据或计算机指令的任何其他设备,或者它们的任何组合。

[0093] 图1至图3、图4A至图4C、图5、图6A至图6B和/或图7至图8中所例示的各部件、工艺、特征和/或功能中的一者或多者可以被重新安排和/或组合成单个部件、工艺、特征或功能,或者在若干部件、工艺或功能中体现。在不脱离本公开的范围的情况下,也可添加附加元件、部件、工艺和/或功能。还应当注意,图1至图3、图4A至图4C、图5、图6A至图6B和/或图7至图8及其在本公开中的对应描述不限于管芯和/或IC。在一些实现方式中,图1至图3、图4A至图4C、图5、图6A至图6B和/或图7至图8及其对应描述可被用来制造、创建、提供、和/或生产器件和/或集成器件。在一些实现方式中,器件可包括管芯、集成器件、集成无源器件 (IPD)、管芯封装件、集成电路 (IC) 器件、器件封装件、集成电路 (IC) 封装件、晶片、半导体器件、层叠封装件 (PoP) 器件、散热器件和/或中介体。

[0094] 注意,本公开中的附图可以表示各种零件、部件、对象、器件、封装件、集成器件、集成电路、和/或晶体管的实际表示和/或概念表示。在一些实例中,附图可以不是按比例。在一些实例中,为了清楚起见,并未示出所有部件和/或零件。在一些实例中,附图中的各个零件和/或部件的定位、位置、大小、和/或形状可以是示例性的。在一些实现方式中,附图中的各个部件和/或零件可以是可任选的。

[0095] 措辞“示例性”在本文中用于意指“用作示例、实例、或例示”。在本文中被描述为“示例性”的任何实现方式或方面不必被解释为优于或胜过本公开的其他方面。同样,术语“方面”不要求本公开的全部方面都包括所论述的特征、优点或者操作模式。术语“耦合”在本文中用于指两个对象之间的直接或间接耦合(例如,机械耦合)。例如,如果对象A物理地接触对象B,并且对象B接触对象C,则对象A和C仍然可以被认为是相互耦合的,即使它们相互并没有直接地物理接触。耦合至对象B的对象A可耦合至对象B的至少一部分。术语“电耦合”可意指两个对象直接或间接耦合在一起,以使得电流(例如,信号、功率、地)可以在两个对象之间传递。电耦合的两个对象在这两个对象之间可以有或者可以没有电流传递。术语“第一”、“第二”、“第三”和“第四”(和/或高于第四的任何事物)的使用是任意的。所描述的任何部件可以是第一部件、第二部件、第三部件或第四部件。例如,被称为第二部件的部件可以是第一部件、第二部件、第三部件或第四部件。术语“包封”、“进行包封”和/或任何派生意指对象可以部分地包封或完全包封另一对象。术语“顶部”和“底部”是任意的。位于顶部的部件可以处在位于底部的部件之上。顶部部件可被视为底部部件,反之亦然。如本公开所描述的,位于第二部件“之上”的第一部件可意味着第一部件位于第二部件上方或下方,这

取决于底部或顶部被如何任意定义。在另一示例中,第一部件可位于第二部件的第一表面之上(例如,上方),而第三部件可位于第二部件的第二表面之上(例如,下方),其中第二表面与第一表面相对。进一步注意,如在本申请中在一个部件位于另一部件之上的上下文中所使用的术语“之上”可被用来表示部件在另一部件上和/或在另一部件中(例如,在部件的表面上或被嵌入在部件中)。由此,例如,第一部件在第二部件之上可表示:(1)第一部件在第二部件之上,但是不直接接触第二部件;(2)第一部件在第二部件上(例如,在第二部件的表面上);和/或(3)第一部件在第二部件中(例如,嵌入在第二部件中)。位于第二部件“中”的第一部件可以部分地位于第二部件中或者完全位于第二部件中。约X-XX的值可以意味介于X和XX之间的值(包括X和XX)。X和XX之间的值可以是离散的或连续的。如本公开中所使用的术语“约‘值X’”或“大致为值X”意味着在‘值X’的百分之10以内。例如,约1或大致为1的值将意味着在0.9-1.1范围中的值。

[0096] 在一些实现方式中,互连件是器件或封装件中允许或促成两个点、元件和/或部件之间的电连接的元件或部件。在一些实现方式中,互连件可包括迹线(例如,迹线互连件)、过孔(例如,过孔互连件)、焊盘(例如,焊盘互连件)、柱、金属化层、重分布层、和/或凸块下金属化(UBM)层/互连件。在一些实现方式中,互连件可包括可被配置为为信号(例如,数据信号)、地和/或功率提供电路路径的导电材料。互连件可包括多于一个元件或部件。互连件可以由一个或多个互连件来定义。各互连件之间可存在或可不存在一个或多个接口。互连件可包括一个或多个金属层。互连件可以是电路的一部分。不同实现方式可使用不同工艺和/或工序来形成互连件。在一些实现方式中,可使用化学气相沉积(CVD)工艺、物理气相沉积(PVD)工艺、溅射工艺、喷涂、和/或镀覆工艺来形成互连件。形成一个或多个互连件的工艺可包括除胶渣、掩蔽、掩模去除和/或蚀刻。

[0097] 此外,还应注意,本文中所包含的各种公开可以作为被描绘为流程图、流图、结构图或框图的过程来进行描述。尽管流程图可以将操作描述为顺序过程,但是操作中的许多操作可以被并行或同时执行。另外,可以重新排列操作的次序。过程在其操作完成时中止。

[0098] 下文中描述了另外的示例以促进对本发明的理解。

[0099] 方面1:一种封装件,包括:衬底、耦合至所述衬底的第一表面的第一集成器件以及耦合至所述衬底的第二表面的第二集成器件。所述衬底包括至少一个电介质层;第一多个互连件,所述第一多个互连件位于所述至少一个电介质层中并穿过所述至少一个电介质层的第一表面;以及第二多个互连件,所述第二多个互连件位于所述至少一个电介质层中并穿过所述至少一个电介质层的第二表面。所述第一多个互连件包括第一宽度和第一间距。所述第二多个互连件包括第二宽度和第二间距。所述衬底包括位于所述至少一个电介质层中的第三多个互连件。所述第三多个互连件包括大于所述第一宽度和所述第二宽度的第三宽度。所述第三多个互连件包括大于所述第一间距和所述第二间距的第三间距。

[0100] 方面2:根据方面1所述的封装件,其中所述第一集成器件耦合至所述第一多个互连件,并且其中所述第二集成器件耦合至所述第二多个互连件。

[0101] 方面3:根据方面1至2所述的封装件,其中所述第一多个互连件位于所述衬底的第一金属层上,并且其中所述第二多个互连件位于所述衬底的倒数第二金属层上。

[0102] 方面4:根据方面1至2所述的封装件,其中所述第一多个互连件位于所述至少一个电介质层中的第一金属层上,并且其中所述第二多个互连件位于被嵌入在所述至少一个电

介质层中的最后金属层上。

[0103] 方面5:根据方面1至4所述的封装件,其中所述衬底包括位于所述至少一个电介质层的所述第一表面之上的第四多个互连件。在一些实现方式中,所述多个互连件中的高密度互连件可具有背离所述至少一个电介质层的互连件表面,其中所述互连件表面与所述多个互连件中的一个互连件的面向所述至少一个电介质层的另一互连件表面共面,并且其中所述互连件位于所述至少一个电介质层的所述第一表面之上。

[0104] 方面6:根据方面1至4所述的封装件,其中所述衬底包括位于所述至少一个电介质层的所述第二表面之上的第四多个互连件。在一些实现方式中,所述多个互连件中的高密度互连件可具有背离所述至少一个电介质层的互连件表面,其中所述互连件表面与所述多个互连件中的一个互连件的面向所述至少一个电介质层的另一互连件表面共面,并且其中所述互连件位于所述至少一个电介质层的所述第二表面之上。

[0105] 方面7:根据方面1至6所述的封装件,其中所述第一多个互连件包括约3微米-4微米的第一最小宽度和/或约3微米-4微米的第一最小间距,并且其中所述第二多个互连件包括约3微米-4微米的第二最小宽度和/或约3-4微米的第二最小间距。

[0106] 方面8:根据方面1至7所述的封装件,其中所述第一宽度为约3微米-4微米或更大并且/或者所述第一间距为约3微米-4微米或更大,并且其中所述第二宽度为约3微米-4微米或更大并且/或者所述第二间距为约3微米-4微米或更大。

[0107] 方面9:根据方面1至8所述的封装件,其中所述第一集成器件通过第一多个焊料互连件和/或第一多个柱互连件耦合至所述第一多个互连件。

[0108] 方面10:根据方面9所述的封装件,其中所述第二集成器件通过第二多个焊料互连件和/或第二多个柱互连件耦合至所述第二多个互连件。

[0109] 方面11:一种装置,包括:衬底、耦合至所述衬底的第一表面的第一集成器件、以及耦合至所述衬底的第二表面的第二集成器件。衬底包括至少一个电介质层;用于第一高密度互连的构件,用于第二高密度互连的所述构件位于至少一个电介质层中并穿过至少一个电介质层的第一表面;以及用于第二高密度互连的构件,用于第二高密度互连的所述构件位于所述至少一个电介质层中并穿过所述至少一个电介质层的第二表面。

[0110] 方面12:根据方面11所述的装置,其中所述第一集成器件耦合至用于第一高密度互连的所述构件,并且其中所述第二集成器件耦合至用于第二高密度互连的所述构件。

[0111] 方面13:根据方面11至12所述的装置,其中用于第一高密度互连的所述构件位于所述衬底的第一金属层上,并且其中用于第二高密度互连的所述构件位于所述衬底的倒数第二金属层上。

[0112] 方面14:根据方面11至12所述的装置,其中用于第一高密度互连的所述构件位于所述至少一个电介质层中的第一金属层上,并且其中用于第二高密度互连的所述构件位于被嵌入在所述至少一个电介质层中的最后金属层上。

[0113] 方面15:根据方面11至14所述的装置,其中所述衬底包括位于所述至少一个电介质层的所述第一表面之上的用于互连的构件。

[0114] 方面16:根据方面11至14所述的装置,其中所述衬底包括位于所述至少一个电介质层的所述第二表面之上的用于互连的构件。

[0115] 方面17:根据方面11至16所述的装置,其中用于第一高密度互连的所述构件包括

具有约3微米-4微米的第一最小宽度和/或约3微米-4微米的第一最小间距的互连件,并且其中用于第二高密度互连的所述构件包括具有约3微米-4微米的第二最小宽度和/或约3微米-4微米的第二最小间距的互连件。

[0116] 方面18:根据方面11至17所述的装置,其中用于第一高密度互连的所述构件包括具有约3微米-4微米或更大的第一宽度和/或约3微米-4微米或更大的第一间距的互连件,并且其中用于第二高密度互连的所述构件包括具有约3微米-4微米或更大的第二宽度和/或约3微米-4微米或更大的第二间距的互连件。

[0117] 方面19:根据方面11至18所述的装置,其中所述第一集成器件通过用于第一焊料互连的构件和/或用于第一柱互连的构件耦合至用于第一高密度互连的所述构件,并且其中所述第二集成器件通过用于第二焊料互连的构件和/或用于第二柱互连的构件耦合至用于第二高密度互连的所述构件。

[0118] 方面20:根据方面11至19所述的装置,其中所述装置包括选自以下项组成的组的设备:音乐播放器、视频播放器、娱乐单元、导航设备、通信设备、移动设备、移动电话、智能电话、个人数字助理、固定位置终端、平板计算机、计算机、可穿戴设备、膝上型计算机、服务器、物联网(IoT)设备和机动车辆中的设备。

[0119] 方面21:一种用于制造衬底的方法。所述方法提供包括第一晶种层的第一载体。所述方法在所述第一晶种层之上形成第一多个高密度互连件。所述方法在所述第一多个高密度互连件之上形成第一电介质层。所述方法在所述第一电介质层之中和/或之上形成多个互连件。所述方法提供包括第二晶种层的第二载体。所述方法在所述第二晶种层之上形成第二多个高密度互连件。所述方法通过第二电介质层将包括所述第二晶种层以及所述第二多个高密度互连件的所述第二载体耦合至包括所述第一晶种层、所述第一多个高密度互连件、所述第一电介质层以及所述多个互连件的所述第一载体。所述方法将所述第二载体与所述第一载体解耦。所述方法移除所述第一晶种层的部分以及所述第二晶种层的部分。

[0120] 方面22:根据方面21所述的方法,其中在解耦所述第二载体之后,所述方法在所述第二电介质层之中和之上形成第二多个互连件。

[0121] 方面23:根据方面21至22所述的方法,进一步在所述第二多个互连件之上形成阻焊层。

[0122] 方面24:一种封装件,包括:衬底以及耦合至所述衬底的第一表面的第一集成器件。所述衬底包括(i)至少一个电介质层;(ii)位于所述至少一个电介质层中的第一多个互连件,其中所述第一多个互连件穿过所述至少一个电介质层的第一表面定位,其中所述第一多个互连件包括穿过所述至少一个电介质层的所述第一表面定位的第一互连件,并且其中所述第一互连件包括第一互连件表面,以及(iii)位于所述至少一个电介质层的所述第一表面之上的第二多个互连件,其中所述第二多个互连件包括位于所述至少一个电介质层的所述第一表面之上的第二互连件,并且其中所述第二互连件包括与所述第一互连件表面共面的第二互连件表面。

[0123] 方面25:根据方面24所述的封装件,其中所述第一多个互连件包括第一多个高密度互连件,其中所述第一互连件包括第一高密度互连件,其中所述第一高密度互连件具有比所述第二互连件的第二宽度小的第一宽度,并且其中所述第一高密度互连件具有比所述第二互连件的第二间距小的第一间距。

[0124] 方面26:根据方面24至25所述的封装件,其中所述衬底包括位于所述至少一个电介质层中的第三多个互连件,并且其中所述第三多个互连件被定位成穿过所述至少一个电介质层的第二表面。

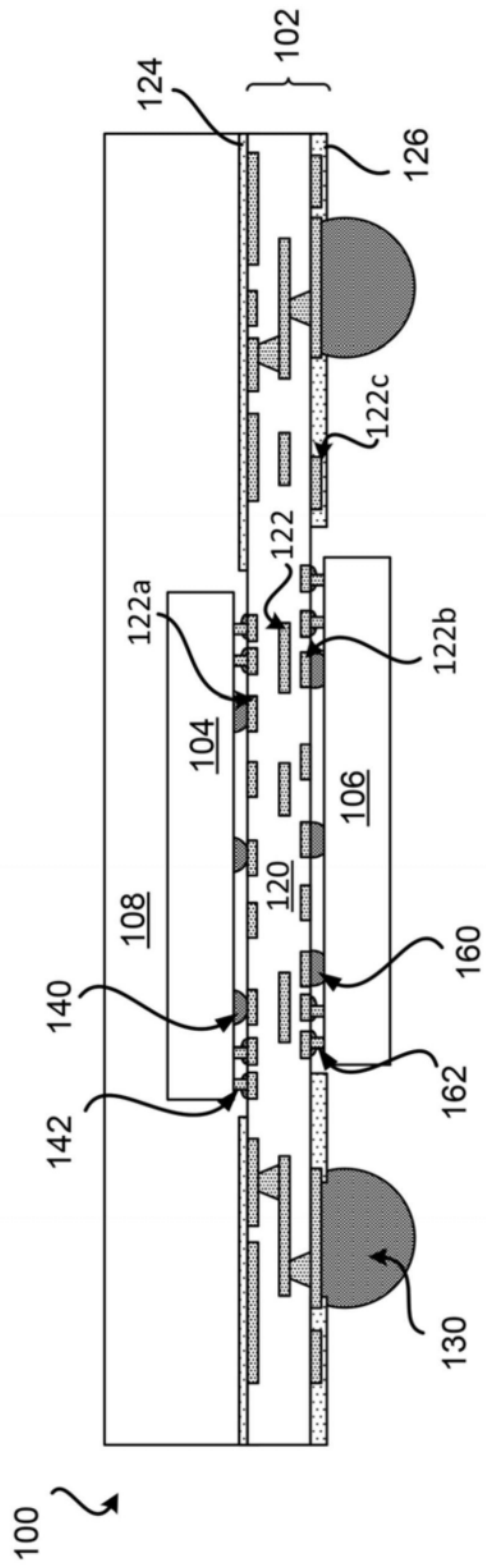
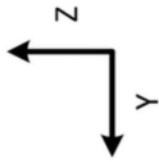
[0125] 方面27:根据方面26所述的封装件,还包括耦合至所述衬底的第二表面的第二集成器件。

[0126] 方面28:根据方面26至27所述的封装件,其中所述第三多个互连件包括第三多个高密度互连件,并且其中所述第三多个高密度互连件包括第三高密度互连件,其中所述第三高密度互连件具有比所述第二互连件的所述第二宽度小的第三宽度,并且其中所述第三高密度互连件具有比所述第二互连件的所述第二间距小的第三间距。

[0127] 方面29:根据方面26至28所述的封装件,其中所述第一表面是顶表面并且所述第二表面是底表面。

[0128] 方面30:根据方面26至28所述的封装件,其中所述第一表面是底表面并且所述第二表面是顶表面。

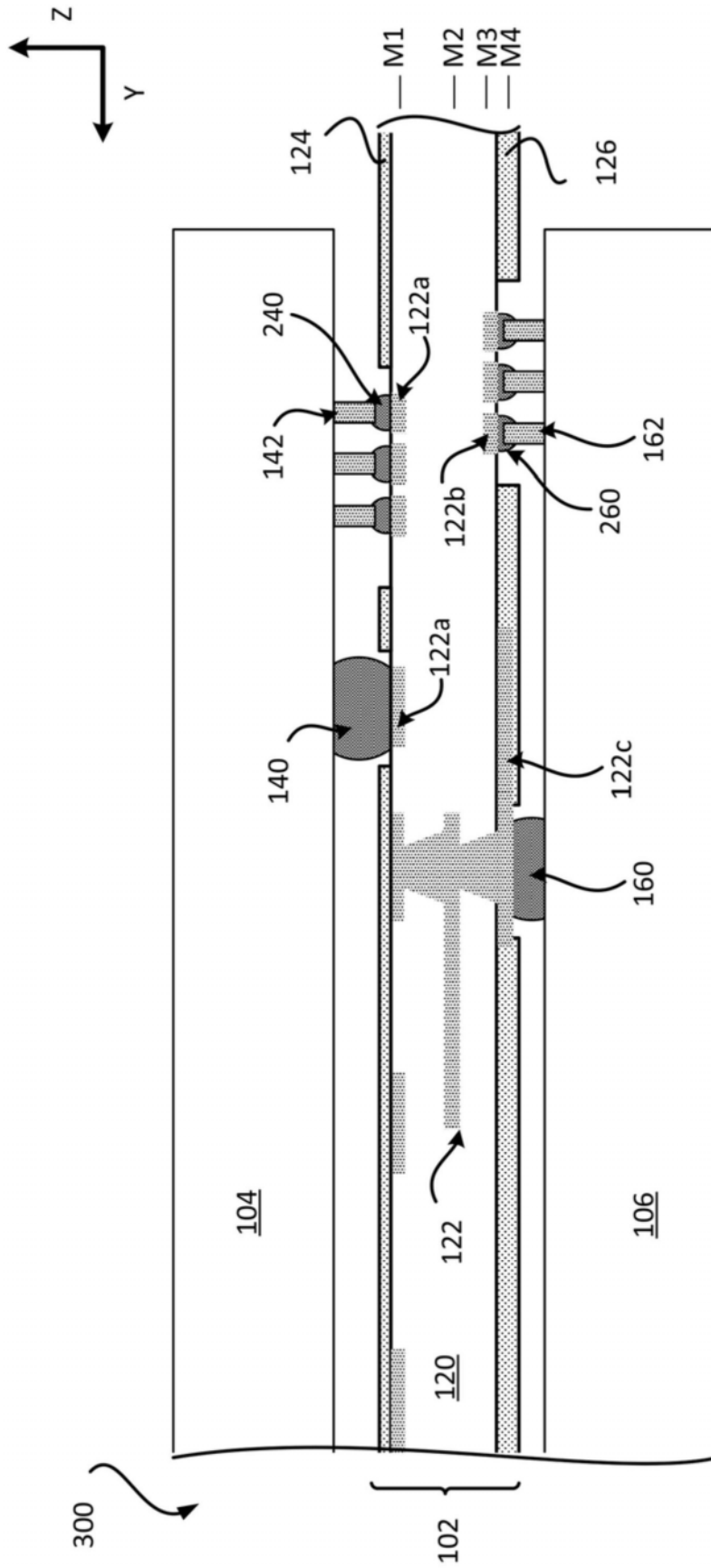
[0129] 在不脱离本公开的范围的情况下,本文中所描述的本公开的各种特征可实施于不同系统中。应当注意,本公开的以上各方面仅是示例,且不应被解释成限定本公开。对本公开的各方面的描述旨在是例示性的,而非限定所附权利要求的范围。由此,本公开的教导可以现成地应用于其他类型的装置,并且许多替换、修改和变形对于本领域技术人员将是显而易见的。



横截面剖面视图

图1





横截面剖面视图

图3

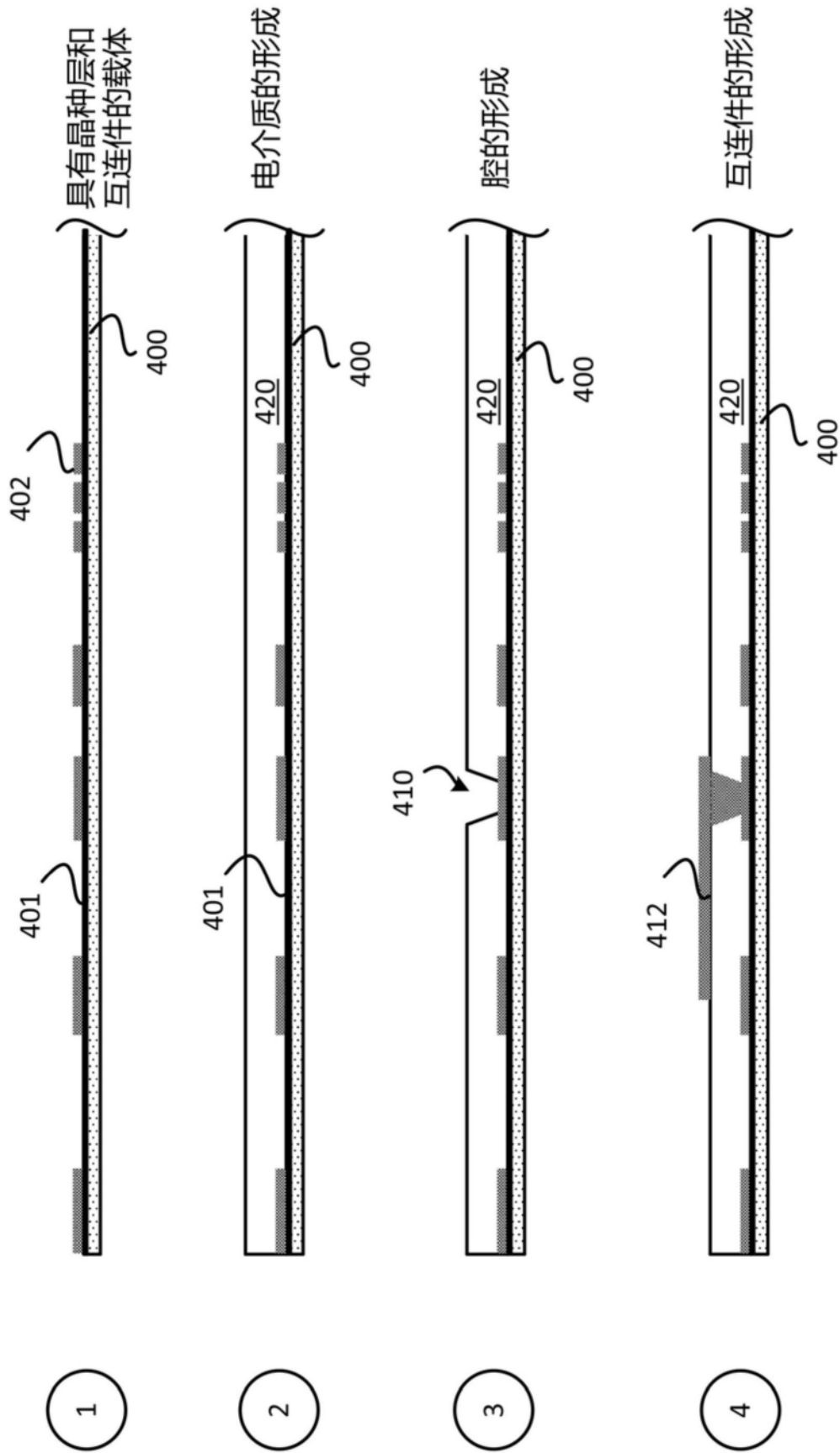


图4A

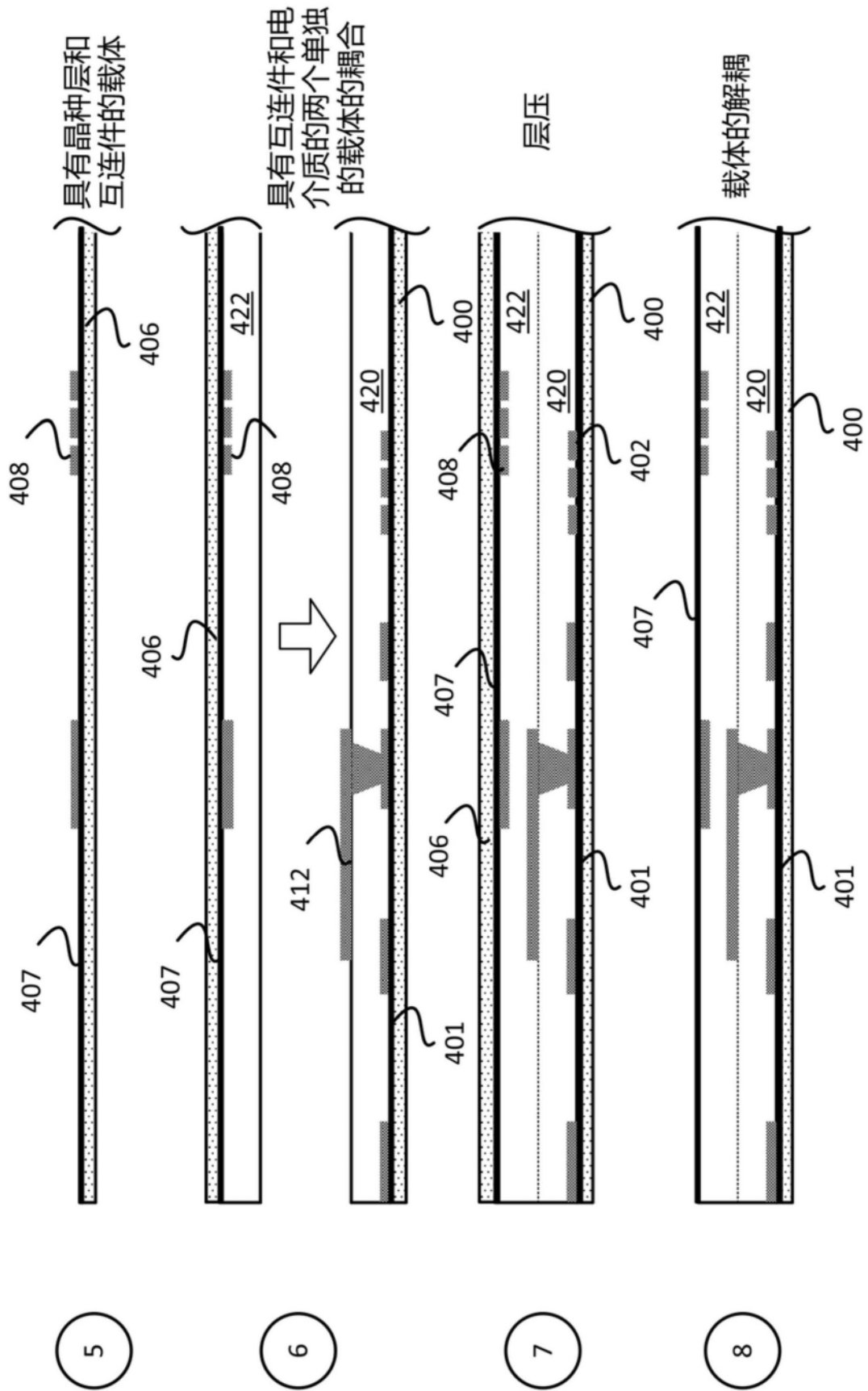


图4B

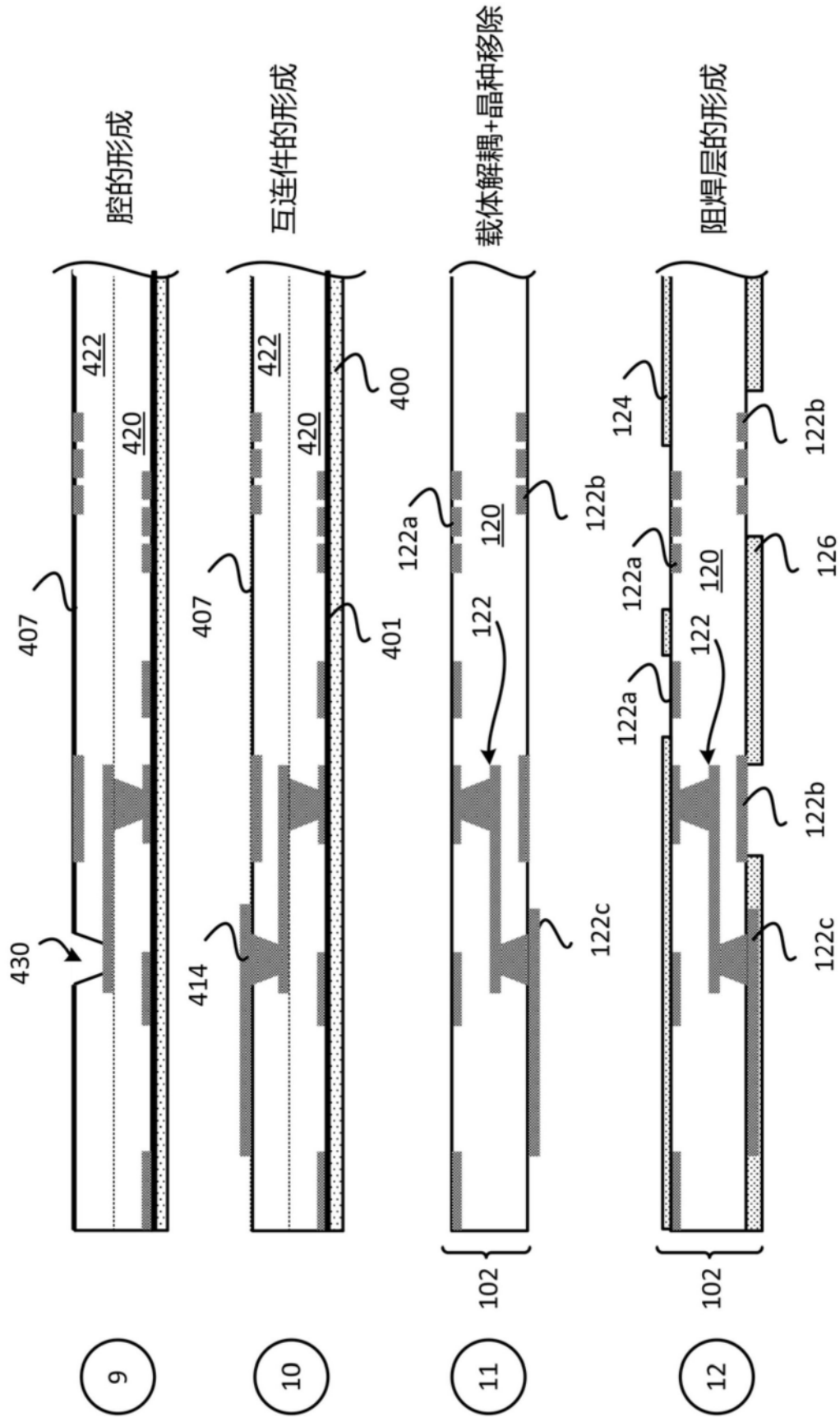


图4C

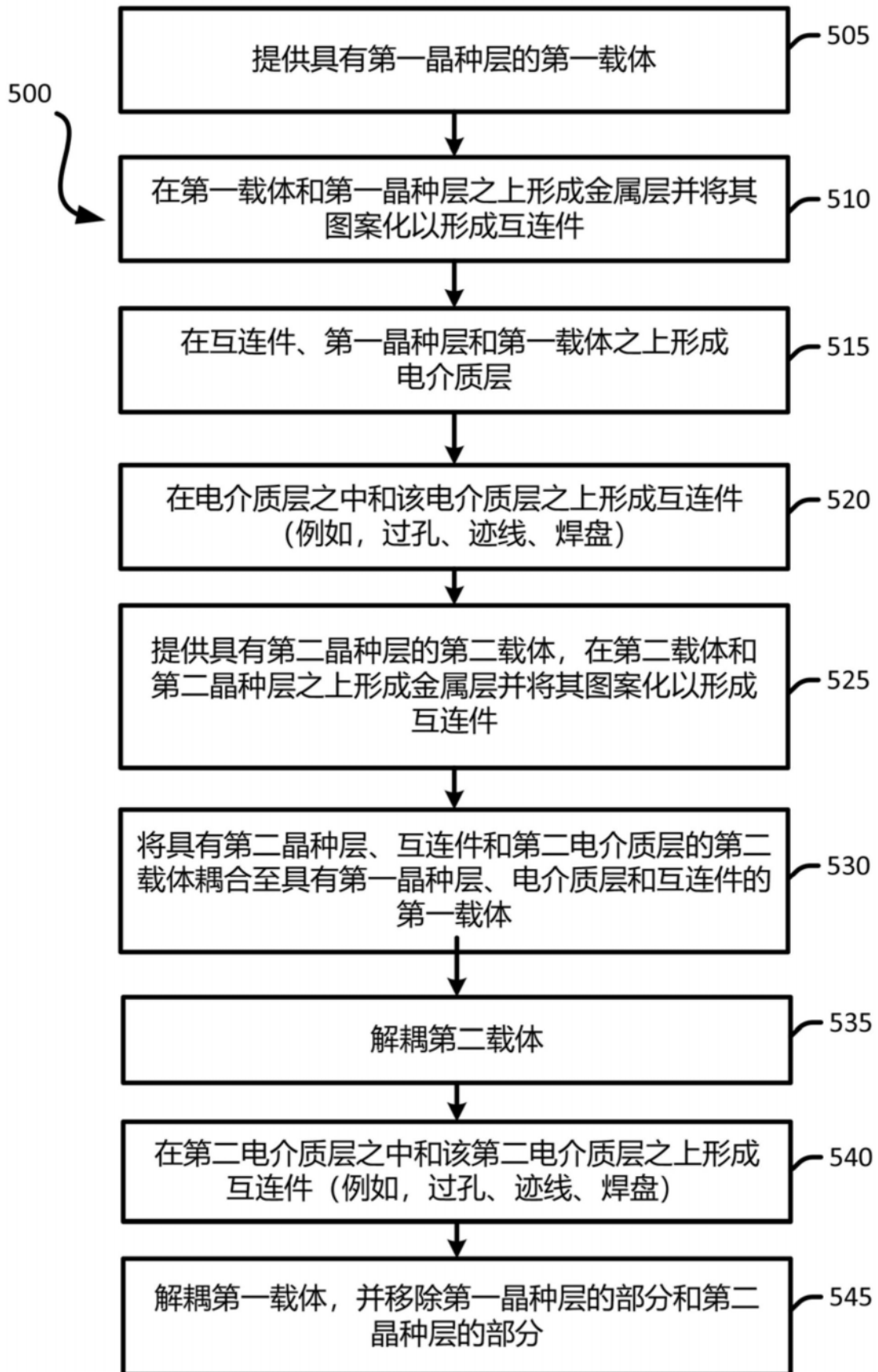


图5

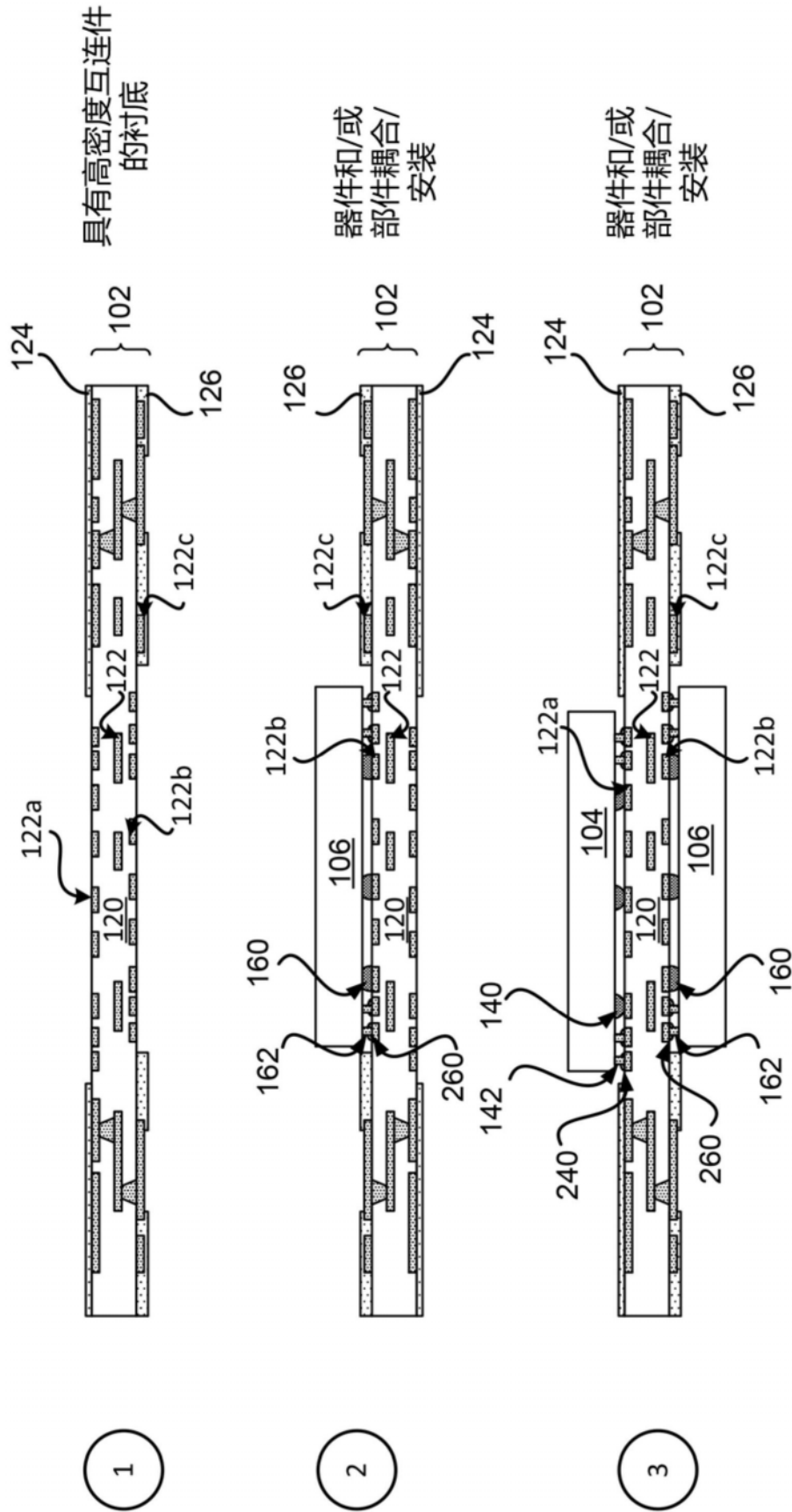


图6A

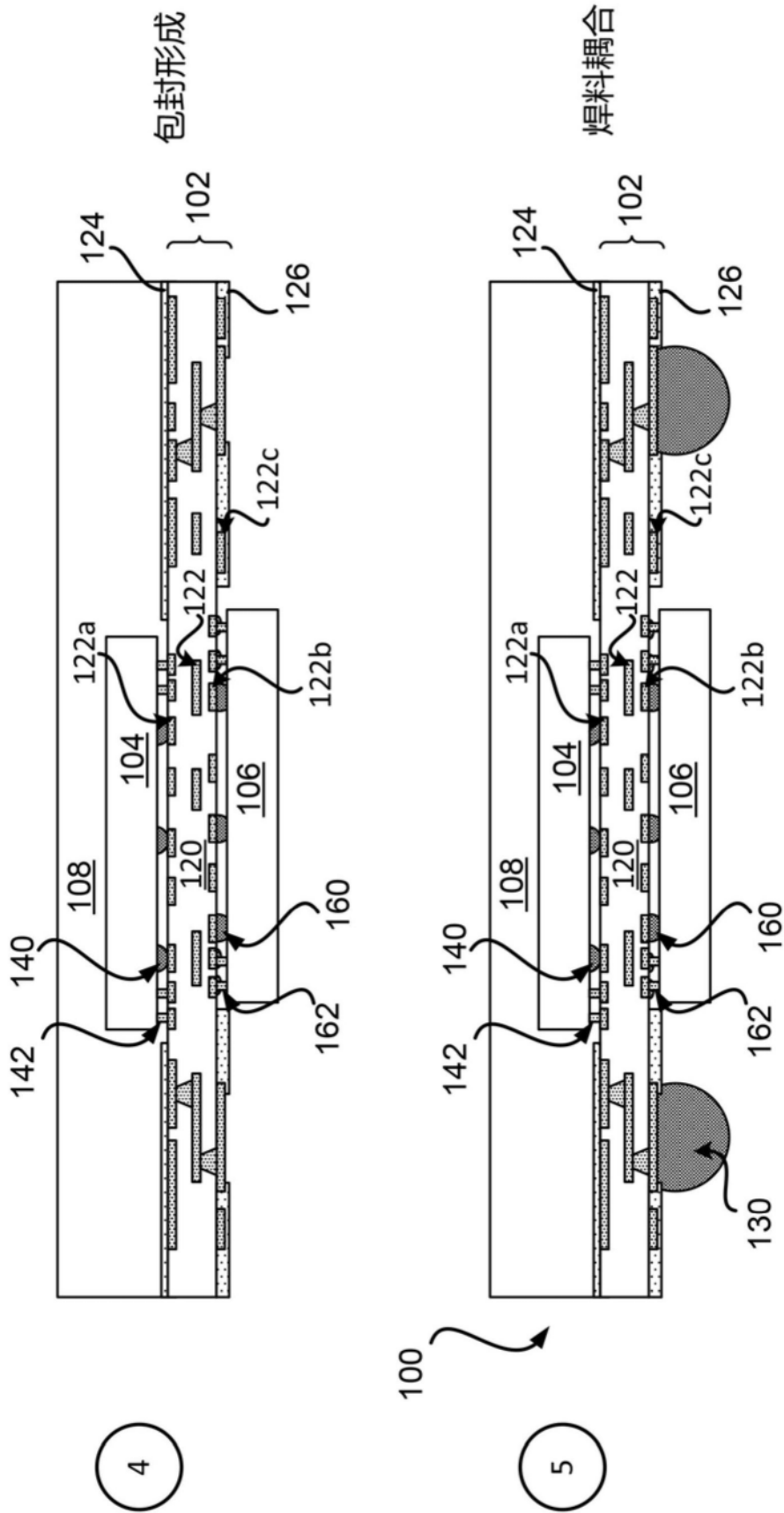


图6B

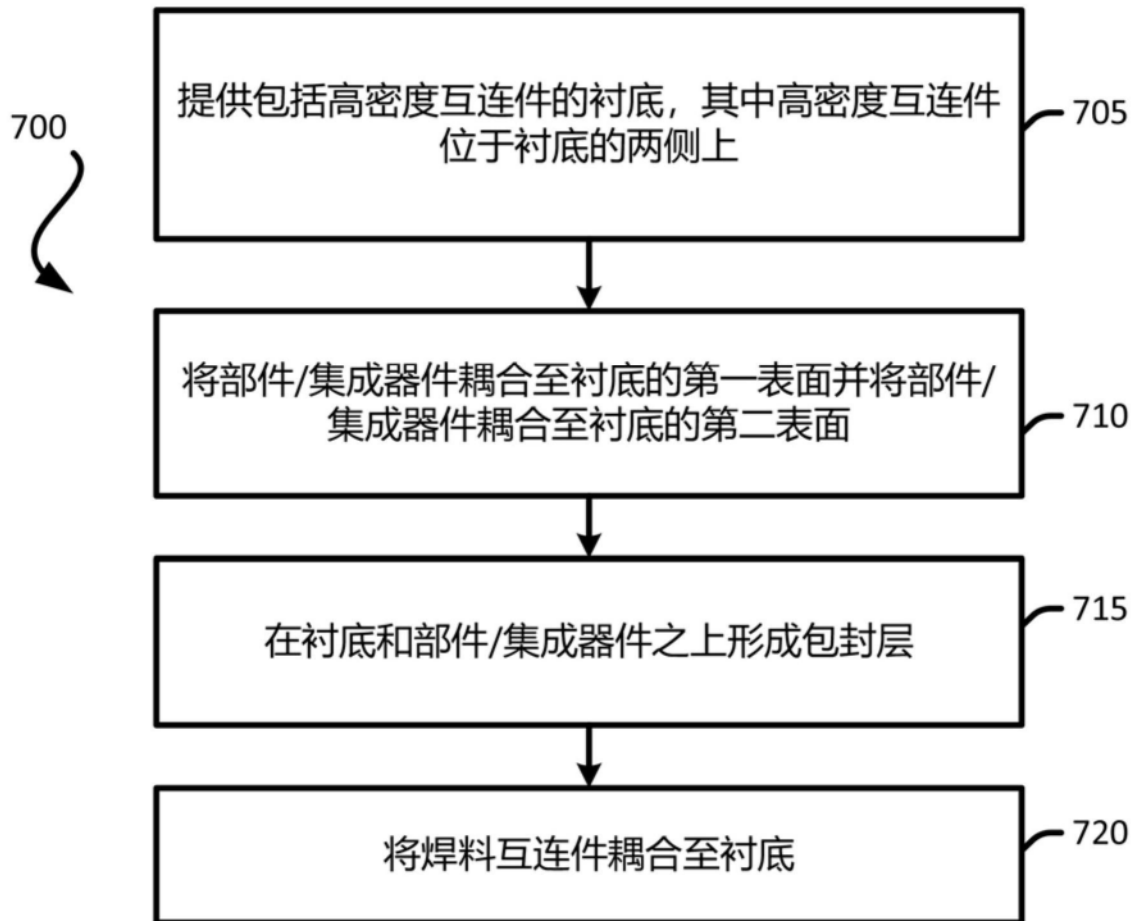


图7

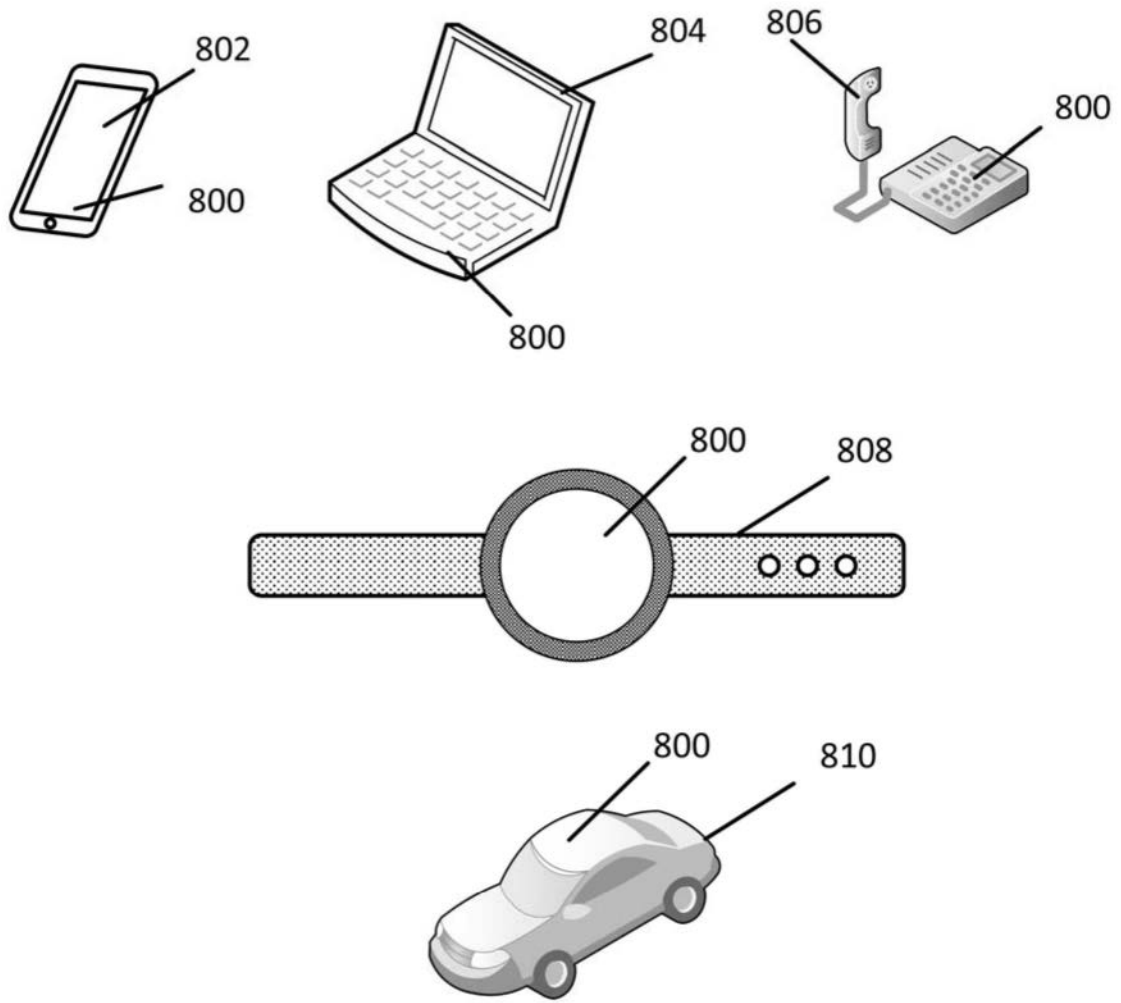


图8