

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成19年5月17日(2007.5.17)

【公開番号】特開2001-291399(P2001-291399A)

【公開日】平成13年10月19日(2001.10.19)

【出願番号】特願2000-107921(P2000-107921)

【国際特許分類】

G 11 C 29/34 (2006.01)

G 01 R 31/28 (2006.01)

【F I】

G 11 C 29/00 6 7 1 R

G 01 R 31/28 B

G 01 R 31/28 V

【手続補正書】

【提出日】平成19年3月26日(2007.3.26)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】各々が直列に信号を入出力するための複数の入出力ノードと、

データ信号を記憶するためのメモリコア部とを備え、

前記メモリコア部は、

行列状に配置される複数のメモリセルと、

各々が前記データ信号を伝達する複数のデータ線とを有し、

前記複数の入出力ノードに対応してそれぞれ設けられる複数の内部ノードと前記複数の入出力ノードとの間にそれぞれ配置される複数のデータ変換回路をさらに備え、

各前記データ変換回路は、前記複数の内部ノードのうちの対応する1つに並列に伝達されるM個(M:2以上の自然数)の信号を受けて、対応する前記複数の入出力ノードのうちの対応する1つに対して直列に伝達し、

前記複数の内部ノードと前記メモリコア部との間に配置されるテストモード回路をさらに備え、

前記テストモード回路は、各々がN本(N:2以上の自然数)のデータ線ごとに配置される複数のデータ圧縮回路を含み、

各前記データ圧縮回路は、テストモード時において、前記N本のデータ線によって伝達されるN個のデータ信号に応じて、K個(K:Nより小さい自然数)のテスト結果信号を生成し、

前記テストモード回路は、前記テストモード時において、前記複数の内部ノードのうちの一部のそれぞれに対して、前記複数のデータ圧縮回路が生成する複数の前記テスト結果信号をM個ずつ並列に伝達する、半導体記憶装置。

【請求項2】前記複数の内部ノードは、各々がL個(L:2以上の自然数)の内部ノードを含む複数のグループに分割されており、

前記半導体記憶装置は、各前記グループごとに配置される、

前記L個の内部ノードのうちの1個に対応して設けられる出力切換回路と、

その他の(L-1)個の内部ノードのそれぞれに対応して設けられ、対応する内部ノードに並列に伝達されるM個の信号を保持する複数のデータレジスタ回路とをさらに備え、

前記出力切換回路は、前記テストモード時において、前記L個の内部ノードのうちの1

つを順に選択して、選択された前記内部ノードに伝達されるM個の並列の信号を、前記複数のデータ変換回路のうちの1つに伝達する、請求項1記載の半導体記憶装置。

【請求項3】 前記半導体記憶装置は、クロック信号に同期して動作し、

前記出力切換回路が内部ノードの選択を切換える周期は、前記複数のデータ変換回路のうちの1つが前記対応する前記複数の入出力ノードに対して信号を直列に伝達する周期のL倍である、請求項2記載の半導体記憶装置。

【請求項4】 前記テスト結果信号は、前記N本のデータ線によって伝達されるN個のデータ信号の圧縮信号を含む、請求項1または2に記載の半導体記憶装置。

【請求項5】 前記Kは1であり、

各前記複数のデータ圧縮回路は、前記N本のデータ線によって伝達されるN個のデータ信号間における一致比較結果を前記圧縮信号として生成する論理ゲートを有する、請求項4記載の半導体記憶装置。

【請求項6】 前記テスト結果信号は、

前記N本のデータ線によって伝達されるN個のデータ信号のうちの1つと、

前記N本のデータ線によって伝達されるN個のデータ信号の圧縮信号とを含む、請求項1または2に記載の半導体記憶装置。

【請求項7】 前記Kは2であり、

各前記複数のデータ圧縮回路は、前記N本のデータ線によって伝達されるN個のデータ信号間における一致比較結果を前記圧縮信号として生成する論理ゲートを有する、請求項6記載の半導体記憶装置。

【請求項8】 前記テストモード回路は、

各々が、前記N本のデータ線ごとに、前記メモリコア部と前記複数の内部ノードのうちの1つとの間に配置される複数のマルチプレクサをさらに含み、

各前記マルチプレクサは、通常の読み出動作時においては、前記N本のデータ線によって伝達されるN個のデータ信号を対応する前記内部ノードに伝達し、

前記複数の内部ノードのうちの前記一部に対応する前記複数のマルチプレクサの一部の各々は、前記テストモード時において、複数の前記データ圧縮回路から出力された前記テスト結果信号を対応する前記内部ノードに伝達し、

前記複数のマルチプレクサの残りの各々は、前記テストモード時において、所定の固定電位レベルを対応する前記内部ノードに伝達する、請求項1記載の半導体記憶装置。

【請求項9】 前記メモリコア部は、欠陥が生じた前記メモリセルを置換救済するためのスペアアレイ部をさらに備え、

前記スペアアレイ部は、各々が1回のアクセス動作時における前記置換救済の対象となる複数の置換単位を含み、

前記Nは、前記置換単位に対応して定められる、請求項1記載の半導体記憶装置。

【請求項10】 前記テストモード時において、同一周波数に基づく複数の制御信号を生成するテスト制御回路をさらに備え、

前記メモリコア部および前記データ変換回路は、前記テストモード時において、前記複数の制御信号に応答して動作する、請求項1記載の半導体記憶装置。

【請求項11】 前記メモリコア部は、前記複数のメモリセルのうちの欠陥が生じたメモリセルを所定の単位毎に救済するためのスペアアレイ部をさらに備え、

前記スペアアレイ部は、前記所定の単位に対応する置換救済の単位となる冗長ユニットを複数含み、

前記Nは、各前記冗長ユニットに対応する前記データ線の数と等しい、請求項1記載の半導体記憶装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0037

【補正方法】変更

【補正の内容】

【0037】**[テスト結果データの圧縮について]**

半導体記憶装置の動作テスト時（以下、テストモード時とも称する）においては、制御信号ノードおよびデータノードを介して、テストに使用するデータや制御信号がメモリテスタとの間で授受される。したがって、半導体記憶装置のテストコストを削減する方法としては、動作テスト時に使用的なI/Oピン数の削減、すなわち、テスト結果データの出力対象となるデータノードの数を通常動作時よりも減らすことによって、1個のメモリテスタによって同時にテストできる被試験対象の数（以下、テスト同測数とも称する）を増加させることが考えられる。

【手続補正3】**【補正対象書類名】明細書****【補正対象項目名】0087****【補正方法】変更****【補正の内容】****【0087】**

また、テストモード時においては、データノードN_d1～N_d3は、データ出力には使用されないため、これらのデータノードに対応して設けられるマルチプレクサMX1a, MX1b, MX2a, MX2b, MX3a, MX3bの“1”側には、出力レベルを固定するための電源ノード91が結合される。

【手続補正4】**【補正対象書類名】明細書****【補正対象項目名】0109****【補正方法】変更****【補正の内容】****【0109】**

図9は、テストモード制御回路2_1_0によるテストモード時のデータ出力を説明するためのタイミングチャートである。

【手続補正5】**【補正対象書類名】明細書****【補正対象項目名】0117****【補正方法】変更****【補正の内容】****【0117】**

実施の形態3においては、内部ノードN₀～N_nをL個（L：2以上の自然数）ずつのグループに分割する。各グループを形成するL個の内部ノードのうちの1個に対応してデータ切換スイッチSWが配置され、残りの（L-1）個の内部ノードに対応してデータレジスタRGが配置される。図10においては、一例としてL=2の場合を記載している。

【手続補正6】**【補正対象書類名】明細書****【補正対象項目名】図9****【補正方法】変更****【補正の内容】**

【図9】 テストモード制御回路2_1_0によるテストモード時のデータ出力を説明するためのタイミングチャートである。