



(12) 发明专利

(10) 授权公告号 CN 101366092 B

(45) 授权公告日 2011.09.28

(21) 申请号 200680033128.1

(22) 申请日 2006.09.07

(30) 优先权数据

11/229,519 2005.09.20 US

(85) PCT申请进入国家阶段日

2008.03.10

(86) PCT申请的申请数据

PCT/US2006/034998 2006.09.07

(87) PCT申请的公布数据

W02007/035278 EN 2007.03.29

(73) 专利权人 斯班逊有限公司

地址 美国加利福尼亚州

(72) 发明人 T·郭 N·莱昂 H·陈 S·钱德拉

杨念

(74) 专利代理机构 北京戈程知识产权代理有限

公司 11314

代理人 程伟 靳强

(51) Int. Cl.

G11C 16/10(2006.01)

G11C 16/04(2006.01)

(56) 对比文件

CN 1619704 A, 2005.05.25, 全文.

US 6044022 A, 2000.03.28, 全文.

CN 1427466 A, 2003.07.02, 全文.

EP 1523012 A1, 2005.04.13, 说明书第 33-34 段、附图 1-2.

US 2004/0027858 A1, 2004.02.12, 说明书第 6, 53-61 段、附图 1, 7-9.

US 2004/0027858 A1, 2004.02.12, 说明书第 6, 53-61 段、附图 1, 7-9.

审查员 李元

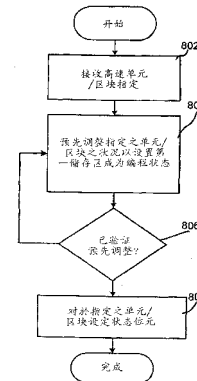
权利要求书 2 页 说明书 10 页 附图 7 页

(54) 发明名称

具有改善的编程速率的多位快闪存储装置

(57) 摘要

本发明提供一种用于编程包含存储单元 (201) 之数组之非易失性存储数组 (102) 之方法, 其中各存储单元 (201) 包含基板 (315)、控制栅极 (328)、具有至少二个电荷储存区 (432、433) 以用于储存至少二个独立的电荷之电荷储存组件 (322)、源极区域 (203) 和漏极区域 (202)。该方法包含指定至少一个存储单元作为高速存储单元 (802) 以及藉由设置该至少二个电荷储存区 (432、433) 之其中第一者成为编程状态 (804) 而预先调整 (pre-condition) 高速存储单元 (201) 之状况, 并接着用远较高的速率致能第二区上的编程。



1. 一种对于包含存储单元 (201) 的阵列 (102) 的非易失性存储装置 (100) 编程的方法,其中每个存储单元 (201) 包含具有至少两个电荷储存区 (432,433)、用于储存至少两个独立电荷的电荷储存元件 (322),该方法包括下列步骤:

指定多个存储单元 (201) 作为高速存储单元 (802);

预先调整该高速存储单元的状况,以将该至少两个电荷储存区的其中第一个电荷储存区设置为编程状态 (804);

设定关联于高速存储单元 (802) 的状态位;

接收编程命令以编程高速存储单元 (902);以及

编程该高速存储单元,以将该至少两个电荷储存区的其中第二个电荷储存区设置为编程状态 (904),并通过读取关联状态位的逻辑值而触发高速存储单元 (802) 的编程。

2. 如权利要求 1 所述的方法,其中编程该高速存储单元进一步包含施加编程脉冲至该高速存储单元 (904)。

3. 如权利要求 2 所述的方法,进一步包括:

验证该高速存储单元已被编程 (906)。

4. 如权利要求 1 所述的方法,进一步包括:

指定该高速存储单元为正常模式存储单元 (1002);

擦除该高速存储单元,以将用于每个该高速存储单元的该至少两个电荷储存区的其中该第一个电荷储存区设置为非编程状态 (1004);以及

重设关联于该高速存储单元的状态位 (1008)。

5. 如权利要求 1 所述的方法,其中该存储单元包含多重的存储单元的 128 兆位区块,该方法进一步包括:

指定至少一个的存储单元的区块为存储单元的高速区块 (802);以及

预先调整该至少一个的高速存储单元的区块的状况,以将用于该至少一个的高速存储单元的区块中的每个存储单元的该至少两个电荷储存区的其中该第一个电荷储存区设置为编程状态 (804)。

6. 一种对包含非易失性存储单元 (201) 的阵列 (102) 的存储装置 (100) 编程的方法,每个存储单元 (201) 包含具有两个电荷储存区 (432,433) 以用于储存两个独立电荷的电荷储存元件 (322),该方法包括下列步骤:

将非易失性双位存储单元 (201) 的该阵列 (102) 配置为一个或多个的存储单元的区块;

接收请求以使用至少一个的存储单元 (201) 的区块作为高速区块 (802);

预先调整在该高速区块中的该存储单元 (201) 的状况,以将用于该高速区块中的每个存储单元 (201) 的该至少两个电荷储存区 (432,433) 的其中第一个电荷储存区设置为编程状态 (804);

设定关联于该高速区块的状态位以指示该区块是高速区块 (808);

接收请求以编程在该高速区块 (902) 中的一个或多个存储单元 (201);

施加编程脉冲至该被请求的存储单元 (201),以将用于每个被请求的存储单元 (201) 的该至少两个电荷储存区 (432,433) 的其中第二个电荷储存区设置为编程状态 (904),并通过读取关联状态位的逻辑值而触发该存储单元 (201) 的高速区块 (802) 的编程;以及

验证在该高速区块中的该存储单元 (201) 已被编程 (906)。

7. 如权利要求 6 所述的方法, 包括:

接收请求以在该高速区块与另一区块之间传送数据; 以及

将该数据从用于该高速区块中的每个存储单元 (201) 的该至少两个电荷储存区 (432, 433) 的其中第二个电荷储存区转移至在该另一区块中的存储单元 (210) 中的该第一或第二电荷储存区 (432, 433) 中的任何一个。

8. 如权利要求 6 所述的方法, 包括:

接收请求以将该高速区块返回至正常模式区块 (1002);

施加擦除脉冲至该高速区块中的每个存储单元 (201) 以将该第一和第二电荷储存区 (432, 433) 均设置为非编程状态 (1004); 以及

重设该状态位以指示该区块为正常模式区块 (1008)。

具有改善的编程速率的多位快闪存储装置

技术领域

[0001] 本发明大致上系关于非易失性存储装置,且详言之,系关于改善与非易失性存储装置相关联之操作。

背景技术

[0002] 闪存为非易失性半导体存储装置的常见类型。非易失性相关于当电源关闭时维持着储存之资料。因为闪存为非易失性,故其通常用于功耗控制之应用(power conscious application),譬如于电池供电的手机(cellular phone)、个人数字助理(personal digital assistant;简称PDA)、和譬如记忆条(memory stick)之可携式大容量储存装置。

[0003] 快闪存储装置一般包含形成于基板上或基板内之多个个别组件。例如,闪存可包含一个或多个高密度核心区域和形成在单一基板上之周边部分。高密度核心区域一般包含个别可寻址、实质相同的存储单元之数组。周边部分可包含输入/输出(I/O)电路、用于选择性寻址个别单元之电路(譬如用于连接选择之单元之源极、栅极和漏极至预定的电压或阻抗之译码器,以造成单元之指定的操作,譬如编程、读取或抹除)、以及电压调整和供应的电路。

[0004] 在习知的闪存架构中,核心部分内之存储单元系一起耦接在电路配置内,其中各存储单元具有漏极、源极、和堆栈栅极。于操作中,可藉由周边部分电路而寻址存储单元,以执行譬如读取、抹除、和编程存储单元之功能。

[0005] 闪存典型包含二种不同的类型:NOR闪存和NAND闪存。一般而言,习知的NOR闪存考虑为码等级(code-level)内存,而NAND闪存考虑为资料等级(data-level)内存。具体而言,NOR闪存一般配置成提供非常可靠的储存环境,并进一步使得能够快速和随机的读取于装置中之各存储单元。此情况藉由提供与装置中各单元个别的接触而完成。NOR架构之可靠性和随机存取性质使得NOR闪存特别适用于码储存(code storage),譬如行动电话(mobile phone)和机上盒(set topbox)操作系统等。不幸的是,习知的NOR快闪存储单元之个别可寻址性质倾向于限制该单元在编程和抹除时之速度,并限制了该装置大小的快速缩小。典型的NOR快闪存储装置具有每秒0.4百万字节(MB/s)量级之编程速率和0.3MB/s量级之抹除速率。

[0006] 另一方面,配置NAND闪存使能对储存其中之资料进行串行存取或以页为基础之存取(page-based access)。这是藉由将存储单元彼此链接并仅提供对群组或页之该等单元的存取而完成。此种架构具有使能够减少装置大小并亦提供快速写入次数之优点。然而,因为各单元并非个别可寻址,则NAND装置一般被认为较不可靠,而因此较码储存更适合作为资料储存。典型的NAND快闪存储装置具有每秒8MB量级之编程速率和每秒60MB量级之抹除速率。

发明内容

[0007] 本发明之一态样系针对一种用于编程包含存储单元之数组之非易失性存储装

置之方法,其中各存储单元包含具有至少二个电荷储存区以用于储存至少二个独立电荷之电荷储存组件。该方法包含指定复数个存储单元作为高速存储单元以及预先调整该高速存储单元之状况以设置关联于各该高速存储单元之该至少二个电荷储存区之其中第一个电荷储存区成为编程状态。

[0008] 本发明之另一个态样系针对一种用于编程包含非易失性存储单元之数组之存储装置之方法,各存储单元包含具有二个电荷储存区以用于储存二个独立电荷之电荷储存组件。该方法包含配置非易失性双位存储单元之数组成为一个或多个之存储单元之区块;接收请求以使用至少一个之存储单元之区块作为高速区块;预先调整于该高速区块中之存储单元之状况以设置用于该高速区块中之各存储单元之该至少二个电荷储存区之其中第一个电荷储存区成为编程状态;以及设定关联于该高速区块之状态位以指示该区块是高速区块。

[0009] 本发明之又一个态样系针对一种存储装置,包含具有至少一个之非易失性存储单元之数组之核心数组。该至少一个数组可包含复数条位线,各位线连接至复数个存储单元之源极或漏极区域。该复数个存储单元可包含基板、控制栅极、具有至少二个电荷储存区以用于储存至少二个独立电荷之电荷储存组件、源极区域、和漏极区域。该至少一个数组亦可包含复数条字符线,正交配置于该位线,各字符线连接至复数个存储单元之栅极区域。复数个感测放大器可操作地连接至该复数条位线,以用于感测连接至该位线之存储单元之临界电压。控制逻辑可配置成接收命令以确认将配置为高速存储单元之一个或多个存储单元。控制逻辑可配置成预先调整各该高速存储单元之该至少二个电荷储存区之其中第一个电荷储存区之状况以设置该第一电荷储存区成为编程状态。控制逻辑可配置成设定关联于该一个或多个存储单元之状态位,指示该一个或多个存储单元为高速存储单元。

[0010] 本发明之又一个态样系针对一种包含存储单元之数组之存储装置。该存储单元之数组可包含配置为正常模式存储单元之第一复数个存储单元,以及配置为高速模式存储单元之第二复数个存储单元。

附图说明

[0011] 参照所附之图标,其中各图中具有相同组件符号之各组件系表示相同之组件。

[0012] 图 1 系显示高度实施之存储装置范例之方块图;

[0013] 图 2 系显示施行于图 1 中所示核心区之存储单元数组之范例部分之图标;

[0014] 第 3 和 4 图系显示图 2 中所示之其中一个存储单元范例之剖面图;

[0015] 图 5 系显示用于图 3 中所示存储单元之相对编程位准临界电压 (V_t) 分布之群体图 (population plot),指示当电荷储存区设置在各种个别之数据状态时,存储单元之资料状态之行为;

[0016] 图 6 系显示施行于图 1 中所示核心区之存储单元数组之范例预先调整区块之状况之图标;

[0017] 图 7 系显示于图 6 中所示之其中一个存储单元范例之剖面图;

[0018] 图 8 系显示譬如图 1 中所示存储装置之存储装置之范例预先调整之流程图;

[0019] 图 9 系显示譬如图 1 中所示存储装置之预先调整存储装置之状况之范例编程之流程图;以及

[0020] 图 10 系显示譬如图 1 中所示存储装置之存储装置之范例正常模式指定之流程图。

具体实施方式

[0021] 图 1 显示高度 (high-level) 实施之存储装置 100 范例之方块图。存储装置 100 可以是施行为集成电路之快闪存储装置。

[0022] 如图 1 所示,存储装置 100 包含核心数组 102。核心数组 102 可包含高密度存储单元之数组,譬如,像是 SONOS 型(硅-氧化物-氮化物-氧化物-硅)之 NOR 存储单元,其中该氮化物层用作为电荷储存组件。详言之,核心数组 102 可包含实质相同的存储单元之多个 M×N 存储数组。下文中将作更详细之讨论,核心数组 102 可以是序列存取内存,其中存储单元可被存取于指定的群组中,譬如多页(pages)或多页的部分。于此方式,核心数组 102 可以采用具有输出内存 112 之 NAND 状接口结构,不管含有在存储装置 100 内固有的数组结构(例如,NOR 或虚拟的接地型式)如何。实际上,与本发明之原理相符之一个实施例中,资料页可相关于核心数组 102 中存储单元之一系列的列(例如,四个连续列)。应了解,资料页可包括任何适当数量的列。逻辑上,各页能考虑为具有预定大小之数据块,透过该等数据块存取存储装置 100。于一个实施例中,用于存储装置 100 之页大小为 2048 个字节或二仟字节。

[0023] 可以经过地址线 104 将用于页之地址提供至地址序列发生器(sequencer)106 而存取核心数组 102。地址序列发生器 106 可接收输入地址值并将该等地址值分配至 Y 译码器 108 和 X 译码器 110。译码器 108 和 110 可译码地址值而使激活由接收之地址所相关之存储单元之源极、栅极、和漏极,以及读取或编程该等地址的资料值。译码之地址在欲使用之存储单元数组中指定适当的实际线路。例如,可激活资料页而平行读出核心数组 102。读出之资料于记录(clock)入输入/输出(I/O)缓冲器 114 并经由 I/O 线 116 读出之前,可写入至输出内存 112。Y 译码器 108 亦可包含适当的感测放大器电路。感测放大器可用来感测于核心区 102 中存储单元之编程的或非编程的状态。与本发明相符之感测放大器可以是低功率感测放大器,以下将作额外的详细说明。

[0024] 于一些实施例中,可执行于数组 102 中之存储单元,使得各存储单元能储存二个或更多个位资料。于一种如此每存储单元有多位之技术,称之为镜位(MirrorBit™),藉由储存二个实际上不同之电荷于存储单元之相对侧而能加倍快闪存储数组之本质密度(intrinsic density)。各电荷,表示在单元内之位用作为资料之二进制单元(例如,“1”或“0”)。读取或编程存储单元之一侧发生与储存在该单元之相对侧之数据无关。

[0025] 输出内存 112 可包含静态随机存取内存(SRAM)或动态随机存取内存(DRAM)类型之内存,该等内存能用作核心区 102 和 I/O 缓冲器 114 之间之高速缓存。输出内存 112 因此可以是挥发性内存(亦即,当关闭电源时丧失其资料),以及相关于在核心数组 102 中之存储单元,可以是高速内存。

[0026] 亦如图 1 所示,存储装置 100 可包含一些支持读取/写入至核心数组 102 之附加逻辑组件。尤其是,如图中所示,存储装置 100 包含状态控制组件 120、程序电压产生器 122、抹除电压产生器 124、和选择开关 126。这些组件显示于图 1 中为分离之组件。应了解到由二个或更多个这些组件所施行的功能可选择地由单一个组件实施。

[0027] 状态控制组件 120 可执行根据一些的控制讯号而命令存储装置 100 之功能之状态

机 (state machine), 如图标之讯号: 重设线 132、写入致能 (WE) 线 134、字节线 136、芯片致能 (CE) 线 138、和输出致能 (OE) 线 140。当激活重设线 132 时, 引起存储装置 100 之硬件重设。写入致能线 134 使资料能写入至核心数组 102。字节线 136 选择输出数据总线之宽度。例如, 字节线 136 可使 I/O 线 116 操作为 8 位数据总线或 16 位数据总线, 系依于字节线 136 之状态而定。芯片致能线 138 使能读取 / 写入资料至存储装置 100。当芯片致能线 138 保持在其指定的非作用位准时, 存储装置 100 之输出接脚可处于高阻抗 (非激活) 状态。激活存储装置 100, 芯片致能线 138 可以保持在其激活状态。输出致能线 140 致能从核心数组 102 读取之资料, 并经由 I/O 线 116 输出资料。

[0028] 程序电压产生器 122 和抹除电压产生器 124 可产生来自 / 送至核心数组 102 之需用于读取、编程、和抹除之适当的电压。例如, 于一个实施例中, 核心数组 102 可要求相对高的电压以编程和抹除核心数组 102 中之存储单元。这些较高电压可提供自程序电压产生器 122 和抹除电压产生器 124。选择开关 126 可包含连接至核心数组 102 之选择晶体管。可使用各选择开关以控制一系列之存储单元, 譬如存储单元行。

[0029] 亦如图 1 所示系为准备 / 忙碌 (RY/BY) 线 130。准备 / 忙碌线 130 可指示存储装置 100 何时正施程序或抹除操作。详言之, 当在“忙碌”状态时, 准备 / 忙碌线 130 指示存储装置 100 正在执行程序或抹除操作。当在“准备”状态时, 准备 / 忙碌线 130 指示存储装置 100 并非正在执行程序或抹除操作。

[0030] 图 2 显示施行于标示为存储数组 210 之核心区 102 之存储单元数组之范例部分之图标。该数组包含许多实质相同的存储单元 201。各存储单元 201 包含漏极 202、源极 203、和堆栈之栅极区域 204。漏极 202 和源极 203 依于施加之电压而定, 可在存储单元内交换, 并可彼此互相切换。显示于图 2 中之配置包含各连接于列中之许多存储单元之栅极区域 204 之字符线 (字符线 WL_1 至 WL_N)。位线排列成正交于数组 210 中之字符线。位线包含总体位线 (GBL_{i-1} 至 GBL_{i+4}), 各线连接至一个或多个额外的位线 215。可透过选择晶体管 (亦称之为选择开关) S_0 至 S_7 而控制经由总体位线 GBL 而置于额外位线 215 之电压。

[0031] 如图 2 所示, 选择晶体管 S_0 至 S_7 可以配置于选择晶体管之重复群组 225 中。对应于许多群组中之选择晶体管可以由相同的控制讯号所控制。例如, 激活选择晶体管 S_0 可以将连接至 S_0 之特定的位线连接至施加至 GBL_i 、 GBL_{i+2} 等之电压。若亦激活了选择晶体管 S_1 , 则 GBL_{i+1} 、 GBL_{i+3} 等亦将连接至存储数组 210 中许多存储单元之相对之源极 / 漏极。亦藉由激活字符线 WL, 于各群组 225 中之一个存储单元可以具有其全都激活之源极、漏极、和栅极端, 因此允许编程或读取此选择存储单元 201。作为选择在群组 225 中特定存储单元 201 之例子 (例如, 在第 2 图中虚线圆内之存储单元), 假设电压置于 WL_i 上而 S_0 和 S_1 导通 (turn-on) 以及电压置于 GBL_i 和 GBL_{i+1} 上。于此情况下, 此单元具有施加于其栅极、源极、和漏极之电压, 并可编程或读取。在其它群组 225 中之其它的存储单元 201 能根据激活相同的 WL 和选择晶体管而同时被选择。

[0032] 虽然只有六条总体位线及四条字符线显示于图 2 中, 但是熟悉该技术领域者将了解典型的存储单元架构将包含许多的单元在数组中。例如, 在一个实施例中, 核心数组 102 可包含多个存储单元数组, 各存储单元数组包含 2048 条位线及 256 条字符线。该 2048 条位线对应至选择晶体管的 256 条八个存储单元之群组 225。

[0033] 虽然于核心区 102 之该等存储单元 201 系组构为 NOR 存储单元, 但在某些实施例

中,存储装置 100 之该等外围区域电路可提供呈现出通常由 NAND 型闪存所提供的外接接口。在此情况中,从使用者/电路设计者的观点来看,即使核心区 102 已用作为 NOR 型闪存,但是存储装置 100 能有效地视为 NAND 型闪存。

[0034] 图 3 为更详细说明存储单元 201 之其中一个例示的剖面图。存储单元 201 可形成于基板 310 上并包含漏极 202、源极 203 和堆栈栅极 204。基板 310 可由半导体材料形成,例如硅、锗或硅锗。漏极和源极区域 202 及 203 可以是掺杂 n 型杂质区域,例如磷或砷。如前所述,根据该施加电压值,漏极和源极区域 202 及 203 的功能可以相反。

[0035] 如图 3 所示,堆栈栅极 204 形成于信道区域 315 上。堆栈栅极 204 包含包含相当薄的栅极电介层 320 之一些层、电荷储存层 322、第二电介层 324 及控制栅极 328。电介层 320 可包含氧化物,例如氧化硅(如 SiO_2)。

[0036] 电荷储存层 322 可形成于栅极电介层 320 上并可包含介电材料,例如氮化物(例如氮化硅)。层 322 作为存储单元 201 的电荷储存层。

[0037] 电荷储存层 322 可用以储存一个或多个信息位。在例示实施例中,电荷储存层 322 可藉由将该第一及第二电荷局限(localize)至电荷储存层 322 之个别左右两侧而储存代表两个分离的资料位的电荷。该存储单元 201 之该两个电荷之各个电荷可藉由,例如,信道热电子注入(channel hot electron injection),而单独编程,以储存电荷在该电荷储存层 322 之各个别侧,并且该存储数组之密度可较每单元仅储存一个资料位的存储装置有所增加。于抹除期间,可藉由将热电洞(hot hole)注入于储存层 322 之个别区,或可穿隧通过底部氧化物层 320 分别进入源极区域和漏极区域 203、202 而中和储存于电荷储存层 322 中之电荷。于此种方式,多存储单元 201 数组之密度相较于习知的存储装置之每单元仅储存代表一个资料位之电荷之密度有所增加。于另一实施例中,电荷储存层 322 可藉由进一步细化设置在层 322 之各侧之电荷之数量而储存用于各存储单元 201 之表示三个或更多个资料位之电荷。

[0038] 第二电介层 324 可形成于层 322 上并可包含多层结构,例如第一氧化硅层 325 及第二高介电常数(高 K)层 326。高 K 层 326 可包含例如氧化铝,例如 Al_2O_3 。电介层 325 及 326 可一起作为存储单元 201 之层间栅极(inter-gate)电介层功能。在其它实施例中,电介层 324 可包含单一层,例如氧化硅或氧化铝。

[0039] 控制栅极 328 可形成于第二电介层 324 上方。控制栅极 328 例如可由多晶硅形成,并可连接至存储单元 201 之字符线。

[0040] 在操作中,存储装置 100 之核心区 102 可藉由信道热电子注入程序将电子注入电荷储存层 322 而进行编程。该注入电子被捕陷(trapped)在电荷储存层 322 中直到执行抹除操作。

[0041] 核心数组 102 中之存储单元 201 可藉由施加相当高电压(例如 10 伏特)至其中一条该字符线 WL (例如 WL_1),有效地施加该电压至耦接至 WL_1 之该存储单元的控制栅极 328 而编程。同时地,电压可施加跨于群组 225 之其中一个该存储单元的漏极 202 和源极 203。例如,可施加约 5 伏特至 GBL_i 而 GBL_{i+1} 可接地。而且,选择晶体管 S0 及 S1 可藉由施加适当电压至 S1 而导通。这些电压在该激活的存储单元(例如图 2 中圈起的存储单元)沿着从该源极到该漏极之该信道长度产生垂直及横向的电场。这些电场导致电子被拉离该源极并开始加速朝向该漏极。当该等电子沿该信道长度移动时,其获得能量。假使一些电子获得

足够能量时,其便能跳过该电介层 320 之电位障 (potential barrier) 而进入电荷储存层 322 之一侧而被捕陷。该捕陷之电子改变该存储单元 201 之电特性,譬如临限电压 V_t 。在读取操作中,该源极与漏极端互相交换。例如,可藉由施加约 3 伏特至 WL_i 、将 GBL_i 接地、并施加约 1.5 伏特至 GBL_{i+1} 而执行该对应的读取操作,以及存储单元 201 之 V_t 能影响有多少电流能流过单元 201 之信道区域 315 从漏极 202 至源极 203,并因此指示核心单元之状态,如有从高 V_t 获得小电流之编程状态,或有从低 V_t 获得较高电流之抹除状态。

[0042] 当二个位储存在电荷储存层 322 时,第二位以与第一位相似的方式被编程,除了源极和漏极端之方向均反转外。图 4 显示图 3 中所示范例双位存储单元之剖面图。此外,图 4 显示当存储单元 201 用来储存表示二个独立位之电荷时之读取和编程方向。图 4 中所绘示之箭号系表示电流之方向。应注意的是,在负电荷的情况下,电流之方向可以反向。

[0043] 存储单元 201 包含在电荷储存层 322 内之二个分离之电荷储存区 432 和 434。各储存区 432 和 434 可定义一个位。于符合本发明之原理之一实施例中,编程电荷储存区 432 和 434 之任一者可涉及热电子注入,也称之为信道热电子 (channel hot electron; 简称 CHE) 注入。然而,应了解到能对编程技术作修正以适应所用特定存储装置之变化。使用热电子注入,可藉由施加选择之电压至区 203 (作用为漏极) 而编程电荷储存区 432。此外,可施加选择之电压至栅极区域 204。区 202 作用为用于 CHE 编程电荷储存区 432 之源极 (亦即,电子的来源)。于一个实施例中,区 202 可接地或浮置。

[0044] 如已知,施加到栅极区域 204、源极 202 和极汲 203 之电压产生通过电介层 320 和电荷储存层 322 之垂直电场,和沿着信道 315 之长度从源极至漏极之横向电场。于给定的临限电压,信道 315 将反转而使得电子被吸离源极并加速朝向漏极。当电子沿着信道 315 之长度移动时,电子获得能量并依于获得的足够能量,某些电子能够跃过电介层 320 之电位障并进入电荷储存层 322 而电子在该处被捕陷。电子跃过电位障之机率于邻接区 203 (作用为漏极) 之电荷储存区 432 之区系为最大,于此处电子获得最大的能量。这些加速之电子被称为热电子并且一旦注入到电荷储存层 322,则将停留在电荷储存层 322 内之电荷储存组件 432 中。由于电荷储存层 322 之低的导电性和低的横向电场,捕陷之电子倾向于不散布遍及于整个电荷储存层 322。因此,捕陷之电荷局部地保留在靠近邻接漏极区之指定的电荷储存区。于读取操作期间,电子行进于大致相反的方向,如图 4 所示。

[0045] 上述编程第一电荷储存区 432 之技术藉由反相区 202 和 203 (亦即,漏极和源极) 之功能而亦能用于编程第二电荷储存区 434。

[0046] 图 5 为显示用于存储单元 201 之相对编程位准临限电压 (V_t) 分布 (distribution) 500 之群体图 (population plot),系指示当电荷储存区 432 和 434 设置在各种个别数据状态时,存储单元 201 之资料状态行为。于此实施例中,可测量或读取关于电荷储存区 432 之 V_t 。第一分布 502 表示当电荷储存区 432 和 434 均对应于抹除非编程状态而储存个别电荷量时,对于存储单元 201 之对数临限电压分布。也就是,当电荷储存区 432 或 434 之其中一个被读取而电荷储存区 432、434 均是在非编程或“1”逻辑状态时,存储单元 201 之临限电压将落在第一分布 502 内。使用用于此资料储存状况之对应二进制数据值,第一分布 502 可称之为“11”状态,其中“11”之第一个“1”对应于被读取之电荷储存区 (432 或 434) (或“读取位”),而“11”之第二个“1”对应于另一个电荷储存区 (432 或 434) (或“未读取位”)。第一分布 502 之最大值表示存储单元 201 之抹除或空白临限电压

($V_{t_{blank}}$)。

[0047] 第二分布 504 表示当电荷储存区 432 和 434 均对应于编程状态而储存个别之电荷量时,用于存储单元 201 之对数极限电压分布。也就是,当电荷储存区 432 或 434 之其中一个被读取而电荷储存区 432、434 均是在编程状态时,存储单元 201 之极限电压将落于第二分布 504 内。使用用于此资料储存状况之对应之二进制数据值,第二分布 504 可称之为“00”状态,其中“00”之第一个“0”对应于读取位,而“00”之第二个“0”对应于未读取位。第二分布 504 之最小值表示存储单元 201 之编程极限电压 ($V_{t_{prog}}$)。

[0048] 第三分布 506 表示当电荷储存区 432 和 434 之读取之其中一个对应于非编程状态而储存电荷,和电荷储存区 432 和 434 之未读取之其中一个对应于编程状态而储存电荷时,用于存储单元 201 之对数极限电压分布。使用用于此资料储存状况之对应之二进制数据值和上述确认之指定方法之第一和第二数字,第三分布 506 可以称之为“10”状态。该“10”状态亦能称之为增添位干扰 (complimentary bit disturb ;简称 CBD) 状态,因为由未读取之位所储存之电荷具有稍微增加存储单元 201 之极限电压高于抹除状态分布 502 之效果。

[0049] 第四分布 508 表示若电荷储存区 432、434 之读取之其中一个对应于编程状态而储存电荷,和电荷储存区 432、434 之未读取之其中一个对应于未编程状态而储存电荷时,用于存储单元 201 之对数极限电压分布。使用用于此资料储存状况之对应之二进制数据值和上述确认之指定方法之第一和第二数字,第四分布 508 可以称之为“01”状态。于此情况,由电荷储存区 432、434 储存之不同电荷量具有稍微减少存储单元 201 之极限电压低于编程状态分布 504 之效果。如前面所提及的,依照本发明之原理,于列中之多个存储单元 201 (亦即,具有共同字符线之存储单元 201) 可藉由激活字符线和于不同群组 225 中之选择晶体管 S0 至 S7 对而同时或并行地编程。此外,将要编程之各位线可从编程电压产生器 122 汲取固定的编程电流。

[0050] 如上所述,应了解到对于在多位存储单元中电荷储存区的编程速度可以依于在该单元中其它电荷储存区之编程状态而定。例如,若首先编程区 432,则当藉由施加高电压于漏极 202 和控制栅极 204 以及源极 203 接地而编程 434 时,电子可获得所需的能量而更快地跃过障壁 320,这是由于所称的源极侧注入机制。因此,电荷储存区 434 较之若其先前未被编程可更快速地编程。

[0051] 于习知的双位存储单元中,编程各位所需的时间系至少部分依于在单元中之其它位的电荷状态。例如,若电荷储存区 432 将被编程 (亦即,置入“0”逻辑状态) 而电荷储存区 434 之前尚未被编程 (亦即,保留“1”逻辑状态),则对于电荷储存区 432 将采用多个 (例如,多达四个) 编程脉冲以达到验证编程状态。

[0052] 详言之,于典型的操作中,可藉由接地源极 202 并同时维持字符线电压于控制栅极 204 而施行电荷储存区 432 之编程。如具有例如 300ns 持续时间之脉冲之编程电压可以施加到漏极 203。于施加脉冲后,可去除漏极电压。此时,编程位受到编程验证以判定是否位已被编程。于典型的操作中,位未被编程接着施加单一脉冲。于此情况,于字符线提升至高电压后,施加第二漏极脉冲,而接着验证该单元以再判定是否该单元已经被编程。此情形继续着直到位通过验证为止,其一般使用大约四个脉冲。然而,应注意的是,编程可采用少于或多于四个脉冲,并系根据各验证程序验证处理之结果。

[0053] 基于以上的说明,应注意的是,若电荷储存区 432 将欲编程和电荷储存区 434 已于

先前编程,则电荷储存区 432 可以施加较少数之漏极电压脉冲而被编程和被验证。此情况发生是因为于电荷储存区 434 之先前编程期间,由于上述之增添位干扰效应,电荷储存区 432 于其临界电压也许亦已经历过非显著的上升。于实作上,发现到当编程先前添增位时,经常单一编程脉冲即足以通过验证。

[0054] 欲获得本发明技术特征之优点,可以依照本发明之原理预先调整于装置 100 中选择之存储单元 201 之状况以设置其电荷储存区 (432、434) 指定的其中一个成为编程状态。于预先调整之后,其余的电荷储存区 (432、434) 可形成用于单元 201 之内存组件。

[0055] 图 6 显示于数组 210 内存储单元 201 之群组或区块 610 之部分之图标,其中以上述简述之方式而预先调整单元 201 之状况。如图中所示,可以预先调整或编程各存储单元 201 之一指定之电荷储存组件之状况以将该指定之电荷储存组件设置成为编程状态。如此预先调整之存储单元之状况进一步详细例示于图 7 之剖面图中。如图 7 所示,电荷储存组件 432 在编程操作之前,被预先调整和设置成编程状态。以此种方式,电荷储存组件 434 可以用为单元 201 之内存组件。如上所述,预先调整电荷储存组件 432 之状况系显著地减少需用来编程剩余的电荷储存组件 434 之时间。

[0056] 第 8 和 9 图显示范例编程譬如存储装置 100 之存储装置之流程图。详言之,图 8 系关于预先调整制程而图 9 系关于预先调整单元之状况之后续编程。参照图 8,存储单元或存储单元之群组可以初始设计为高速存储单元 (步骤 802)。于一个实施例中,于存储装置 100 中之存储单元 201 可以配置或确认于预定的群组或“区块”中 (例如,图 6 之区块 610)。于一个实施范例中,核心数组 102 可具有从 512 兆位 (512-megabit) 至 80 亿位 (8-gigabit) 之密度范围。再者,核心数组 102 可进一步分解成从譬如 129 千位 (kilobit) 之区块至较大的 128 兆位之区块之小尺寸区块之区块范围。因此,10 亿位之数组 102 可包含八个 128 兆位之区块,或可选择使用 1024 个 128 千位之区块。藉由将单元之群组界定成区块,关于在区块中各存储单元之编程模式之指示 (例如,正常编程模式或高速编程模式) 可以储存为关联于区块之状态或指示位。以此种方式,可以藉由读取关联状态或指示位的逻辑值而触发存储单元之高速区块之编程。于一个实施例中,状态位可以维持在核心数组 102 外关联于核心数组 102 之称之为“备用区 (spare area)”之 NOR 型快闪存储单元中。此外,可由使用者监视于数组 102 中区块之状态位而决定于数组中高速和正常模式区块之数目,由此指示全部有效的编程密度。基于将高速存储单元返回至正常编程模式,可以重设相关的状态位。

[0057] 于与本发明之原理相符之一实施例中,指定为高速存储单元之存储单元可依于装置之制造或组合而施行。于另一个实施范例中,可于存储装置制成后,藉由终端用户或装置制造者而执行此种指定。

[0058] 一旦一个或多个之存储单元 201 之区块已经被指定为高速,则可以预先调整于指定之区块中之各存储单元之状况以将各存储单元 201 之其中一个电荷储存区 (例如,区域 432) 设置成编程 (例如,“0”) 状态 (步骤 804)。结果,接着于指定存储单元为高速存储单元,仅一个位 (亦即,非编程电荷储存区 434) 对使用者用来储存资料有效,而另一位 (亦即,预先调整电荷储存区 432 之状况) 必然维持编程状态以加速非编程电荷储存区之编程速度从四个脉冲至一个脉冲。

[0059] 一旦已预先调整,则判定该预先调整之状况是否足够将所希望之位设置成编程状

态（步骤 806）。若未能设置成编程状态，则处理返回到步骤 804 施加额外的预先调整脉冲。然而，若证实预先调整指定的位之状况，则可设定关联于指定之区块之状态位，指示该等区块为高速区块（步骤 808）。预先调整指定位位置之状况可由图 5 之分布 506 表示。

[0060] 回到图 9，可接收用于一个或多个预先调整存储单元之状况之编程命令（步骤 902）。栅极电压和适当的编程脉冲然后可分别地施加到栅极 204 和漏极 202，以将电子注入到有效的电荷储存区（例如，电荷储存区 434）足以使单元的临限电压上升到高于参考临限值（步骤 904）。此状态可以由图 5 中之分布 504 所表示。然后存储单元或该等单元可藉由使用 Y 译码器 / 感测放大器电路 108 感测关联于存储单元或该等单元之位线上之电流而被编程验证（步骤 906）。若其通过验证，则完成操作；然而，若其未通过验证，则处理回到步骤 904 施加额外的编程脉冲。

[0061] 因为关联于区块高速存储单元之状态位指示区块 610 中该等单元之高速性质，因此核心数组 102 中之任何区块或许多区块可以指定为高速区块。对于各高速区块，于编程期间，第一位或电荷储存区继续保持在编程或“0”状态，因此提供了上述之编程速度之优点。于抹除操作期间，于区块中之所有位不管其状态如何系全部被抹除。

[0062] 图 10 显示指定群组或该等存储单元为正常模式存储单元之一个范例处理之流程图。最初，一个或多个之存储单元之区块可以指定为正常模式存储单元（步骤 1002）。一旦一个或多个之存储单元 201 之区块已经指定为“正常”，则可以完全抹除于指定之区块中之各存储单元以将各存储单元 201 之各电荷储存区 432 和 434 设置成抹除之（例如，“1”）状态（步骤 1004）。

[0063] 一旦抹除了以后，将验证抹除操作是否足够将希望之位设置成抹除状态（步骤 1006）。若未能设置成抹除状态，则处理返回到步骤 1004 施加额外的抹除电压或脉冲。然而，若验证指定之单元区块已被抹除，则可重设关联于指定之区块或该等区块之状态位，以指示该等区块为正常模式区块（步骤 1008）。该等指定单元之抹除可由图 5 之分布 502 表示。

[0064] 藉由能够指定存储单元之该等存储单元或该等区块为正常模式或高速存储单元其一情况，因此使用者可以使用于核心数组 102 中之存储单元之任何部分为高速内存，并可根据应用之特定要求而调整指定为高速存储单元之单元数目。此外，如上所述，先前指定之高速存储单元可转变成正常模式存储单元，以及反之亦然，由使用者斟酌决定。再者，应注意，一旦指定为高速区块后，于该等区块中之存储单元可以用相似于习知正常模式或非高速区块之方式读取，因此可以有效地将资料从正常模式存储单元转移至高速存储单元，以及反之亦然。

[0065] 以此种方式，可藉由于初始编程后接着将资料从高速单元写至正常模式单元而使高速存储单元之容量最大化。例如，若需要初始快速编程，譬如当获取数字影像时，则可使用高速存储单元。然而，接着于初始获取后，数字影像可以从高速单元转移至正常模式单元，该正常模式单元可操作于背景中（不可由使用者观察到），由此而提供使用者高速，并于其后影像获取期间，保存高速单元。此种类型之转移可称之为“回写式（copyback）”转移。

[0066] 虽然上述特别参考能够储存二个不同资料位之双位存储单元，但是本发明亦能采用能够储存多于二个存储单元之存储单元以改进编程速度。

[0067] 结论

[0068] 如上所述,可施行一些编程技术,譬如基于 NOR 存储装置之高速存储单元指定以实质上增加编程速度。由此产生的存储装置仍能展现出以 NOR 为基础之装置的码品质 (code-quality) 效能,同时进一步展现出可与习知的 NAND 为基础之快闪存储装置相比拟甚或超越的编程速度与电源管理能力。

[0069] 本发明之例示实施例的前述说明系提供显示和说明,而非意于完全揭示或限制本发明于所揭露之特定形式。藉由实作本发明或鉴于上述教导可知上述实施例可作各种的修饰及变更。

[0070] 此外,关于图 6 所述之一连串步骤,该等步骤之顺序在与本发明相符之其它实施例中系可以不同。另外,非相依性步骤可以平行实行。

[0071] 除非已作了明确之说明,否则使用于本中请说明书中之组件、步骤、或指令并非为构成本发明所必要或必不可少者。同时,如此处所使用之冠词“一 (a)”将欲包含一个或多个项目。而若仅希望包含了一个项目,则使用“一个 (one)”或类似字。再者,除非有明确之说明,否则词组“根据 (base on)”系意指“根据至少部分之意”。

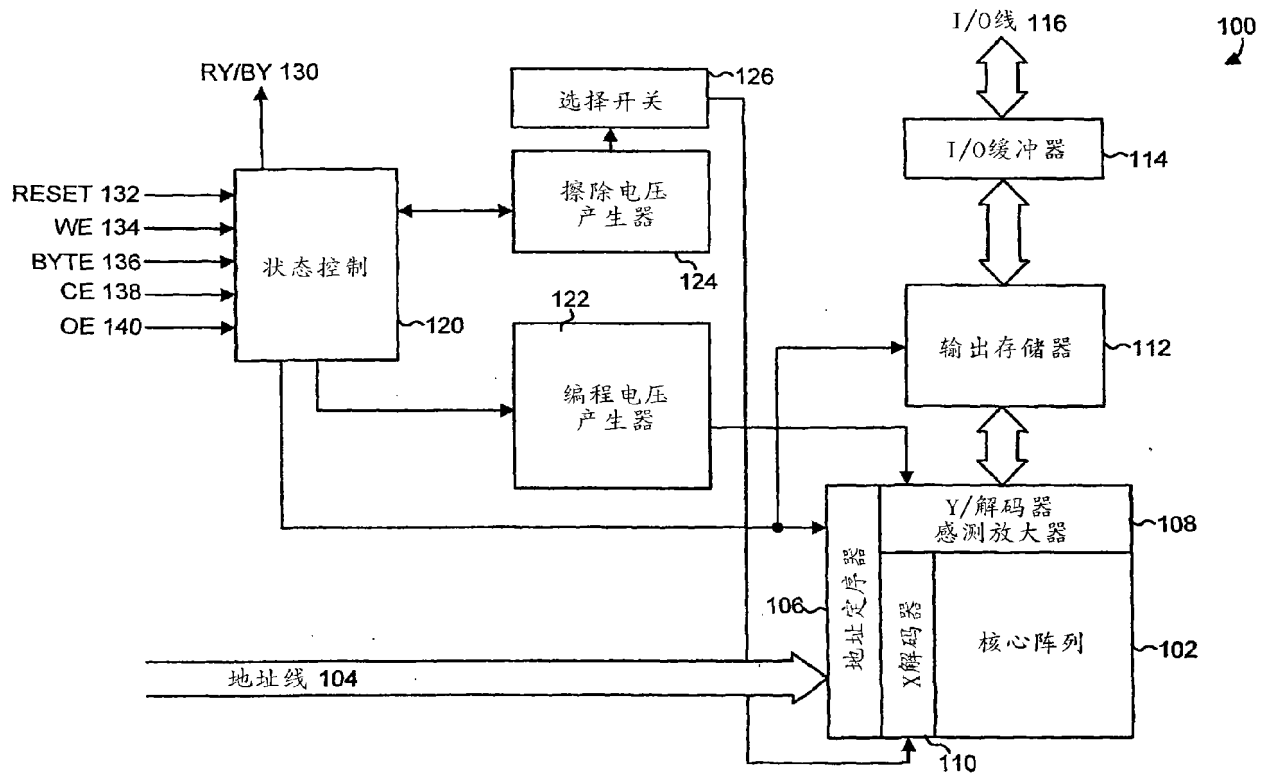


图1

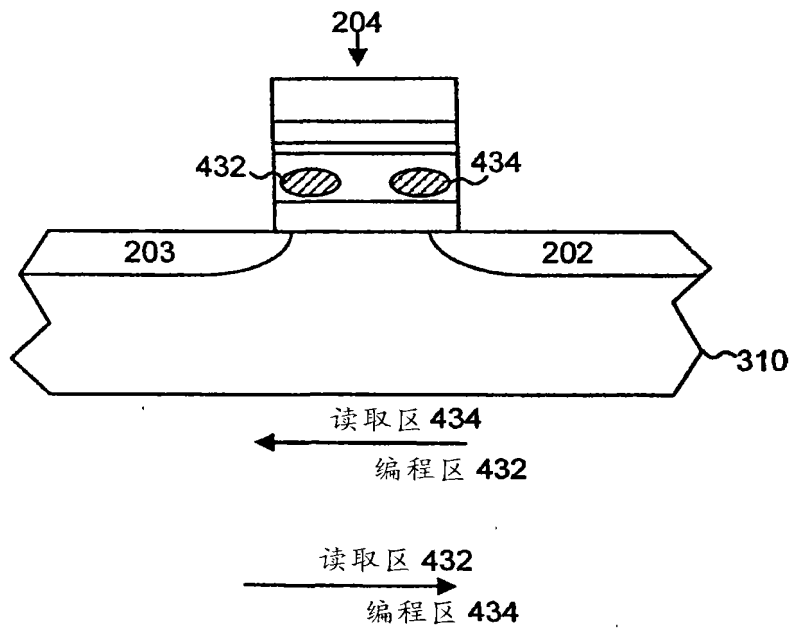


图 4

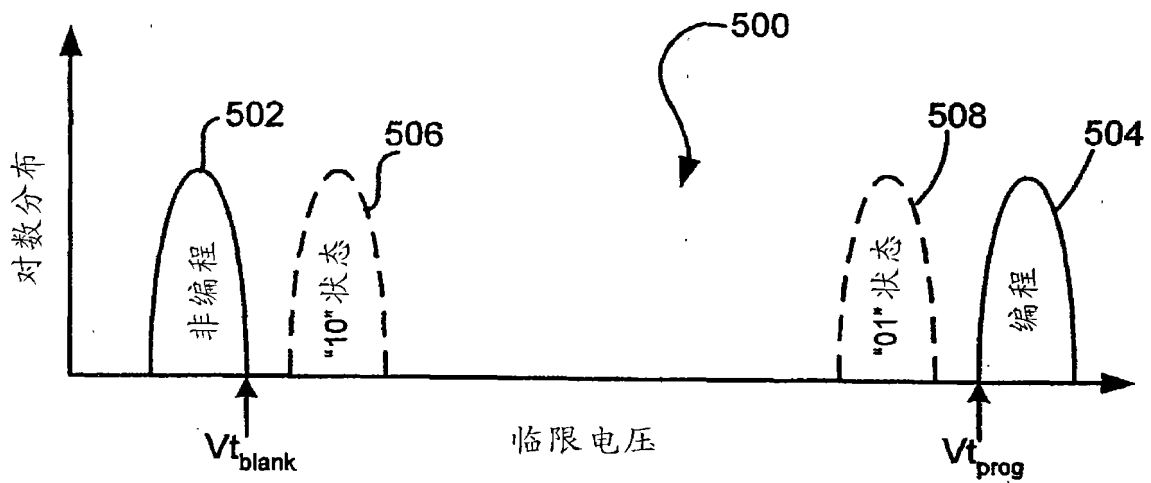


图 5

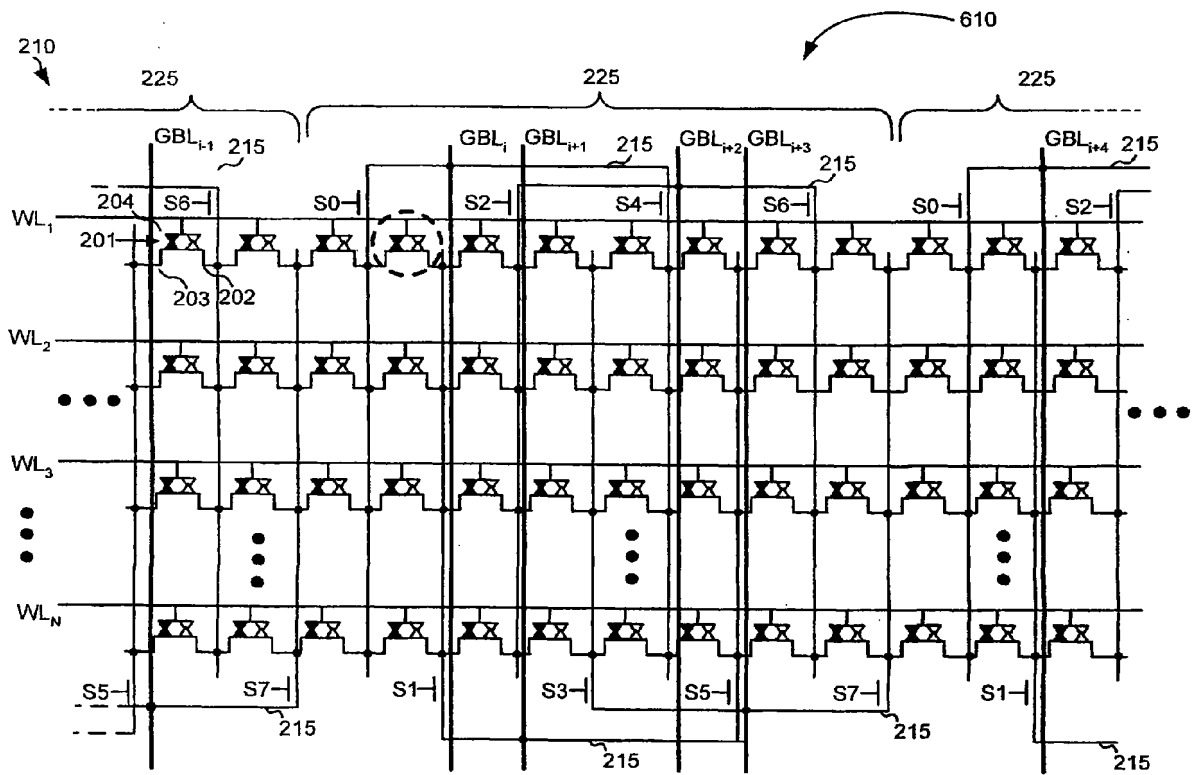


图6

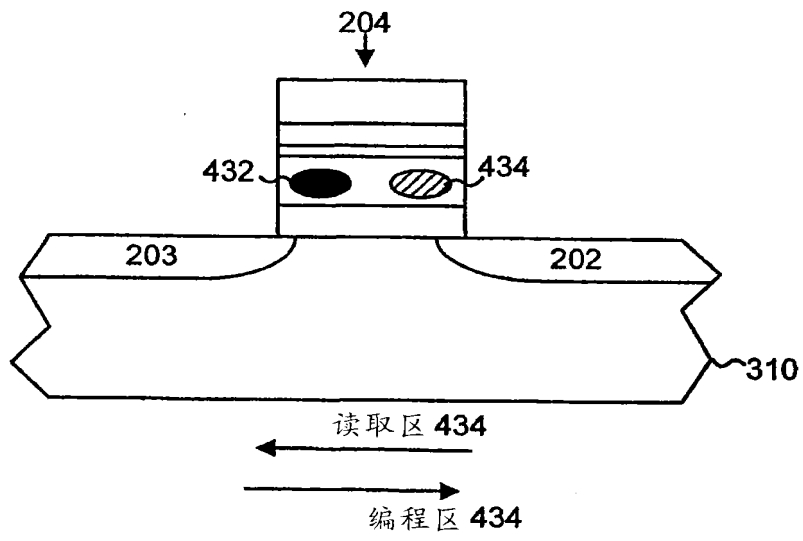


图7

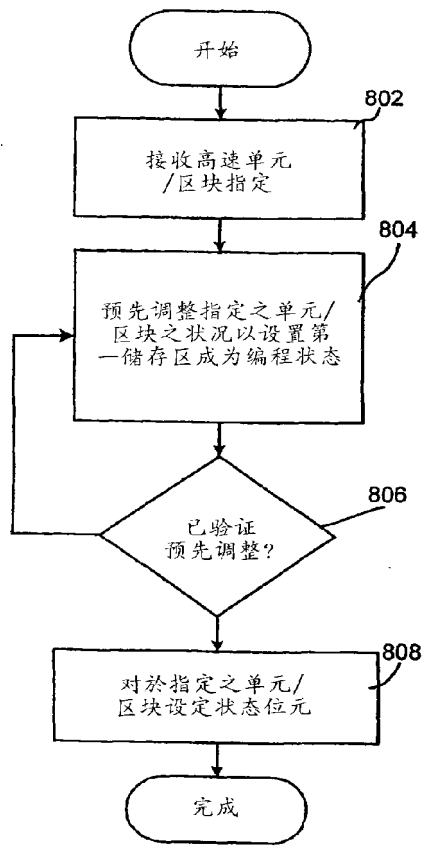


图8

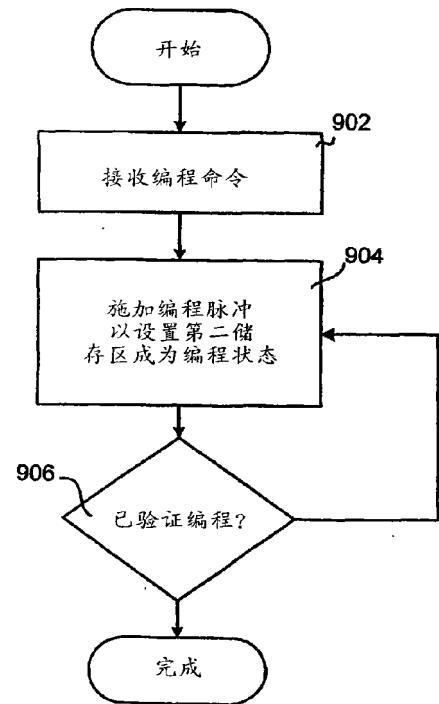


图9

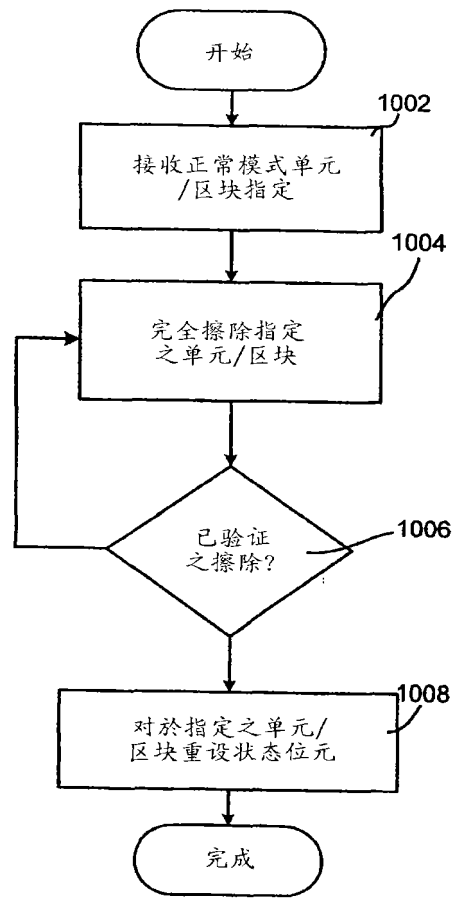


图 10