

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成24年10月25日 (2012.10.25)

【公開番号】特開2011-103607(P2011-103607A)

【公開日】平成23年5月26日 (2011.5.26)

【年通号数】公開・登録公報2011-021

【出願番号】特願2009-258413(P2009-258413)

【国際特許分類】

H 0 3 K 19/0175 (2006.01)

H 0 3 K 19/0948 (2006.01)

H 0 3 K 17/30 (2006.01)

H 0 3 K 17/687 (2006.01)

【F I】

H 0 3 K 19/00 1 0 1 K

H 0 3 K 19/094 B

H 0 3 K 17/30 F

H 0 3 K 17/687 F

【手続補正書】

【提出日】平成24年9月11日 (2012.9.11)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

入力電圧が入力される入力端子と、  
 前記入力電圧に基づいた出力信号が出力される出力端子と、  
 ゲートに前記入力電圧が入力され、前記入力電圧がローレベルの時に第 1 のノードを充電する第 1 の P M O S トランジスタと、  
 ゲートに前記入力電圧が入力され、前記入力電圧がハイレベルの時に前記第 1 のノードを放電する第 1 の N M O S トランジスタと、  
 ゲートに前記入力電圧が入力され、前記入力電圧がローレベルの時に前記第 1 のノードを充電する第 2 の P M O S トランジスタと、  
 前記第 1 のノードの電圧がローレベルの時に、前記第 2 の P M O S トランジスタの前記第 1 のノードへの充電経路を遮断する第 1 の遮断手段と、  
 前記第 1 のノードの電圧がハイレベルの時に、前記第 1 のノードを充電する第 3 の P M O S トランジスタと、を備え、  
 前記第 2 の P M O S トランジスタは他のトランジスタより駆動能力が小さく、前記第 3 の P M O S トランジスタは前記第 2 の P M O S トランジスタより駆動能力が小さく、  
 電源電圧が低いときは前記第 3 の P M O S トランジスタのみがヒステリシス回路として機能することを特徴とする入力回路。

【請求項 2】

前記第 1 の遮断手段は、P M O S トランジスタで構成したことを特徴とする請求項 1 記載の入力回路。

【請求項 3】

前記第 1 のノードと前記出力端子の間に反転回路を備え、前記出力信号は前記反転回路の出力信号である請求項 1 または 2 記載の入力回路。

**【請求項 4】**

入力電圧が入力される入力端子と、  
前記入力電圧に基づいた出力信号が出力される出力端子と、  
ゲートに前記入力電圧が入力され、前記入力電圧がローレベルの時に第 1 のノードを充電する第 1 の P M O S トランジスタと、  
ゲートに前記入力電圧が入力され、前記入力電圧がハイレベルの時に前記第 1 のノードを放電する第 1 の N M O S トランジスタと、  
ゲートに前記入力電圧が入力され、前記入力電圧がハイレベルの時に前記第 1 のノードを放電する第 2 の N M O S トランジスタと、  
前記第 1 のノードの電圧がハイレベルの時に、前記第 2 の N M O S トランジスタの前記第 1 のノードへの充電経路を遮断する第 2 の遮断手段と、  
前記第 1 のノードの電圧がローレベルの時に、前記第 1 のノードを放電する第 3 の N M O S トランジスタと、を備え、  
前記第 2 の N M O S トランジスタは他のトランジスタより駆動能力が小さく、前記第 3 の N M O S トランジスタは前記第 2 の N M O S トランジスタより駆動能力が小さく、  
電源電圧が低いときは前記第 3 の N M O S トランジスタのみがヒステリシス回路として機能することを特徴とする入力回路。

**【請求項 5】**

前記第 2 の遮断手段は、N M O S トランジスタで構成したことを特徴とする請求項 4 記載の入力回路。

**【請求項 6】**

前記第 1 のノードと前記出力端子の間に反転回路を備え、前記出力信号は前記反転回路の出力信号である請求項 4 または 5 記載の入力回路。

**【請求項 7】**

入力電圧が入力される入力端子と、  
前記入力電圧に基づいた出力信号が出力される出力端子と、  
ゲートに前記入力電圧が入力され、前記入力電圧がローレベルの時に第 1 のノードを充電する第 1 の P M O S トランジスタと、  
ゲートに前記入力電圧が入力され、前記入力電圧がハイレベルの時に前記第 1 のノードを放電する第 1 の N M O S トランジスタと、  
ゲートに前記入力電圧が入力され、前記入力電圧がローレベルの時に前記第 1 のノードを充電する第 2 の P M O S トランジスタと、  
前記第 1 のノードの電圧がローレベルの時に、前記第 2 の P M O S トランジスタの前記第 1 のノードへの充電経路を遮断する第 1 の遮断手段と、  
前記第 1 のノードの電圧がハイレベルの時に、前記第 1 のノードを充電する第 3 の P M O S トランジスタと、  
ゲートに前記入力電圧が入力され、前記入力電圧がハイレベルの時に前記第 1 のノードを放電する第 2 の N M O S トランジスタと、  
前記第 1 のノードの電圧がハイレベルの時に、前記第 2 の N M O S トランジスタの前記第 1 のノードへの充電経路を遮断する第 2 の遮断手段と、  
前記第 1 のノードの電圧がローレベルの時に、前記第 1 のノードを放電する第 3 の N M O S トランジスタと、を備え、  
前記第 2 の P M O S トランジスタと前記第 2 の N M O S トランジスタは他のトランジスタより駆動能力が小さく、前記第 3 の P M O S トランジスタと前記第 3 の N M O S トランジスタは前記第 2 の P M O S トランジスタと前記第 2 の N M O S トランジスタより駆動能力が小さく、  
電源電圧が低いときは前記第 3 の P M O S トランジスタと前記第 3 の N M O S トランジスタのみがヒステリシス回路として機能することを特徴とする入力回路。

**【請求項 8】**

前記第 1 の遮断手段は、P M O S トランジスタで構成し、

前記第 2 の遮断手段は、N M O S トランジスタで構成した、  
ことを特徴とする請求項 7 記載の入力回路。

【請求項 9】

前記第 1 のノードと前記出力端子の間に反転回路を備え、前記出力信号は前記反転回路  
の出力信号である請求項 7 または 8 記載の入力回路。