

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成24年10月25日(2012.10.25)

【公開番号】特開2011-103607(P2011-103607A)

【公開日】平成23年5月26日(2011.5.26)

【年通号数】公開・登録公報2011-021

【出願番号】特願2009-258413(P2009-258413)

【国際特許分類】

H 03K 19/0175 (2006.01)

H 03K 19/0948 (2006.01)

H 03K 17/30 (2006.01)

H 03K 17/687 (2006.01)

【F I】

H 03K 19/00 101K

H 03K 19/094 B

H 03K 17/30 F

H 03K 17/687 F

【手続補正書】

【提出日】平成24年9月11日(2012.9.11)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

入力電圧が入力される入力端子と、

前記入力電圧に基づいた出力信号が出力される出力端子と、

ゲートに前記入力電圧が入力され、前記入力電圧がローレベルの時に第1のノードを充電する第1のPMOSトランジスタと、

ゲートに前記入力電圧が入力され、前記入力電圧がハイレベルの時に前記第1のノードを放電する第1のNMOSトランジスタと、

ゲートに前記入力電圧が入力され、前記入力電圧がローレベルの時に前記第1のノードを充電する第2のPMOSトランジスタと、

前記第1のノードの電圧がローレベルの時に、前記第2のPMOSトランジスタの前記第1のノードへの充電経路を遮断する第1の遮断手段と、

前記第1のノードの電圧がハイレベルの時に、前記第1のノードを充電する第3のPMOSトランジスタと、を備え、

前記第2のPMOSトランジスタは他のトランジスタより駆動能力が小さく、前記第3のPMOSトランジスタは前記第2のPMOSトランジスタより駆動能力が小さく、

電源電圧が低いときは前記第3のPMOSトランジスタのみがヒステリシス回路として機能することを特徴とする入力回路。

【請求項2】

前記第1の遮断手段は、PMOSトランジスタで構成したことを特徴とする請求項1記載の入力回路。

【請求項3】

前記第1のノードと前記出力端子の間に反転回路を備え、前記出力信号は前記反転回路の出力信号である請求項1または2記載の入力回路。

**【請求項 4】**

入力電圧が入力される入力端子と、  
前記入力電圧に基づいた出力信号が出力される出力端子と、  
ゲートに前記入力電圧が入力され、前記入力電圧がローレベルの時に第1のノードを充電する第1のPMOSトランジスタと、  
ゲートに前記入力電圧が入力され、前記入力電圧がハイレベルの時に前記第1のノードを放電する第1のNMOSトランジスタと、  
ゲートに前記入力電圧が入力され、前記入力電圧がハイレベルの時に前記第1のノードを放電する第2のNMOSトランジスタと、  
前記第1のノードの電圧がハイレベルの時に、前記第2のNMOSトランジスタの前記第1のノードへの充電経路を遮断する第2の遮断手段と、  
前記第1のノードの電圧がローレベルの時に、前記第1のノードを放電する第3のNMOSトランジスタと、を備え、  
前記第2のNMOSトランジスタは他のトランジスタより駆動能力が小さく、前記第3のNMOSトランジスタは前記第2のNMOSトランジスタより駆動能力が小さく、  
電源電圧が低いときは前記第3のNMOSトランジスタのみがヒステリシス回路として機能することを特徴とする入力回路。

**【請求項 5】**

前記第2の遮断手段は、NMOSトランジスタで構成したことを特徴とする請求項4記載の入力回路。

**【請求項 6】**

前記第1のノードと前記出力端子の間に反転回路を備え、前記出力信号は前記反転回路の出力信号である請求項4または5記載の入力回路。

**【請求項 7】**

入力電圧が入力される入力端子と、  
前記入力電圧に基づいた出力信号が出力される出力端子と、  
ゲートに前記入力電圧が入力され、前記入力電圧がローレベルの時に第1のノードを充電する第1のPMOSトランジスタと、  
ゲートに前記入力電圧が入力され、前記入力電圧がハイレベルの時に前記第1のノードを放電する第1のNMOSトランジスタと、  
ゲートに前記入力電圧が入力され、前記入力電圧がローレベルの時に前記第1のノードを充電する第2のPMOSトランジスタと、  
前記第1のノードの電圧がローレベルの時に、前記第2のPMOSトランジスタの前記第1のノードへの充電経路を遮断する第1の遮断手段と、  
前記第1のノードの電圧がハイレベルの時に、前記第1のノードを充電する第3のPMOSトランジスタと、  
ゲートに前記入力電圧が入力され、前記入力電圧がハイレベルの時に前記第1のノードを放電する第2のNMOSトランジスタと、  
前記第1のノードの電圧がハイレベルの時に、前記第2のNMOSトランジスタの前記第1のノードへの充電経路を遮断する第2の遮断手段と、  
前記第1のノードの電圧がローレベルの時に、前記第1のノードを放電する第3のNMOSトランジスタと、を備え、  
前記第2のPMOSトランジスタと前記第2のNMOSトランジスタは他のトランジスタより駆動能力が小さく、前記第3のPMOSトランジスタと前記第3のNMOSトランジスタは前記第2のPMOSトランジスタと前記第2のNMOSトランジスタより駆動能力が小さく、  
電源電圧が低いときは前記第3のPMOSトランジスタと前記第3のNMOSトランジスタのみがヒステリシス回路として機能することを特徴とする入力回路。

**【請求項 8】**

前記第1の遮断手段は、PMOSトランジスタで構成し、

前記第2の遮断手段は、N M O Sトランジスタで構成した、  
ことを特徴とする請求項7記載の入力回路。

【請求項9】

前記第1のノードと前記出力端子の間に反転回路を備え、前記出力信号は前記反転回路  
の出力信号である請求項7または8記載の入力回路。