(19)日本国特許庁(JP)　(12)公表特許公報(A)　(11)特許出願公表番号
特表2009-502103
(P2009-502103A)
(43)公表日　平成21年1月22日(2009.1.22)

(51)Int.Cl.		F I		テーマコード（参考）
H03K 23/00	(2006.01)	H03K 23/00	E	5B079
G06F 1/08	(2006.01)	G06F 1/04	320A	

審査請求 未請求　予備審査請求 未請求　（全 16 頁）

(21)出願番号　特願2008-522928 (P2008-522928)
(86)(22)出願日　平成18年7月17日 (2006.7.17)
(85)翻訳文提出日　平成20年3月14日 (2008.3.14)
(86)国際出願番号　PCT/US2006/028045
(87)国際公開番号　WO2007/012010
(87)国際公開日　平成19年1月25日 (2007.1.25)
(31)優先権主張番号　11/183,642
(32)優先日　平成17年7月18日 (2005.7.18)
(33)優先権主張国　米国(US)

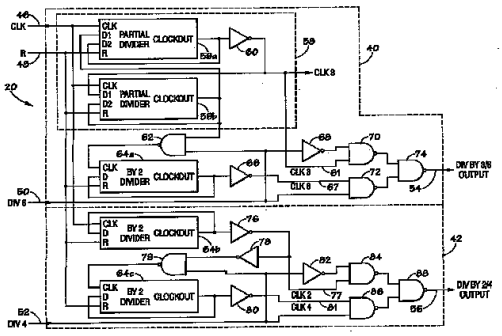
(71)出願人　595168543
マイクロン　テクノロジー，　インク．
アメリカ合衆国，アイダホ州　８３７１６－９６３２，　ボイズ，　サウス　フェデラル　ウェイ　８０００
(74)代理人　100106851
弁理士　野村　泰久
(74)代理人　100074099
弁理士　大菅　義之
(72)発明者　リン，フェン
アメリカ合衆国，アイダホ州　８３７１６，ボイズ，イースト　ステムウッド　ストリート　５０３５

Fターム(参考)　5B079 BA03　CC16　DD03

最終頁に続く

(54)【発明の名称】クロック信号を分周するための方法及び装置

(57)【要約】
クロック信号（４６）を２、３、４、または６の増分で分周するように構成される純単相論理クロック分周器（２０）が提供される。純単相論理クロック分周器（２０）がスタティック論理の代わりに純単相論理基づいたため、純単相論理クロック分周器（２０）は、スタティック論理ゲートに基づいたクロック分周器によって確実に分周されることができないクロック信号（４６）を確実に分周することが可能である。また、２．５ＧＨｚと４ＧＨｚの間の周波数を有する入力信号（４６）を受信しそして入力信号の周波数のおおよそ３分の１の周波数を有する出力信号（５４）を作る方法も提供される。
【選択図】図２



【特許請求の範囲】
【請求項１】
第一クロック分周回路を含み、
前記第一クロック分周回路は
前記第一クロック分周回路の第一入力に接続する第一トランジスタと、
前記第一トランジスタに並列に接続する第二トランジスタと、
前記第一入力に接続しそして前記第一トランジスタおよび第二トランジスタに直列に接続する第三トランジスタと、
前記第三トランジスタに直列に接続しそして前記第一クロック分周回路の第二入力に接続する第四トランジスタとを含む
ことを特徴とするクロック分周器。
【請求項２】
前記第一クロック分周回路は前記第一および第二トランジスタに接続するとともにクロック信号を受信するように構成する第五トランジスタを含むことを特徴とする請求項１記載のクロック分周器。
【請求項３】
前記第一クロック分周回路に接続するとともに前記第一クロック分周回路と実質上同様に構成する第二クロック分周回路を含むことを特徴とする請求項１記載のクロック分周器。
【請求項４】
前記第二クロック分周回路の出力が前記第一クロック分周回路の前記第一入力に接続されることを特徴とする請求項３記載のクロック分周器。
【請求項５】
前記第一クロック分周回路の出力がインバータに接続されそして前記インバータが前記第二クロック分周回路の第一入力に接続されることを特徴とする請求項３記載のクロック分周器。
【請求項６】
４ＧＨｚより少なくまたは等しい周波数を有する入力信号を受信し、そして
前記入力信号の前記周波数のおおよそ３分の１の周波数を有する出力信号を作るように構成する
ことを特徴とする電気装置。
【請求項７】
前記入力信号はクロック信号を含むことを特徴とする請求項６記載の電気装置。
【請求項８】
前記入力信号の前記周波数のおおよそ６分の１の周波数を有する出力信号を生成するように構成される
ことを特徴とする請求項６記載の電気装置。
【請求項９】
２ＧＨｚより大きい周波数を有する入力信号を受信するように前記電気装置が構成される
ことを特徴とする請求項６記載の電気装置。
【請求項１０】
３ＧＨｚより大きい周波数を有する入力信号を受信するように前記電気装置が構成される
ことを特徴とする請求項６記載の電気装置。
【請求項１１】
入力信号の周波数をおおよそ３分の１で等分するように構成し、
純単相論理およびスタティックインバータを実質的に含む
ことを特徴とするクロック分周回路。
【請求項１２】

前記純単相論理は直列の第二の２個のトランジスタに接続する並列の第一の２個のトランジスタを含むことを特徴とする請求項１１記載のクロック分周回路。
【請求項１３】
前記純単相論理は論理状態を示す電荷を格納する金属酸化物半導体電界効果トランジスタの静電容量入力を用いる論理ゲートを含む特徴とする請求項１１記載のクロック分周回路。
【請求項１４】
２．５ＧＨｚと４ＧＨｚの間の周波数を有する入力信号を受信し、そして
前記入力信号の前記周波数のおおよそ３分の１の周波数を有する出力信号を生成する
ことを特徴とする方法。
【請求項１５】
前記入力信号の前記周波数のおおよそ６分の１の周波数を有する出力信号を生成する
ことを特徴とする請求項１４記載の方法。
【請求項１６】
３ＧＨｚより大きい周波数を有する入力信号を受信する
ことを特徴とする請求項１４記載の方法。
【請求項１７】
２．５ＧＨｚより大きい周波数を有する第一クロック信号を生成するように構成するシステムクロック、と
前記第一クロック信号の前記周波数のおおよそ３分の１の周波数を有する第二クロック信号を生成するように構成するクロック分周期からなる構成要素と、
を含むことを特徴とするシステム。
【請求項１８】
前記第一クロック信号の前記周波数のおおよそ２分の１、３分の１、４分の１、または６分の１の周波数を有する第二クロック信号を生成するように前記構成要素が構成されることを特徴とする請求項１７記載のシステム。
【請求項１９】
３ＧＨｚより大きい第一クロック信号を生成するように前記システムクロックが構成されることを特徴とする請求項１７記載のシステム。
【請求項２０】
前記構成要素はメモリ装置を含むことを特徴とする請求項１７記載のシステム。
【請求項２１】
前記構成要素はメモリ制御装置を含むことを特徴とする請求項１７記載のシステム。
【請求項２２】
前記構成要素は中央演算装置を含むことを特徴とする請求項１７記載のシステム。
【発明の詳細な説明】
【技術分野】
【０００１】
[関連出願への相互参照]
以下の共通的に所有された出願と特許は全ての目的のために参照として取り込まれる。平行して出願された米国特許出願番号１１／１８３、９４７発明の名称「超高速システムに対する有効なクロック構成」リンシェンジによる。
【０００２】
[技術分野]
本発明は一般的に集積回路そして、特に、純単相（ｔｒｕｅ　ｓｉｎｇｌｅ　ｐｈａｓｅ）論理を用いるクロック分周器に関する。
【背景技術】
【０００３】
次に述べられおよび／または請求されるように、この節は本発明の各種の形態に関連される可能性がある技術の各種の形態を読者に紹介するつもりである。この議論は本発明の

複数の形態のよりよい理解を促進するための背景情報を読者に提供するのに有用であると信じられる。従って、この見方でこれらの記述が読まれるべきであると理解されたく、そして従来技術の承認ではない。

【０００４】

装置、回路ボード、または集積回路にわたって動作を同期するためにクロッキング（ｃｌｏｃｋｉｎｇ）回路がさまざまなデジタル回路及び装置に用いられる。しかしながら、さまざまな理由のために、単一クロック（ｓｉｎｇｌｅ　ｃｌｏｃｋ）周波数はしばしば複雑なコンピュータまたは他の電子装置内のすべての装置または回路に十分に対応していない。この理由のため、多くのコンピュータまたはデジタル装置は異なる周波数の多数のクロック信号を用いる。例えば、幾つかのコンピュータにおいて、中央演算部が第一クロック周波数における第一クロック信号によってクロッキングされながら（ｃｌｏｃｋｅｄ）、メモリが第二の異なるクロック周波数における第二クロック信号によってクロッキングされる。多数のクロックを用いるより、ほとんどのシステムは中央演算部のために用いられる典型的なクロック信号である単一基本（ｓｉｎｇｌｅ　ｂａｓｅ）クロック周波数から代わりのクロック周波数を引き出す。クロック分周器（ｄｉｖｉｄｅｒ）を実現することはこの引き出しの実施のための一つ技術を提供する。

【０００５】

ほとんどの人が承知しているように、過去の数年にわたってコンピュータおよびコンピュータ関連技術は計算能力および複雑度において確実に増加している。コンピュータの計算能力を増加するための一つの大衆的な技術はコンピュータ内部の中央演算部のクロック速度を増加することである。例えば、多くの中央演算装置は現在２から４ＧＨｚまたはそれ以上のクロック速度で動作している。しかしながら、ほとんどの従来クロック分周器はこの周波数範囲内のクロック信号を分周（又は等分：ｄｉｖｉｄｅ）するために適していない。なぜならば、ほとんどの従来クロック分周器は２ＧＨｚ（ギガヘルツ）以上のクロック信号の周期（つまり、１／周波数）より遅い内部論理ゲート遅延とセットアップ時間を有するスタティック論理（ｓｔａｔｉｃ　ｌｏｇｉｃ）ゲートおよびフリップフロップを用いているからである。言い換えれば、従来、スタティック論理ベースクロック分周器は２ＧＨｚ以上の周波数を有するクロック信号を正確に分周するのにしばしば遅すぎる。

【０００６】

本発明の実施例は上記記載の一つまたはそれ以上の問題に取り込む。

【発明の開示】

【０００７】

独創的に請求した発明の範囲と対応するいくつかの態様が以下に記載される。本発明が取るべき確かな形態の簡潔な要約を読者に単に提供するためにこれらの態様が示されておりそしてこれらの態様は本発明の範囲を限定する意図がないと理解されたい。確かに、本発明は以下に記載されていないさまざまな態様を達成することは可能である。

【０００８】

クロック信号を２、３、４、または６の増分で分周（または等分）するように構成される純単相（ｔｒｕｅ　ｓｉｎｇｌｅ　ｐｈａｓｅ）論理クロック分周器が提供される。純単相論理クロック分周器がスタティック論理の代わりに純単相論理基づいたため、スタティック論理ゲートに基づいたクロック分周器によって確かに分周されることができないクロック信号を確かに分周することが可能である。また、２．５ＧＨｚと４ＧＨｚの間の周波数を有する入力信号を受信しそして入力信号の周波数のおおよそ３分の１の周波数を有する出力信号を作る方法も提供される。

本発明の利点は関連する図と本発明の記述を読むことによって明らかになる。

【発明を実施するための最良の形態】

【０００９】

本発明の一つまたはそれ以上の特定の実施例が以下に述べられる。これの実施例の簡明な記述を提供するための努力において、現実の実装の全ての特徴がこの明細書内に述べられていない。そのような現実の実装の開発において、すべての技術または設計プロジェク

トにおいてのように、開発者の特定ゴール例えばシステム関連またビジネス関連制約の遵守を達成するために多数の実装特定の決定がなされるべきであり、これは一つの実装から他には変化するということは理解されたい。さらに、そのような開発努力は複雑でそして時間を消費するが、しかしそれにもかかわらずこの開示の利益を享受する当業者にとって設計、製造、および生産のための通常の手順であると理解されたい。

【００１０】

上述のように、クロック信号の周波数を分周するために従来クロック分周器はスタティック論理ゲートおよびフリップフロップを用いる。スタティック論理ゲートは両方のｐ型（ＰＭＯＳ）およびｎ型（ＮＭＯＳ）金属酸化物半導体電界効果トランジスタ（“ＭＯＳＦＥＴ”）を含む相補型金属酸化物半導体（“ＣＭＯＳ”）基本回路を用いる。時間経過に関係なく入力の論理的関数の出力を常に作り出すようにこれらのスタティックゲートが設計される。しかしながら、ほとんどのスタティック論理ゲートおよびフリップフロップは５００ピコ秒（“ｐｓ”）またはそれ以上のセットアップおよび遅延時間を有する。不都合なことに、多くの最新中央プロセッサ部は５００ｐｓ以下の周期を有するクロック周波数で動作する。この理由のため、従来スタティック論理ベースクロック分周器は最新コンピュータ内のクロック信号を分周するのにしばしば遅すぎる。この不都合を克服するために本技術の実施例はダイナミック（ｄｙｎａｍｉｃ）論理を用いてクロック分周器を提供する。

【００１１】

一方、ダイナミック論理はより低い遅延時間を有する。なぜならば、ダイナミック論理は主としてＮＭＯＳ　ＭＯＳＦＥＴを用いておりそして論理を評価するためにプリチャージ（ｐｒｅｃｈａｒｇｅ）を用いる。さらに、スタティック論理フリップフロップと違って、ダイナミック論理フリップフロップは二相クロックの代わりに単相クロックのみを用いる。一種のダイナミック論理はまた純単相論理（“Ｔｒｕｅ　Ｓｉｎｇｌｅ　Ｐｈａｓｅ　Ｌｏｇｉｃ：ＴＳＰＬ”）として参照されている。ＴＳＰＬベース論理回路、論理ゲート、およびフリップフロップは５００ｐｓをはるかに下回っている遅延時間を有する。本発明の実施例はクロック信号を２、３、４、または６の増分で分周するように構成可能なＴＳＰＬベースクロック分周器を含む。

【００１２】

まず図１に戻ると、純単相論理クロック分周器を用いる例示的なシステムのブロック図が図解されそして一般に参照番号１０によって示される。システム１０は一つまたはそれ以上の中央演算部（“ＣＰＵ”）１２を含む。ＣＰＵ１２は個別的にまた他のＣＰＵとの組み合わせで用いられる。ＣＰＵ１２が主に単独で参照されているが、物理的なまたは論理的なＣＰＵ１２のどんな数を有するシステム１０でも実装可能であることは当業者によって明らかであることが理解されたい。適切なＣＰＵ１２の例はインテルペンティアム４プロセッサおよびＡＭＤアースロン（Ａｔｈｌｏｎ）プロセッサを含む。

【００１３】

チップセット１４はＣＰＵ１２に接続可能である。他の機能の中に、チップセット１４はＣＰＵ１２とシステム１０の他の構成要素間の信号のための通信経路を提供する。これらの構成要素はメモリ制御装置１８、Ｉ／Ｏバス２４、そしてディスクドライブ制御装置２６を含む。チップセット１４はまたシステムクロック１６を含む。当業者に知られているように、システムクロック１６は他のクロッキング（ｃｌｏｃｋｉｎｇ）回路の多くの内のいずれの一つを含んでも良い。チップセット１４はシステムクロック１６によって生成されるクロック信号４６（図２を参照）をプロセッサ１２、メモリ制御装置１８、Ｉ／Ｏバス２４、ディスクドライブ制御装置１６、そしてシステム１０のすべての他の適切な構成要素に転送する。一つの実施例において、クロック信号４６がシステム１０の構成要素と同期するためにシステム１０によって用いられる。しかしながら、システムの強調される特質を変えずにシステム１０の信号のルートが容易に調整されることが可能であることは当業者であれば理解することであろう。

【００１４】

上述のように、メモリ制御装置１８がチップセット１４およびシステムクロック１６に接続される。代替の実施例において、メモリ制御装置１８がチップセット１４内に統合される。図１に示されている実施例において、メモリ制御装置１８はクロック１６からクロック信号４６を受信しそして、メモリ装置２２のために一つまたはそれ以上のより低い周波数クロック信号を作り出すためにクロック信号４６を適切に分周する純単相論理クロック分周器２０を含む。メモリ制御装置１８内部に描かれているクロック分周器２０は例示的な目的のためだけであることは当業者であれば理解することであろう。代替の実施例において、クロック分周器２０がＩ／Ｏバス２４、ディスクドライブ制御装置１６、またはメモリ制御装置１８などのシステム１０のいずれの適切な構成要素内部にも用いられることができる。メモリ装置２２は、シングル インライン メモリモジュール（ＳＩＭＭ）、デュアル インライン メモリモジュール（ＤＩＭＭ）、またはダブル データ レート メモリ（Ｄｏｕｂｌｅ Ｄａｔａ Ｒａｔｅ：“ＤＤＲ”）装置の多くの標準メモリ種類のいずれかの一つを含むがこれらに限定されない。

【００１５】

チップセット１４がまたＩ／Ｏバス２４に接続される。Ｉ／Ｏバス２４がＩ／Ｏ装置３０，３２および３４からの信号のための通信経路として使える。Ｉ／Ｏ装置３０，３２および３４はマウス３０、ビデオ表示装置３２、またはキーボード３４を含む。Ｉ／Ｏバス２４は多くの通信プロトコルのいずれかの一つを用いてＩ／Ｏ装置３０，３２および３４との通信を行う。代替の実施例において、Ｉ／Ｏバス２４がチップセット１４内に統合される。

【００１６】

ディスクドライブ制御装置１６がまたチップセット１４に接続される。ディスクドライブ制御装置１６がチップセット１４と一つまたはそれ以上の内部ディスクドライブ２８間の通信経路として使える。ディスクドライブ制御装置１６および内部ディスクドライブ２８はいずれかの適切な種類の通信プロトコルを仮想的に用いてそれぞれとまたはチップセットとの通信を行う。

【００１７】

図１と関連して述べられているシステム１０はクロック分周器２０を用いるシステムの単なる一つの例であることを注意することが大事である。携帯電話やデジタルカメラなどの代替の実施例において、構成要素が図１に示されている実施例とは異なることがある。

【００１８】

図２は本発明の実施例に従う例示的なクロック分周器２０を説明する図である。以下に述べられるように、クロック信号４６を２、３、４、または６で分周するようにクロック分周器２０は構成可能である。言い換えれば、クロック信号４６の１／２、１／３、１／４、または１／６の周波数を有する出力信号を出力するようにクロック分周器２０は構成可能である。図２に示されていないが、代替の実施例において、２、３、４、および６のいずれかの倍数（つまり、９、１２、１８など）ででもクロック信号４６を分周するようにクロック分周器２０が構成されることができることは当業者であれば理解することであろう。

【００１９】

図解されるように、クロック分周器２０は、３または６分周回路４０および２または４分周回路４２を含む。以下にさらに述べられるように、３または６のどちらかでクロック信号４６を分周するように３または６分周回路４０が構成され、２または４のどちらかでクロック信号４６を分周するように２または４分周回路４２が構成される。一つの３または６分周回路４０および一つの２または４分周回路４２の形でクロック分周器２０が示されているのは図解目的のためだけであることは当業者であれば理解することであろう。代替の実施例において、クロック分周器２０は複数の３または６分周回路４０または複数の２または４分周回路４２を含む。さらに、この明細書中に述べられるように、述べられた数よりも異なり数でクロック信号４６を分周するように回路を作り出すために３または６分周回路４０および２または４分周回路４２の構成要素が再構成されまた複製される。

【００２０】
クロック分周器２０はクロック信号４６、リセット信号４８、６分周フラッグ５０または４分周フラッグ５２を受信する。クロック信号４６はシステムクロック１６（図１に示される）によって生成されるクロック信号または他のクロック分周器２０によって生成される出力（以下に示される）を含む。リセット信号４８はクロックを停止することがなくクロック分周器２０をリセットする仕組みを提供することは当業者であれば理解することであろう。一つの実施例において、リセット信号４８がロー電圧レベル（“ｌｏｗ”）からハイ電圧レベル（“ｈｉｇｈ”）に変化するときにクロック分周器２０はリセットする。

【００２１】
図示されているクロック分周器２０はまた６分周フラッグ５０または４分周フラッグ５２を受信する。一つの実施例において、６分周フラッグ５０はクロック分周器２０がクロック信号を３または６で分周すべきかどうかを示すデジタル信号である。特に、６分周フラッグがハイであれば、３よりも６でクロック信号を分周するようにクロック分周器２０が構成され、６分周フラッグがローであれば、６よりも３でクロック信号を分周するようにクロック分周器２０が構成される。同様に、４分周フラッグ５２はクロック分周器２０がクロック信号を２または４で分周すべきかどうかを示す。

【００２２】
クロック分周器２０は３または６分周出力５４または２または４分周出力５６のどちらかを通じて分周されたクロック信号を出力する。特に、３または６のどちらかで分周されたクロック信号４６が３または６分周出力５４を通じてクロック分周器２０から転送され、２または４のどちらかで分周されたクロック信号４６が２または４分周出力５６を通じてクロック分周器２０から転送される。代替の実施例において、４または６のどちらかでクロック信号４６の分周を示す単一入力に６分周フラッグ５０および４分周フラッグ５２がまとめられる。さらに、他の代替の実施例において、クロック分周器２０はクロック分周をいずれかの適切な分周に置換したものを転送する単一出力を含む。この実施例において、どの周波数（つまり、１／２、１／３、１／６など）の出力がクロック分周器２０の外部へ転送されるべきかを示す一つまたはそれ以上の付加論理信号が用いられてもよい。

【００２３】
より詳細に３または６分周回路４０に戻ると、３または６分周回路４０は３分周回路５８を含む。その名前が示すよう、クロック信号４６の周波数を３で分周してクロック信号４６の周波数の１／３を有する出力信号６１を作り出すように３分周回路５８が構成される。３分周回路５８は、図４に関連してより詳しく述べられる二つの部分３分周回路５９ａおよび５９ｂからなる。示されるように、部分３分周回路５９ａおよび５９ｂの各々はクロック入力およびリセット（Ｒ）入力を有する。それぞれの部分３分周回路５９ａおよび５９ｂがそれぞれの入力Ｄ１およびＤ１を通じて接続されそしてそれらのそれぞれの出力が図２および４においてクロックアウト“ｃｌｏｃｋｏｕｔ”として示される。特に、部分３分周回路５９ａ上の入力Ｄ１が部分３分周回路５９ｂのクロックアウトに接続され、部分３分周回路５９ｂ上の入力Ｄ２が部分３分周回路５９ａのクロックアウト出力に接続され、そして部分３分周回路５９ｂ上の入力Ｄ２が部分３分周回路５９ｂのクロックアウト出力に接続される。部分３分周回路５９ｂの入力Ｄ１は部分３分周回路５９ａからのクロックアウト出力がインバータ６０によって反転されたものに接続される。この反転された信号はＣＬＫ３信号として示される３分周回路５８からの出力信号を含む。上述のように、出力信号６１（ＣＬＫ３）は入力クロック信号のおおよそ１／３の周波数を有することになる。以下にさらに詳しくされるように出力信号６１がＮＡＮＤゲート７０に転送される。

【００２４】
図２に示されるように、部分３分周回路５９ｂからのクロックアウト信号および６分周フラッグ５０がＮＡＮＤゲート６２に接続され、２分周回路６４ａへのＣＬＫ入力を提供する。クロック信号４６をさらに分周してクロック信号４６のおおよそ１／６の周波数を

有するＣＬＫ６出力信号６７を作り出すように２分周回路６４ａが構成される。２分周回路６４ａの動作が図３と関連してより詳しく説明される。３または６分周回路４０はまたインバータ６６および６８とともにＮＡＮＤゲート７０、７２および７４を含む。インバータ６６および６８そしてＮＡＮＤゲート７０、７２および７４は３分周回路５８および２分周回路６４ａから入力信号を受信し、そして６分周フラッグ５０の状態しだいでクロック信号４６の周波数の１／３または１／６のどちらかの周波数を示すクロック信号を（３または６分周出力において）生成する。インバータ６６および６８そしてＮＡＮＤゲート７０、７２および７４は、６分周フラッグ５０の状態に基づいて出力を選択するために適切な組み合わせ論理の単なる一つの実施例であることは当業者であれば理解することであろう。代替の実施例において、異なる組み合わせ論理構成が用いられることになる。例えば、一つの代替の実施例において、２分周回路６４ａの出力が３分周回路５８への入力として用いられ、クロック信号４６の周波数の１／６である周波数を生成する。

【００２５】

２または４分周回路４２は２分周回路６４ｂおよび２分周回路６４ｃを含み、入ってくるクロック信号（ＣＬＫ）の周波数を２で分周するようにこれらの各々回路が構成される。一つの実施例において、２分周回路６４ｂおよび６４ｃは上述の３分周回路４０に関連する２分周回路６４ａとは同一である。示されるように、２分周回路６４ｂがクロック信号入力４６に接続される。このように、クロック信号４６の周波数を２で分周するように２分周回路６４ｂが構成される。２分周回路６４ｂからの出力が次にインバータ７６および７８そしてＮＡＮＤゲート７９を通じて２分周回路６４ｃに接続され、２分周回路６４ｂからの出力を２で分周してクロック信号４６の周波数の１／４である周波数を有するクロック信号を作り出す。２または４分周回路４２はまたインバータ８０および８２とともにＮＡＮＤゲート８４、８６、および８８を含む。２分周回路６４ｂおよび２分周回路６４ｃからの出力を受信するようにインバータ８０および８２そしてＮＡＮＤゲート８４、８６、および８８が構成され、そしてクロック信号４６の周波数の１／２また１／４のどちらかの周波数を有するクロック信号を２または４分周出力５６上に出力する。インバータ８０および８２そしてＮＡＮＤゲート８４、８６および８８は、４分周フラッグ５２の状態に基づいて出力を選択するために適切な組み合わせ論理の単なる一つの実施例であることは当業者であれば理解することであろう。代替の実施例において、異なる組み合わせ論理が用いられることになる。

【００２６】

図３は本発明の実施例に従う２分周回路６４ａ、６４ｂ、および６４ｃの回路図である。図３に示される２分周回路６４ａ、６４ｂ、および６４ｃは上述の機能を実行するように構成される回路の単なる一つの実施例であることは当業者であれば理解することであろう。代替の実施例において、２分周回路６４ａ、６４ｂ、および６４ｃの以下に述べられる幾つかの構成要素が再配置されまたはまったく欠けたり、そして示されていない構成要素が存在したりすることになる。２分周回路６４ａ、６４ｂ、および６４ｃはＲ、ＣＬＫ、およびＤとして図３に示される複数の入力を含む。一つの実施例において、入力Ｒは図２に関して上述したリセット信号４８を伝達する。入力ＣＬＫはクロック信号を伝達する。図２に示される実施例において、入力ＣＬＫはクロック信号４６またはクロック信号４６の周波数の１／３または１／２のどちらかの周波数を有するクロック信号を受信する。最後に、図２に示される通り、当業者であれば理解されるように、入力Ｄが２分周回路６４ａ、６４ｂ、および６４ｃのクロックアウトに接続され、帰還機構を作り出す。

【００２７】

２分周回路６４ａ、６４ｂ、および６４ｃはＭＰＳ１、Ｍ０、Ｍ１、Ｍ２、Ｍ３、Ｍ４、Ｍ５、Ｍ６、Ｍ７、Ｍ８、Ｍ９、およびＭ１０の複数のトランジスタを含む。示されるよう、トランジスタＭＰＳ１およびＭ０～Ｍ１０が電源供給ＶＣＣ、接地ソース、そしてインバータ９０、９１、および９２に接続されることは当業者であれば理解することであろう。一つの実施例において、インバータ９１および９２がクロックアウト出力を格納するために使用される（図３を参照）。２分周回路６４ａ、６４ｂ、および６４ｃは入力Ｃ

ＬＫの周波数の半分である周波数を示すクロックアウト出力信号を作り出す。さらに、トランジスタＭＰＳ１およびＭ０～Ｍ１０がＴＰＳＬ論理として構成されるため、２分周回路６４ａ、６４ｂ、および６４ｃは少なくとも４ＧＨｚまでそして４ＧＨｚを含むクロック周波数において機能することが可能である。インバータ９０、９１、および９２はクロック信号４８のおおよそ半分の速度で動作するためインバータ９０、９１、および９２はクロック信号４８が２ＧＨｚ以上のクロック周波数で機能することを可能にすることは当業者であれば理解することであろう。このように、インバータ９０、９１、および９２はＴＰＳＬ構成要素ではなくてもインバータ９０、９１、および９２は２分周回路の性能を損なわない。

【００２８】

図４は本発明の実施例に従う的な部分３分周回路５９ａおよび５９ｂを示す回路図である。簡潔のため、図３に関連する上述のそれらの特徴を示すために同様の参照符号が使われる。上述のように、図２に示されるように、クロック信号４８の周波数の１または３の周波数を有するクロック信号を含むＣＬＫ３出力６１を作り出すために部分３分周回路５９ａおよび５９ｂが一緒に接続されることができる。

【００２９】

図示されるように、部分３分周回路５９ａおよび５９ｂは２分周回路６４ａ、６４ｂ、および６４ｃに存在しない二つの付加トランジスタを含む。特に、部分３分周回路５９ａおよび５９ｂはトランジスタＭ１１およびトランジスタＭ１２を含む。示されるように、トランジスタＭ１１がトランジスタＭＰＳ１およびトランジスタＭ１の間のトランジスタＭ０に並列に接続される。トランジスタＭ１２がトランジスタＭ１と接地の間に直列に接続される。そのうえ、トランジスタＭ１２のゲートが図２に関連する上述の入力Ｄ２に接続される。一つの実施例において、トランジスタＭ０およびＭ１１はｐ型トランジスタを含み、そしてトランジスタＭ１およびＭ１２はｎ型トランジスタを含む。

【００３０】

図示されるように、３分周回路を作るために従来用いられるスタティック論理ゲートを置き換えるためにトランジスタＭ０、Ｍ１、Ｍ１１、およびＭ１２が構成されることは当業者であれば理解することであろう。特に、一つの実施例において、下記の表の真理値表に従う部分３分周回路５９ａおよび５９ｂが出力を生じるようトランジスタＭ０、Ｍ１、Ｍ１１、およびＭ１２が構成される。

【００３１】

【表１】

前		次	
Ｄ１	Ｄ２	Ｄ１	Ｄ２
1	1	0	1
1	0	1	1
0	1	1	0
0	0	1	1

ここで、Ｄ１は部分３分周回路５９ａからの出力信号でありそしてＤ２は部分３分周回路５９ｂからの出力信号である。表１に示されるように、Ｄ１のための次の値はＤ１の前の値とＤ２の前の値とのＮＡＮＤによって与えられ、Ｄ２のための次の値はＤ１の反転とＤ２の前の値とのＮＡＮＤによって与えられることは当業者であれば理解することであろう。

【００３２】

しかしながら、さらに、代替の実施例において、部分３分周回路５９ａおよび５９ｂを作るためにトランジスタＭ０、Ｍ１、Ｍ１１、およびＭ１２の代替の配置が用いられるこ

とは当業者であれば理解することであろう。これらの代替の実施例において、付加トランジスタ（示されない）が含まれまたは示されるトランジスタの幾つかが削除されまたは変えられることでもよい。

本発明は様々な修正そして代替形式の影響を受けられやすいが、例えば図によって特定の実施例が示されそして明細書内に詳細に述べられてきた。しかしながら、本発明を開示した特定の形式に限定するつもりがないと理解されたい。それより、請求範囲によって定義される本発明の精神そして範囲内に入っている修正、等価そして代替の全てを含むことになる。

【図面の簡単な説明】

【００３３】

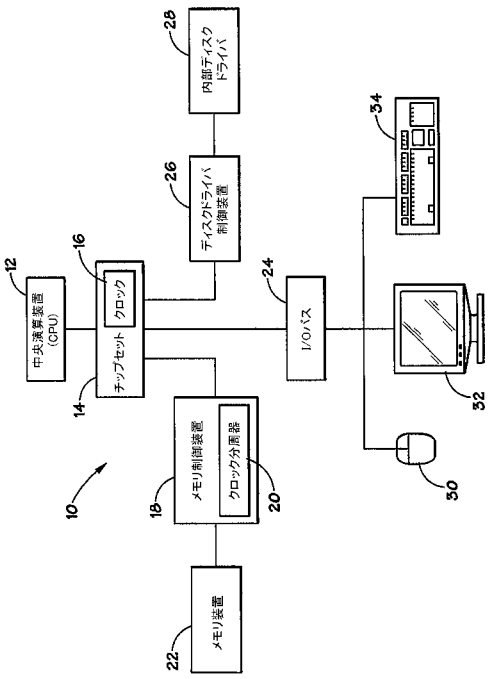
【図１】本発明の実施例に従う純単相論理クロック分周器を用いる例示的なシステム説明する。

【図２】本発明の実施例に従う典型的な純単相論理クロック分周器を説明する。

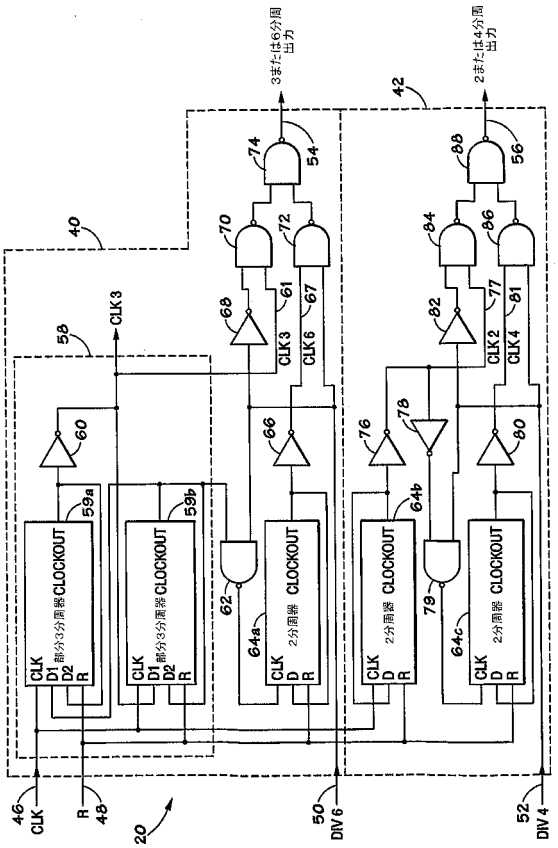
【図３】本発明の実施例に従う典型的な２分周回路を説明する。

【図４】本発明の実施例に従う典型的な部分３分周回路を説明する。

【図１】



【図２】



【図３】

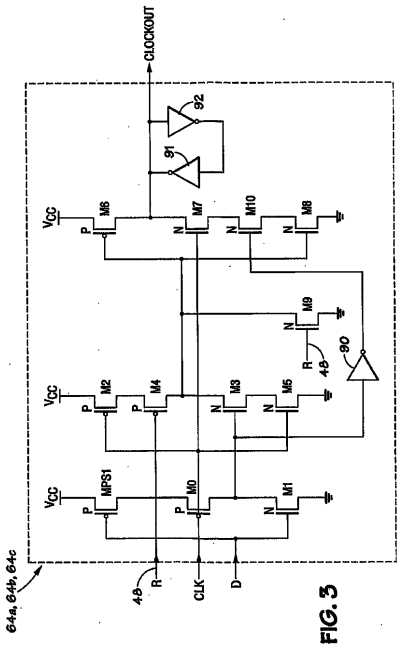


FIG. 3

【図４】

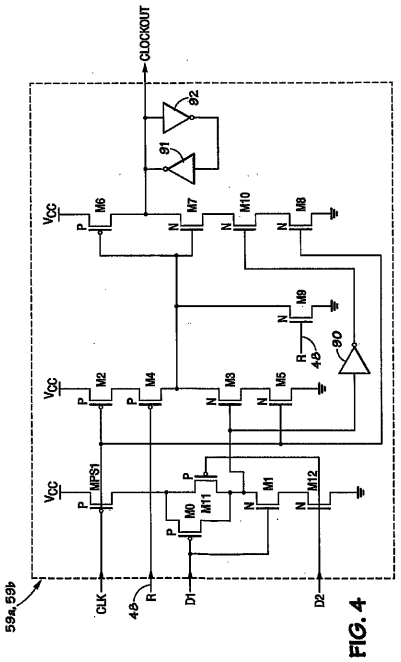


FIG. 4

【手続補正書】
【提出日】平成20年4月1日(2008.4.1)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
第一クロック分周回路を含み、
前記第一クロック分周回路は
前記第一クロック分周回路の第一入力に接続し第一の入力信号を受信するように構成した第一トランジスタと、
前記第一トランジスタに並列に接続し第二の入力信号を受信するように構成した第二トランジスタと、
前記第一入力に接続し前記第一の入力信号を受信するように構成しそして前記第一トランジスタおよび第二トランジスタに直列に接続する第三トランジスタと、
前記第三トランジスタと接地に直列に接続しそして前記第一クロック分周回路の第二入力に接続する第四トランジスタ、であって前記第四のトランジスタは前記第二の入力信号を受信するように構成されてなるものと
前記第一および第二トランジスタに接続しクロック信号を受信するように構成された第五トランジスタを含み、前記クロック信号は前記第一入力、前記第二入力、または、前記第一入力または前記第二入力の反転から独立する
ことを特徴とするクロック分周器。
【請求項２】

前記第一クロック分周回路に接続する第二クロック分周回路を含みそして前記第一クロック分周回路と実質上同様に構成することを特徴とする請求項１記載のクロック分周器。
【請求項３】
前記第二クロック分周回路の出力が前記第一クロック分周回路の前記第一入力に接続されることを特徴とする請求項２記載のクロック分周器。
【請求項４】
前記第一クロック分周回路の出力がインバータに接続されそして前記インバータが前記第二クロック分周回路の第一入力に接続されることを特徴とする請求項２記載のクロック分周器。
【請求項５】
純単相論理およびスタティックインバータを実質的に含む電気装置であって、
４ＧＨｚより少なくまたは等しい周波数を有する第一クロック信号の単相を受信し、そして
前記第一クロック信号の位相を修正せずに前記第一クロック信号の前記周波数のおおよそ３分の１の周波数を有する第二クロック信号を生成するように構成する
ことを特徴とする電気装置。
【請求項６】
前記第一クロック信号の前記周波数のおおよそ６分の１の周波数を有する第三クロック信号を生成するように構成される
ことを特徴とする請求項５記載の電気装置。
【請求項７】
２ＧＨｚより大きい周波数を有する第一クロック信号を受信するように前記電気装置が構成される
ことを特徴とする請求項５記載の電気装置。
【請求項８】
３ＧＨｚより大きい周波数を有する第一クロック信号を受信するように前記電気装置が構成される
ことを特徴とする請求項５記載の電気装置。
【請求項９】
入力信号の位相を修正せずに前記入力信号の周波数をおおよそ３分の１で等分するように構成し、
純単相論理およびスタティックインバータを実質的に含む
ことを特徴とするクロック分周回路。
【請求項１０】
前記純単相論理は直列の第二の２個のトランジスタに接続する並列の第一の２個のトランジスタを含むことを特徴とする請求項９記載のクロック分周回路。
【請求項１１】
前記純単相論理は論理状態を示す電荷を格納する金属酸化物半導体電界効果トランジスタの静電容量入力を用いる論理ゲートを含む特徴とする請求項９記載のクロック分周回路。
【請求項１２】
２．５ＧＨｚと４ＧＨｚの間の周波数を有する第一クロック信号の単相を受信し、そして
前記第一クロック信号の位相を修正せずに前記第一クロック信号の前記周波数のおおよそ３分の１の周波数を有する第二クロック信号を生成する
ことを特徴とする方法。
【請求項１３】
前記第一クロック信号の前記周波数のおおよそ６分の１の周波数を有する前記第三クロック信号を生成する
ことを特徴とする請求項１２記載の方法。

【請求項１４】
前記第一クロック信号の受信は３ＧＨｚより大きい周波数を有する入力信号の受信を含む
ことを特徴とする請求項１２記載の方法。
【請求項１５】
２．５ＧＨｚより大きい周波数を有する第一クロック信号を生成するように構成するシステムクロック、と
前記第一クロック信号の単相を受信し、前記第一クロック信号の位相を修正せずに前記第一クロック信号の前記周波数のおおよそ３分の１の周波数を有する第二クロック信号を生成するように構成するクロック分周期からなる構成要素と、
を含むことを特徴とするシステム。
【請求項１６】
前記第一クロック信号の前記周波数のおおよそ２分の１、３分の１、４分の１、または６分の１の周波数を有する第三クロック信号を生成するように前記構成要素が構成されることを特徴とする請求項１５記載のシステム。
【請求項１７】
３ＧＨｚより大きい第一クロック信号を生成するように前記システムクロックが構成されることを特徴とする請求項１５記載のシステム。
【請求項１８】
前記構成要素はメモリ装置を含むことを特徴とする請求項１５記載のシステム。
【請求項１９】
前記構成要素はメモリ制御装置を含むことを特徴とする請求項１５記載のシステム。
【請求項２０】
前記構成要素は中央演算装置を含むことを特徴とする請求項１５記載のシステム。

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2006/028045

A. CLASSIFICATION OF SUBJECT MATTER
INV. G06F1/06

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)
EPO-Internal, WPI Data, PAJ

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 6 166 571 A (WANG HONGMO [US]) 26 December 2000 (2000-12-26) column 1, line 21 - column 2, line 38 column 3, line 17 - column 5, line 26 figure 2	1-16
A		17-22
X	US 6 566 918 B1 (NGUYEN ANDY T [US]) 20 May 2003 (2003-05-20) abstract column 1, lines 32-40 column 4, line 12 - column 5, line 37 figures 3,4	17-22
A		1
A	US 6 448 831 B1 (HUNT JR BARRY TRAVIS [US] ET AL) 10 September 2002 (2002-09-10) the whole document	1-16

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
7 June 2007	20/06/2007

Name and mailing address of the ISA/	Authorized officer
European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax (+31-70) 340-3016	Baldan, Marco

Form PCT/ISA/210 (second sheet) (April 2005)

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No
PCT/US2006/028045

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 6166571 A	26-12-2000	NONE	
US 6566918 B1	20-05-2003	US 2003107415 A1	12-06-2003
US 6448831 B1	10-09-2002	NONE	

フロントページの続き

(81)指定国 AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IS,IT,LT,LU,LV,MC,NL,PL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BW,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,HN,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LT,LU,LV,LY,MA,MD,MG,MK,MN,MW,MX,MZ,NA,NG,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RS,RU,SC,SD,SE,SG,SK,SL,SM,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,ZA,ZM,ZW

（特許庁注：以下のものは登録商標）
１．ペンティアム