

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5603008号
(P5603008)

(45) 発行日 平成26年10月8日(2014.10.8)

(24) 登録日 平成26年8月29日(2014.8.29)

(51) Int.Cl.	F 1
HO 1 L 29/78	(2006.01)
HO 1 L 21/336	(2006.01)
HO 1 L 29/12	(2006.01)
HO 1 L 21/316	(2006.01)
	HO 1 L 29/78

請求項の数 9 (全 15 頁) 最終頁に続く

(21) 出願番号	特願2008-531214 (P2008-531214)	(73) 特許権者	592054856 クリー インコーポレイテッド C R E E I N C. アメリカ合衆国 ノースカロライナ州 2 7703 ダラム シリコン ドライブ 4600
(86) (22) 出願日	平成18年9月12日 (2006.9.12)	(74) 代理人	110000855 特許業務法人浅村特許事務所
(65) 公表番号	特表2009-509338 (P2009-509338A)	(72) 発明者	ムリナル ダス アメリカ合衆国 27713 ノースカロ ライナ州 ダラム エンツォ コート 1
(43) 公表日	平成21年3月5日 (2009.3.5)	(72) 発明者	ブレット ハル アメリカ合衆国 27614 ノースカロ ライナ州 ローリー ケイツブリッジ レ ーン 2101
(86) 國際出願番号	PCT/US2006/035285		
(87) 國際公開番号	W02007/035304		
(87) 國際公開日	平成19年3月29日 (2007.3.29)		
審査請求日	平成21年9月14日 (2009.9.14)		
審判番号	不服2013-13048 (P2013-13048/J1)		
審判請求日	平成25年7月8日 (2013.7.8)		
(31) 優先権主張番号	60/717,953		
(32) 優先日	平成17年9月16日 (2005.9.16)		
(33) 優先権主張国	米国(US)		
(31) 優先権主張番号	11/486,752		
(32) 優先日	平成18年7月14日 (2006.7.14)		
(33) 優先権主張国	米国(US)		

最終頁に続く

(54) 【発明の名称】大きな反転層移動度を有するSiCMOSFETの形成方法

(57) 【特許請求の範囲】

【請求項1】

炭化珪素上に酸化膜層を形成する方法であつて、
炭化珪素層上に酸化膜層を熱的に成長させる工程と、
前記炭化珪素層上の前記酸化膜層を炭化珪素管内に配置する工程と、
前記炭化珪素管内へNOを供給する工程と、
前記炭化珪素管内のNO雰囲気中で1,300より高い温度で前記酸化膜層をアニールする工程と、を含み、

前記酸化物を熱的に成長させる工程は、炭化珪素管内で、Fe、Crを不純物として含む少なくとも99%の純度のアルミナ円盤が存在する中で前記酸化物を熱的に成長させる工程を含む

10

方法。

【請求項2】

前記酸化膜層のアニール工程は、前記酸化膜層をNO雰囲気中で1300から1600の範囲の温度でアニールする工程を含むことを特徴とする請求項1に記載の方法。

【請求項3】

前記酸化膜層のアニール工程は、前記酸化膜層をNO雰囲気中で1300から1500の範囲の温度でアニールする工程を含むことを特徴とする請求項1に記載の方法。

【請求項4】

前記酸化膜層のアニール工程は、前記酸化膜層を2時間アニールする工程を含むことを

20

特徴とする請求項 3 に記載の方法。

【請求項 5】

前記炭化珪素管は、上に炭化珪素被覆膜を有する炭化珪素の管を含むことを特徴とする請求項 1 に記載の方法。

【請求項 6】

前記炭化珪素管上の前記炭化珪素被覆膜は、前記炭化珪素管上に化学気相成膜法によつて成膜された炭化珪素被覆膜を含むことを特徴とする請求項 5 に記載の方法。

【請求項 7】

前記酸化膜層を熱的に成長させる工程は、前記酸化膜層を 500 から 900 の範囲の厚さで熱的に成長させる工程を含むことを特徴とする請求項 1 に記載の方法。

10

【請求項 8】

前記炭化珪素層は、(0001)面から 8 度傾いた軸ずれ方位を持つ 4 H p 型炭化珪素のエピタキシャル層を含むことを特徴とする請求項 1 に記載の方法。

【請求項 9】

前記酸化膜層を熱的に成長させる工程は、

前記炭化珪素層上に初期酸化膜層をドライ酸素雰囲気中で 1200 の温度にて熱的に成長させる工程と、

前記初期酸化膜層をウェット酸素雰囲気中で 950 の温度で再酸化する工程と、
を含むことを特徴とする請求項 1 に記載の方法。

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明は、電力デバイスの製造方法およびその製造方法によって製造されるデバイスに関するものであり、より詳細には、炭化珪素の電力用デバイスおよび炭化珪素の電力用デバイスを製造する方法に関するものである。

【背景技術】

【0002】

本出願は、2005年9月16日出願の米国特許仮出願第 60/717,953 号の利益と優先権を主張するものである。

【0003】

30

本発明は、少なくとも部分的には、米国空軍契約番号 FA8650-04-2-2410 と ARL / MTO 契約番号 W911NF-04-2-0022 のもとでなされたものである。政府は本発明に関して一定の権利を有するものである。

【0004】

電力用半導体デバイスは、大電流を運び、高電圧を支えるために広く用いられている。最近の電力用デバイスは、一般に単結晶シリコン半導体材料から作られている。広く用いられている電力用デバイスの 1 つは電力用の金属酸化膜半導体電界効果トランジスタ (MOSFET) である。電力用の MOSFET では、中間に介在するところの、二酸化シリコンであるがこれに限定されることはない絶縁物によって半導体表面とは分離されているゲート電極に制御信号が供給される。電流の伝導は多数キャリアの輸送によって行われ、バイポーラトランジスタの動作において用いられる少数キャリア注入は存在しない。電力用の MOSFET は優れた安全動作領域を提供することが出来、ユニットセル構造にて並列運転が可能である。

40

【0005】

当業者にはよく知られていることであるが、電力用の MOSFET は横型構造、或はたて型構造を含んでいる。横型構造では、ドレイン、ゲート、およびソース端子は基板の同じ表面上にある。これに対して、たて型構造では、ソースとドレインは基板の反対側の表面上にある。

【0006】

広く用いられている電力用のシリコン MOSFET の 1 つは、2 重拡散 MOSFET (

50

D M O S F E T) であり、2重拡散工程を用いて作製される。これらのデバイスでは、p - ベース領域と n⁺ソース領域がマスクの共通の開口を通して拡散される。p - ベース領域は n⁺ソース領域よりも深くまで拡散される。p - ベース領域と n⁺ソース領域の横方向拡散距離の差が表面チャネル領域を形成する。

【 0 0 0 7 】

電力用のデバイスの最近の発展努力の1つに、電力用デバイスとしての炭化珪素 (S i C) デバイスを用いる研究がある。炭化珪素 (S i C) は、高温、高電圧、高周波数、大電力の電子デバイス用の半導体材料として魅力的な電気的および物理的特性を合わせ持っている。このような特性として、バンドギャップが 3 . 0 e V、降伏電界が 4 M V / c m、熱伝導率が 4 . 9 W / c m · K、および電子のドリフト速度が 2 . 0 × 1 0⁷ c m / s を示す。 10

【 0 0 0 8 】

【特許文献1】米国特許第 5 , 5 0 6 , 4 2 1 号明細書

【特許文献2】米国特許第 6 , 5 5 9 , 0 6 8 号明細書

【特許文献3】米国特許第 5 , 9 7 2 , 8 0 1 号明細書

【特許文献4】米国特許出願第 1 1 / 2 2 9 , 4 7 6 号明細書

【特許文献5】米国特許第 6 , 6 5 3 , 6 5 9 号明細書

【非特許文献1】バートナーガー (B h a t n a g a r) 外、「電力用のデバイスとしての 6 H - S i C , 3 C - S i C , および S i の比較 (C o m p a r i s o n o f 6 H - S i C , 3 C - S i C a n d S i f o r P o w e r D e v i c e s) 」、 20 I E E E T r a n s a c t i o n s o n E l e c t r o n D e v i c e s , 4 0 卷、 1 9 9 3 年、 pp . 6 4 5 - 6 5 5

【非特許文献2】G . Y . チュン (C h u n g) 外、 I E E E T r a n s a c t i o n s o n E l e c t r o n D e v i c e s 、 2 2 卷、 2 0 0 1 年、 pp . 1 7 6

【非特許文献3】H . オラフソン (O l a f s s o n) 、博士学位論文、チャルマー (C h a l m e r s) 大学、 2 0 0 4 年

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 9 】

このように、これらの特性は、炭化珪素の電力用デバイスが従来のシリコン電力用デバイスよりもより高温で、より大きな電力レベルで、および / またはより小さな固有オン抵抗を持って動作する可能性を与える。炭化珪素デバイスのシリコンデバイスに比べた優位性に関する理論的な解析結果は非特許文献1に見ることが出来る。炭化珪素に作製された電力用 M O S F E T は、本発明の譲受人に譲渡された特許文献1に記述されている。 30

【 0 0 1 0 】

4 H - S i C 電力用 D M O S F E T は従来の高電圧 S i 電力用スイッチに比べて大きな利点を提供する可能性を持つものである。しかしながら残念なことには、これらのデバイスとして許容できる程度のゲート酸化膜を熱的に成長させることは困難である。デバイスのチャネル移動度 ($\mu_{C H}$) を向上させるために S i C / S i O₂ 界面での界面トラップ密度 (D_{IT}) を低減するために多くの努力がなされてきた。 1 , 1 7 5 での酸化窒素 (N O) アニールは $\mu_{C H}$ を 1 衍台から約 3 0 c m² / V s へと増加させた。例えば非特許文献2を参照のこと。研究者たちは、金属性不純物を含む雰囲気下での酸化工程により、更に大きなチャネル移動度 (約 1 5 0 c m² / V s) を実現してみせた。例えば特許文献2を参照のこと。しかしながら、そのような工程は酸化物に甚大な汚染を引き起こしかねず、制御できない酸化速度 ($t_{Ox} > 1 5 0 0$) をもたらし、および / またはオーミック電極用のアニールに用いるような高温処理工程と融合しないことになる。 40

【課題を解決するための手段】

【 0 0 1 1 】

本発明のいくつかの実施形態による炭化珪素上に酸化膜層を形成する方法は、炭化珪素層上に酸化膜層を熱的に形成する工程と、 1 1 7 5 より高い温度で、 N O を含む雰囲気 50

中でその酸化膜層をアニールする工程を含む。

【0012】

酸化膜層をアニールする工程は、約1,200と約1,600の範囲の温度で、NOを含む雰囲気中で酸化膜層をアニールする工程を含む。特定の実施形態では、酸化膜層をアニールする工程は約1,300の温度で、NOを含む雰囲気中で酸化膜層をアニールする工程を含む。更に、酸化膜層は約2時間アニールするのがよい。

【0013】

この方法は、炭化珪素層上の酸化膜層を炭化珪素管内に配置する工程を更に含んでもよく、酸化膜層をアニールする工程は酸化膜層を炭化珪素管内でアニールする工程を含んでもよい。炭化珪素管は上に炭化珪素被覆膜を有する炭化珪素の管を含んでもよい。炭化珪素管上の炭化珪素被覆膜は炭化珪素管上に化学気相成膜法によって成膜された炭化珪素を含んでもよい。

【0014】

酸化膜を熱的に形成する工程は金属性不純物の存在下で酸化膜を熱的に成長させる工程を含んでもよい。特に、酸化膜を熱的に成長させる工程は金属性不純物を含むアルミナの存在下で該酸化膜を熱的に成長させる工程を含んでもよい。酸化膜層を熱的に成長させる工程は約500から900の範囲の厚さに酸化膜層を熱的に成長させる工程を含んでもよい。酸化膜層を熱的に成長させる工程は約1,200の温度で、ドライ酸素内で該炭化珪素層上に初期酸化膜層を熱的に成長させる工程と、約950の温度で、ウェット酸素中で初期酸化膜層を再酸化する工程とを含んでもよい。

【0015】

炭化珪素層は(0001)面から約8度傾いた軸ずれ方位を持つ4HP型炭化珪素のエピタキシャル層を含んでもよい。

【0016】

本発明のいくつかの実施形態による炭化珪素MOS構造を形成する方法は、炭化珪素層上に酸化膜層を熱的に成長させる工程と、1,175よりも高い温度で、NOを含む雰囲気中で酸化膜層をアニールする工程と、酸化膜層上にゲート電極を形成する工程とを含む。

【0017】

この方法は、酸化膜層上にゲート電極を形成する工程を更に含み、ゲート電極は、ポリシリコンおよび/または金属を含むことを特徴とする。

【0018】

炭化珪素層は、p型炭化珪素の領域を含んでもよく、この方法は、p型炭化珪素領域内にn型領域を形成する工程を更に含んでもよい。酸化膜層を熱的に成長させる工程は、p型炭化珪素領域上と少なくとも部分的にn型領域上に酸化膜層を熱的に成長させる工程を含んでもよい。

【0019】

p型炭化珪素領域は、p型エピタキシャル層を含んでもよく、n型領域はn型ソース領域を含んでもよい。この方法は、p型エピタキシャル層内にn型ドレイン領域を形成する工程を更に含んでもよい。n型ドレイン領域は、n型ソース領域からは隔たっていて、ソース領域とドレイン領域との間にチャネル領域を区画する。酸化膜層を熱的に成長させる工程は、チャネル領域上に酸化膜層を熱的に成長させる工程を含んでもよい。

【0020】

この方法は、n型ソース領域とn型ドレイン領域の上にオーミック電極を形成する工程と、n型ソース領域とn型ドレイン領域の上のオーミック電極を少なくとも約500の温度でアニールする工程とをさらに含んでもよい。チャネル領域は、オーミック電極アニールの後で、室温にて少なくとも約40cm²/Vsのチャネル移動度をもつ。

【0021】

p型炭化珪素領域は、イオン注入されたp型井戸領域を含んでもよく、n型領域は、n型ソース領域を含んでもよい。この方法は、n型JFET領域の近傍に、この構造の表面

10

20

30

40

50

から p 型井戸領域の下に配置されたドリフト領域まで伸びる、イオン注入された p 型井戸領域を形成する工程を更に含み、酸化膜層を熱的に成長させる工程は、p 型井戸領域内で、ソース領域から J F E T 領域の間に伸びているチャネル領域上に酸化膜層を熱的に成長させる工程を含んでもよい。

【 0 0 2 2 】

この方法は、n 型ソース領域上にオーム性電極を形成する工程と、n 型ソース領域上のオーミック電極を少なくとも約 500 °C の温度でアニールする工程とを更に含んでもよい。チャネル領域は、オーミック電極のアニール後に室温で少なくとも約 35 cm²/V s のチャンネル移動度を持つ。

【発明を実施するための最良の形態】

10

【 0 0 2 3 】

本発明の実施例を示している添付の図面を参照して、本発明を以下により完全に記述する。しかしながら、本発明は色々異なる形態で実現されるため、ここに記述される実施例だけに限定されるものではない。むしろこれらの実施例は、この開示が十全なものとなり、本発明の技術範囲を当業者に完全に伝達するために示している。図に描かれた層や領域の厚さは、記述を明確にするために誇張して示されている。図においては、全体を通して、同様の数字は同様の要素を指している。

【 0 0 2 4 】

ここに用いられるように、「および／または」という用語は、関連して列挙された事項の 1 つ以上の任意の、および全ての組み合わせを含むものである。「第 1 の」、「第 2 の」、「第 3 の」などの用語は、ここでは、色々な要素、部品、領域、材料、層および／または区画を記述するために用いられているが、これらの要素、部品、領域、層および／または区画はこれらの用語によって制限されるべきではないと理解されたい。これらの用語は 1 つの要素、部品、領域、層、材料または区画を他の要素、部品、領域、層、材料、あるいは区画と区別するために用いられているに過ぎない。このように、本発明の教えるところを逸脱すること無しに、以下に議論する第 1 の要素、部品、領域、層、材料または区画は第 2 の要素、部品、領域、層、材料または区画と呼ぶことも出来るであろう。

20

【 0 0 2 5 】

ここに用いられる用語は、特定の実施例を記述する目的のためだけであり、本発明を限定しようとするものではない。ここで用いられるように、単数形「ひとつ」、「該」は、文脈から明らかにそうでないと示されている場合を除いては、複数形も含んでいるものとしている。この明細書にて用いられるときに、「含む」、「含んでいる」、「を備えている」および／または「を含んで構成されている」という用語は記述された特徴物、整数、工程、操作、要素、および／または部品の存在を規定しているが、1 つ以上の他の特徴物、整数、工程、操作、要素、部品および／またはそれらの集合が存在することを、或いは付加されることを排除するものではないことは、更に理解するべきである。

30

【 0 0 2 6 】

本発明の実施例は、ここでは、本発明の理想化された実施例（およびその中間段階の構造）を概略的に表わす断面図を参照して記述される。層および領域の厚さを明瞭にするために、図中では誇張して描かれている。さらに、例えば製造技術および／または許容公差の結果として、図示の形状からの変化が予想されよう。このように本発明の実施例は、ここに示された特定の領域の形に限定しようとするものではなく、例えば製造から来る形の変形を含むべきものである。例えば、長方形として示されたイオン注入された領域は、イオン注入領域から非注入領域へ不連続的に変化するのではなく、実際には通常は丸い、あるいは曲がった特徴を持ち、そして／または、端部でイオン注入された濃度が勾配を持って変化する。同様に、注入によって形成された埋込領域は、或る種の注入では、埋込領域と注入が行われた表面との間に或る領域を形成する場合もある。このように、図示された領域は当然のことながら概略的であり、その形はデバイスの領域の正確な形を示すように意図されたものではなく、本発明の技術範囲を制限しようとするものでもない。

40

【 0 0 2 7 】

50

或る層、領域、或いは基板などの要素が他の要素の「上に」ある、「上に」伸びているという場合には、それが他の要素の直接的に上にある、或いは上に伸びていることもあるし、或いは介在する要素が存在してもよいものと理解されよう。対照的に、或る要素が他の要素の「直接上に」ある、あるいは「直接上に」伸びているという場合には、介在する要素は存在しない。また、或る要素が他の要素に「接続している」あるいは「結合している」という場合は、他の要素に直接的に接続していたり結合していたりしてもよいし、介在する要素が存在していてもよいものと理解されよう。これに対して、或る要素が他の要素に「直接接続している」或いは「直接結合している」という場合には、介在する要素は存在しない。

【0028】

10

そうでないと規定された場合を除いては、（技術用語及び科学用語を含んで）ここで用いる全ての用語は、本発明が属する技術分野の通常の技術を持つ者が共通して理解するようなものと同じ意味を持つものである。さらに、共通に用いられる辞書に定義されているような用語は、この明細書の文脈の意味が関連技術文献と矛盾のない意味を持つものと解釈されるべきであり、ここで明確に規定されていない場合は、理想化された、或いは過度に公式的な意味で解釈されるべきではない、ということは理解されよう。

【0029】

本発明の実施形態は、金属促進酸化（MEO）膜の熱的成長工程と高温（>1,175）NOアニール工程を用いて形成したMOSFETデバイスを提供する。両工程は伝導帯（Ec）の付近でのDITを低減し、イオン注入によって形成した、或はエピタキシャルのチャネルを持つデバイスの大きな反転層移動度の実現を可能とするものである。更に、本発明のいくつかの実施形態によるMEOおよび/またはNO工程は、制御された酸化速度（t_{ox} ~ 600 - 900）および/または温度安定性を示し、そのことがこれらの工程を4H-SiC電力用MOSFETの製造に適した工程とするものである。

20

【0030】

図1を参照すると、本発明のいくつかの実施形態による横型MOSFETの実施形態が示されている。

図1に示されるように、n-チャネル横型MOSFET10は8度の軸ずれを持つ（0001）面をもち、導電性をもち、4H型の、p-型SiC結晶であってもよいところの基板12上に成長したp型エピタキシャル層14を含む。基板12としては他の多形および/または軸ずれ値の炭化珪素を用いてもよい。いくつかの実施形態では、エピタキシャル層14は約5μmまたはそれ以上の厚さを持ち、例えば、MOCVD工程を用いて形成され、ホウ素および/またはアルミニウムのようなp型不純物を約5×10¹⁵-1×10¹⁶cm⁻³の範囲の濃度でドープされていてもよい。エピタキシャル層14は或る場合には5μm以下の厚さを持っていてもよい。特定の実施形態では、エピタキシャル層14は約5μmの厚さを持ち、約5×10¹⁵cm⁻³のドーパント濃度を持っている。いくつかの実施形態では、エピタキシャル層14のチャネル領域はイオン注入によってドープされて、約1×10¹⁶cm⁻³から1×10¹⁹cm⁻³の範囲のドーパント濃度を持ってもよい。

30

【0031】

窒素および/または燐イオンをエピタキシャル層14にイオン注入してn⁺ソース/ドレイン領域16を形成して、n⁺ソース/ドレイン領域が約1×10¹⁹cm⁻³またはそれ以上のドーパント濃度を持つようとする。しかしながら、もしソース/ドレイン領域16のドーパント濃度が1×10²⁰cm⁻³以下の場合には、その上にオーミック電極を形成するために熱アニールが必要になるであろう。特定の実施形態では、n⁺ソース/ドレイン領域16は燐が約1×10²⁰cm⁻³のドーパント濃度でドープされる。イオン注入領域は例えばSiの加圧下での1,650、Ar雰囲気中アニールによって活性化される。0.5μm厚さに成膜された酸化膜層は（不図示の）フィールド酸化膜として働く。制御用酸化膜（すなわちゲート酸化膜）層18はエピタキシャル層14上に、ソース/ドレイン領域16間およびその上に広がって形成される。制御用酸化膜層18の厚さはデバイスの所望の動作パラメータに依存する。例えば、最大電界強度が3MV/cmとなるように酸

40

50

化膜の厚さを選択するのが適当であろう。特定の実施形態では、制御用酸化膜層18は最大ゲート電圧15Vに対応する約500の厚さをもつのがよい。

【0032】

制御用酸化膜層18は、例えば、ドライ酸素中の酸化工程と、その後のウェット酸素中の再酸化工程(ReOx)を含む多段階酸化工程を用いて成長してもよい。この工程は、例えば特許文献3に記述されていて、その開示事項は参考することによって全文がここに取り込まれているものとする。

【0033】

例えば、制御用酸化膜層18は、ドライ酸素中で厚い酸化膜を成長し、その後、ウェット酸素中でその厚い酸化膜をアニールする工程を含むドライ-ウェット酸化工程によって成長されてもよい。ここで用いられるように、ウェット酸素中で酸化膜をアニールすることは、O₂と水蒸気H₂Oの両方を含んでいる雰囲気中で酸化膜をアニールすることを指している。ドライ酸化膜成長とウェット酸化膜アニールの間に不活性雰囲気中で更なるアニールを行ってもよい。ドライ酸素中の酸化膜成長は、例えば、石英管中で、約1,200までの温度で、ドライ酸素雰囲気中で、少なくとも約2.5時間行えればよい。ドライ酸化膜成長は厚い酸化膜層を所望の厚さに成長させるために行われる。ドライ酸化膜成長の温度は酸化膜の成長速度に影響する。例えば、処理温度が高いと酸化膜成長速度が大きくなる。最高成長温度は用いるシステムに依存する。

【0034】

いくつかの実施形態では、ドライ酸素雰囲気中の酸化膜成長は約1,200の温度で、ドライ酸素雰囲気中で、約2.5時間行われる。その結果できる酸化膜層を約1,200迄の温度で、不活性雰囲気中でアニールする。特定の実施形態では、出来上がる酸化膜層を約1,175の温度でAr雰囲気中で約1時間アニールする。ウェット酸素雰囲気中の酸化膜アニール(ReOx)は約950またはそれ以下の温度で少なくとも約1時間行われる。ウェット酸素中のアニールの温度は、SiC/SiO₂界面で更なる酸化膜の成長を抑制するために制限される。この酸化膜成長は更なる界面準位の導入を招くであろう。特定の実施形態では、ウェット酸素中のアニールはウェット酸素中で、約950の温度で、約3時間行われる。出来上がる制御用酸化膜層18は約500の厚さを持つ。

【0035】

ゲート電極20が制御用酸化膜層18上に形成される。ゲート電極20は、例えば、ホウ素ドープのポリシリコンおよび/または蒸着されたアルミニウムを含んでもよい。ホウ素ドープのポリシリコンはデバイスの閾値電圧を所望のレベルに調整する助けとして用いられる。n型不純物を含む他の不純物をドープしたポリシリコンもゲート電極20として用いてよい。いくつかの実施形態では、工程の熱量が関心事になる場合がある。そのような場合は、蒸着されたアルミニウムが熱量を低下させるのに役立つ。ニッケルのソース/ドレイン電極22、24がソース/ドレイン領域16上に形成される。特定の実施形態では、n⁺ソース/ドレイン領域16上に形成されたニッケル電極22、24はアニールをしなくてもオーミック特性を示す。

【0036】

図2に、本発明のいくつかの実施形態による縦型、電力用MOSFET30を示す。縦型炭化珪素MOSFETは一般に単位セルで繰り返される。図示が簡単なため、単一の単位セル縦型MOSFETのみを描画している。

【0037】

図2に見られるように、本発明の実施形態によるMOSFET30はn⁺単結晶炭化珪素基板32を含んでいる。n-炭化珪素ドリフト層34が基板32の第一面上に備えられる。ドリフト層34のドーピングと厚さはデバイスの所望の遮断電圧を考慮に入れて決められる。例えば、高電圧デバイスでは、ドリフト層34は約5μmから約100μmの範囲の厚さと約8×10¹⁵cm⁻³から1×10¹⁶cm⁻³の範囲のドーピング濃度を持ってよい。第1および第2のイオン注入されたp型井戸36がn-層34内に形成される。p型

10

20

30

40

50

井戸 3 6 はアルミニウムのイオン注入を用いて形成される。その結果、ドーパント濃度は $1 \times 10^{17} \text{ c m}^{-3}$ から $1 \times 10^{19} \text{ c m}^{-3}$ の範囲になる。特定の実施形態では、p 型井戸 3 6 は約 $1 \times 10^{18} \text{ c m}^{-3}$ のドーパント濃度を持つ。p⁺炭化珪素のイオン注入された電極領域 3 8 が p 型井戸 3 6 内に備えられる。イオン注入された電極領域 3 8 は、例えば、ホウ素および / またはアルミニウムのようなアクセプタライオンを注入することによって形成され、約 $1 \times 10^{20} \text{ c m}^{-3}$ のドーパント密度を持つ領域 3 8 が作られる。特定の実施形態では、SiC 中ではアルミニウムの拡散係数が小さいので、イオン注入されたアルミニウムは電極領域 3 8 にはより適している。

【 0 0 3 8 】

第 1 と第 2 の n⁺ソース領域 4 0 が電極領域 3 8 に隣接して p 型井戸 3 6 内に備えられる。イオン注入されたソース領域 4 0 は、例えば、約 $1 \times 10^{19} \text{ c m}^{-3}$ 或はそれ以上のドーパント濃度を持つ領域 4 0 を作製するためにドナーイオンを注入することによって形成される。

【 0 0 3 9 】

n 型炭化珪素 J F E T 領域 4 1 は n⁺ソース領域 4 0 に隣接している。J F E T 領域 4 1 は p 型井戸 3 6 内のチャネル領域 4 3 によってソース領域 4 0 からは隔てられている。n - 層 3 4 まで伸びている J F E T 領域 4 1 はドリフト層 3 4 と同程度のドーパント濃度を持っていてもよい。しかしながら、いくつかの実施形態では、J F E T 領域 4 1 はドリフト層 3 4 よりも高いドーパント濃度を持つように n 型不純物でイオン注入されていてもよい。たとえば、J F E T 領域 4 1 は約 $1 \times 10^{16} \text{ c m}^{-3}$ から約 $1 \times 10^{17} \text{ c m}^{-3}$ までの範囲のドーパント濃度を持つようにドナーイオンで注入されてもよい。実際に選ばれるドーパント濃度はデバイスの所望の動作特性に依存する。

【 0 0 4 0 】

SiO₂ のような適当な誘電体材料の制御用酸化膜層 4 2 は J F E T 領域 4 1 とチャネル領域 4 3 の上を n⁺ソース領域 4 0 迄伸びている。制御用酸化膜層 4 2 は約 500 から約 800 までの範囲の厚さを持っていてよい。特定の実施形態では、約 500 の厚さを持っている。

【 0 0 4 1 】

ゲート電極 4 6 は制御用酸化膜層 4 2 上でチャネル領域 4 3 の反対側に備えられる。ソース電極 4 4 は n⁺ソース領域 4 0 上に形成される。ソース電極 4 4 はまた p⁺電極領域 3 8 上に形成されて n⁺ソース領域を p - 井戸領域 3 6 へ短絡する。p - 井戸領域 3 6 はソース領域 4 0 、井戸領域 3 6 およびドリフト層 3 4 で形成される寄生 n p n トランジスタがオンになるのを低減および / または防ぐために比較的高濃度にドープされる。例えば、p - 井戸領域 3 6 は約 $1 \times 10^{15} \text{ c m}^{-3}$ から約 $1 \times 10^{18} \text{ c m}^{-3}$ またはそれ以上の範囲のドーパント濃度を持ってよい。ドレイン電極 4 8 は基板 3 2 の p 型井戸 3 6 の反対側の面上に設けられる。ドレイン電極 4 8 は例えばニッケルを用いて形成される。

【 0 0 4 2 】

いくつかの実施形態では、図 1 のデバイス 1 0 の熱的に成長した制御用酸化膜層 1 8 および / または図 2 のデバイス 3 0 の熱的に成長した制御用酸化膜層 4 2 は酸化窒素 (NO) 霧囲気中で約 1,175 以上の温度でアニールされる。いくつかの実施形態では、制御用酸化膜層 1 8 、 4 2 は NO 中で、約 1,175 以上の温度で、かつ該酸化膜が物理的に分解を始める温度、それは例えば約 1,500 と約 1,600 またはそれ以上の範囲の温度であるが、この温度以下でアニールされる。いくつかの実施形態では、制御用酸化膜層 1 8 、 4 2 は NO 中で、約 1,200 から約 1,500 の範囲の温度でアニールされてもよい。特定の実施形態では、制御用酸化膜層 1 8 、 4 2 は NO 中で約 1,300 の温度でアニールされてもよい。アニール時間は選択されたアニール温度に依存する。例えば、1,300 アニールの場合、アニール時間は約 2 時間である。

【 0 0 4 3 】

いくつかの実施形態では、特許文献 4 に記載されているようにアルミナの存在下でデバイス 1 0 、 3 0 のチャネル領域を酸化することによって制御用酸化膜層 1 8 、 4 2 中に金

10

20

30

40

50

属性の不純物を導入する。特許文献4は本出願とともに譲渡されたものであり、その開示事項は参照することによってここに全体として取り込まれているものとする。特定の実施形態では、酸化すべきウェーハに隣接してアルミナ円盤を搭載することによって酸化用チャンバー内にアルミナを備えている。いくつかの実施形態では、アニールシステム内に存在する唯一のアルミナはこのアルミナ円盤である。システム内のアルミナをアルミナ円盤に制限することによって、酸化速度を制御および/または制限することが出来る。

【0044】

特定の実施形態では、酸化されるべきSiC基板の近傍に99.8%の純度のアルミナ円盤を置くことによってMEO酸化工程が行われる。これを達成する1つの方法はアニール管の中にウェーハに平行に隣接してアルミナ円盤を搭載することである。アルミナ円盤に接近しているSiC基板の領域が酸化が促進されることが示される。

10

【0045】

縦型MOSFET構造は、特許文献5に記述されているように、エピタキシャルp型層を用いて形成することも出来る。特許文献5の開示事項は参照することによってここに全体が取り込まれているものとする。

【0046】

実験の結果

以下の実験結果は、例として提供するものであり、本発明を限定するものと見てはいけない。n-チャネル横型MOSFETは8°の軸ずれを持つ(0001)面、導電性4H-P基板上に成長した厚さ5μm、濃度 $5 \times 10^{15} \text{ cm}^{-3}$ のp型エピタキシャル層上にテスト構造として作製された。ソース/ドレイン領域を形成するために燐をイオン注入した。デバイス(すなわちイオン注入されたチャンネルを持つデバイス)の半分をDMOSFETのp-井戸領域に類似させるために、アルミニウムを高ドーズ($1 \times 10^{18} \text{ cm}^{-3}$ 箱型分布)でイオン注入した。注入領域はAr雰囲気中、Siの加圧下で約5分から約1時間の間、1,650でのアニールによって活性化した。注入領域を活性化した後、エピタキシャル層の表面を改良するために犠牲酸化を行ってもよい。さらに、フィールド酸化膜を成長してデバイスの活性領域を露出させるようにパターン化してもよい。フィールド酸化膜の成長はデバイスの活性領域上に犠牲熱酸化膜を導入してもよい。

20

【0047】

次に0.5μm厚の酸化膜層をフィールド酸化膜として成膜してパターン化した。或るウェーハでは、500厚の制御用酸化膜層を1,200でドライ酸素中で成長させ、その後、950のウェット再酸化(ReOx)工程を行った(ここではこのウェーハをReOxウェーハと呼ぶことにする。)。或るウェーハは、約600から約900の範囲の厚さ t_{ox} を持つ制御用酸化膜層を形成するために、金属性不純物の存在する中で熱酸化を行った(これをMEOウェーハと呼ぶことにする。)。或るウェーハでは、上記の再酸化工程と、引き続くその場アニールを用いて制御用酸化膜層を成長させた。このその場アニールは、化学気相成膜法によって成膜した高品質炭化珪素を被覆した炭化珪素管内で、NO雰囲気中、1,300で行った(ここではこれをNOウェーハと呼ぶことにする。)。

30

【0048】

MEOウェーハを形成するためには、酸化すべき複数枚のSiCウェーハをSiCの「へら」上のSiCポートの中に置いた。純度99.8%のアルミナ円盤を各ポート間に垂直に、ポート内の円盤に平行に搭載した。ポート、SiCウェーハおよびアルミナ円盤を含む「へら」をN₂とO₂が流れている中で800の装填温度でSiCアニール管内へ挿入した。アニール管内の温度を1,000迄上昇させて、SiCウェーハを約6.5時間酸化した。次に、SiCウェーハをN₂雰囲気中で約5.5時間1,000でアニールし、次にアニール管を2時間かけて冷却した。

40

【0049】

ReOxとNOウェーハに対してゲート電極を形成するためにホウ素ドープのポリシリコンを成膜した。一方、熱量を低減し、或は最小にするために、MEOウェーハに対して

50

は蒸着アルミニウムを用いた。ニッケル電極をソース／ドレイン領域上に蒸着とリフトオフ法によって形成した。MEOウェーハでは、電極をオーミックにするために、電極を約500でアニールした。MEOウェーハのアニールはアルミニウムゲートを保護するために500に制限される。NOウェーハに対しては、電極をより高い温度（たとえば約825）でアニールしてもよい。一緒にn型ウェーハも酸化し、金属膜を設けて比較目的のnMOSキャバシタを形成した。チャンネル抵抗が支配的になって電界効果移動度の抽出と容量-電圧(C-V)特性の測定を容易にするために、横型MOSFETは400 $\mu\text{m} \times 400\mu\text{m}$ のチャンネル寸法で形成した。

【0050】

デバイスの電界効果移動度の測定はソース電極とウェーハの裏面を接地して、ドレイン電極に50mVという一定電圧を印加して行われた。ゲート電圧を掃印して I_{ds} - V_G 曲線を求めた。そこで、抽出されたデータから移動度の値を計算した。

【0051】

図3A-3CはそれぞれReOx、NOおよびMEOウェーハに対してのnMOSのC-V測定値と理論的C-V曲線を示す。理想的なC-Vは金属-半導体仕事関数差(ϕ_{MS})と実効固定電荷密度(Q_F)を考慮に入れて定式化したものである。ReOxとMEOの試料はそれぞれ $-1.6 \times 10^{12} \text{ cm}^{-2}$ と $-6.5 \times 10^{11} \text{ cm}^{-2}$ という負の値の Q_F を持ち、そのことは、測定の掃印中に占有率を変えることのない負電荷のミッドギャップ準位が高濃度に存在することを示すものである。これに反して、NO試料は $8.3 \times 10^{11} \text{ cm}^{-2}$ という正の値の Q_F を有する。図3Aに示すように、ReOx試料は E_c 近くの界面トラップ準位によるフラットバンドから蓄積側へ大きな伸び（ストレッチ・アウト）も示している。NO試料（図3B）は顕著に改良されて、少しだけの伸びに留まり、一方、MEO試料（図3C）のC-V曲線は実際的に理論曲線に一致している。

【0052】

図4はMEO、NOおよびReOxウェーハによるMOSFETデバイスに対する、伝導帯から測定したエネルギー準位に対する界面状態密度(D_{IT})のグラフである。図4に示す室温ACコンダクタンス測定結果は(E_c の下0.2eVまでの)測定可能なエネルギー範囲でNOおよびMEOウェーハとも比較的低い界面準位密度(D_{IT})を示している。C-V曲線とコンダクタンス測定結果の間のこの明らかな矛盾は、伝導帯エッジに近づくにつれてNOのトラップ分布がMEOの分布よりも急速に増加するならば解消することになるであろう。

【0053】

MEO工程では酸化速度の増大が観測された。しかしながら、許容範囲である600~900の範囲の厚さのゲート酸化膜を作製するためには、この効果は制御できる。MEOの酸化速度は、ウェーハをアルミナに晒すのを制限／制御することによって制御／低減できるものと現在は信じられている。例えば、上記したように、酸化工程中に存在するアルミナは酸化されるべきSiCウェーハの近くに配置されたアルミナ円盤のみに限定された。

【0054】

図5はエピタキシャル成長のチャネル（すなわち横型）のMEO、NOおよびReOxウェーハによるMOSFETデバイスに対する室温で測定したチャネル移動度対ゲート電圧のグラフである。MEOとNOウェーハによるMOSFETはどちらも改良されたタン・オン特性を示し、ピーク μ_{CH} はそれぞれ69と49 cm^2/Vs である。MEOに対するピークチャネル移動度 μ_{CH} は非特許文献3にてオラフソン(Olafsson)が報告している値のほぼ50%である。しかしながら、MEOウェーハによる横型MOSFETデバイスに対して色々な温度で測定したチャネル移動度対ゲート電圧のグラフである図6に示すように、MEOデバイスの低電界移動度は150の測定温度で160 cm^2/Vs にまで増加し、これは熱サイクルの後にオラフソンが観測した33%の非可逆的移動度低下と対比すべきものである。（図6に示した高温測定の後で）室温でMEOウェーハによるMOSFETを再測定した結果は、元の室温曲線と同形を示したが、数ボルトシフ

10

20

30

40

50

トした。これは多分可動イオンの動きによるものであろう。

【0055】

NOウェーハに対するピークチャネル移動度 μ_{CH} は上記のチュン (Chung) が報告している値の 67% 増を示す。図 7 に示すように、ターン・オン特性はイオン注入されたチャネルを持つ MOSFET では少しだけ減少するが、 $1 \times 10^{18} \text{ cm}^{-3}$ の Al の注入にもかかわらず、MEO と NO に対してそれぞれ 48 と $34 \text{ cm}^2/\text{Vs}$ という印象的ともいえるピークチャネル移動度 μ_{CH} を示す。

【0056】

オラフソンは ME0 酸化膜の急速熱アニール (RTA) に対する敏感さも報告している。良好な電力用の MOSFET を形成するためには、低抵抗で、電気的に安定で、および / または構造的な完全性のためにオーミック電極を焼結する目的で RTA を用いることが望ましいであろう。MEO の場合は、特定の機構がよくわかってはいないが、その高品質 MOS 界面が高温 RTA に耐え抜いて MOSFET 特性に大きな変化を与えることはなかったことを特記しておこう。

【0057】

ME0 ウェーハによる MOSFET の特性向上に照らして、ME0 酸化膜の研究が行われた。SIMS 解析の結果は、たった 10^{18} cm^{-3} 程度の窒素の濃度が酸化膜中に一様に分布していた。この値は窒素に対する SIMS 検出限界に近く、4H-SiCMOS 界面を有効に窒素でパッシベーションするために必要な 10^{20} cm^{-3} 台半ばの濃度に比べると桁違いに低い。これより、窒化は ME0 ウェーハにおける移動度増大の原因ではないよう 10 に思われる。図 8 に示した SIMS 解析結果は、特許文献 2 に記載されているように高濃度の金属不純物 (Fe と Cr) が存在することを確認するものである。注目すべきは鉄は高濃度で存在するだけでなく、高濃度の鉄が SiO_2 / SiC 界面にまでずっと拡がっていることである。

【0058】

本発明の実施形態によれば、NO と ME0 の工程の両方を用いてよりよい 4H-SiC MOS 界面が得られた。NO アニールはより高温でよりよい結果が得られることが知られている。しかしながら、以前の工程は石英炉管の温度制限のために 1,175 に制限されていた。本発明のいくつかの実施形態では、化学気相成膜法 (CVD) を用いて SiC で被覆された SiC 管内で熱酸化と NO アニールを行うと従来の工程技術の制限を乗り越えて、例えば 1,300 またはそれ以上のプロセス温度を可能にする。その結果、1,175 NO アニールをしのぐ大きな改良をもたらすことになり、或る場合には、 E_c の下 0.2 eV での D_{IT} に関して 50% の低減と、反転層チャネル移動度において 67% の増加である $49 \text{ cm}^2/\text{Vs}$ という値をもたらすことになる。本発明のいくつかの実施形態では、ME0 工程では更によりよい特性をもたらし、室温で $69 \text{ cm}^2/\text{Vs}$ というピークチャネル移動度が 150 では $160 \text{ cm}^2/\text{Vs}$ に増大する。 $1 \times 10^{18} \text{ cm}^{-3}$ の Al を注入したチャネルを持つ ME0 ウェーハによる MOSFET では、移動度はまずまずの値 $48 \text{ cm}^2/\text{Vs}$ である。しかしながら、ME0 工程のいくつかの変形では、閾値電圧に影響を与える、 SiO_2 - SiC 界面での可動電荷を供給することになる望ましからざる汚染をゲート酸化膜から取り除くことが望ましい。

【0059】

(1,300 で、NO 中でのアニール工程を含む) 本発明の実施形態により形成され、 $1 \times 10^{18} \text{ cm}^{-3}$ のチャネルドーピングを有するイオン注入したチャネルを持つ MOSFET デバイスは $35 \text{ cm}^2/\text{Vs}$ のチャネル移動度 μ_{CH} を示した。イオン注入したチャネルを持つデバイスのチャネル移動度は注入損傷のためにエピタキシャルチャネルデバイスよりは低くなるであろうと予想される。

【0060】

図面と明細書において本発明の典型的な実施形態が開示された。専門的な用語が用いられたけれども、それらは一般的で記述目的のためだけに用いられたものであり、限定しようとするために用いられたものではない。本発明の技術範囲は請求項に記述されているも 50

のである。

【0061】

添付図面は、本発明のよりよき理解を提供するために含まれているものであり、本申請書の1部に取り込まれて構成されているが、本発明のある実施形態を示すものである。

【図面の簡単な説明】

【0062】

【図1】本発明のいくつかの実施形態による横型MOSFETの断面図である。

【図2】本発明のいくつかの実施形態によるたて型電力用MOSFETの断面図である。

【図3A】従来技術によって形成されたMOSFETデバイスに対する容量対電圧の測定値と理論値を表す図である。

10

【図3B】本発明のいくつかの実施形態によって形成されたMOSFETデバイスに対する容量対電圧の測定値と理論値を表す図である。

【図3C】本発明のいくつかの実施形態によって形成されたMOSFETデバイスに対する容量対電圧の測定値と理論値を表す図である。

【図4】いくつかの従来技術によって形成されたMOSFETデバイスと、本発明のいくつかの実施形態によって形成されたMOSFETデバイスに対する界面準位密度(D_{IT})と伝導帯からのエネルギー準位の関係を表すグラフである。

【図5】従来技術によって形成されたMOSFETデバイスと、本発明のいくつかの実施形態によって形成された横型MOSFETデバイスに対する室温で測定されたチャネル移動度対ゲート電圧の図である。

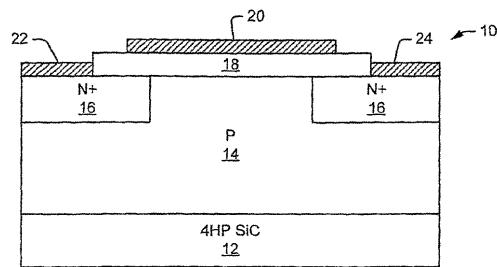
20

【図6】本発明のいくつかの実施形態によって形成された横型MOSFETデバイスに対する色々な温度で測定されたチャネル移動度対ゲート電圧の図である。

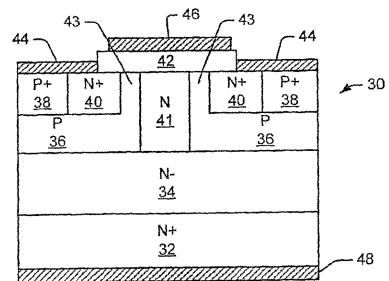
【図7】いくつかの従来技術によって形成されたMOSFETデバイスと、本発明のいくつかの実施形態によって形成された、イオン注入されたチャネルを持つMOSFETデバイスに対する室温で測定されたチャネル移動度対ゲート電圧の図である。

【図8】本発明のいくつかの実施形態によって形成された酸化膜を含むMOS構造のSIMS解析結果を表す図である。

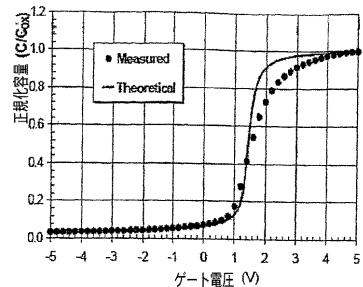
【図1】



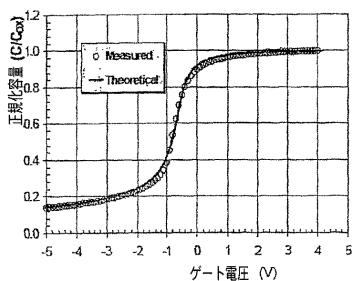
【図2】



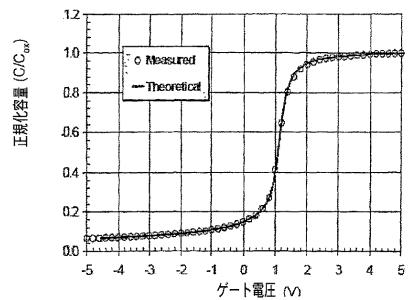
【図3 A】



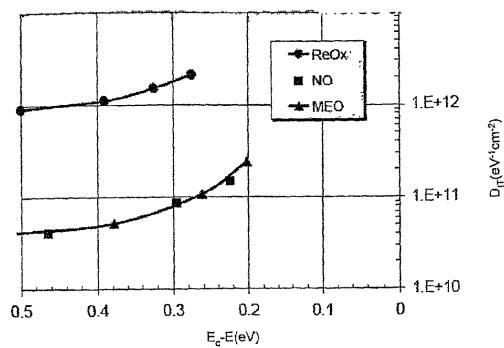
【図3 B】



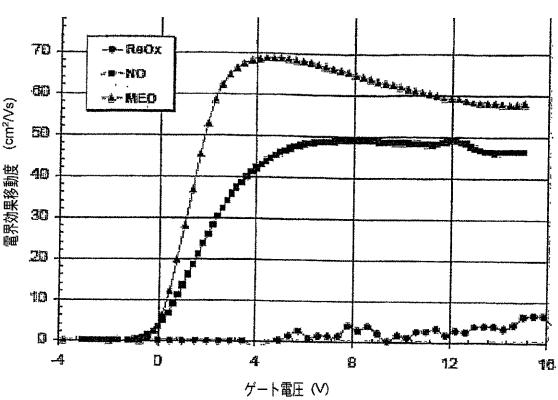
【図3 C】



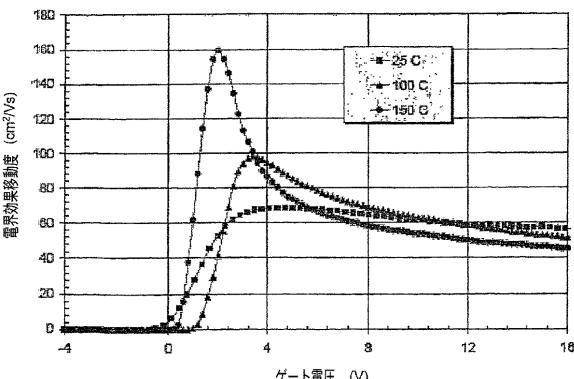
【図4】



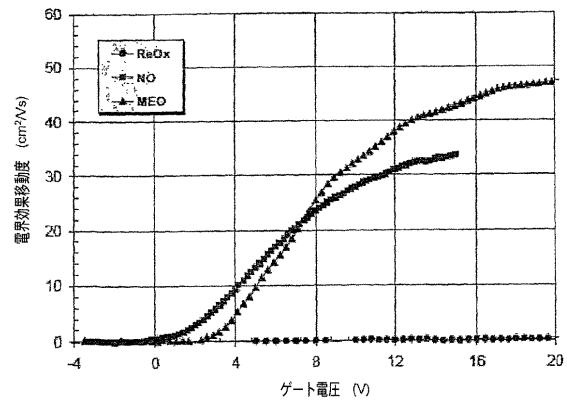
【図5】



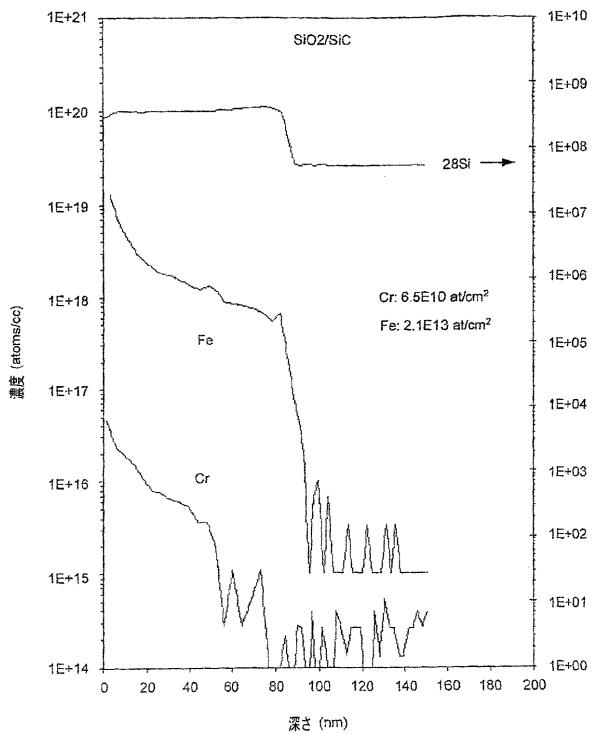
【図6】



【図7】



【図8】



フロントページの続き

(51)Int.Cl.

F I

H 0 1 L 21/316

P

H 0 1 L 21/316

S

(72)発明者 スミ クリシュナスワミ

アメリカ合衆国 27560 ノースカロライナ州 モーリスビル アイ ゴールデン ホースシ
ュー サークル 1800

合議体

審判長 小野田 誠

審判官 加藤 浩一

審判官 松本 貢

(56)参考文献 特開2005-109396 (JP, A)

特開平9-235163 (JP, A)

特開2002-274983 (JP, A)

特開2004-281672 (JP, A)

特表2004-533727 (JP, A)

特開2005-166930 (JP, A)

特表2004-511101 (JP, A)

特開2003-86792 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L29/78

H01L21/336

H01L21/22

H01L21/316