



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I402961B1

(45) 公告日：中華民國 102 (2013) 年 07 月 21 日

(21) 申請案號：098125962

(22) 申請日：中華民國 98 (2009) 年 07 月 31 日

(51) Int. Cl. : **H01L23/60 (2006.01)**

(71) 申請人：國立中山大學 (中華民國) NATIONAL SUN YAT-SEN UNIVERSITY (TW)

高雄市西子灣蓮海路 70 號

(72) 發明人：柯明道 KER, MING DOU (TW)；王暢資 WANG, CHANG TZU (TW)；王朝欽 WANG, CHUA CHIN (TW)

(74) 代理人：蔡東賢

(56) 參考文獻：

US 2007/0205800A1

“ Design of Power-Rail ESD Clamp Circuit With Ultra-Low Standby Leakage Current in Nanoscale CMOS Technology ”, Chang-Tzu Wang and Ming-Dou Ker, IEEE Journal of Solid-State Circuit, Vol. 44, No. 3, MARCH 2009.

審查人員：張添智

申請專利範圍項數：7 項 圖式數：5 共 0 頁

(54) 名稱

用於二倍供應電壓共容之低漏電靜電放電防護電路

ELECTROSTATIC DISCHARGE PROTECTING CIRCUIT WITH ULTRA-LOW STANDBY LEAKAGE CURRENT FOR TWICE SUPPLY VOLTAGE TOLERANCE

(57) 摘要

本發明係關於一種用於二倍供應電壓共容之低漏電靜電放電防護電路，其包括：一基底驅動器、一第三電晶體、一啟動電路、一 RC 電路及一第二電阻。該基底驅動器具有一第一電晶體及一第二電晶體串聯連接。該啟動電路具有一第四電晶體及一第五電晶體，以二極體形式連接。該 RC 電路具有一第一電阻、一第六電晶體及一第七電晶體串聯連接。相較於先前技術，本發明用於二倍供應電壓共容之低漏電靜電放電防護電路具有低閒置漏電流、高靜電放電強健性及無閘極氧化層可靠度之問題，可用於奈米 CMOS 技術中之混合電壓 I/O 緩衝器之靜電放電保護。

The invention relates to an electrostatic discharge protecting circuit with ultra-low standby leakage current for twice supply voltage tolerance. The electrostatic discharge protecting circuit of the invention includes a substrate driver, a third transistor, a start-up circuit, a RC circuit and a second resistor. The substrate driver has a first transistor and a second transistor in serious connection. The start-up circuit has a fourth transistor and a fifth transistor with diode-connected. The RC circuit has a first resistor, a sixth transistor and a seventh transistor in serious connection. Compared with the prior art, the electrostatic discharge protecting circuit with ultra-low standby leakage current for twice supply voltage tolerance of the invention with advantages of low standby leakage current, high ESD robustness, and no gate-oxide reliability issue is an excellent circuit solution for on-chip ESD protection design for mixed-voltage I/O buffers in nanometer CMOS technologies.

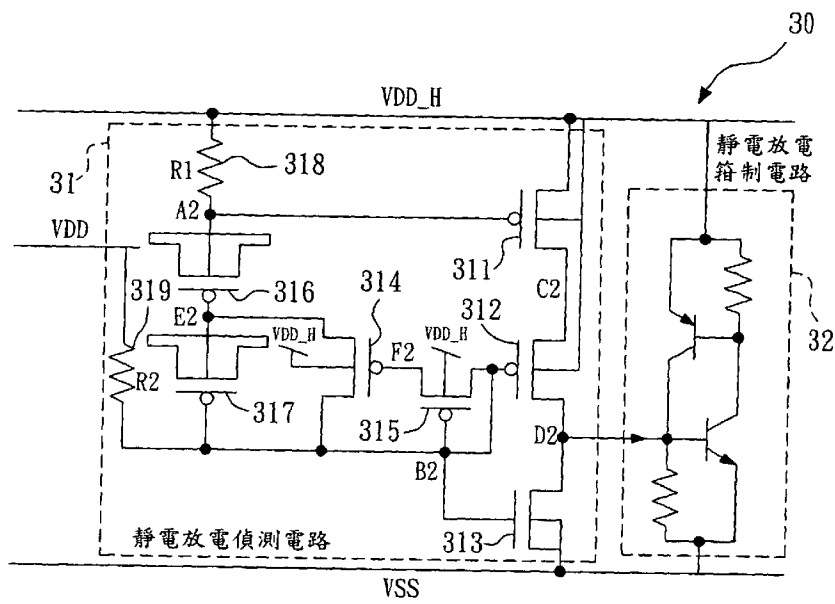


圖 3

30 . . . 本發明之低漏電靜電放電防護電路

31 . . . 靜電放電偵測電路

32 . . . 靜電放電箝制電路

311 . . . 第一電晶體

312 . . . 第二電晶體

313 . . . 第三電晶體

314 . . . 第四電晶體

315 . . . 第五電晶體

316 . . . 第六電晶體

317 . . . 第七電晶體

318 . . . 第一電阻

319 . . . 第二電阻

A2 . . . 第一連接點

B2 . . . 第二連接點

C2 . . . 第五連接點

D2 . . . 觸發節點

E2 . . . 第三連接點

F2 . . . 第四連接點

VDD . . . 一倍電源電壓

VDD_H . . . 二倍電源電壓

VSS . . . 接地

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：98/25962

※ 申請日：98 7 31

※ IPC 分類：H01L 23/60 (2006.01)

一、發明名稱：(中文/英文)

用於二倍供應電壓共容之低漏電靜電放電防護電路

ELECTROSTATIC DISCHARGE PROTECTING CIRCUIT WITH
ULTRA-LOW STANDBY LEAKAGE CURRENT FOR TWICE SUPPLY
VOLTAGE TOLERANCE

二、中文發明摘要：

本發明係關於一種用於二倍供應電壓共容之低漏電靜電放電防護電路，其包括：一基底驅動器、一第三電晶體、一啟動電路、一RC電路及一第二電阻。該基底驅動器具有一第一電晶體及一第二電晶體串聯連接。該啟動電路具有一第四電晶體及一第五電晶體，以二極體形式連接。該RC電路具有一第一電阻、一第六電晶體及一第七電晶體串聯連接。相較於先前技術，本發明用於二倍供應電壓共容之低漏電靜電放電防護電路具有低閒置漏電流、高靜電放電強健性及無閘極氧化層可靠度之問題，可用於奈米CMOS技術中之混合電壓I/O緩衝器之靜電放電保護。

三、英文發明摘要：

The invention relates to an electrostatic discharge protecting circuit with ultra-low standby leakage current for twice supply voltage tolerance. The electrostatic discharge protecting circuit of the invention includes a substrate driver, a third transistor, a start-up circuit, a RC circuit and a second resistor. The substrate driver has a first transistor and a second transistor in serious connection. The start-up circuit has a fourth transistor and a fifth transistor with diode-connected. The RC circuit has a first resistor, a sixth transistor and a seventh transistor in serious connection. Compared with the prior art, the electrostatic discharge protecting circuit with ultra-low standby leakage current for twice supply voltage tolerance of the invention with advantages of low standby leakage current, high ESD robustness, and no gate-oxide reliability issue is an excellent circuit solution for on-chip ESD protection design for mixed-voltage I/O buffers in nanometer CMOS technologies.

四、指定代表圖：

(一)本案指定代表圖為：第(3)圖。

(二)本代表圖之元件符號簡單說明：

| | |
|--------|-----------------|
| 30 | 本發明之低漏電靜電放電防護電路 |
| 31 | 靜電放電偵測電路 |
| 32 | 靜電放電箝制電路 |
| 311 | 第一電晶體 |
| 312 | 第二電晶體 |
| 313 | 第三電晶體 |
| 314 | 第四電晶體 |
| 315 | 第五電晶體 |
| 316 | 第六電晶體 |
| 317 | 第七電晶體 |
| 318 | 第一電阻 |
| 319 | 第二電阻 |
| A2 | 第一連接點 |
| B2 | 第二連接點 |
| C2 | 第五連接點 |
| D2 | 觸發節點 |
| E2 | 第三連接點 |
| F2 | 第四連接點 |
| VDD | 一倍電源電壓 |
| VDD__H | 二倍電源電壓 |
| VSS | 接地 |

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種靜電放電防護電路，詳言之，係關於一種用於二倍供應電壓共容之低漏電靜電放電防護電路。

【先前技術】

由於低功率應用之電源電壓降低，閘極氧化層之厚度降低至奈米級CMOS技術。電路設計快速地降至低VDD電壓準位，例如1 V於65-nm CMOS製程以降低功率消耗。然而，在微電子系統中之其他周邊元件或IC還是操作於高電壓準位。考慮系統之整合，輸入/輸出緩衝器可驅動或接收高電壓訊號以與其他IC溝通。在輸入/輸出介面與這些IC之間具有以下問題：閘極氧化層崩潰(參考先前技術文獻[1]至[3])及漏電流路徑(參考先前技術文獻[4])。

此外，當元件以奈米級CMOS技術實現時會發生一較重要之議題，當一僅2nm之閘極氧化層在0.13 μm CMOS技術內時，由於閘極漏電流，會造成部分之整體漏電流在晶片內(參考先前技術文獻[5])。在45-nm世代及超過45-nm世代，高k金屬閘極技術被應用以降低閘極漏電流(參考先前技術文獻[6]及[7])。然而，在目前使用於無金屬閘極結構之90-nm及65-nm CMOS技術仍具有閘極漏電流之問題。閘極電流已經於BSIM4 MOSFET型式中模式化(參考先前技術文獻[8])，且在製造上也提供奈米CMOS製程之相對應SPICE模組給電路設計者。目前已有文獻報告在先進CMOS製程中如何降低數位電路之閘極漏電流(參考先前技

術文獻[9]及[10])。

對於商業IC產品，必須達到靜電放電之標準以符合產品之品管。對於混合電壓輸入/輸出介面，於正常電路操作條件下，在晶片上之靜電放電保護電路應該符合閘極氧化層可靠度限制及防止不必要之漏電流路徑。許多文獻已經報告混合電壓輸入/輸出介面之靜電放電保護設計，藉由利用額外厚閘極氧化層製程、堆疊MOS規劃或高電壓容忍靜電放電箝制電路以解決閘極氧化層可靠度問題(參考先前技術文獻[11]至[13])。目前僅利用薄閘極氧化層裝置之在晶片上靜電放電匯流排及高電壓容忍靜電放電箝制電路之靜電放電保護設計，已經成功地驗證於0.13 μm CMOS製程(參考先前技術文獻[14])。然而，若這些電路應用至奈米CMOS製程中，習知技術未考慮閘極漏電流之影響。

參考圖1，其顯示習知具有W/L為5 μm /5 μm 及10 μm /10 μm 之65-nm及90-nm CMOS製程之CMOS電容之模擬總閘極電流示意圖。由圖1可知CMOS電容之閘極電流係直接與閘極結構之面積有關，且在65-nm CMOS製程之閘極漏電流問題比在90-nm CMOS製程之閘極漏電流問題嚴重。

參考圖2，其顯示習知技術用於混合電壓輸入/輸出緩衝器之二倍容忍VDD之靜電放電箝制電路示意圖(參考先前技術文獻[14])。依據BSIM4型式，當靜電放電偵測電路21產生漏電流由VDD_H至VDD且經由第一電晶體22時，圖2中之堆疊NMOS 24具有大裝置尺寸。並且，在奈米級CMOS技術中，堆疊NMOS 24之次臨界漏電流(sub-

threshold leakage current) 也是相當大。在正常操作情形下，在靜電放電偵測電路21中，具有大面積閘極氧化層之MOS電容將產生一大閘極電流由節點A1至VDD。因此，該漏電流路徑為由VDD__H經第一電阻211、第三電晶體212及第二電阻213至VDD。如此之閘極電流產生一電壓差於第一電阻211兩端，因此在靜電放電偵測電路21中之第四電晶體214不能被完全關閉。在正常電路操作情形下，對於一個未完全關閉之第四電晶體214，節點D1可能被充電至一電壓準位，而高於VSS，進而提供觸發電流至堆疊NMOS 24之基底。具有小觸發電流之該堆疊NMOS 24可能產生額外之漏電流。當該靜電放電箝制電路20應用至奈米級CMOS技術時，靜電放電偵測電路21及堆疊NMOS 24具有嚴重的漏電流問題。

經由製造商提供65-nm SPICE之模擬，在偏壓VDD__H為1.8 V及VDD為1 V之條件下，具有W/L為320 $\mu\text{m}/0.12 \mu\text{m}$ 之堆疊NMOS 24其漏電流大於1 μA 。在65-nm CMOS製程中在電路正常操作偏壓VDD__H為1.8 V及VDD為1 V之條件下，整體之靜電放電箝制電路將產生一相當大之數微安培漏電流，如此之靜電放電偵測電路21不能使用於低功率應用。

因此，有必要提供一種創新且具進步性的用於二倍供應電壓共容之低漏電靜電放電防護電路，以解決上述問題。

【發明內容】

本發明提供一種用於二倍供應電壓共容之低漏電靜電放

電防護電路，其包括：一基底驅動器、一第三電晶體、一啟動電路、一RC電路及一第二電阻。該基底驅動器具有一第一電晶體及一第二電晶體串聯連接，並連接至二倍供應電壓及一觸發節點之間。該第三電晶體連接至該觸發節點。該啟動電路具有一第四電晶體及一第五電晶體，以二極體形式連接，並連接至該第二電晶體及該第三電晶體。該RC電路具有一第一電阻、一第六電晶體及一第七電晶體串聯連接，並連接至二倍供應電壓及該第三電晶體。該第二電阻連接至一倍供應電壓及該RC電路。

在正常電路操作條件下，本發明用於二倍供應電壓共容之低漏電靜電放電防護電路係利用低電壓元件(一倍供應電壓)以有效地保護混合電壓I/O緩衝器且沒有閘極氧化層可靠度之問題。相較於先前技術，本發明用於二倍供應電壓共容之低漏電靜電放電防護電路具有低閒置漏電流、高靜電放電強健性及無閘極氧化層可靠度之問題，可用於奈米CMOS技術中之混合電壓I/O緩衝器之靜電放電保護。

【實施方式】

參考圖3，其顯示本發明用於二倍供應電壓共容之低漏電靜電放電防護電路之電路示意圖。本發明用於二倍供應電壓共容之低漏電靜電放電防護電路30包括：一基底驅動器、一第三電晶體313、一啟動電路、一RC電路及一第二電阻319。該基底驅動器具有一第一電晶體311及一第二電晶體312串聯連接，並連接至二倍供應電壓VDD_H及一觸發節點D2之間。

該第三電晶體313連接至該觸發節點D2。該啟動電路具有一第四電晶體314及一第五電晶體315，以二極體形式連接，並連接至該第二電晶體312及該第三電晶體313。該RC電路具有一第一電阻318、一第六電晶體316及一第七電晶體317串聯連接，並連接至二倍供應電壓VDD_H及該第三電晶體313。該第二電阻319連接至一倍供應電壓VDD及該RC電路。

在本實施例中，該第一電晶體311及該第二電晶體312為PMOS電晶體，該第三電晶體313為NMOS電晶體，該第四電晶體314及該第五電晶體315為PMOS電晶體。

本發明之低漏電靜電放電防護電路30另包括一第一連接點A2，連接該第一電阻318及該第一電晶體311之閘極。該低漏電靜電放電防護電路30另包括一第二連接點B2，連接該第二電阻319、該第二電晶體312之閘極、該第三電晶體313之閘極、該第五電晶體315之閘極及該第七電晶體317之閘極。

本發明之低漏電靜電放電防護電路30另包括一第三連接點E2，連接該第六電晶體316之閘極、第七電晶體317之基底及該第四電晶體314。本發明之低漏電靜電放電防護電路30另包括一第四連接點F2，連接該第四電晶體314及該第五電晶體315。

該基底驅動器、該第三電晶體313、該啟動電路、該RC電路及該第二電阻319可為一靜電放電偵測電路(ESD Detection Circuit)31。

本發明之低漏電靜電放電防護電路30另包括一靜電放電箝制電路 (Electrostatic discharge (ESD) Clamp Circuit) 32，連接至該觸發節點D2，該靜電放電箝制電路32係為P型基底觸發之矽控整流器(SCR)，具有交互耦合之n-p-n電晶體及p-n-p電晶體(參考先前技術文獻[14])。該靜電放電箝制電路32具有一低維持電壓(holding voltage)以承受一高靜電放電電壓於CMOS製程之一小的矽區域中。並且，該靜電放電箝制電路32不是多閘極結構，故具有良好特性以免除閘極漏電流之問題。

在本實施例中，可以利用1 V薄氧化層裝置操作於1.8 V之二倍電源電壓以實現該低漏電靜電放電防護電路30，且不會有閘極氧化層可靠度之問題。並且，該靜電放電偵測電路31可利用基底觸發機制以改善該靜電放電箝制電路32之開啟速度(turn-on speed)。該靜電放電偵測電路31利用1 V薄氧化層裝置以解決閘極電流及閘極氧化層可靠度之問題。藉由利用閘極電流偏壓該靜電放電偵測電路31及最佳化在MOS電容之閘極之電壓差，在正常電路操作條件下，流經MOS電容之閘極漏電流可降低。在靜電放電偵測電路中由該MOS電容所造成之總漏電流可降至最低。因此，流經該靜電放電偵測電路31及該靜電放電箝制電路32之漏電流可被控制並降至最低。

在本實施例中，在靜電放電事件發生期間，該基底驅動器之該第一電晶體311及該第二電晶體312用以產生一基底觸發電流至該觸發節點D2；但在正常電路操作條件下，該

基底驅動器保持截止。在正常電路操作條件下，第三電晶體313用以使該觸發節點D2保持在VSS，使得該靜電放電箝制電路32保證在截止狀態。

該RC電路之第一電阻318、第六電晶體316及第七電晶體317之RC時間常數，以及第三電晶體313之寄生閘極電容設計於約數微秒(μs)以區別靜電放電事件或正常啟動條件。

第四電晶體314及第五電晶體315，以二極體形式連接，做為一啟動電路具有初始閘極至基底電流(initial gate-to-bulk current)由二倍電源電壓VDD_H至該靜電放電偵測電路31，並傳導第六電晶體316之閘極電流以偏壓該第三連接點E2及該第四連接點F2。在此之後，在第三連接點E2之電壓準位將偏壓於一特定電壓準位，以降低在第六電晶體316之閘極端之電壓差，以降低流經MOS電容之閘極漏電流。

A. 在正常電路操作條件下

在正常電路操作條件下，二倍電源電壓VDD_H為1.8 V、一倍電源電壓VDD為1 V及VSS為接地，該第一電晶體311之閘極電壓(第一連接點A2)偏壓於約1.8 V，因流經該第一電阻318之該第六電晶體316(MOS電容)之閘極電流相當小，使得第一電晶體311保持截止，且無觸發電流產生至該靜電放電箝制電路32。此外，經由該第二電阻(1K Ω)該第二連接點B2偏壓在1 V，以使第三電晶體313導通，並使該靜電放電箝制電路32之觸發節點D2保持在接地。由於

該第一電晶體311保持在截止狀態，沒有電流由二倍電源電壓VDD__H流經該第一電晶體311及第二電晶體312至接地VSS，故第二電晶體312亦保持於截止狀態。

該第二電晶體312之源極至閘極電壓小於1 V PMOS電晶體之臨界電壓，因此，第五連接點C2之電壓保持於1 V及 $(1 V + |V_{tp}|)$ 之間。第三連接點E2偏壓於約1.4 V，第四連接點F2偏壓於第二連接點B2(1 V)及第三連接點E2(1.4 V)間之某一電壓準位。在如此偏壓條件下，在靜電放電偵測電路31內之所有1 V元件在正常電路操作條件下，沒有閘極氧化層可靠度之問題。

參考圖4，其顯示在正常啟動之暫態期間在靜電放電偵測電路中所有連接點之Hspice模擬電壓波形圖。其中，二倍電源電壓VDD__H及一倍電源電壓VDD分別上升至1.8 V及1 V，且具有同步之上升時間為1ms。由圖4可知，在靜電放電偵測電路31中所有元件之閘極至汲極、閘極至源極及閘極至基底間之電壓差不超過製程之限制(1.1 V，對於65-nm CMOS製程中之1 V元件)。因此，在正常電路操作條件下，靜電放電偵測電路31可確保無閘極氧化層可靠度之問題。

B. 在靜電放電暫態事件操作下

當一正的快速暫態靜電放電(ESD)電壓加至二倍電源電壓VDD__H時，相對地VSS接地及VDD浮接，在靜電放電偵測電路31之RC延遲會保持該第一電晶體311之閘極(第一連接點A2)在一相當低電壓準位，相較於在二倍電源電壓

VDD_H快速上升之電壓準位。由於VDD，第二連接點B2之電壓初始值為浮接約0 V，且由於RC延遲慢慢地被充電。相較於該第一電晶體311及該第二電晶體312之源極電壓，該第一電晶體311及該第二電晶體312之初始閘極電壓在相當低電壓準位，藉由靜電放電之能量，該第一電晶體311及該第二電晶體312可被快速地導通，以產生基底觸發電流至該靜電放電箝制電路32之該觸發節點D2。最後，該靜電放電箝制電路32會完全導通至保持狀態使靜電放電電流由二倍電源電壓VDD_H放電至接地VSS。

參考圖5，其顯示在靜電放電暫態期間在靜電放電偵測電路中所有連接點之模擬電壓及基底觸發電流波形圖。其中，具有上升時間為10 ns之0至5 V電壓脈衝加至二倍電源電壓VDD_H，以模擬在人體模式(human-body-model, HBM)靜電放電事件之快速暫態電壓(參考先前技術文獻[16])。在該電壓脈衝中其電壓限制為5 V，在靜電放電偵測電路31中所有連接點之電壓暫態可被模擬以檢查在元件崩潰前，是否達到其功能。由模擬結果顯示，該第一電晶體311及該第二電晶體312之源極至閘極電壓為約1.5 V，其高於該第一電晶體311及該第二電晶體312之臨界電壓；且在靜電放電暫態期間，該第一電晶體311及該第二電晶體312之基底觸發峰值電流高於30mA。利用靜電放電偵測電路31，在靜電放電暫態期間，在元件崩潰前，該靜電放電箝制電路32可被適當的基底觸發電流觸發導通。

本發明用於二倍供應電壓共容之低漏電靜電放電防護電路已經製造實現於65-nm CMOS製程，且該低漏電靜電放電防護電路之所有元件係為1 V之元件。在正常電路操作條件下，本發明用於二倍供應電壓共容之低漏電靜電放電防護電路係利用低電壓元件(一倍供應電壓)以有效地保護混合電壓I/O緩衝器且沒有閘極氧化層可靠度之問題。本發明之靜電放電偵測電路31具有非常小之閒置漏電流，在室溫25°C及1.8 V之偏壓下，其為0.15 μ A，且可有效地降低該靜電放電箝制電路32之觸發電壓。相較於先前技術，本發明用於二倍供應電壓共容之低漏電靜電放電防護電路具有低閒置漏電流、高靜電放電強健性及無閘極氧化層可靠度之問題，可用於奈米CMOS技術中之混合電壓I/O緩衝器之靜電放電保護。

惟上述實施例僅為說明本發明之原理及其功效，而非限制本發明。因此，習於此技術之人士對上述實施例進行修改及變化仍不脫本發明之精神。本發明之權利範圍應如後述之申請專利範圍所列。

先前技術文獻：

- [1]. T. Furukawa, D. Turner, S. Mittl, M. Maloney, R. Serafin, W. Clark, L. Longenbach, and J. Howard, "Accelerated gate-oxide breakdown in mixed-voltage I/O circuits," in *Proc. IEEE Int. Reliability Physics Symp.*, 1997, pp. 169–173.
- [2]. B. Kaczer, R. Degraeve, M. Rasras, K. Van de Mierop, P. J. Roussel, and G. Groeseneken, "Impact of MOSFET gate oxide

- breakdown on digital circuit operation and reliability,” *IEEE Trans. Electron Devices*, vol. 49, no. 3, pp. 500–506, Mar. 2002.
- [3]. Y. Luo, D. Nayak, D. Gitlin, M.-Y. Hao, C.-H. Kao, and C.-H. Wang, “Oxide reliability of drain engineered I/O NMOS from hot carrier injection,” *IEEE Electron Device Lett.*, vol. 24, no. 11, pp. 686–688, Nov. 2003.
- [4]. S. Dabral and T. Maloney, *Basic ESD and I/O Design*, John Wiley & Sons, 1998.
- [5]. L. K. Han, S. Biesemans, J. Heidenreich, K. Houlihan, C. Lin, V. McCahay, T. Schiml, A. Schmidt, U. P. Schroeder, M. Stetter, C. Wann, D. Warner, R. Mahnkopf, and B. Chen, “A modular 0.13 μm bulk CMOS technology for high performance and low power applications”, in *Proc. Symp. VLSI Technol. Dig. Tech. Papers*, 2000, pp. 12-13.
- [6]. Z. Krivokapic, W. Maszara, K. Achutan, P. King, J. Gray, M. Sidorow, E. Zhao, J. Zhang, J. Chan, A. Marathe, and M.-R. Lin, “Nickel silicide metal gate FDSOI devices with improved gate oxide leakage,” in *IEDM Tech. Dig.*, 2002, pp. 271–274.
- [7]. C.-H. Jan, P. Bai, S. Biswas, M. Buehler, Z.-P. Chen, G. Curello, S. Gannavaram, W. Hafez, J. He, J. Hicks, U. Jalan, N. Lazo, J. Lin, N. Lindert, C. Litteken, M. Jones, M. Kang, K. Komeyli, A. Mezhiba, S. Naskar, S. Olson, J. Park, R. Parker, L. Pei, I. Post, N. Pradhan, C. Prasad, M. Prince, J. Rizk, G. Sacks, H. Tashiro, D. Towner, C. Tsai, Y. Wang, L. Yang, J.-Y. Yeh, J. Yip, and K. Mistry, “A 45nm low

- power system-on-chip technology with dual gate (logic and I/O) high-k/metal gate strained silicon transistors,” in *IEDM Tech. Dig.*, 2008, pp. 637–640.
- [8]. *BSIM Model, Berkeley Short-Channel IGFET Model*. [Online]. Available: <http://www-device.eecs.berkeley.edu/~bsim3/bsim4.html>
- [9]. K. Sathyaki and P. Paily, “Leakage reduction by modified stacking and optimum ISO input loading in CMOS devices,” in *Proc. IEEE Int. Conf. on Advanced Computing and Communications*, 2007, pp. 220–225.
- [10]. M. Agarwal, P. Elakkumanan, and R. Sridhar, “Leakage reduction for domino circuits in sub-65-nm technologies,” in *Proc. IEEE Int. SOC Conf.*, 2006, pp. 164–167.
- [11]. M.-D. Ker and K.-H. Lin, “Overview on electrostatic discharge protection designs for mixed-voltage I/O interfaces: design concept and circuit implementations,” *IEEE Trans. Circuits Syst. I: Regular Papers*, vol. 53, no. 2, pp. 235–246, Feb. 2006.
- [12]. M.-D. Ker and C.-T. Wang, “ESD protection design by using only $1\times VDD$ low-voltage devices for mixed-voltage I/O buffers with $3\times VDD$ input tolerance,” in *Proc. IEEE Asian Solid-State Circuits Conf.*, 2006, pp. 287–290.
- [13]. M.-D. Ker, C.-T. Wang, T.-H. Tang, and K.-C. Su, “Design of high-voltage-tolerant power-rail ESD clamp circuit in low-voltage CMOS processes,” in *Proc. of IEEE Int. Reliability Physics Symp.*, 2007, pp. 594–595.

- [14]. M.-D. Ker and W.-J. Chang, "ESD protection design with on-chip ESD bus and high-voltage-tolerant ESD clamp circuit for mixed-voltage IO buffers," *IEEE Trans. Electron Devices*, vol. 55, no. 6, pp. 1409-1416, Jun. 2008.
- [15]. M.-D. Ker and K.-C. Hsu, "Latchup-free ESD protection design with complementary substrate-triggered SCR devices," *IEEE J. Solid-State Circuits*, vol. 38, no. 8, pp. 1380-1392, Aug. 2003.
- [16]. ESD Association Standard Test Method ESD STM5.1-2001, for Electrostatic Discharge Sensitivity Testing – Human Body Model (HBM) – Component Level, 2001.

【圖式簡單說明】

圖1顯示習知具有W/L為5 $\mu\text{m}/5 \mu\text{m}$ 及10 $\mu\text{m}/10 \mu\text{m}$ 之65-nm及90-nm CMOS製程之CMOS電容之模擬總閘極電流示意圖；

圖2顯示習知技術用於混合電壓輸入/輸出緩衝器之二倍容忍VDD之靜電放電箝制電路示意圖；

圖3顯示本發明用於二倍供應電壓共容之低漏電靜電放電防護電路之電路示意圖；

圖4顯示在正常啟動之暫態期間在靜電放電偵測電路中所有連接點之Hspice模擬電壓波形圖；及

圖5顯示在靜電放電暫態期間在靜電放電偵測電路中所有連接點之模擬電壓及基底觸發電流波形圖。

【主要元件符號說明】

20 習知靜電放電箝制電路

| | |
|-----|-----------------|
| 21 | 習知靜電放電偵測電路 |
| 22 | 第一電晶體 |
| 23 | 第二電晶體 |
| 24 | 堆疊NMOS |
| 30 | 本發明之低漏電靜電放電防護電路 |
| 31 | 靜電放電偵測電路 |
| 32 | 靜電放電箝制電路 |
| 211 | 第一電阻 |
| 212 | 第三電晶體 |
| 213 | 第二電阻 |
| 214 | 第四電晶體 |
| 215 | 第五電晶體 |
| 216 | 第六電晶體 |
| 311 | 第一電晶體 |
| 312 | 第二電晶體 |
| 313 | 第三電晶體 |
| 314 | 第四電晶體 |
| 315 | 第五電晶體 |
| 316 | 第六電晶體 |
| 317 | 第七電晶體 |
| 318 | 第一電阻 |
| 319 | 第二電阻 |
| A2 | 第一連接點 |
| B2 | 第二連接點 |

| | |
|--------|--------|
| C2 | 第五連接點 |
| D2 | 觸發節點 |
| E2 | 第三連接點 |
| F2 | 第四連接點 |
| VDD | 一倍電源電壓 |
| VDD__H | 二倍電源電壓 |
| VSS | 接地 |

七、申請專利範圍：

1. 一種用於二倍供應電壓共容之低漏電靜電放電防護電路，包括：
 - 一基底驅動器，具有一第一電晶體及一第二電晶體串聯連接，並連接至二倍供應電壓及一觸發節點之間；
 - 一第三電晶體，連接至該觸發節點；
 - 一啟動電路，具有一第四電晶體及一第五電晶體，以二極體形式連接，並連接至該第二電晶體及該第三電晶體；
 - 一RC電路，具有一第一電阻、一第六電晶體及一第七電晶體串聯連接，並連接至二倍供應電壓及該第三電晶體；及
 - 一第二電阻，連接至一倍供應電壓及該RC電路。
2. 如請求項1之低漏電靜電放電防護電路，另包括一靜電放電箝制電路，連接至該觸發節點，該靜電放電箝制電路係為P型基底觸發之矽控整流器，具有交互耦合之n-p-n電晶體及p-n-p電晶體。
3. 如請求項1之低漏電靜電放電防護電路，其中該第一電晶體及該第二電晶體為PMOS電晶體，該第三電晶體為NMOS電晶體，該第四電晶體及該第五電晶體為PMOS電晶體。
4. 如請求項1之低漏電靜電放電防護電路，另包括一第一連接點，連接該第一電阻及該第一電晶體之閘極。
5. 如請求項1之低漏電靜電放電防護電路，另包括一第二

連接點，連接該第二電阻、該第二電晶體之閘極、該第三電晶體之閘極、該第五電晶體之閘極及該第七電晶體之閘極。

6. 如請求項1之低漏電靜電放電防護電路，另包括一第三連接點，連接該第六電晶體之閘極、第七電晶體之基底及該第四電晶體。
7. 如請求項1之低漏電靜電放電防護電路，另包括一第四連接點，連接該第四電晶體及該第五電晶體。

八、圖式：

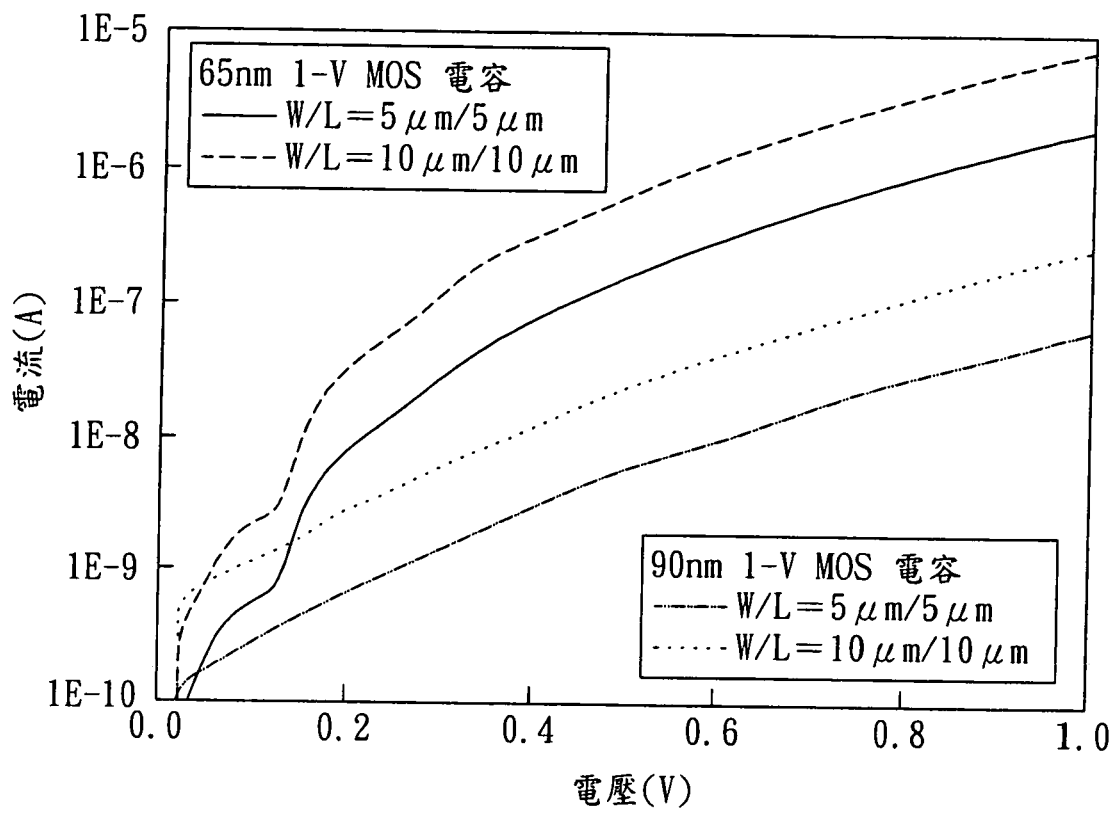


圖 1

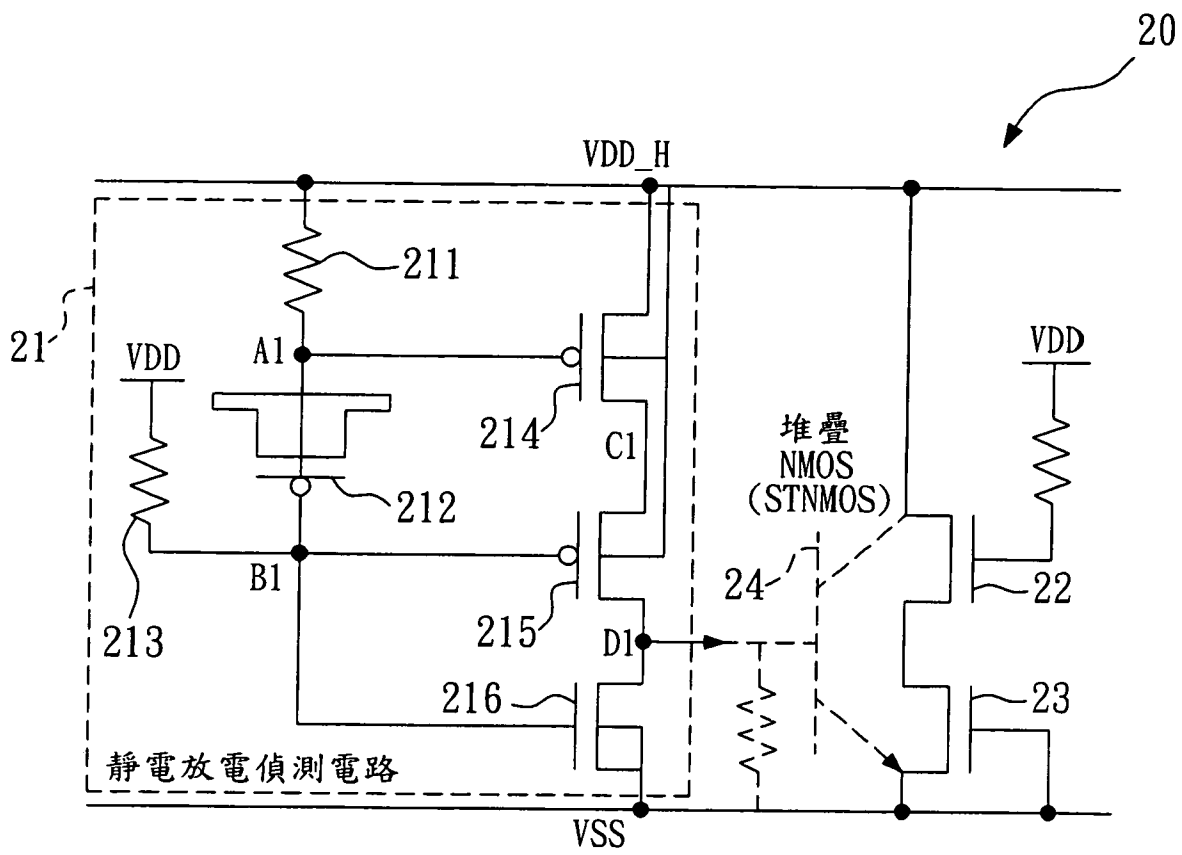


圖 2

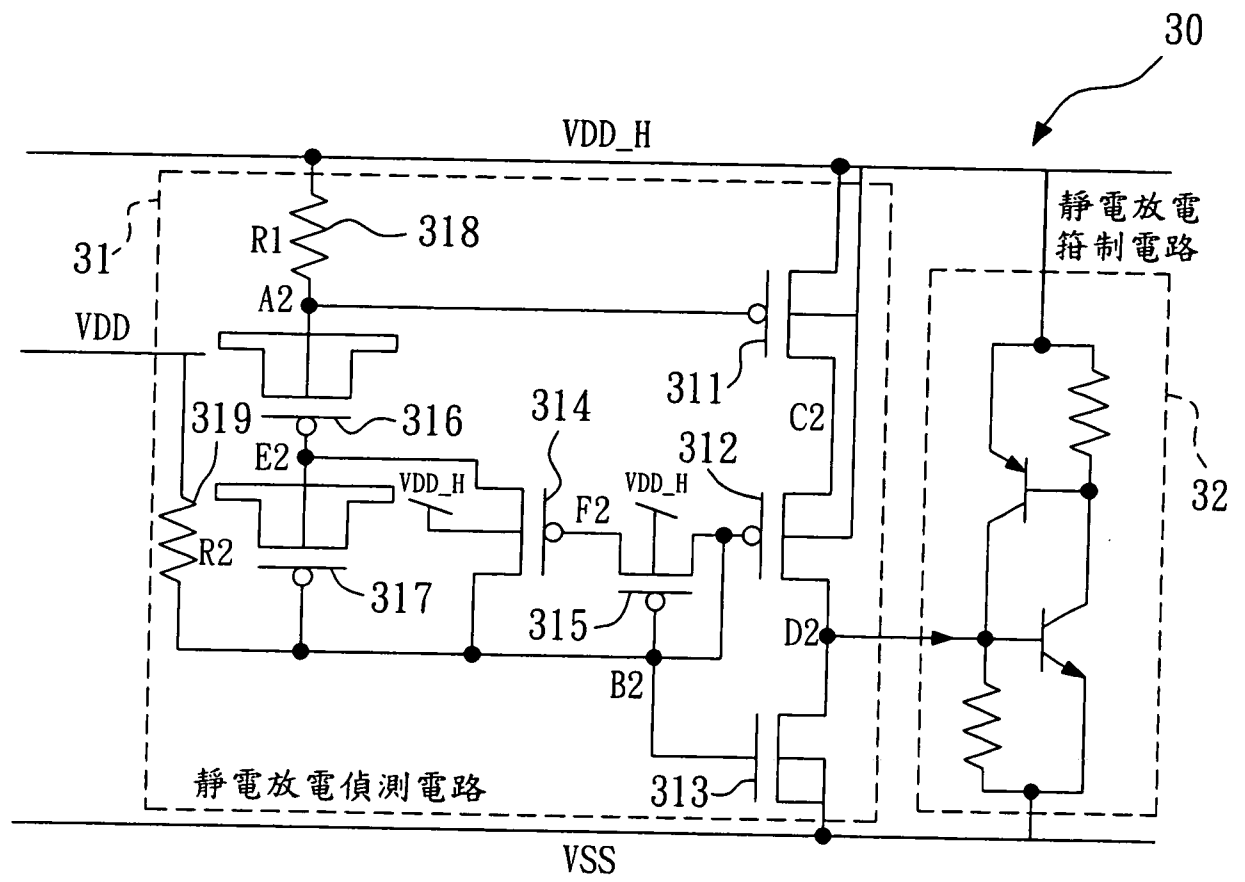


圖 3

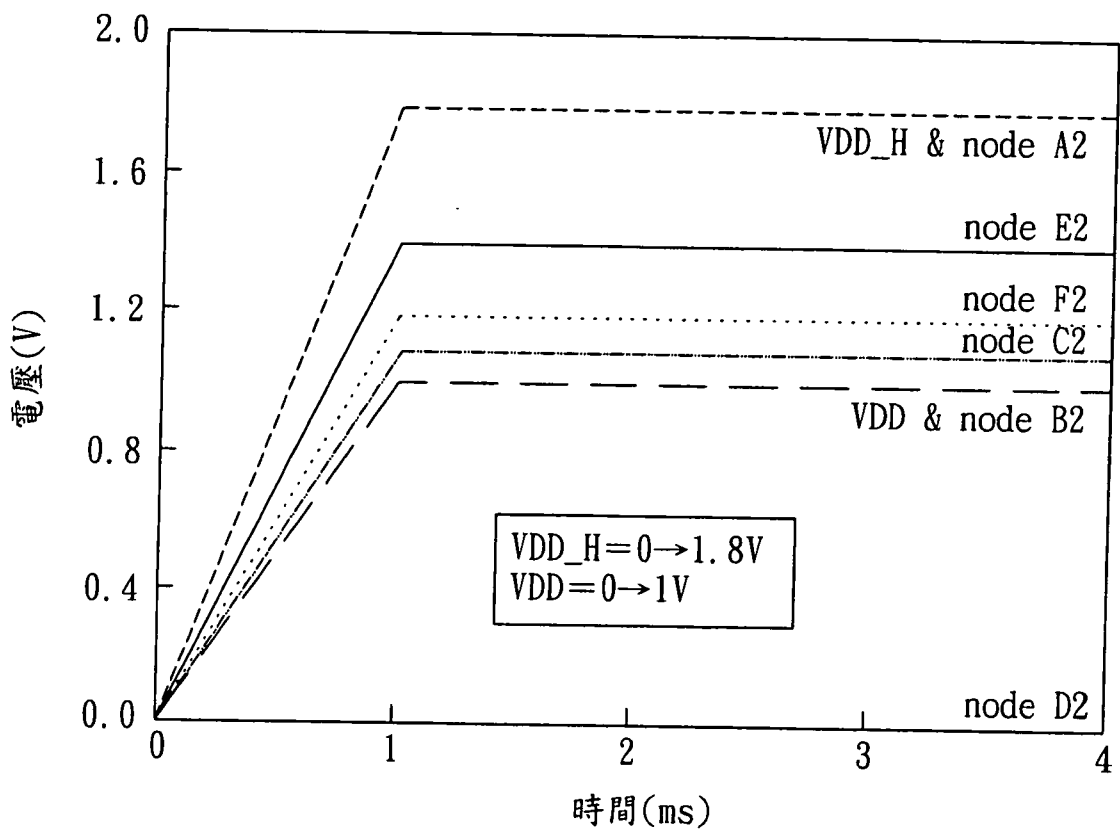


圖 4

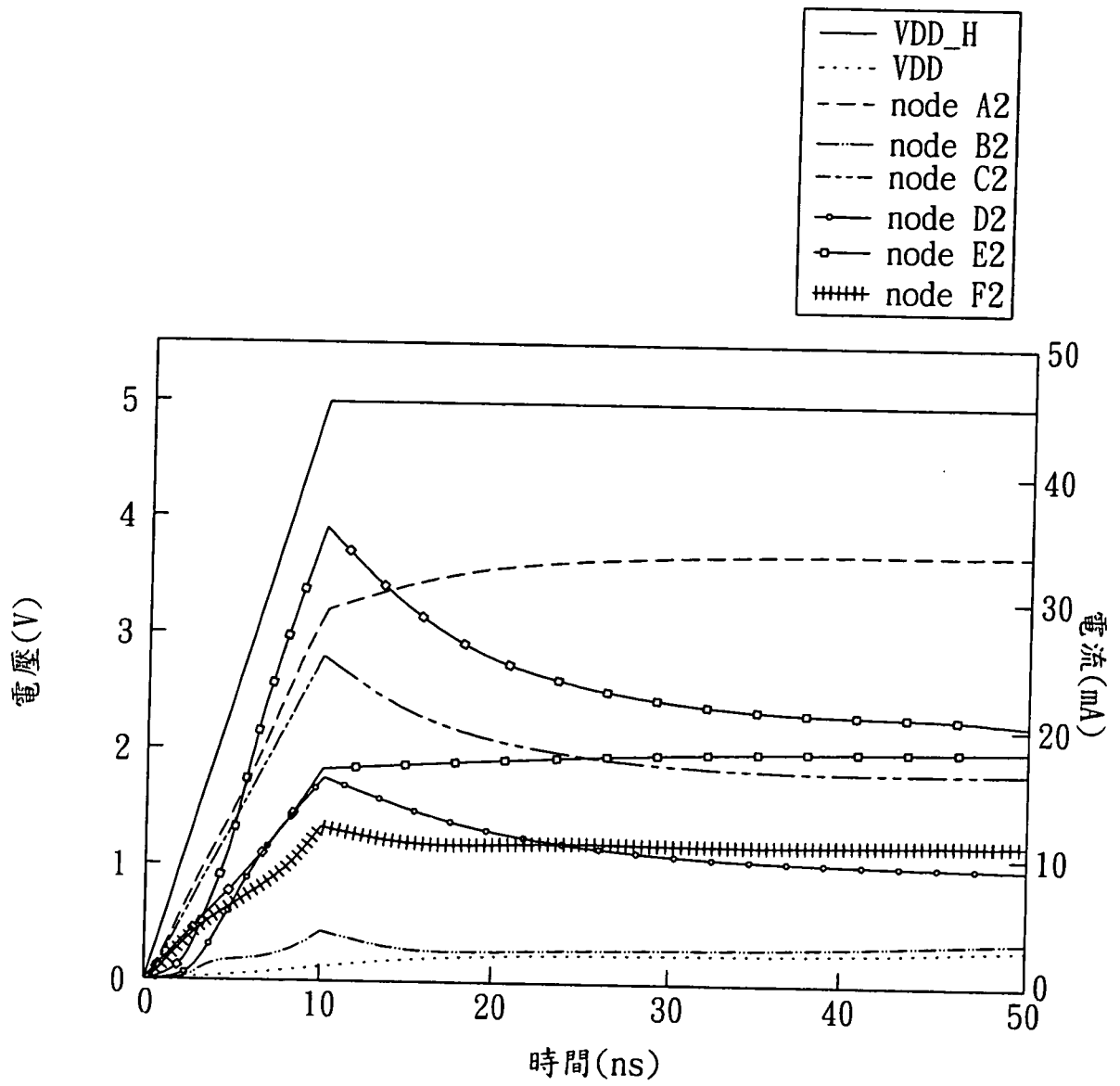


圖 5