

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6607681号
(P6607681)

(45) 発行日 令和1年11月20日(2019.11.20)

(24) 登録日 令和1年11月1日(2019.11.1)

(51) Int.Cl.	F I
HO 1 L 21/8242 (2006.01)	HO 1 L 27/108 3 2 1
HO 1 L 27/108 (2006.01)	HO 1 L 29/78 6 1 3 B
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 8 B
HO 1 L 27/10 (2006.01)	HO 1 L 27/10 4 8 1
HO 1 L 21/8234 (2006.01)	HO 1 L 27/10 4 6 1
請求項の数 1 (全 70 頁) 最終頁に続く	

(21) 出願番号	特願2015-41903 (P2015-41903)	(73) 特許権者	000153878
(22) 出願日	平成27年3月4日(2015.3.4)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2015-181159 (P2015-181159A)		神奈川県厚木市長谷398番地
(43) 公開日	平成27年10月15日(2015.10.15)	(72) 発明者	熱海 知昭
審査請求日	平成30年2月15日(2018.2.15)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2014-45406 (P2014-45406)		半導体エネルギー研究所内
(32) 優先日	平成26年3月7日(2014.3.7)	(72) 発明者	長塚 修平
(33) 優先権主張国・地域又は機関	日本国(JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	森若 圭恵
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	遠藤 佑太
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
			最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

メモリセルを有し、

前記メモリセルは、第1乃至第c(cは2以上の自然数)のサブメモリセルを有し、

第j(jは1からcまでの自然数)のサブメモリセルは、第1のトランジスタ、第2のトランジスタ及び容量素子を有し、

前記第1のトランジスタの第1の半導体層及び前記第2のトランジスタの第2の半導体層は、酸化物半導体を有し、

前記容量素子の端子の一方は、前記第2のトランジスタのゲート電極と電氣的に接続され、

前記第2のトランジスタのゲート電極は、前記第1のトランジスタのソース電極またはドレイン電極の一方と電氣的に接続され、

j 2において、前記第jのサブメモリセルの第2のトランジスタの半導体層と、第(j-1)のサブメモリセルの第1のトランジスタの半導体層は、第1の絶縁膜の上面に接し、

j 2において、前記第jのサブメモリセルの第2のトランジスタのゲート電極と、前記第(j-1)のサブメモリセルの第1のトランジスタのゲート電極は、第2の絶縁膜の下面に接し、

ビット線は、前記第(j-1)のサブメモリセルと電氣的に接続され、且つ前記第jのサブメモリセルと電氣的に接続されている半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、物、方法、または、製造方法に関する。または、本発明は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関する。特に、本発明の一態様は、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、それらの駆動方法、または、それらの製造方法に関する。

【0002】

なお、本明細書等において、半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。トランジスタ、半導体回路は、半導体装置の一態様である。また、演算装置、記憶装置、撮像装置、電気光学装置、発電装置（薄膜太陽電池、有機薄膜太陽電池等を含む）、及び電子機器は半導体装置を有している場合がある。

10

【背景技術】

【0003】

半導体材料を用いてトランジスタを構成する技術が注目されている。該トランジスタは集積回路（IC）や画像表示装置（単に表示装置とも表記する）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体材料としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

【0004】

例えば、酸化物半導体として酸化亜鉛、またはIn-Ga-Zn系酸化物半導体を用いてトランジスタを作製する技術が開示されている（特許文献1及び特許文献2参照）。

20

【0005】

また、近年では電子機器の高性能化、小型化、または軽量化に伴い、微細化されたトランジスタなどの半導体素子を高密度に集積した集積回路の要求が高まっている。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2007-123861号公報

【特許文献2】特開2007-96055号公報

【発明の概要】

30

【発明が解決しようとする課題】

【0007】

本発明の一態様は、微細化に適した半導体装置を提供することを課題の一とする。または、回路面積を縮小した半導体装置を提供することを課題の一とする。または、本発明の一態様は、動作速度を向上した半導体装置を提供することを課題の一とする。または、本発明の一態様は、書き込み速度を向上した半導体装置を提供することを課題の一とする。または、本発明の一態様は、読み出し速度を向上した半導体装置を提供することを課題の一とする。または、本発明の一態様は、消費電力の小さい半導体装置を提供することを課題の一とする。

【0008】

40

または、本発明の一態様は、信頼性の高い半導体装置を提供することを課題の一とする。または、本発明の一態様は、半導体装置に良好な電気特性を付与することを課題の一とする。または、本発明の一態様は、保持特性の良好な記憶素子を有する半導体装置を提供することを課題の一とする。または、本発明の一態様は、新規な構成の半導体装置を提供することを課題の一とする。または、新規な半導体装置を提供することを課題の一とする。

【0009】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、

50

図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

【課題を解決するための手段】

【0010】

本発明の一態様は、第1乃至第 c (c は2以上の自然数)のサブメモリセルを有するメモリセルを有し、第 j (j は1から c までの自然数)のサブメモリセルは、第1のトランジスタ、第2のトランジスタ及び容量素子を有し、第1のトランジスタが有する第1の半導体層及び第2のトランジスタが有する第2の半導体層は、酸化物半導体を有し、容量素子の端子の一方は、第2のトランジスタが有するゲート電極と電氣的に接続し、第2のトランジスタが有するゲート電極は、第1のトランジスタが有するソース電極またはドレイン電極のいずれか一方と電氣的に接続し、 $j = 2$ において第 j のサブメモリセルは、第 $j - 1$ のサブメモリ上に配置する半導体装置である。

10

【0011】

または、本発明の一態様は、第1乃至第 c (c は2以上の自然数)のサブメモリセルを有するメモリセルを有し、第 j (j は1から c までの自然数)のサブメモリセルは、第1のトランジスタ、第2のトランジスタ及び容量素子を有し、第1のトランジスタが有する第1の半導体層及び第2のトランジスタが有する第2の半導体層は、酸化物半導体を有し、容量素子の端子の一方は、第2のトランジスタが有するゲート電極と電氣的に接続し、第2のトランジスタが有するゲート電極は、第1のトランジスタが有するソース電極またはドレイン電極のいずれか一方と電氣的に接続し、 $j = 2$ において、第 j のサブメモリセルが有する第2のトランジスタ T_{b_j} が有する半導体層と、第 $(j - 1)$ のサブメモリセルが有する第1のトランジスタ $T_{a_ (j - 1)}$ が有する半導体層は、第1の絶縁膜の上面に接し、 $j = 2$ において、第 j のサブメモリセルが有する第2のトランジスタ T_{b_j} が有するゲート電極と、第 $(j - 1)$ のサブメモリセルが有する第1のトランジスタ $T_{a_ (j - 1)}$ が有するゲート電極は、第2の絶縁膜の下面に接する半導体装置である。

20

【0012】

または、本発明の一態様は、第1乃至第 c (c は2以上の自然数)のサブメモリセルを有するメモリセルを有し、第 j (j は1から c までの自然数)のサブメモリセルは、第1のトランジスタ、第2のトランジスタ及び容量素子を有し、 $j = 2$ において第 j のサブメモリセルは、第 $j - 1$ のサブメモリ上に配置し、第1のトランジスタが有する第1の半導体層及び第2のトランジスタが有する第2の半導体層は、酸化物半導体を有し、第1のサブメモリセルが有する第1のトランジスタが有する半導体層または第2のトランジスタが有する半導体層のいずれかと、第3のトランジスタが有する半導体層は、第1の絶縁膜上に接し、第 c のサブメモリセルが有する第1のトランジスタが有する半導体層または第 c のサブメモリセルが有する第2のトランジスタが有する半導体層のいずれかと、第4のトランジスタの半導体層は、第2の絶縁膜上に形成される半導体装置である。

30

【0013】

また、上記構成において、第 j (j は1から c までの自然数)のサブメモリセルが有する第1のトランジスタが有する第1の半導体層と、第 j のサブメモリセルが有する第2のトランジスタが有する第2の半導体層は、 I_n と、 M で表される元素と、 Z_n を有する酸化物半導体を有し、第1の半導体層が有する酸化物半導体の I_n 、 M 、 Z_n の原子数の比は $I_n : M : Z_n = g : h : i$ を満たし、第2の半導体層が有する酸化物半導体の I_n 、 M 、 Z_n の原子数の比は $I_n : M : Z_n = d : e : f$ を満たし、 $g / (g + h + i)$ は、 $d / (d + e + f)$ よりも小さいことが好ましい。

40

【発明の効果】

【0014】

本発明の一態様により、微細化に適した半導体装置を提供することができる。また、回路面積を縮小した半導体装置を提供することができる。また、本発明の一態様により、動作速度を向上した半導体装置を提供することができる。また、本発明の一態様により、書き込み速度を向上した半導体装置を提供することができる。また、本発明の一態様により、読み出し速度を向上した半導体装置を提供することができる。また、本発明の一態様に

50

より、消費電力の小さい半導体装置を提供することができる。

【0015】

また、本発明の一態様により、信頼性の高い半導体装置を提供することができる。また、本発明の一態様により、半導体装置に良好な電気特性を付与することができる。また、本発明の一態様により、保持特性の良好な記憶素子を有する半導体装置を提供することができる。また、本発明の一態様により、新規な構成の半導体装置を提供することができる。また、新規な半導体装置を提供することができる。

【0016】

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

【図面の簡単な説明】

【0017】

【図1】本発明の一態様に係る半導体装置の一例及び回路図を示す図。

【図2】本発明の一態様に係るブロック図。

【図3】本発明の一態様に係る回路のタイミングチャートを示す図。

【図4】本発明の一態様に係る回路図。

【図5】本発明の一態様に係る回路図。

【図6】本発明の一態様に係る半導体装置の一例を示す図。

【図7】本発明の一態様に係る半導体装置の一例を示す図。

【図8】本発明の一態様に係る半導体装置の一例を示す図。

【図9】本発明の一態様に係る半導体装置の一例を示す図。

【図10】本発明の一態様に係る半導体装置の一例を示す図。

【図11】本発明の一態様に係る半導体装置の一例を示す図。

【図12】本発明の一態様に係る半導体装置の一例を示す図。

【図13】本発明の一態様に係る半導体装置の作製方法を示す図。

【図14】本発明の一態様に係る半導体装置の作製方法を示す図。

【図15】本発明の一態様に係る半導体装置の作製方法を示す図。

【図16】本発明の一態様に係る半導体装置の作製方法を示す図。

【図17】トランジスタの一例を示す図。

【図18】本発明の一態様に係る半導体装置の一例を示す図。

【図19】本発明の一態様に係る半導体装置の一例を示す図。

【図20】CAAC-OSの断面におけるCs補正高分解能TEM像、およびCAAC-OSの断面模式図。

【図21】CAAC-OSの平面におけるCs補正高分解能TEM像。

【図22】CAAC-OSおよび単結晶酸化物半導体のXRDによる構造解析を説明する図。

【図23】CAAC-OSの電子回折パターンを示す図。

【図24】In-Ga-Zn酸化物の電子照射による結晶部の変化を示す図。

【図25】本発明の一態様に係るトランジスタの一部のバンド構造を示す図および導通時の電流の経路を説明する図。

【図26】実施の形態に係る、回路図。

【図27】実施の形態に係る、RFタグの構成例。

【図28】実施の形態に係る、CPUの構成例。

【図29】実施の形態に係る、記憶素子の回路図。

【図30】実施の形態に係る、電子機器。

【図31】実施の形態に係る、RFタグの使用例。

【発明を実施するための形態】

【0018】

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0019】

なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。また、同様の機能を指す場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。

【0020】

なお、本明細書で説明する各図において、各構成の大きさ、層の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。

10

【0021】

なお、本明細書等における「第1」、「第2」等の序数詞は、構成要素の混同を避けるために付すものであり、数的に限定するものではない。

【0022】

なお、「半導体」と表記した場合でも、例えば、導電性が十分低い場合は「絶縁体」としての特性を有する場合がある。また、「半導体」と「絶縁体」は境界が曖昧であり、厳密に区別できない場合がある。したがって、本明細書に記載の「半導体」は、「絶縁体」と言い換えることができる場合がある。同様に、本明細書に記載の「絶縁体」は、「半導体」と言い換えることができる場合がある。

20

【0023】

また、「半導体」と表記した場合でも、例えば、導電性が十分高い場合は「導電体」としての特性を有する場合がある。また、「半導体」と「導電体」は境界が曖昧であり、厳密に区別できない場合がある。したがって、本明細書に記載の「半導体」は、「導電体」と言い換えることができる場合がある。同様に、本明細書に記載の「導電体」は、「半導体」と言い換えることができる場合がある。

【0024】

トランジスタは半導体素子の一種であり、電流や電圧の増幅や、導通または非導通を制御するスイッチング動作などを実現することができる。本明細書におけるトランジスタは、IGFET (Insulated Gate Field Effect Transistor) や薄膜トランジスタ (TFT: Thin Film Transistor) を含む。

30

【0025】

また、本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「略平行」とは、二つの直線が -30° 以上 30° 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。また、「略垂直」とは、二つの直線が 60° 以上 120° 以下の角度で配置されている状態をいう。

40

【0026】

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

【0027】

(実施の形態1)

本実施の形態では、開示する発明の一態様に係る半導体装置700が有する、メモリセルアレイ300の回路構成及びその動作について説明する。

【0028】

なお、半導体装置とは、半導体素子を有する装置のことをいう。なお、半導体装置は、半導体素子を含む回路を駆動させる駆動回路等を含む。また、半導体装置は、メモリセル

50

の他、別の基板上に配置された駆動回路、電源回路等を含む場合がある。

【0029】

また、半導体装置700には、インバータ回路、NAND回路、AND回路、NOR回路、OR回路、バッファ、レベルシフタ、XOR回路、XNOR回路、AND-NOR回路、OR-NAND回路、AND-OR-INV回路、OR-AND-INV回路、アナログスイッチ、フリップフロップ、セット可能なフリップフロップ、リセット可能なフリップフロップ、セットおよびリセット可能なフリップフロップ、加算器、半加算器、マルチプレクサ、デマルチプレクサ、レジスタ、スキャンレジスタ、リテンションレジスタ、アイソレータ、デコーダなどが含まれてもよい。

【0030】

10

本発明の一態様に係る半導体装置700の例を図2に示す。半導体装置700は、メモリセルアレイ300、メモリセルアレイの周辺回路500を有する。また、メモリセルアレイの周辺回路500には、行選択ドライバ、列選択ドライバ、及びA/Dコンバータ等を有することが好ましい。また、周辺回路500は、論理回路等を有してもよい。また、半導体装置700の構成は、図2に示す構成に限定されない。

【0031】

ここで、メモリセルアレイ300及びメモリセルアレイに接続する行選択ドライバ、列選択ドライバ、及びA/Dコンバータ等を含む構成を、記憶装置と称してもよい。

【0032】

図1(A)に示すメモリセルアレイ300は、メモリセルCLを、平面において横a個

20

×縦b個(a、bは自然数)のマトリクス状に配置して構成されている。

【0033】

各メモリセルCLは、c個(cは2以上の自然数)のサブメモリセルSCLからなる。ここで、第j(jは1からcまでの自然数)のサブメモリセルをSCL_jとする。サブメモリセルSCL_jは、第1のトランジスタT_{a_j}、第2のトランジスタT_{b_j}及び第1の容量素子C_{a_j}を有する。

【0034】

すなわちメモリセルCLは、c層積層したサブメモリセルSCL_jを有し、各サブメモリセルSCLは、第1のトランジスタT_a、第2のトランジスタT_b及び容量素子C_aを有する。

30

【0035】

例えばトランジスタT_{a_j}またはトランジスタT_{b_j}に単結晶シリコンを用いる場合を考える。優れた単結晶シリコンを得るためには、単結晶シリコン基板等を用いてトランジスタを形成することが好ましい。一方、トランジスタT_{a_j}及びトランジスタT_{b_j}に酸化物半導体層を用いる場合は、例えば後述するスパッタリング法、CVD法、MBE法またはPLD法、ALD法などにより形成することができるため、繰り返し積層して半導体層を形成することが容易である。そのため、トランジスタの上に積層してトランジスタを形成することが容易である。図1(A)に示すように、c層のサブメモリセルSCLを積層することが可能となる。メモリセルCLは、c層積層したサブメモリセルSCLを有する。よって、面積あたりの容量を高めることができる。

40

【0036】

図1(B)に示すように、c個のサブメモリセルSCLからなるメモリセルCLにおいて、各サブメモリセルSCL_jは、ビット線BL及びソース線SLを共有している。

【0037】

トランジスタT_{a_j}は、ゲートに、書き込みワード線WWL_jが接続される。また、トランジスタT_{a_j}は、ソース及びドレインの一方に、ビット線BLが接続され、ソース及びドレインの他方に、フローティングノードFNが接続される。

【0038】

トランジスタT_{b_j}は、ゲートに、フローティングノードFNが接続される。また、トランジスタT_{b_j}は、ソース及びドレインの一方に、ビット線BLが接続され、ソー

50

ス及びドレインの他方に、ソース線 S_L が接続される。

【0039】

容量素子 C_{a_j} は、一方の電極に、フローティングノード FN が接続され、他方の電極に、読み出しワード線 RWL_j が接続される。

【0040】

書き込みワード線 WWL_j には、ワード信号が与えられる。

【0041】

ワード信号は、ビット線 BL の電位をフローティングノード FN に与えるために、トランジスタ T_{a_j} を導通状態とする信号である。

【0042】

ビット線 BL には、2 値、または多値のデータが与えられる。多値のデータは、 k ビット (k は 2 以上の自然数) のデータである。具体的には、2 ビットのデータであれば 4 値のデータであり、4 段階の電圧のいずれか一を有する信号である。

【0043】

読み出しワード線 RWL_j には、読み出し信号が与えられる。

【0044】

読み出し信号は、メモリセルからデータを選択的に読み出すために、容量素子 C_{a_j} の他方の電極に与えられる信号である。

【0045】

フローティングノード FN は、容量素子 C_{a_j} の一方の電極、トランジスタ T_{a_j} のソース及びドレインの他方の電極、及びトランジスタ T_{b_j} のゲートを接続する配線上のいずれかのノードに相当する。

【0046】

なお本明細書において、ノードとは、素子間を電氣的に接続するために設けられる配線上のいずれかの箇所のことである。

【0047】

なお本明細書において、書き込みワード線 WWL_j に与えられるワード信号を制御することで、フローティングノード FN の電位が、ビット線 BL の電位に応じた電位となることを、メモリセルにデータを書き込む、という。また、読み出しワード線 RWL_j に与えられる読み出し信号を制御することで、ビット線 BL の電位が、フローティングノード FN の電位に応じた電位となることを、メモリセルからのデータを読み出す、という。

【0048】

トランジスタ T_{a_j} は、第 2 のゲート電極 (BG) を有することが好ましい。第 2 のゲート電極にソース電極よりも低い電位または高い電位を印加し、トランジスタのしきい値電圧をプラス方向またはマイナス方向へ変動させることができる。例えば、トランジスタのしきい値電圧をプラス方向に変動させることで、ゲート電位が $0V$ であってもトランジスタが非導通状態 (オフ状態) となる、ノーマリーオフが実現できる場合がある。なお、第 2 のゲート電極に印加する電圧は、可変であってもよいし、固定であってもよい。第 2 のゲート電極に印加する電圧を可変にする場合、電圧を制御する回路を第 2 のゲート電極に接続してもよい。また、第 2 のゲート電極は、第 1 のゲート電極と接続してもよい。第 2 のゲートと第 1 のゲートとを接続し、同じ電位を印加することにより、オン電流の増加、初期特性バラツきの低減、 $-GBT$ (Minus Gate Bias Temperature) ストレス試験の劣化の抑制、及び異なるドレイン電圧におけるオン電流の立ち上がり電圧の変動の抑制が可能である。

【0049】

また、図 1 (B) には図示しないが、トランジスタ T_{b_j} も、第 2 のゲート電極 (BG) を有してもよい。トランジスタ T_{b_j} はオン電流が高いことが好ましい。トランジスタ T_{b_j} のオン電流を増加させることにより、例えばメモリセルアレイ 300 の読み出し速度を高めることができる。

【0050】

10

20

30

40

50

なお、ノードF Nと電氣的に接続する液晶素子や有機E L (E l e c t r o l u m i n e s c e n c e) 素子などの表示素子を有する場合、例えばメモリセルアレイ300の一部を表示装置の画素として機能させてもよい。

【0051】

なおフローティングノードF Nの電位は、ビット線B Lに与えられるデータに基づく電位である。また、フローティングノードF Nは、トランジスタT a_jを非導通状態とすることで、電氣的に浮遊状態である。そのため、読み出しワード線R W Lに与えられる読み出し信号の電圧を変化させた場合、フローティングノードF Nの電位は、元の電位に読み出し信号の電圧の変化分が加わった電位となる。この電位の変化は、読み出しワード線R W Lに与えられる読み出し信号が変化することで生じる、容量素子C a_jの容量結合

10

【0052】

トランジスタT a_jは、導通状態と非導通状態とを切り換えることで、データの書き込みを制御するスイッチとしての機能を有する。また、トランジスタT a_jは、非導通状態を保持することで、書き込んだデータに基づく電位を保持する機能を有する。なおトランジスタT a_jは、第1のトランジスタともいう。また、トランジスタT a_jは、nチャンネル型のトランジスタとして、説明を行うものとする。

【0053】

なおトランジスタT a_jは、非導通状態においてソースとドレインとの間を流れる電流(オフ電流)が低いトランジスタが用いられることが好適である。ここでは、オフ電流が低いとは、室温において、ソースとドレインとの間の電圧を10Vとし、チャンネル幅1μmあたりの規格化されたオフ電流が10⁻²⁴A以下であることをいう。このようにオフ電流が少ないトランジスタとしては、半導体層に酸化物半導体を有するトランジスタが挙げられる。

20

【0054】

トランジスタT a_jとして、オフ電流の小さいトランジスタを用いることによって、非導通状態におけるフローティングノードF Nの電位を長期間に渡って保持することができる。したがって、半導体装置のリフレッシュ頻度を低減することができるため、消費電力の小さい半導体装置を実現することができる。

【0055】

なお、フローティングノードF Nに保持された電位を85℃において10年間(3.15×10⁸秒)保持するためには、容量1fFあたり、トランジスタのチャンネル幅1μmあたりのオフ電流の値が4.3yA(ヨクトアンペア: 1yAは10⁻²⁴A)未満であることが好ましい。このとき、許容されるフローティングノードF Nの電位の変動が0.5V以内であることが好ましい。または、95℃において、上記オフ電流が1.5yA未満であることが好ましい。本発明の一態様の半導体装置は、バリア膜よりも下層の水素濃度が十分に低減されている。その結果、バリア膜の上層の酸化物半導体を用いたトランジスタは、極めて低いオフ電流を実現することができる。

30

【0056】

また、容量を多くすることにより、より長く、ノードF Nに電位を保持することができる。つまり、保持時間を長くすることができる。

40

【0057】

図1(B)に示すメモリセルアレイ300の構成では、非導通状態を保持することで、書き込んだデータに基づく電位を保持している。そのため、フローティングノードF Nでの電荷の移動を伴った電位の変動を抑えるスイッチとして、オフ電流が少ないトランジスタが用いられることが特に好ましい。

【0058】

トランジスタT a_jをオフ電流が少ないトランジスタとし、非導通状態を保持することで、メモリセルアレイ300を不揮発性のメモリとすることができる。よって、一旦、メモリセルアレイ300に書き込まれたデータは、再度、トランジスタT a_jを導通状

50

態とするまで、フローティングノードF Nに保持し続けることができる。

【0059】

トランジスタT b_jは、フローティングノードF Nの電位に従って、ソースとドレインとの間に電流I dを流す機能を有する。なお、図1(A)に示すメモリセルアレイ300の構成で、トランジスタT b_jのソースとドレインとの間に流れる電流I dは、ビット線B Lとソース線S Lとの間に流れる電流である。なお、トランジスタT b_jとして、例えばシリコンを半導体層に用いたトランジスタを用いてもよく、また酸化物半導体を半導体層に用いたトランジスタを用いてもよい。ここでは、トランジスタT b_jとして酸化物半導体を半導体層に用いたトランジスタを用いる例を示す。なおトランジスタT b_jは、第2のトランジスタともいう。また、トランジスタT b_jは、nチャネル型のトランジスタとして、説明を行うものとする。

10

【0060】

トランジスタT a_j及びトランジスタT b_jには、一例として、スイッチングスピードの速いnチャネル型トランジスタを用いることができる。例えば、トランジスタのスイッチングスピードは、10 ns未満、好ましくは1 ns未満、より好ましくは0.1 ns未満である。一例として、酸化物半導体（好ましくはIn、Ga、及びZnを含む酸化物）をチャネル形成領域に含むトランジスタ（以下、酸化物半導体を用いたトランジスタとも呼ぶ）を用いることができる。

【0061】

次いで、図1(B)に示すメモリセルアレイ300の動作を説明する。

20

【0062】

図3に示すタイミングチャート図は、図1(B)で示した書き込みワード線WW L、読み出しワード線RW L、フローティングノードF N、ビット線B L、及びソース線S Lに与えられる各信号の変化について示すものである。

【0063】

まず、書き込みの動作について、図3(A)を用いて説明する。ここでは2値のデータの書き込みについて説明を行うが、メモリセルアレイ300は2値のデータの書き込みに限定されず、多値のデータを書き込むこともできる。図3(A)に示すタイミングチャートでは、書き込み期間T 4、休止期間T 5、非選択期間T 6を示す。

【0064】

30

書き込み期間T 4では、まず書き込みワード線WW Lに電位V 2が与えられる。また、読み出しワード線RW Lには電位V 0が与えられる。次いで、ビット線B Lに2値のデータに応じた電位、つまりHレベルの電位またはLレベルの電位が与えられる。また、ソース線S LにはHレベルの電位が与えられる。

【0065】

次いで休止期間T 5では、読み出しワード線RW L及び書き込みワード線WW Lには電位V 0が与えられる。次いで、ビット線B L及びソース線S LにLレベルの電位が与えられる。ここで、例えば電位V 0は接地電位とし、電位V 2は正の電位とすればよい。また、電位V 2の絶対値は、Hレベルの電位より大きいことが好ましい。例えば、トランジスタT b_jのしきい値程度から、しきい値の3倍程度とすればよい。

40

【0066】

次いで非選択期間T 6では、読み出しワード線RW L及び書き込みワード線WW Lに電位V 1が与えられる。ここで、電位V 1は例えば負の電位とすればよい。また、電位V 1の絶対値は、Hレベルの電位より大きいことが好ましい。また、ビット線B L及びソース線S LにはLレベルの電位が与えられる。

【0067】

次に、読み出しの動作について、図3(B)を用いて説明する。図3(B)に示すタイミングチャートでは、ビット線B Lの電位をプリチャージする期間T 1、データを読み出すためにビット線B Lの放電を行う期間T 2、非選択の期間T 3を示している。

【0068】

50

図3(B)に示す期間T1では、ビット線BLの電位をプリチャージする。つまりビット線BLには、Hレベルと同程度の電位(電位H')が与えられる。このとき、書き込みワード線WWLに電位V1が与えられる。また、読み出しワード線RWLには、電位V1が与えられる。また、フローティングノードFNは、データに対応する電位が保持されている。また、ソース線SLは、Lレベルの電位が与えられる。

【0069】

このとき、ビット線BLは、Hレベルの電位が与えられた後、電氣的に浮遊状態となる。すなわち、ビット線BLは、電荷の充電又は放電により電位の変動が生じる状態となる。この浮遊状態は、ビット線BLに電位を与えるスイッチをオフにすることで実現することができる。

10

【0070】

次いで図3(B)に示す期間T2では、データを読み出すためにビット線BLの放電を行う。このとき、書き込みワード線WWLは、前の期間に引き続き、電位V1が与えられる。また、読み出しワード線RWLは、Hレベルの電位、ここでは電位V0が与えられる。また、フローティングノードFNは、データに対応する電位がそれぞれ上昇する。またビット線BLの電位は、フローティングノードFNの電位に従って変化する。例えば、フローティングノードFNにLレベルの電位が入力されている場合には、ビット線BLにはHレベルの信号(電位H')が出力され、フローティングノードFNにHレベルの電位が入力されている場合には、ビット線BLにはLレベルの信号(電位L')が出力される。また、ソース線SLは、前の期間に引き続き、Lレベルの電位が与えられる。

20

【0071】

次いで図3(B)に示す期間T3は、非選択の状態を示している。期間T3では、読み出しワード線RWLの電位をV1とする。

【0072】

また、メモリセルアレイ300は、図4に示すような回路構成でもよい。図4では、ビット線BLにサブメモリセルSC_L__jが互い違いに接続することにより、メモリセルアレイ300の集積度を高めることができる場合がある。さらには、面積あたりの記憶容量を高めることができる。ここで、図4にはj=1乃至cまでのサブメモリセルSC_L__jのうち、j=1、2、3、cの4つのサブメモリセルSC_L__jを図示している。また、メモリセルアレイ300は、図5に示すような回路構成でもよい。図5では図4と比較してソース線SLの本数を少なくすることができる。ここで、図5にはj=1乃至cまでのサブメモリセルSC_L__jのうち、j=1、2、3、cの4つのサブメモリセルSC_L__jを図示している。なお、図4及び図5においても、トランジスタT_a__jは、図1(B)と同様に第2のゲート電極(BG)を有してもよい。

30

【0073】

[積層構造の構成例]

次に、図1で説明したメモリセルアレイ300を有する積層構造の一例を図6を用いて説明する。

【0074】

図6に示す積層構造は、メモリセルアレイ300及び周辺回路500を有する半導体装置700の一例である。

40

【0075】

周辺回路500は、トランジスタ130a、トランジスタ130b、トランジスタ230a及びトランジスタ230bを有する。トランジスタ130a、トランジスタ130b、トランジスタ230a及びトランジスタ230bは、第1の半導体材料を含んで構成される。第1の半導体材料として用いることのできる半導体としては、例えばシリコンやゲルマニウムやガリウムやヒ素などの半導体材料、シリコンやゲルマニウムやガリウムやヒ素やアルミニウムなどを有する化合物半導体材料、有機半導体材料、または酸化物半導体材料などが挙げられる。ここでは、第1の半導体材料として単結晶シリコンを用いた場合について説明する。トランジスタ130a、トランジスタ130b、トランジスタ230

50

a 及びトランジスタ 2 3 0 b は、p チャネル型、n チャネル型のいずれでもよいが、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。ここではトランジスタ 1 3 0 a 及びトランジスタ 1 3 0 b として、n チャネル型のトランジスタの例を示し、トランジスタ 2 3 0 a 及びトランジスタ 2 3 0 b として、p チャネル型のトランジスタの例を示す。ここで、トランジスタ 1 3 0 a 及びトランジスタ 1 3 0 b はほぼ同様の構成であるため、トランジスタ 1 3 0 a のみについて説明を行う。また、トランジスタ 2 3 0 a とトランジスタ 2 3 0 b はほぼ同様の構成であるため、トランジスタ 2 3 0 a のみについて説明を行う。

【0076】

トランジスタ 1 3 0 a は、半導体基板 1 3 1 に設けられ、半導体基板 1 3 1 の一部からなる半導体層 1 3 2、ゲート絶縁膜 1 3 4、ゲート電極 1 3 5、及びソース領域またはドレイン領域として機能する低抵抗層 1 3 3 a 及び低抵抗層 1 3 3 b を有する。

【0077】

半導体層 1 3 2 のチャンネルが形成される領域やその近傍の領域や、ソース領域またはドレイン領域となる低抵抗層 1 3 3 a 及び低抵抗層 1 3 3 b 等において、シリコン系半導体などの半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。または、Ge (ゲルマニウム)、SiGe (シリコンゲルマニウム)、GaAs (ガリウムヒ素)、GaAlAs (ガリウムアルミニウムヒ素)などを有する材料で形成してもよい。結晶格子に歪みを有するシリコンを用いた構成としてもよい。またはGaAsとGaAlAs等を用いることで、トランジスタ 1 3 0 a を HEMT (High Electron Mobility Transistor) としてもよい。

【0078】

また、トランジスタ 1 3 0 a は、LDD (ライトドープドレイン) 領域である領域 1 7 6 a と領域 1 7 6 b を有してもよい。

【0079】

低抵抗層 1 3 3 a 及び低抵抗層 1 3 3 b は、半導体層 1 3 2 に適用される半導体材料に加え、リンなどの n 型の導電性を付与する元素、またはホウ素などの p 型の導電性を付与する元素を含む。

【0080】

ゲート電極 1 3 5 は、リンなどの n 型の導電性を付与する元素、またはホウ素などの p 型の導電性を付与する元素を含むシリコンなどの半導体材料、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。特に、耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、特にタングステンを用いることが好ましい。

【0081】

トランジスタ 2 3 0 a は、半導体基板 1 3 1 に設けられ、半導体基板 1 3 1 の一部からなる半導体層 2 3 2、ゲート絶縁膜 1 3 4、ゲート電極 2 3 5、及びソース領域またはドレイン領域として機能する低抵抗層 2 3 3 a 及び低抵抗層 2 3 3 b を有する。

【0082】

半導体層 2 3 2 は、半導体層 1 3 2 の記載を参照すればよい。また、低抵抗層 2 3 3 a 及び低抵抗層 2 3 3 b は、低抵抗層 1 3 3 a 及び低抵抗層 1 3 3 b の記載を参照すればよい。また、ゲート電極 2 3 5 は、ゲート電極 1 3 5 の記載を参照すればよい。

【0083】

また、例えばトランジスタ 1 3 0 a を n チャネル型のトランジスタとし、トランジスタ 2 3 0 a を p チャネル型のトランジスタとする場合には、低抵抗層 1 3 3 a 及び低抵抗層 1 3 3 b には例えばリンを添加し、低抵抗層 2 3 3 a 及び低抵抗層 2 3 3 b には例えばホウ素を添加すればよい。また、例えば、ゲート電極 1 3 5 とゲート電極 2 3 5 に仕事関数の異なる材料をそれぞれ用いてもよい。

【0084】

ここで、トランジスタ 1 3 0 a、トランジスタ 1 3 0 b、トランジスタ 2 3 0 a 及びト

10

20

30

40

50

ランジスタ 230b に換えて図 17 に示すようなランジスタ 190 を用いてもよい。なお、図 17 には n チャンネル型のランジスタの例を示すが、p チャンネル型のランジスタについても同様の構造とすることができる。図 17 (A) の一点鎖線 A - B に示す断面を図 17 (B) に示す。ランジスタ 190 はチャンネルが形成される半導体層 132 (半導体基板 131 の一部) が凸形状を有し、その側面及び上面に沿ってゲート絶縁膜 134 及びゲート電極 135 が設けられている。このようなランジスタ 190 は半導体基板の凸部を利用していることから F I N 型ランジスタとも呼ばれる。なお、凸部の上部に接して、凸部を形成するためのマスクとして機能する絶縁膜を有していてもよい。また、ここでは半導体基板の一部を加工して凸部を形成する場合を示したが、S O I 基板を加工して凸形状を有する半導体層を形成してもよい。

10

【0085】

ランジスタ 130a、ランジスタ 130b、ランジスタ 230a 及びランジスタ 230b を覆って、絶縁膜 136、絶縁膜 137、及び絶縁膜 138 が順に積層して設けられている。

【0086】

絶縁膜 136 は半導体装置の作製工程において、低抵抗層 133a、低抵抗層 133b、低抵抗層 233a 及び低抵抗層 233b 等に添加された導電性を付与する元素の活性化の際の保護膜として機能する。絶縁膜 136 は不要であれば設けなくてもよい。

【0087】

半導体層 132 及び半導体層 232 にシリコン系半導体材料を用いた場合、絶縁膜 137 は水素を含む絶縁材料を含むことが好ましい。水素を含む絶縁膜 137 をランジスタ 130a、ランジスタ 130b、ランジスタ 230a 及びランジスタ 230b 上に設け、加熱処理を行うことで絶縁膜 137 中の水素により半導体層 132 及び半導体層 232 中のダングリングボンドが終端され、ランジスタ 130a、ランジスタ 130b、ランジスタ 230a 及びランジスタ 230b の信頼性を向上させることができる。

20

【0088】

絶縁膜 138 はその下層に設けられるランジスタ 130a、ランジスタ 130b、ランジスタ 230a 及びランジスタ 230b などによって生じる段差を平坦化する平坦化層として機能する。絶縁膜 138 の上面は、その上面の平坦性を高めるために C M P (Chemical Mechanical Polishing) 法等を用いた平坦化処理により平坦化されていてもよい。

30

【0089】

また、絶縁膜 136、絶縁膜 137、絶縁膜 138 には低抵抗層 133a、低抵抗層 133b、低抵抗層 233a 及び低抵抗層 233b 等と電氣的に接続するプラグ等が埋め込まれていてもよい。

【0090】

また、メモリセルアレイ 300 は、酸化物半導体を用いたランジスタを有する。よって、図 6 に示す積層構造は、ランジスタ 130a、ランジスタ 130b、ランジスタ 230a 及びランジスタ 230b と、メモリセルアレイ 300 との間に、バリア膜 111 を有することが好ましい。

40

【0091】

バリア膜 111 は、これよりも下層から水及び水素が上層に拡散することを抑制する機能を有する層である。また、バリア膜 111 は酸素透過性が低いことが好ましい。また、バリア膜 111 はこの上方に設けられる電極または配線と、下方に設けられる電極または配線とを電氣的に接続するための開口やプラグを有していてもよい。ここで、水および水素が拡散しにくい膜、とは、例えば一般的に絶縁膜として用いられる酸化シリコン等と比較して、水および水素の透過性が低い膜を示す。また、酸素透過性が低い膜とは、一般的に絶縁膜として用いられる酸化シリコン等と比較して、酸素の透過性が低い膜を示す。

【0092】

ここで、バリア膜 111 よりも下層では、水素や水などを出来る限り低減させておくこ

50

とが好ましい。あるいは、脱離ガスを抑制することが好ましい。水素や水は酸化物半導体にとって電気特性の変動を引き起こす要因となりうる。またバリア膜 1 1 1 の下層から上層へ拡散する水素や水は、バリア膜 1 1 1 により抑制することができるが、バリア膜 1 1 1 に設けられる開口やプラグ等を介して水素や水が上層に拡散してしまう場合がある。

【 0 0 9 3 】

バリア膜 1 1 1 よりも下層に位置する各層に含まれる水素や水を低減させるため、あるいは脱離ガスを抑制するため、バリア膜 1 1 1 を形成する前、またはバリア膜 1 1 1 にプラグを形成するための開口を形成した直後に、バリア膜 1 1 1 よりも下層に含まれる水素や水を除去するため、あるいは脱離ガスを抑制するための加熱処理を施すことが好ましい。半導体装置を構成する導電膜などの耐熱性や、トランジスタの電気特性が劣化しない程度であれば、加熱処理の温度は高いほど好ましい。具体的には、例えば 4 5 0 以上、好ましくは 4 9 0 以上、より好ましくは 5 3 0 以上の温度とすればよいが、6 5 0 以上で行ってもよい。不活性ガス雰囲気下または減圧雰囲気下で 1 時間以上、好ましくは 5 時間以上、より好ましくは 1 0 時間以上の加熱処理を行うことが好ましい。バリア膜 1 1 1 よりも下層に位置する配線または電極の材料の耐熱性を考慮して決定すればよいが、例えば当該材料の耐熱性が低い場合には、5 5 0 以下、または 6 0 0 以下、または 6 5 0 以下、または 8 0 0 以下の温度で行えばよい。またこのような加熱処理は、少なくとも 1 回以上行えばよいが、複数回行うとより好ましい。

10

【 0 0 9 4 】

バリア膜 1 1 1 より下層に設けられる絶縁膜は、昇温脱離ガス分光法分析 (T D S 分析ともよぶ) によって測定される、基板表面温度が 4 0 0 での水素分子の脱離量が、3 0 0 で水素分子の脱離量の 1 3 0 % 以下、好ましくは 1 1 0 % 以下であることが好ましい。または、T D S 分析によって基板表面温度が 4 5 0 での水素分子の脱離量が、3 5 0 での脱離量の 1 3 0 % 以下、好ましくは 1 1 0 % 以下であることが好ましい。

20

【 0 0 9 5 】

また、バリア膜 1 1 1 自体に含まれる水や水素も低減されていることが好ましい。あるいは脱離ガスを抑制されていることが好ましい。例えばバリア膜 1 1 1 として、T D S 分析によって基板表面温度が 2 0 から 6 0 0 の範囲における水素分子 ($M/z = 2$) の脱離量が、 2×10^{15} 個 / cm^2 未満、好ましくは 1×10^{15} 個 / cm^2 未満、より好ましくは 5×10^{14} 個 / cm^2 未満である材料をバリア膜 1 1 1 に用いることが好ましい。または、T D S 分析によって基板表面温度が 2 0 から 6 0 0 の範囲における水分子 ($M/z = 18$) の脱離量が、 1×10^{16} 個 / cm^2 未満、好ましくは 5×10^{15} 個 / cm^2 未満、より好ましくは 2×10^{12} 個 / cm^2 未満である材料をバリア膜 1 1 1 に用いることが好ましい。

30

【 0 0 9 6 】

また、当該加熱処理は、トランジスタ 1 3 0 a、トランジスタ 1 3 0 b、トランジスタ 2 3 0 a 及びトランジスタ 2 3 0 b の半導体層に用いられるシリコンの不對結合手 (ダングリングボンドともいう) を水素によって終端化する処理 (水素化処理とも呼ぶ) を兼ねることができる。水素化処理によりトランジスタ 1 3 0 a、トランジスタ 1 3 0 b、トランジスタ 2 3 0 a 及びトランジスタ 2 3 0 b のゲート絶縁膜や、バリア膜 1 1 1 より下層に形成されるその他の絶縁膜に含まれる水素の一部が脱離してトランジスタ 1 3 0 a、トランジスタ 1 3 0 b、トランジスタ 2 3 0 a 及びトランジスタ 2 3 0 b の半導体層に拡散し、シリコン中のダングリングボンドを終端させることで、トランジスタ 1 3 0 a、トランジスタ 1 3 0 b、トランジスタ 2 3 0 a 及びトランジスタ 2 3 0 b の信頼性を向上させることができる。

40

【 0 0 9 7 】

バリア膜 1 1 1 に用いることのできる材料としては、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛 (P Z T)、チタン酸ストロンチウム (SrTiO_3) または (Ba, Sr) TiO_3 (B S T) などのいわゆる h i g h - k 材料を含む絶縁膜を単層または積層で用いることができる。またはこれらの絶

50

縁膜に例えば酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウム、酸化ガリウムを添加してもよい。またはこれらの絶縁膜を窒化処理して酸化窒化膜としてもよい。上記の絶縁膜に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。酸化ガリウム、などが挙げられる。特に、酸化アルミニウムは水や水素に対するバリア性に優れているため好ましい。

【0098】

バリア膜111は水や水素を透過しにくい材料の層のほかに、他の絶縁材料を含む層を積層させて用いてもよい。例えば、酸化シリコンまたは酸化窒化シリコンを含む層、金属酸化物を含む層などを積層させて用いてもよい。

10

【0099】

また、バリア膜111は、酸素を透過しにくい材料を用いることが好ましい。上述した材料は、水素、水に加え酸素に対してもバリア性に優れた材料である。このような材料を用いることで、絶縁膜114jを加熱した時に放出される酸素がバリア膜111よりも下層に拡散することを抑制することができる。その結果、絶縁膜114jから放出され、トランジスタTa__j及びトランジスタTb__jの半導体層に供給されうる酸素の量を増大させることができる。

【0100】

このように、バリア膜111よりも下層に位置する各層に含まれる水素や水の濃度を減少する、または水素や水を除去し、または脱離ガスを抑制し、さらにバリア膜111により水素や水がトランジスタTa__j及びトランジスタTb__jへ拡散することを抑制する。そのため、絶縁膜114jや、トランジスタTa__j及びトランジスタTb__jを構成する各層における水素及び水の含有量を、極めて低いものとすることができる。例えば、絶縁膜114j、トランジスタTa__j及びトランジスタTb__jの半導体層101j、またはゲート絶縁膜102jに含まれる水素濃度を $5 \times 10^{18} \text{ cm}^{-3}$ 未満、好ましくは $1 \times 10^{18} \text{ cm}^{-3}$ 未満、さらに好ましくは $3 \times 10^{17} \text{ cm}^{-3}$ 未満にまで低減することができる。

20

【0101】

以上の構成により、シリコンを半導体層に用いたトランジスタを有する周辺回路500と、酸化物半導体を半導体層に用いたトランジスタを有するメモリセルアレイ300のいずれにおいても高い信頼性を両立することが可能となり、極めて信頼性の高い半導体装置を実現できる。

30

【0102】

なお、上記では周辺回路500にシリコンを半導体層に用いたトランジスタを有する例を示したが、周辺回路500は、シリコンを半導体層に用いたトランジスタと、酸化物半導体を半導体層に用いたトランジスタの両方を有してもよい。その場合には、例えば、シリコンを半導体層に用いたトランジスタの上にバリア膜111を形成した後、酸化物半導体を半導体層に用いたトランジスタをバリア膜111の上に積層して形成し、周辺回路500を形成すればよい。さらに周辺回路500の上に、酸化物半導体を半導体層に用いたトランジスタを有するメモリセルアレイ300を積層して形成すればよい。

40

【0103】

ここで、周辺回路500に適用できる、シリコンを半導体層に用いたpチャネル型トランジスタと、酸化物半導体を半導体層に用いたnチャネル型トランジスタを用いた回路構成の例を説明する。

【0104】

〔CMOS回路〕

図26(A)に示す回路図は、pチャネル型のトランジスタ2200とnチャネル型のトランジスタ2100を直列に接続し、且つそれぞれのゲートを接続した、いわゆるCMOS回路の構成を示している。なお図中、第2の半導体材料が適用されたトランジスタには「OS」の記号を付して示している。

50

【 0 1 0 5 】

〔アナログスイッチ〕

また図 2 6 (B) に示す回路図は、トランジスタ 2 1 0 0 とトランジスタ 2 2 0 0 のそれぞれのソースとドレインを接続した構成を示している。このような構成とすることで、いわゆるアナログスイッチとして機能させることができる。

【 0 1 0 6 】

〔積層構造の例 1 〕

次に、メモリセルアレイ 3 0 0 及び周辺回路 5 0 0 を有する半導体装置の積層構造の例について、図 6 を参照して説明する。周辺回路 5 0 0 上に、メモリセルアレイ 3 0 0 が設けられている。メモリセルアレイ 3 0 0 はメモリセル C L を有する。メモリセル C L は、
c 個のサブメモリセル S C L _ j (j は 1 から c までの自然数) を有する。図 6 には、サブメモリセル S C L _ 1 及びサブメモリセル S C L _ 2 の積層構造の例を示しており、図示しないが、サブメモリセル S C L _ 2 の上には更にサブメモリセル S C L _ 3 が積層され、順にサブメモリセル S C L _ c まで積層される。なお、メモリセルアレイ 3 0 0 の回路図は、図 1 (B) を参照する。

10

【 0 1 0 7 】

サブメモリセル S C L _ j は、トランジスタ T a _ j 、トランジスタ T b _ j 及び容量素子 C a _ j を有する。トランジスタ T a _ j 及びトランジスタ T b _ j は、酸化物半導体材料を含んで構成される。ここで、 j = 1 の場合にはトランジスタ T b _ j と周辺回路 5 0 0 との間に、バリア膜 1 1 1 が設けられることが好ましい。

20

【 0 1 0 8 】

また、トランジスタ T b _ j の上には容量素子 C a _ j が設けられている。また、容量素子 C a _ j の少なくとも一部は、トランジスタ T b _ j と重なるように設けられることが好ましい。ここで、容量素子 C a _ j の端子の一方である導電層 1 5 1 j は、プラグ 1 4 1 j を介してトランジスタ T b _ j のゲート電極 2 0 3 j と電氣的に接続する。また、トランジスタ T b _ j と容量素子 C a _ j の間には絶縁膜 2 1 6 j が設けられている。

【 0 1 0 9 】

容量素子 C a _ j の上にはトランジスタ T a _ j が設けられている。トランジスタ T a _ j の少なくとも一部は、容量素子 C a _ j と重なるように設けられることが好ましい。ここで、ゲート電極 2 0 3 j 及び導電層 1 5 1 j は、プラグ 1 4 1 j 及びプラグ 1 4 4 j を介してトランジスタ T a _ j のソース電極またはドレイン電極として機能する導電層 1 0 4 j _ b と電氣的に接続する。容量素子 C a _ j が有する絶縁膜 1 1 5 j は、導電層 1 5 1 j 及び導電層 1 5 2 j に挟まれ、容量を形成する。また、容量素子 C a _ j とトランジスタ T a _ j の間には、絶縁膜 1 5 6 j が設けられている。また、トランジスタ T a _ j 上には絶縁膜 1 1 6 j が設けられている。

30

【 0 1 1 0 】

トランジスタ T b _ j のソース電極またはドレイン電極として機能する導電層 2 0 4 j _ b はソース線 S L に電氣的に接続する。ここで、プラグ 1 4 3 j 、導電層 1 5 4 j 、プラグ 1 4 6 j 、プラグ 1 4 8 j 等はソース線 S L として機能してもよい。

【 0 1 1 1 】

トランジスタ T b _ j のソース電極またはドレイン電極として機能する導電層 2 0 4 j _ a は、プラグ 1 4 2 j 、導電層 1 5 3 j 、プラグ 1 4 5 j 等を介してトランジスタ T a _ j のソース電極またはドレイン電極として機能する導電層 1 0 4 j _ a と電氣的に接続する。また、導電層 2 0 4 j _ a 及び導電層 1 0 4 j _ a は、ビット線 B L に電氣的に接続する。ここで、プラグ 1 4 2 j 、導電層 1 5 3 j 、プラグ 1 4 5 j 等はビット線 B L として機能してもよい。

40

【 0 1 1 2 】

また、サブメモリセル S C L _ j は、隣接するサブメモリセル S C L _ と、プラグ 1 4 2 j 、導電層 1 5 3 j 、プラグ 1 4 5 j 、プラグ 1 4 7 j 等を共有する。サブメモリセル S C L _ は、プラグ 1 4 2 j 、導電層 1 5 3 j 、プラグ 1 4 5 j 、プラグ 1 4 7 j 等

50

を介してビット線 B L に電氣的に接続する。同様に、サブメモリセル S C L __ j は、隣接するサブメモリセル S C L __ と、プラグ 1 4 3 j、導電層 1 5 4 j、プラグ 1 4 6 j、プラグ 1 4 8 j 等を共有する。サブメモリセル S C L __ は、プラグ 1 4 3 j、導電層 1 5 4 j、プラグ 1 4 6 j、プラグ 1 4 8 j 等を介してソース線 S L に電氣的に接続する。このようにプラグや導電層を共有することにより、メモリセルアレイ 3 0 0 の集積度を高めることができる。

【 0 1 1 3 】

ここで、サブメモリセル S C L __ は、メモリセル C L と隣接するメモリセル C L __ が有するサブメモリセルである。ここで、隣接するメモリセルとは、図 1 (A) に示す x y 座標 (x , y) で、x または y の値が 1 異なるメモリセルであることを示す。例えば、メモリセル C L __ は、メモリセル C L に対して x 座標が 1 小さい座標に位置する。同様に、例えば、メモリセル C L __ は、メモリセル C L に対して x 座標が 1 大きい座標に位置する。

【 0 1 1 4 】

サブメモリセル S C L __ j が有するトランジスタ T b __ j は、サブメモリセル S C L __ が有するトランジスタ T b __ と、導電層 2 0 4 j __ a を共有する。すなわち、導電層 2 0 4 j __ a は、トランジスタ T b __ j のソース電極またはドレイン電極の一方として機能し、かつ、トランジスタ T b __ のソース電極またはドレイン電極の一方として機能する。また、トランジスタ T b __ j は、サブメモリセル S C L __ が有するトランジスタ T b __ と、導電層 2 0 4 j __ b を共有する。すなわち、導電層 2 0 4 j __ b は、トランジスタ T b __ j のソース電極またはドレイン電極の他方として機能し、かつ、トランジスタ T b __ のソース電極またはドレイン電極の一方として機能する。このように導電層を共有することにより、メモリセルアレイ 3 0 0 の集積度を高めることができる。

【 0 1 1 5 】

サブメモリセル S C L __ j の有するトランジスタ T a __ j は、サブメモリセル S C L __ が有するトランジスタ T a __ と、導電層 1 0 4 j __ a を共有する。すなわち、導電層 1 0 4 j __ a は、トランジスタ T a __ j のソース電極またはドレイン電極の一方として機能し、かつ、トランジスタ T a __ のソース電極またはドレイン電極の一方として機能する。このように導電層を共有することにより、メモリセルアレイ 3 0 0 の集積度を高めることができる。

【 0 1 1 6 】

ここで、トランジスタ T a __ j 及びトランジスタ T b __ j の構造について説明する。トランジスタ T a __ j 及びトランジスタ T b __ j は酸化物半導体を有するトランジスタである。トランジスタ T a __ j 及びトランジスタ T b __ j に用いることのできるトランジスタ構造の例を図 7 に示す。

【 0 1 1 7 】

図 7 (B) は、トランジスタ T a __ j 及び T b __ j に用いることのできるトランジスタ構造の上面図であり、図 7 (A) は図 7 (B) に示す一点鎖線 A - B の断面を示し、図 7 (C) は図 7 (B) に示す一点鎖線 C - D の断面を示す。ここでは例としてトランジスタ T a __ j を示すが、トランジスタ T b __ j についても同様の構造とすることができる。また、トランジスタ T b __ j の各構成要素については、それぞれトランジスタ T a __ j の記載を参照する。例えば、半導体層 2 0 1 j については半導体層 1 0 1 j を参照する。また、ゲート絶縁膜 2 0 2 j についてはゲート絶縁膜 1 0 2 j を参照する。また、ゲート電極 2 0 3 j についてはゲート電極 1 0 3 j を参照する。また、導電層 2 0 4 j __ a 及び導電層 2 0 4 j __ b については導電層 1 0 4 j __ a 及び導電層 1 0 4 j __ b を参照する。また、絶縁膜 2 1 4 j については絶縁膜 1 1 4 j を参照する。また、導電層 2 0 5 j については導電層 1 0 5 j を参照する。

【 0 1 1 8 】

トランジスタ T a __ j は、絶縁膜 1 1 4 j の上面に接する半導体層 1 0 1 j と、導電層 1 0 4 j __ a 及び導電層 1 0 4 j __ b と、半導体層 1 0 1 j 上のゲート絶縁膜 1 0 2 j と

10

20

30

40

50

、ゲート絶縁膜 102j を介して半導体層 101j と重なるゲート電極 103j と、を有する。また、トランジスタ Ta__j を覆って、絶縁膜が設けられている。ここで、図示しないが、トランジスタ Ta__j を覆う絶縁膜として、例えば絶縁膜 112j、絶縁膜 113j 及び絶縁膜 116j の 3 層を積層して用いることができる。絶縁膜 112j、絶縁膜 113j 及び絶縁膜 116j については後述する作製方法例にて説明する。導電層 104j__a 及び導電層 104j__b は、一方がソース電極として機能し、他方がドレイン電極として機能する。

【0119】

図 7 (A) 乃至 (C) に示すトランジスタ Ta__j は、半導体層 101j__a と、半導体層 101j__a の上面に接する半導体層 101j__b と、半導体層 101j__b の上面と接し、半導体層 101j__b と重なる領域で離間する導電層 104j__a 及び導電層 104j__b と、半導体層 101j__b の上面に接する半導体層 101j__c と、半導体層 101j__c 上にゲート絶縁膜 102j と、ゲート絶縁膜 102j 及び半導体層 101j__c を介して半導体層 101j__b と重なるゲート電極 103j と、を有する。また、トランジスタ Ta__j は、第 2 のゲート電極として機能する導電層 105j を有する。半導体層 101j__a は、絶縁膜 114j と半導体層 101j__b の間に設けられている。また、半導体層 101j__c は、半導体層 101j__b とゲート絶縁膜 102j の間に設けられている。また、導電層 104j__a および導電層 104j__b は、半導体層 101j__b の上面に接する。

【0120】

また、図 7 (A) は図 7 (D) に、図 7 (C) は図 7 (E) にそれぞれ示す断面のように、絶縁膜 114j が凸部を有し、該凸部上に半導体層 101j__a および半導体層 101j__b が設けられてもよい。

【0121】

また、図 18 (A) 乃至 18 (C) に示すように、例えば図 18 (C) の断面において、半導体層 101j__c の端部をゲート絶縁膜 102j が覆う構成としてもよい。

【0122】

トランジスタ Ta__j の半導体層 101j は、絶縁膜 114j 上に設けられることが好ましい。絶縁膜 114j は、酸化物を含むことが好ましい。特に加熱により一部の酸素が脱離する酸化物材料を含むことが好ましい。好適には、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物を用いることが好ましい。第 2 の半導体材料として酸化物半導体を用いた場合、絶縁膜 114j から脱離した酸素が酸化物半導体に供給され、酸化物半導体中の酸素欠損を低減することが可能となる。その結果、第 2 のトランジスタの電気特性の変動を抑制し、信頼性を高めることができる。

【0123】

絶縁膜 114j の上面は上述した平坦化処理によって平坦化されていることが好ましい。

【0124】

絶縁膜 114j は、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。

【0125】

加熱により酸素を脱離する酸化物材料として、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物を用いることが好ましい。化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物膜は、加熱により一部の酸素が脱離する。化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物膜は、昇温脱離ガス分光法 (TDS: Thermal Desorption Spectroscopy) 分析によって測定される、膜の表面温度が 100 以上 700 以下、好ましくは 100 以上 500 以下の範囲における酸素分子の脱離量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である酸化物膜である。

【0126】

例えばこのような材料として、酸化シリコンまたは酸化窒化シリコンを含む材料を用いることが好ましい。または、金属酸化物を用いることもできる。金属酸化物として、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム等を用いる事ができる。なお、本明細書中において、酸化窒化シリコンとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。

【0127】

同様に、トランジスタTb__jの有する半導体層201jは、絶縁膜214j上に設けられることが好ましい。

【0128】

また、トランジスタTa__jは、導電層105jを有することが好ましい。導電層105jはトランジスタTa__jの第2のゲートとして機能することが好ましい。

【0129】

図19(A)乃至19(C)に示すように、トランジスタTb__jは、絶縁膜214jの上面に接する半導体層201jと、導電層204j__a及び導電層204j__bと、半導体層201j上のゲート絶縁膜202jと、ゲート絶縁膜202jを介して半導体層201jと重なるゲート電極203jと、を有する。また、トランジスタTb__jを覆って、絶縁膜212j、絶縁膜213j及び絶縁膜216jが設けられている。導電層204j__a及び導電層204j__bは、一方がソース電極として機能し、他方がドレイン電極として機能する。

【0130】

また、トランジスタTb__jは、導電層205jを有してもよい。導電層205jはトランジスタTb__jの第2のゲートとして機能してもよい。

【0131】

ここで、トランジスタTa__jの有する導電層105jと、トランジスタTb__jの有する導電層205jの電極間に電圧を印加する場合には、その電圧は異なってもよい。ここで、導電層105jに印加する電圧とソース電圧の差をVbg__1とし、導電層205jに印加する電圧とソース電圧との差をVbg__2とする。Vbg__1及びVbg__2の絶対値を大きくすることにより、より低いオフ電流が実現できる場合がある。一方、Vbg__1及びVbg__2の絶対値を大きくし過ぎると、オン電流の立ち上がり電圧が高くなってしまい、低い回路電圧でトランジスタを動作させることができる。よって、トランジスタTa__jではトランジスタTb__jと比較して、オフ電流をより低くすることが好ましいことを鑑みて、例えば、Vbg__1の絶対値はVbg__2の絶対値より大きくすればよい。このように、Vbg__1及びVbg__2の絶対値を異なる値とすることにより、半導体装置の保持特性を向上し、消費電力を低くすることができる。また、半導体装置の動作速度を高めることができる。

【0132】

なお、半導体層101jは、単層で形成してもよく、また図7に示す例のように、半導体層101j__a、半導体層101j__bおよび半導体層101j__cの積層構造で形成されていてもよい。同様に、半導体層201jは、単層で形成してもよく、半導体層201j__a、半導体層201j__bおよび半導体層201j__cの積層構造で形成されていてもよい。

【0133】

絶縁膜112jはバリア膜111と同様、水や水素が拡散しにくい材料を用いることが好ましい。また、特に、絶縁膜112jとして酸素を透過しにくい材料を用いることが好ましい。なお、絶縁膜112jを2層以上の積層構造としてもよい。その場合には、例えば絶縁膜112jを2層の積層構造とし、下層に例えば酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよい。また上層にはバリア膜111と

10

20

30

40

50

同様に水や水素が拡散しにくい材料を用いることが好ましい。また下層に設ける絶縁膜は、絶縁膜 114j と同様の、加熱により酸素が脱離する絶縁膜としてゲート絶縁膜 102j を介して半導体層 101j の上側からも酸素を供給する構成としてもよい。

【0134】

酸素を透過しにくい材料を含む絶縁膜 112j で半導体層 101j を覆うことで、半導体層 101j から絶縁膜 112j よりも上方に酸素が放出されることを抑制することができる。さらに、絶縁膜 114j から脱離した酸素を絶縁膜 112j よりも下側に閉じ込めることができるため、半導体層 101j に供給しうる酸素の量を増大させることができる。

【0135】

また、水や水素を透過しにくい絶縁膜 112j により、外部から酸化物半導体にとっての不純物である水や水素が混入することを抑制でき、トランジスタ Ta__j の電気特性の変動が抑制され、信頼性の高いトランジスタを実現できる。

【0136】

なお、絶縁膜 112j よりも下側に、絶縁膜 114j と同様の、加熱により酸素が脱離する絶縁膜を設け、ゲート絶縁膜 102j を介して半導体層 101j の上側からも酸素を供給する構成としてもよい。

【0137】

トランジスタ Tb__j 上の絶縁膜 212j については、絶縁膜 112j の記載を参照すればよい。

【0138】

図7(A)に示すように、トランジスタ Ta__j の半導体層 101j__b の側面は、導電層 104j__a および導電層 104j__b と接する。また、ゲート電極 103j の電界によって、半導体層 101j__b を電気的に取り囲むことができる(導電体の電界によって、半導体を電気的に取り囲むトランジスタの構造を、*surrounded channel (s-channel)* 構造とよぶ。)。そのため、半導体層 101j__b の全体(バルク)にチャンネルが形成される場合がある。*s-channel* 構造では、トランジスタのソース・ドレイン間に大電流を流すことができ、導通時の電流(オン電流)を高くすることができる。

【0139】

高いオン電流が得られるため、*s-channel* 構造は、微細化されたトランジスタに適した構造といえる。トランジスタを微細化できるため、該トランジスタを有する半導体装置は、集積度の高い、高密度化された半導体装置とすることが可能となる。例えば、トランジスタは、チャンネル長が好ましくは 40nm 以下、さらに好ましくは 30nm 以下、より好ましくは 20nm 以下の領域を有し、かつ、トランジスタは、チャンネル幅が好ましくは 40nm 以下、さらに好ましくは 30nm 以下、より好ましくは 20nm 以下の領域を有する。

【0140】

なお、チャンネル長とは、例えば、トランジスタの上面図において、半導体(またはトランジスタがオン状態のときに半導体の中で電流の流れる部分)とゲート電極とが重なる領域、またはチャンネルが形成される領域における、ソース(ソース領域またはソース電極)とドレイン(ドレイン領域またはドレイン電極)との間の距離をいう。なお、一つのトランジスタにおいて、チャンネル長が全ての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャンネル長は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル長は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

【0141】

チャンネル幅とは、例えば、半導体(またはトランジスタがオン状態のときに半導体の中で電流の流れる部分)とゲート電極とが重なる領域、またはチャンネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。なお、一つのトラン

10

20

30

40

50

ジスタにおいて、チャンネル幅がすべての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャンネル幅は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル幅は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

【0142】

なお、トランジスタの構造によっては、実際にチャンネルの形成される領域におけるチャンネル幅（以下、実効的なチャンネル幅と呼ぶ。）と、トランジスタの上面図において示されるチャンネル幅（以下、見かけ上のチャンネル幅と呼ぶ。）と、が異なる場合がある。例えば、立体的な構造を有するトランジスタでは、実効的なチャンネル幅が、トランジスタの上面図において示される見かけ上のチャンネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつ立体的な構造を有するトランジスタでは、半導体の上面に形成されるチャンネル領域の割合に対して、半導体の側面に形成されるチャンネル領域の割合が大きくなる場合がある。その場合は、上面図において示される見かけ上のチャンネル幅よりも、実際にチャンネルの形成される実効的なチャンネル幅の方が大きくなる。

【0143】

ところで、立体的な構造を有するトランジスタにおいては、実効的なチャンネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャンネル幅を見積もるためには、半導体の形状が既知という仮定が必要である。したがって、半導体の形状が正確にわからない場合には、実効的なチャンネル幅を正確に測定することは困難である。

【0144】

そこで、本明細書では、トランジスタの上面図において、半導体とゲート電極とが重なる領域における、ソースとドレインとが向かい合っている部分の長さである見かけ上のチャンネル幅を、「囲い込みチャンネル幅（SCW: Surrounded Channel Width）」と呼ぶ場合がある。また、本明細書では、単にチャンネル幅と記載した場合には、囲い込みチャンネル幅または見かけ上のチャンネル幅を指す場合がある。または、本明細書では、単にチャンネル幅と記載した場合には、実効的なチャンネル幅を指す場合がある。なお、チャンネル長、チャンネル幅、実効的なチャンネル幅、見かけ上のチャンネル幅、囲い込みチャンネル幅などは、断面TEM像などを取得して、その画像を解析することなどによって、値を決定することができる。

【0145】

なお、トランジスタの電界効果移動度や、チャンネル幅当たりの電流値などを計算して求める場合、囲い込みチャンネル幅を用いて計算する場合がある。その場合には、実効的なチャンネル幅を用いて計算する場合とは異なる値をとる場合がある。

【0146】

半導体層101j及び半導体層201jは、シリコンよりもエネルギーギャップの大きな半導体を含むことが好ましい。好適には、半導体層101jは酸化物半導体を含んで構成される。シリコンよりもエネルギーギャップが広く、且つキャリア密度の小さい半導体材料を用いると、トランジスタのオフ状態における電流を低減できるため好ましい。

【0147】

半導体層としてこのような材料を用いることで、電気特性の変動が抑制され、信頼性の高いトランジスタを実現できる。

【0148】

なお、半導体層に適用可能な酸化物半導体の好ましい形態とその形成方法については、後の実施の形態で詳細に説明する。

【0149】

なお、本明細書等において実質的に真性という場合、酸化物半導体層のキャリア密度は、 $1 \times 10^{17} / \text{cm}^3$ 未満、 $1 \times 10^{15} / \text{cm}^3$ 未満、 $1 \times 10^{13} / \text{cm}^3$ 未満、 $8 \times 10^{11} / \text{cm}^3$ 未満、 $1 \times 10^{11} / \text{cm}^3$ 未満、または $1 \times 10^{10} / \text{cm}^3$ 未満であり、 $1 \times 10^{-9} / \text{cm}^3$ 以上である。酸化物半導体層を高純度真性化することで

、トランジスタに安定した電気特性を付与することができる。

【0150】

半導体層101j__bとして、例えばIn:Ga:Zn=1:1:1、2:1:3、3:1:2、または4:2:3の原子数比のIn-Ga-Zn系酸化物を用いた場合、半導体層101j__aまたは半導体層101j__cとして、例えばIn:Ga:Zn=1:3:2、1:3:4、1:3:6、1:6:4、1:6:8、1:6:10、1:9:6、または1:2:3などの原子数比のIn-Ga-Zn系酸化物を用いることができる。なお、半導体層101j__b、半導体層101j__aおよび半導体層101j__cの原子数比はそれぞれ、誤差として上記の原子数比のプラスマイナス20%の変動を含む。また、半導体層101j__aと半導体層101j__cは、組成の同じ材料を用いてもよいし、異なる組成の材料を用いてもよい。

10

【0151】

また、半導体層101j__bとしてIn-M-Zn系酸化物を用いた場合、半導体層101j__bとなる半導体膜を成膜するために用いるターゲットは、該ターゲットが含有する金属元素の原子数比をIn:M:Zn= $x_1:y_1:z_1$ としたときに、 x_1/y_1 の値が1/3以上6以下、好ましくは1以上6以下であり、 z_1/y_1 が1/3以上6以下、好ましくは1以上6以下の原子数比の酸化物を用いることが好ましい。なお、 z_1/y_1 を6以下とすることで、後述するCAAC-OS膜が形成されやすくなる。ターゲットの金属元素の原子数比の代表例としては、In:M:Zn=1:1:1、2:1:3、3:1:2などがある。

20

【0152】

また、半導体層101j__a、半導体層101j__cとしてIn-M-Zn系酸化物を用いた場合、半導体層101j__a、半導体層101j__cとなる半導体膜を成膜するために用いるターゲットは、該ターゲットが含有する金属元素の原子数比をIn:M:Zn= $x_2:y_2:z_2$ としたときに、 $x_2/y_2 < x_1/y_1$ であり、 z_2/y_2 の値が1/3以上6以下、好ましくは1以上6以下の原子数比の酸化物を用いることが好ましい。なお、 z_2/y_2 を6以下とすることで、後述するCAAC-OS膜が形成されやすくなる。ターゲットの金属元素の原子数比の代表例としては、In:M:Zn=1:3:4、1:3:6、1:3:8などがある。

【0153】

酸化物半導体をスパッタリング法で成膜する場合、ターゲットの原子数比からずれた原子数比の膜が形成される場合がある。特に、亜鉛は、ターゲットの原子数比よりも膜の原子数比が小さくなる場合がある。具体的には、ターゲットに含まれる亜鉛の原子数比の40atomic%以上90atomic%程度以下となる場合がある。

30

【0154】

導電層104j__a、導電層104j__bは、アルミニウム、チタン、クロム、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、銀、タンタル、またはタングステンからなる金属、またはこれを主成分とする合金を単層構造または積層構造として用いる。例えば、シリコンを含むアルミニウム膜の単層構造、チタン膜上にアルミニウム膜を積層する二層構造、タングステン膜上にアルミニウム膜を積層する二層構造、銅-マグネシウム-アルミニウム合金膜上に銅膜を積層する二層構造、チタン膜上に銅膜を積層する二層構造、タングステン膜上に銅膜を積層する二層構造、チタン膜または窒化チタン膜と、そのチタン膜または窒化チタン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にチタン膜または窒化チタン膜を形成する三層構造、モリブデン膜または窒化モリブデン膜と、そのモリブデン膜または窒化モリブデン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にモリブデン膜または窒化モリブデン膜を形成する三層構造等がある。なお、酸化インジウム、酸化錫または酸化亜鉛を含む透明導電材料を用いてもよい。

40

【0155】

ゲート絶縁膜102jは、例えば酸化シリコン、酸化窒化シリコン、窒化酸化シリコン

50

、酸化アルミニウム、酸化ハフニウム、酸化ガリウムまたはGa-Zn系金属酸化物、窒化シリコンなどを用いればよく、積層または単層で設ける。

【0156】

また、ゲート絶縁膜102jとして、ハフニウムシリケート(HfSiO_x)、窒素が添加されたハフニウムシリケート($\text{HfSi}_x\text{O}_y\text{N}_z$)、窒素が添加されたハフニウムアルミネート($\text{HfAl}_x\text{O}_y\text{N}_z$)、酸化イットリウムなどのhigh-k材料を用いてもよい。

【0157】

また、ゲート絶縁膜102jとして、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルなどの酸化物絶縁膜、窒化シリコン、窒化酸化シリコン、窒化アルミニウム、窒化酸化アルミニウムなどの窒化物絶縁膜、またはこれらの混合材料を用いて形成することができる。

【0158】

また、ゲート絶縁膜102jとして、絶縁膜114jと同様に、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物絶縁膜を用いることが好ましい。

【0159】

なお、特定の材料をゲート絶縁膜に用いると、特定の条件でゲート絶縁膜に電子を捕獲せしめて、しきい値電圧を増大させることもできる。例えば、酸化シリコンと酸化ハフニウムの積層膜のように、ゲート絶縁膜の一部に酸化ハフニウム、酸化アルミニウム、酸化タンタルのような電子捕獲準位の多い材料を用い、より高い温度(半導体装置の使用温度あるいは保管温度よりも高い温度、あるいは、125 以上450 以下、代表的には150 以上300 以下)の下で、ゲート電極の電位をソース電極やドレイン電極の電位より高い状態を、1秒以上、代表的には1分以上維持することで、半導体層からゲート電極に向かって、電子が移動し、そのうちのいくらかは電子捕獲準位に捕獲される。

【0160】

このように電子捕獲準位に必要な量の電子を捕獲させたトランジスタは、しきい値電圧がプラス側にシフトする。ゲート電極の電圧の制御によって電子の捕獲する量を制御することができ、それに伴ってしきい値電圧を制御することができる。また、電子を捕獲せしめる処理は、トランジスタの作製過程におこなえばよい。

【0161】

例えば、トランジスタのソース電極あるいはドレイン電極に接続する配線メタルの形成後、あるいは、前工程(ウェハー処理)の終了後、あるいは、ウェハーダイシング工程後、パッケージ後等、工場出荷前のいずれかの段階で行うとよい。いずれの場合にも、その後125 以上の温度に1時間以上さらされないことが好ましい。

【0162】

ゲート電極103jは、例えばアルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた金属、または上述した金属を成分とする合金か、上述した金属を組み合わせた合金等を用いて形成することができる。また、マンガン、ジルコニウムのいずれか一または複数から選択された金属を用いてもよい。また、リン等の不純物元素をドーピングした多結晶シリコンに代表される半導体、ニッケルシリサイド等のシリサイドを用いてもよい。また、ゲート電極103jは、単層構造でも、二層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する二層構造、窒化チタン膜上にチタン膜を積層する二層構造、窒化チタン膜上にタングステン膜を積層する二層構造、窒化タンタル膜または窒化タングステン膜上にタングステン膜を積層する二層構造、チタン膜と、そのチタン膜上にアルミニウム膜を積層し、さらにその上にチタン膜を形成する三層構造等がある。また、アルミニウムに、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた一または複数を組み合わせた合金膜、もしくは窒化膜を用いてもよい。

【0163】

また、ゲート電極 103j は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化シリコンを添加したインジウム錫酸化物等の透光性を有する導電性材料を適用することもできる。また、上記透光性を有する導電性材料と、上記金属の積層構造とすることもできる。

【0164】

また、導電層 105j は、ゲート電極 103j と同様の材料を用いればよい。

【0165】

また、ゲート電極 103j とゲート絶縁膜 102j の間に、In-Ga-Zn系酸窒化物半導体膜、In-Sn系酸窒化物半導体膜、In-Ga系酸窒化物半導体膜、In-Zn系酸窒化物半導体膜、Sn系酸窒化物半導体膜、In系酸窒化物半導体膜、金属窒化膜(InN、ZnN等)等を設けてもよい。これらの膜は5eV以上、好ましくは5.5eV以上の仕事関数を有し、酸化物半導体の電子親和力よりも大きい値であるため、酸化物半導体を用いたトランジスタのしきい値電圧をプラスにシフトすることができ、所謂ノーマリーオフ特性のスイッチング素子を実現できる。例えば、In-Ga-Zn系酸窒化物半導体膜を用いる場合、少なくとも半導体層 101j より高い窒素濃度、具体的には7原子%以上のIn-Ga-Zn系酸窒化物半導体膜を用いる。

【0166】

なお、図7(A)に示す構成は、ゲート絶縁膜 102j と半導体層 101j __cの端部が概略一致するように加工され、ゲート電極 103j はゲート絶縁膜よりも内側に位置するように加工される例を示すが、ゲート絶縁膜 102j、半導体層 101j __cおよびゲート電極 103j の端部が概略一致するように加工されてもよい。あるいは、ゲート絶縁膜 102j、半導体層 101j __cおよびゲート電極の端部がそれぞれ一致しないように加工されてもよい。

【0167】

また、トランジスタTa__j及びトランジスタTb__jの異なる構造の例として、図18(D)、図18(E)、図19(D)および図19(E)を用いて簡単に説明する。ここではトランジスタTa__jについて説明するが、トランジスタTb__jについても同様な構造を用いることができる。

【0168】

半導体層 101j __aおよび半導体層 101j __bを形成する際に、導電膜 104を形成してからレジストマスクを形成し、導電膜 104をエッチングした後、半導体層 101j __aとなる半導体層および半導体層 101j __bとなる半導体層をエッチングにより形成する。その後、導電膜 104を再び加工し導電層 104j __aおよび導電層 104j __bを形成し、図18(D)に示すような構造とすることができる。

【0169】

また、半導体層 101j __cは、図18(E)に示すように導電層 104j __a及び導電層 104j __bの下面に接して設けられていてもよい。このような構成とすることで、半導体層 101j __a、半導体層 101j __b及び半導体層 101j __cを構成するそれぞれの膜の成膜時において、大気に触れさせることなく連続的に成膜することができるため、各々の界面欠陥を低減することができる。

【0170】

また、トランジスタTa__jは、図19(D)に示す構造としてもよい。図19(D)に示す例では、絶縁膜 116jに開口部を設けてプラグを形成し、ソース電極及びドレイン電極としている。またトランジスタTa__jは、絶縁膜 116jの下に、絶縁膜 112j及び絶縁膜 113jを有してもよい。

【0171】

また、図19(E)に示すように半導体層 101jに低抵抗領域を設けてもよい。まず絶縁膜 114j上に半導体層 101jとなる半導体膜を形成した後、レジストマスク等を形成し、エッチングを行い、半導体層 101jを形成する。次に、ゲート絶縁膜 102j

となる絶縁膜およびゲート電極 103j となる導電膜を形成し、レジストマスク等を形成し、エッチングを行い、ゲート電極 103j およびゲート絶縁膜 102j を形成する。

【0172】

次に、低抵抗領域 171j __ a および低抵抗領域 171j __ b を形成する。キャリア密度の高い半導体層は、抵抗が低くなる。キャリア密度を高める方法として、たとえば不純物の添加や、酸素欠損の形成等が挙げられる。例えばキャリア密度を高める方法として、イオン注入を用いて元素を添加すればよい。用いることのできる元素としては、例えばアルゴン、ホウ素、炭素、マグネシウム、アルミニウム、シリコン、リン、カルシウム、スカンジウム、チタン、バナジウム、クロム、マンガン、鉄、コバルト、ニッケル、ガリウム、ゲルマニウム、ヒ素、イットリウム、ジルコニウム、ニオブ、モリブデン、インジウム、スズ、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステンから選択された一種以上を添加することが好ましい。低抵抗領域 171j __ a および低抵抗領域 171j __ b は例えば、半導体層 101j 中に、上述の不純物元素を $5 \times 10^{19} \text{ atoms/cm}^3$ 以上、好ましくは $1 \times 10^{20} \text{ atoms/cm}^3$ 以上、さらに好ましくは $2 \times 10^{20} \text{ atoms/cm}^3$ 以上、より好ましくは $5 \times 10^{20} \text{ atoms/cm}^3$ 以上含む領域である。

10

【0173】

このような抵抗の低い領域は、例えば不要な水素をトラップすることができる可能性がある。不要な水素を低抵抗層にトラップすることによりチャネル領域の水素濃度を低くし、トランジスタ Ta_j の特性として、良好な特性を得ることができる。

20

【0174】

また、図7、図18および図19に示すトランジスタの例では、半導体層 101j __ b に接して半導体層 101j __ a 及び半導体層 101j __ c を設ける構成を説明したが、半導体層 101j __ a または半導体層 101j __ c の一方、またはその両方を設けない構成としてもよい。

【0175】

以上がトランジスタ Ta_j 及びトランジスタ Tb_j についての説明である。

【0176】

トランジスタ Ta_j を覆う絶縁膜 116j は、その下層の凹凸形状を被覆する平坦化層として機能する。また絶縁膜 113j は、絶縁膜 116j を成膜する際の保護膜としての機能を有していてもよい。絶縁膜 113j は不要であれば設けなくてもよい。

30

【0177】

同様に、トランジスタ Tb_j を覆う絶縁膜 216j は、その下層の凹凸形状を被覆する平坦化層として機能する。また絶縁膜 213j は、絶縁膜 216j を成膜する際の保護膜としての機能を有していてもよい。絶縁膜 213j は不要であれば設けなくてもよい。

【0178】

また、容量素子 Ca_j を覆う絶縁膜 156j については、例えば絶縁膜 116j の記載を参照すればよい。

【0179】

絶縁膜 112j、絶縁膜 113j 及び絶縁膜 116j には、導電層 104j __ a 等と電氣的に接続するプラグ 147j 等が埋め込まれている。

40

【0180】

また、絶縁膜 212j、絶縁膜 213j 及び絶縁膜 216j には、ゲート電極 203j や導電層 151j 等と電氣的に接続するプラグ 141j 等が埋め込まれている。

【0181】

また図6に示すように、水素を含む絶縁膜 136 上に、バリア膜 111 と同様の材料を含む絶縁膜 137 を設ける構成としてもよい。このような構成とすることで、水素を含む絶縁膜 136 中に残存した水や水素が上方に拡散することを効果的に抑制することができる。この場合、絶縁膜 137 を形成する前と、絶縁膜 137 を形成した後であってバリア膜 111 を形成するよりも前に、水や水素を除去するための加熱処理を合計2回以上行っ

50

てもよい。

【0182】

プラグ141j乃至プラグ148j、導電層151j乃至導電層154j等には、材料として金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。特に、耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、特にタングステンを用いることが好ましい。また、窒化チタンやチタンなどの材料を、他の材料と積層して用いてもよい。例えば、窒化チタンやチタンを用いることにより、開口部への密着性を向上させることができる。またプラグ141j乃至プラグ148j、導電層151j乃至導電層154j等は、絶縁膜に埋め込まれるように設けられ、各々の上面は平坦化されていることが好ましい。

10

【0183】

トランジスタTa_j及びトランジスタTb_jに酸化物半導体層を繰り返し積層して半導体層を形成することにより、図1(A)や図6などに示すように、c層のサブメモリセルSCLを積層することが可能となる。よって、面積あたりの容量を高めることができる。

【0184】

従来のシリコンやゲルマニウム、及びその化合物を用いたトランジスタでは、特に微細なチャンネル長を有する素子では短チャンネル効果を抑制するために、ゲート電界を強くすることが好ましく、ゲート電界を強くするためにはゲート絶縁膜の薄膜化が好ましい。

【0185】

一方、酸化物半導体膜を用いたトランジスタは、電子を多数キャリアとする蓄積型トランジスタである。そのため、pn接合を有する反転型トランジスタと比較して短チャンネル効果の一つであるDIBL(Drain-Induced Barrier Lowering)の影響が小さい。酸化物半導体膜を用いたトランジスタは、短チャンネル効果に対する耐性を有すると言い換えることもできる。

20

【0186】

短チャンネル効果に対する耐性が高いために、酸化物半導体膜を用いたトランジスタではシリコン等を用いた従来のトランジスタよりもゲート絶縁膜を厚くすることが可能となる。例えばチャンネル長及びチャンネル幅が50nm以下の微細なトランジスタにおいても、10nm程度の厚いゲート絶縁膜を用いてもよい。ここで、ゲート絶縁膜を厚くすることにより寄生容量を低減することができる。よって、回路の動特性を向上できる場合がある。またゲート絶縁膜を厚くすることにより、リーク電流を低減し、消費電力を下げられる場合がある。

30

【0187】

また、チャンネル長が微細化するのに伴いド레인電界が強まるため、シリコン等を用いた従来のトランジスタにおいては、特に微細なチャンネル長を有する場合にホットキャリア劣化による信頼性の低下がより顕著となる。一方、酸化物半導体ではエネルギーギャップが大きく(例えばインジウム、ガリウム及び亜鉛を有する酸化物半導体では2.5eV以上)、電子が励起されにくいことや、ホールの有効質量が大きいためなどから、従来のシリコン等を用いたトランジスタと比較して、アバランシェ崩壊等が生じにくい場合がある。よって、例えばアバランシェ崩壊に起因するホットキャリア劣化等を抑制できる場合がある。

40

【0188】

ゲート絶縁膜を厚くすることによりゲート絶縁膜の耐圧を高めることができ、より高いゲート電圧でトランジスタを駆動することができる。また、ホットキャリア劣化を抑制することにより、チャンネル長を長くせずとも高いド레인電圧でトランジスタを駆動することができる。よって、高い電圧が入力される回路においてトランジスタの信頼性を高めることができるとともに、チャンネル長の縮小が可能となり回路の集積度を高めることができる。

【0189】

50

また、真性または実質的に真性の酸化物半導体膜を用いたトランジスタでは、ソース電極及びドレイン電極間の距離が充分小さいときには、ソース電界及びドレイン電界の影響により伝導帯下端のエネルギーが低くなり、伝導帯のエネルギーとフェルミ準位が近くなる。この現象を、Conduction Band Lowering Effect (CBL効果)と呼ぶ。CBL効果によって、 $V_g - I_d$ 特性において0V付近の低いゲート電圧からドレイン電流が流れ始めるために、トランジスタの駆動電圧を低くすることができる場合がある。

【0190】

ここで、酸化物半導体膜としてCAAC-OS膜を用いることが好ましい。CAAC-OS膜のCAAC比率は高いことが好ましい。CAAC比率を高めることにより、例えばトランジスタのキャリア散乱の影響を小さくすることができ、高い電界効果移動度を得ることができる。また、また、粒界の影響を小さくすることができるため、トランジスタのオン特性のばらつきを小さくすることができる。よって、信頼性の高い半導体装置を得ることができる。また、パラツキの小さいトランジスタを用いることにより駆動電圧を小さくし、消費電力を下げるができる。また、例えば欠陥密度の低いCAAC-OS膜を実現することができる。また、不純物の少ないCAAC-OS膜を実現することができる。欠陥密度を低減することにより、例えば極めて低いオフ電流特性を実現することができる。CAAC-OS膜については後述する。

【0191】

ここで、トランジスタTa__jの有する半導体層101j__bと、トランジスタTb__jの有する半導体層201j__bを異なる材料で形成してもよい。例えば、半導体層101j__bと半導体層201j__bにIn-M-Zn酸化物を用いる場合、インジウム、元素M及び亜鉛の原子数比が異なる材料を用いてもよい。

【0192】

また、トランジスタTa__jとトランジスタTb__jは、異なる構造のトランジスタを用いてもよい。また、トランジスタTa__jとトランジスタTb__jのチャネル幅は、それぞれ異なってもよい。同様に、トランジスタTa__jとトランジスタTb__jのチャネル長は、それぞれ異なってもよい。

【0193】

また、トランジスタTa__jが有する半導体層101jと、トランジスタTb__jが有する半導体層201jが、Inと、Mで表される元素と、Znを有する酸化物半導体を有することが好ましい。半導体層101jが有する酸化物半導体のIn、M、Znの原子数の比は $In : M : Zn = a : b : c$ を満たし、半導体層201jが有する酸化物半導体のIn、M、Znの原子数の比は $In : M : Zn = d : e : f$ を満たす場合について説明する。ここで、例えば $a / (a + b + c)$ は、 $d / (d + e + f)$ よりも小さいことが好ましい。インジウムの含有率を多くすることにより、より多くのs軌道が重なるため、インジウムの含有率が多い酸化物はインジウムの含有率が少ない酸化物と比較して移動度が高くなる。そのため、酸化物半導体膜にインジウムの含有率が多い酸化物を用いることで、キャリア移動度を高めることができる。一方、インジウムの含有率を小さくすると、オフ電流をより低くできる場合があり、好ましい。

【0194】

[積層構造の例2]

また、図8に示す積層構造は、図6とは異なる半導体装置の積層構造の一例である。図8に示す半導体装置は、メモリセルアレイ300と、周辺回路500を有する。なお、図8はj=4までの積層を示すが、実際にはj=5以上のサブメモリセルが積層されてもよく、積層数が多いほどメモリの集積度を高めることができるため、より好ましい。図8に示すメモリセルアレイ300の回路図は、例えば図4を参照する。ここで、図8においては、図をみやすくするため、膜の界面等を一部省略している。

【0195】

ここで、図8に示す層291はトランジスタを有する。また、図8に示す層292及び

層 2 9 3 は導電層を有する。また、図 8 に示す層 2 9 4 はトランジスタを有する。また、図 8 に示す層 2 9 5 及び層 2 9 6 は導電層を有する。図 8 に示す層 2 9 1 乃至層 2 9 6 の各上面図を図 1 0 に示す。

【 0 1 9 6 】

図 6 では、トランジスタ、容量素子、トランジスタ、トランジスタ、容量素子、トランジスタの順に積層されるのに対し、図 8 では、サブメモリセルを互い違いに配置することによりトランジスタ、容量素子、トランジスタ、容量素子、の順に積層される。よって、工程を簡略化することができる。

【 0 1 9 7 】

図 9 は、図 8 の一部を拡大した図である。トランジスタ T_{b_j} の上には容量素子 C_{a_j} が設けられている。また、容量素子 C_{a_j} の少なくとも一部は、トランジスタ T_{b_j} と重なるように設けられることが好ましい。また、容量素子 C_{a_j} の一部は、隣接するサブメモリセルが有するトランジスタと重なるように設けられてもよい。図 9 に示す例では、例えばサブメモリセル SC_{L_3} が有する容量素子 C_{a_3} は、サブメモリセル SC_{L_2} が有するトランジスタ T_{a_2} と重なるように設けられており、メモリセルアレイ 3 0 0 の集積度を高めることができる。

【 0 1 9 8 】

また、サブメモリセル SC_{L_2} とサブメモリセル SC_{L_3} は、図 9 において左右対称の構造を有する。このような構造とすることにより、サブメモリセルを互い違いに配置することができ、隣接するサブメモリセルのトランジスタ上に容量素子を形成することができ、集積度を高めることができる。また、互い違いに配置することにより、図 6 に比べて工程を簡略化することができる。つまり、上下に積層されたサブメモリセル同士が、同じ層に形成されたトランジスタを有する。より具体的には、例えばサブメモリセル SC_{L_j} ($j = m - 1$) の有するトランジスタ T_{a_j} ($j = m - 1$) と、サブメモリセル SC_{L_j} ($j = m$) の有するトランジスタ T_{b_j} ($j = m$) は、同じ層に形成される。すなわち、例えばトランジスタ T_{a_j} ($j = m - 1$) と、トランジスタ T_{b_j} ($j = m$) は、第 1 の絶縁膜上に接して形成される。すなわち、例えばトランジスタ T_{a_j} ($j = m - 1$) の有する半導体層 1 0 1 j ($j = m - 1$) と、トランジスタ T_{b_j} ($j = m$) の有する半導体層 2 0 1 j ($j = m$) は、第 1 の絶縁膜上に接して形成される。または、メモリセルアレイ 3 0 0 は、半導体層 1 0 1 j ($j = m - 1$) と半導体層 2 0 1 j ($j = m$) に接する第 1 の絶縁膜を有する。または、例えばトランジスタ T_{a_j} ($j = m - 1$) の有するゲート電極 1 0 3 j ($j = m - 1$) 上と、トランジスタ T_{b_j} ($j = m$) の有するゲート電極 2 0 3 j ($j = m$) 上に接するように第 2 の絶縁膜が形成される。または、メモリセルアレイ 3 0 0 は、ゲート電極 1 0 3 j ($j = m - 1$) とゲート電極 2 0 3 j ($j = m$) に接する第 2 の絶縁膜を有する。ここで、 m は 2 以上の自然数である。

【 0 1 9 9 】

このように、上下に隣接するサブメモリセルの有するトランジスタの一部が、同一層に形成されることにより、より少ない工程でメモリセルアレイ 3 0 0 を作製することができる。少ない工程で作製することにより、歩留まりを高めることができる。また、積層される層数を少なくすることができるため、回路全体の寄生容量を小さくすることができる。

【 0 2 0 0 】

また、積層される層数が増えるのに伴い、例えば、絶縁膜、導電膜、半導体膜等が有する膜応力により、膜の剥がれや割れなどが生じる可能性がある。よって、積層される層数を少なくすることにより、膜剥がれ等による半導体装置の故障を低減することができる。

【 0 2 0 1 】

容量素子 C_{a_j} の端子の一方である導電層 1 5 1 j は、プラグ 1 4 1 j を介してトランジスタ T_{b_j} のゲート電極 2 0 3 j と電気的に接続する。

【 0 2 0 2 】

容量素子 C_{a_j} の上にはトランジスタ T_{a_j} が設けられている。また、トランジスタ T_{a_j} の少なくとも一部は、容量素子 C_{a_j} と重なるように設けられることが好ま

10

20

30

40

50

しい。ここで、ゲート電極 203j 及び導電層 151j は、プラグ 141j 及びプラグ 144j を介してトランジスタ Ta__j のソース電極またはドレイン電極として機能する導電層 104j__b と電氣的に接続する。容量素子 Ca__j が有する絶縁膜 115j は、導電層 151j 及び導電層 152j に挟まれ、容量を形成する。

【0203】

トランジスタ Tb__j のソース電極またはドレイン電極として機能する導電層 204j__b はソース線 SL に電氣的に接続する。

【0204】

トランジスタ Tb__j のソース電極またはドレイン電極として機能する導電層 204j__a は、プラグ 142j 等を介してトランジスタ Ta__j のソース電極またはドレイン電極として機能する導電層 104j__a と電氣的に接続する。また、導電層 204j__a 及び導電層 104j__a は、ビット線 BL に電氣的に接続する。

10

【0205】

また、サブメモリセル SCL__j は、隣接するサブメモリセルと導電層やプラグを共有することが好ましい。例えば、サブメモリセル SCL__2 の有するトランジスタ Tb__j のソース電極またはドレイン電極として機能する導電層 204j__a は、隣接するサブメモリセル SCL__1 のトランジスタ Ta__j のソース電極またはドレイン電極と共有される。また、サブメモリセル SCL__2 の有するトランジスタ Ta__j のソース電極またはドレイン電極として機能する導電層 104j__a は、サブメモリセル SCL__3 が有するトランジスタ Tb__j のソース電極またはドレイン電極と共有される。このように導電層を共有することにより、メモリセルアレイ 300 の集積度を高めることができる。

20

【0206】

また、図 8 に示すトランジスタ 198 及びトランジスタ 199 は、いずれのサブメモリセルにも含まれない、いわゆるダミートランジスタである。よって、トランジスタ 198 及びトランジスタ 199 は、メモリセルアレイとしては、一般的には不要と考えられている。しかしながら、トランジスタ 198 及びトランジスタ 199 を設けることにより、層 299 は、層 294 等と同じマスクを用いて作製することができる。よって、必要なマスクの枚数を削減することができ、コストの削減につながる。また、リソグラフィ工程では、特に微細なパターンを形成する場合には、線間の距離などが変化すると出来上がりの線幅等が変わる場合がある。よって、メモリセルアレイ 300 の作製にリソグラフィ工程を用いる場合には、層 294 と層 299 を同じマスクを用いて形成することにより、例えばパターン間の距離などの条件を共通にすることができ、層 294 と層 299 において微細なパターンを形成しやすくなるため好ましい。また、出来上がりのトランジスタの半導体層、導電層、ゲート電極等のサイズをそろえることができるため好ましい。また、トランジスタ同士や、トランジスタと配線、及び配線間の距離が大きく変わることがないため、配線間容量等の電界の干渉が均一となり、サブメモリ間の特性のばらつきを低減することができる場合がある。なお、トランジスタ 198 及びトランジスタ 199 の有するゲート電極や導電層は、他のトランジスタや配線に接続していなくともよい。その場合は、不要なプラグと配線の形成は省くことができる。また、図 8 には図示しないが、メモリセルアレイ 300 の最上層にも同様に、ダミートランジスタを設けることが好ましい。

30

40

【0207】

ここで、ダミートランジスタであるトランジスタ 198 やトランジスタ 199 は、書き込みワード線 WWL、読み出しワード線 RWL、ビット線 BL、フローティングノード FN 及びソース線 SL の一部に接続してもよく、またいずれに接続しなくてもよい。

【0208】

例えば、ダミートランジスタであるトランジスタ 198 やトランジスタ 199 は、ソース線 SL のみに接続してもよい。または、ソース線 SL 及びビット線 BL に接続してもよい。

【0209】

または、例えばダミートランジスタであるトランジスタ 198 やトランジスタ 199 は

50

、容量素子の端子の一方に接続し、容量素子の端子の他方が書き込みワード線WWLに接続しなくてもよい。

【0210】

ここで、図8において、例えば層299と層294は同じ数のトランジスタを有することが好ましい。あるいは概略同じ形状のトランジスタを有することが好ましい。

【0211】

または、図8において、例えば層299と層294は同じ数の半導体層を有することが好ましい。あるいは概略同じ形状の半導体層を有することが好ましい。

【0212】

または、図8において、例えば層299と層294は同じ数のゲート電極を有することが好ましい。あるいは概略同じ形状のゲート電極を有することが好ましい。

10

【0213】

[積層構造の例3]

また、図11に示す積層構造は、図6及び図8とは異なる半導体装置の積層構造の一例である。図11(A)は、メモリセルアレイ300の有するサブメモリセルの上面図を示す。また、図11(B)は、図11(A)に示すA-A'の断面、A'-Bの断面、及びB-B'の断面を示す。また、図11(C)は、図11(A)に示すC-C'の断面を示す。図11(B)に示す半導体装置は、メモリセルアレイ300と、周辺回路500を有する。なお、図11はj=2までの積層を示すが、実際にはj=3以上のサブメモリセルが積層されることが好ましく、積層数が多いほどメモリの集積度を高めることができるため、より好ましい。図8に示すメモリセルアレイ300の回路図は、例えば図1(B)を参照する。

20

【0214】

図11(B)に示す構造では、容量素子Ca_jの端子の一方と、ゲート電極203jを兼ねることができるため、工程を簡略化することができる。

【0215】

[積層構造の例4]

また、図12に示す積層構造は、図6、図8及び図11とは異なる半導体装置の積層構造の一例である。また、図12に示す積層構造は、図6とは異なる半導体装置の積層構造の一例である。図12に示す半導体装置は、メモリセルアレイ300と、周辺回路500を有する。なお、図12はj=4までの積層を示すが、実際にはj=5以上のサブメモリセルが積層されてもよく、積層数が多いほどメモリの集積度を高めることができるため、より好ましい。図12に示すメモリセルアレイ300の回路図は、例えば図4を参照する。

30

【0216】

図12に示すメモリセルアレイ300は、サブメモリセルが互い違いに配置されている点が図8と共通する点である。図12に示すサブメモリセルSCL1乃至サブメモリセルSCL4のうち、SCL2及びSCL4では、トランジスタTb_jの半導体層101jの下に位置するゲート電極203j、いわゆるボトムゲートが、容量素子Ca_jと電気的に接続する点が、他の構造とは異なる。また、2つのトランジスタと容量素子の積層順も、トランジスタTa_jの上に容量素子Ca_jが位置し、容量素子Ca_jの上にトランジスタTb_jが位置する点で、他の構造とは異なる。

40

【0217】

一方、SCL₁及びSCL₃では、トランジスタTb_jの半導体層101jの上に位置するゲート電極203jが、容量素子Ca_jと電気的に接続する。また、2つのトランジスタと容量素子の積層順も、トランジスタTb_jの上に容量素子Ca_jが位置し、容量素子Ca_jの上にトランジスタTa_jが位置する。つまり図12に示す例では、jが奇数の時と偶数の時でサブメモリセルSCL_jの構造が異なる。また、図12に示す例ではトランジスタTa_jとトランジスタTb_jを同一の層に形成する必要がなく、トランジスタTa_jの有する半導体層101jとトランジスタTb_jの有す

50

る半導体層 201j を、例えば構成元素や原子数比の異なる酸化物半導体層で形成する場合において、作製が容易であるため好ましい。

【0218】

以上が構成例についての説明である。

【0219】

[作製方法例]

以下では、上記構成例で示した半導体装置の作製方法の一例について、図13乃至図16を用いて説明する。

【0220】

まず、半導体基板 131 を準備する。半導体基板 131 としては、例えば単結晶シリコン基板 (p 型の半導体基板、または n 型の半導体基板を含む)、炭化シリコンや窒化ガリウムを材料とした化合物半導体基板などを用いることができる。また、半導体基板 131 として、SOI 基板を用いてもよい。以下では、半導体基板 131 として単結晶シリコンを用いた場合について説明する。

【0221】

続いて、半導体基板 131 に素子分離層 (図示せず) を形成する。素子分離層は LOCOS (Local Oxidation of Silicon) 法または STI (Shallow Trench Isolation) 法、メサ分離法等を用いて形成すればよい。

【0222】

同一基板上に p 型のトランジスタと n 型のトランジスタを形成する場合、半導体基板 131 の一部に n ウェルまたは p ウェルを形成してもよい。例えば、n 型の半導体基板 131 に p 型の導電性を付与するホウ素などの不純物元素を添加して p ウェルを形成し、同一基板上に n 型のトランジスタと p 型のトランジスタを形成してもよい。

【0223】

続いて、半導体基板 131 上にゲート絶縁膜 134 となる絶縁膜を形成する。例えば、半導体基板 131 の表面を酸化し酸化シリコン膜を形成する。または、熱酸化法により酸化シリコンを形成した後に、窒化処理を行うことによって酸化シリコン膜の表面を窒化することにより、酸化シリコン膜と、酸化窒化シリコン膜の積層構造を形成してもよい。または、酸化シリコン、酸化窒化シリコン、高誘電率物質 (high-k 材料ともいう) であるタンタル酸化物、酸化ハフニウム、酸化ハフニウムシリケート、酸化ジルコニウム、酸化アルミニウム、酸化チタンなどの金属酸化物、または酸化ランタンなどの希土類酸化物等を用いてもよい。

【0224】

当該絶縁膜は、スパッタリング法、CVD (Chemical Vapor Deposition) 法 (熱 CVD 法、MOCVD (Metal Organic CVD) 法、PECVD (Plasma Enhanced CVD) 法等を含む)、MBE (Molecular Beam Epitaxy) 法、ALD (Atomic Layer Deposition) 法、または PLD (Pulsed Laser Deposition) 法等で成膜することにより形成してもよい。

【0225】

続いて、ゲート電極 135 となる導電膜を成膜する。導電膜としては、タンタル、タングステン、チタン、モリブデン、クロム、ニオブ等から選択された金属、またはこれらの金属を主成分とする合金材料若しくは化合物材料を用いることが好ましい。また、リン等の不純物を添加した多結晶シリコンを用いることができる。また、金属窒化物膜と上記の金属膜の積層構造を用いてもよい。金属窒化物としては、窒化タングステン、窒化モリブデン、窒化チタンを用いることができる。金属窒化物膜を設けることにより、金属膜の密着性を向上させることができ、剥離を防止することができる。

【0226】

導電膜は、スパッタリング法、蒸着法、CVD 法 (熱 CVD 法、MOCVD 法、PEC

10

20

30

40

50

V D法等を含む)などにより成膜することができる。またプラズマによるダメージを減らすには、熱CVD法、MOCVD法あるいはALD法が好ましい。

【0227】

続いて、当該導電膜上にリソグラフィ法等を用いてレジストマスクを形成し、当該導電膜の不要な部分を除去する。その後、レジストマスクを除去することにより、ゲート電極135を形成することができる。

【0228】

ここで、被加工膜の加工方法について説明する。被加工膜を微細に加工する場合には、様々な微細加工技術を用いることができる。例えば、フォトリソグラフィ法等で形成したレジストマスクに対してスリミング処理を施す方法を用いてもよい。また、フォトリソグラフィ法等でダミーパターンを形成し、当該ダミーパターンにサイドウォールを形成した後にダミーパターンを除去し、残存したサイドウォールをレジストマスクとして用いて、被加工膜をエッチングしてもよい。また被加工膜のエッチングとして、高いアスペクト比を実現するために、異方性のドライエッチングを用いることが好ましい。また、無機膜または金属膜からなるハードマスクを用いてもよい。

【0229】

レジストマスクの形成に用いる光は、例えばi線(波長365nm)、g線(波長436nm)、h線(波長405nm)、またはこれらを混合させた光を用いることができる。そのほか、紫外線やKrFレーザ光、またはArFレーザ光等を用いることもできる。また、液浸露光技術により露光を行ってもよい。また、露光に用いる光として、極端紫外光(EUV: Extreme Ultra-violet)やX線を用いてもよい。また、露光に用いる光に換えて、電子ビームを用いることもできる。極端紫外光、X線または電子ビームを用いると、極めて微細な加工が可能となるため好ましい。なお、電子ビームなどのビームを走査することにより露光を行う場合には、フォトマスクは不要である。

【0230】

また、レジストマスクとなるレジスト膜を形成する前に、被加工膜とレジスト膜との密着性を改善する機能を有する有機樹脂膜を形成してもよい。当該有機樹脂膜は、例えばスピコート法などにより、その下層の段差を被覆して表面を平坦化するように形成することができ、当該有機樹脂膜の上層に設けられるレジストマスクの厚さのばらつきを低減できる。また特に微細な加工を行う場合には、当該有機樹脂膜として、露光に用いる光に対する反射防止膜として機能する材料を用いることが好ましい。このような機能を有する有機樹脂膜としては、例えばBARC(Bottom Anti-Reflection Coating)膜などがある。当該有機樹脂膜は、レジストマスクの除去と同時に除去するか、レジストマスクを除去した後に除去すればよい。

【0231】

ゲート電極135の形成後、ゲート電極135の側面を覆うサイドウォールを形成してもよい。サイドウォールは、ゲート電極135の厚さよりも厚い絶縁膜を成膜した後に、異方性エッチングを施し、ゲート電極135の側面部分のみ当該絶縁膜を残存させることにより形成できる。

【0232】

図13には、サイドウォールの形成時にゲート絶縁膜のエッチングを行わない例を示すが、サイドウォールの形成時にゲート絶縁膜134となる絶縁膜も同時にエッチングしてもよい。この場合はゲート電極135及びサイドウォールの下部にゲート絶縁膜134が形成される。

【0233】

続いて、半導体基板131のゲート電極135(及びサイドウォール)が設けられていない領域にリンなどのn型の導電性を付与する元素、またはホウ素などのp型の導電性を付与する元素を添加する。この段階における断面概略図が図13(A)に相当する。

【0234】

続いて、絶縁膜136を形成した後、上述した導電性を付与する元素の活性化のための

第1の加熱処理を行う。

【0235】

絶縁膜136は、例えば酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよく、積層または単層で設ける。絶縁膜136はスパッタリング法、CVD法（熱CVD法、MOCVD法、PECVD法等を含む）、MBE法、ALD法またはPLD法などを用いて形成することができる。特に、当該絶縁膜をCVD法、好ましくはプラズマCVD法によって成膜すると、被覆性を向上させることができるため好ましい。またプラズマによるダメージを減らすには、熱CVD法、MOCVD法あるいはALD法が好ましい。

10

【0236】

第1の加熱処理は、希ガスや窒素ガスなどの不活性ガス雰囲気下、または減圧雰囲気下にて、例えば400℃以上基板の歪み点未満で行うことができる。

【0237】

この段階でトランジスタ130a、トランジスタ130b、トランジスタ230a及びトランジスタ230bが形成される。

【0238】

続いて、絶縁膜137を形成し、図13(A)の断面を得る。続いて、絶縁膜138を形成する。

【0239】

20

絶縁膜137は、絶縁膜136に用いることのできる材料のほか、酸素と水素を含む窒化シリコン(SiNOH)を用いると、加熱によって脱離する水素の量を大きくすることができるため好ましい。また、絶縁膜138は、絶縁膜136に用いることのできる材料のほか、TEOS(Tetra-Ethyl-Ortho-Silicate)若しくはシラン等と、酸素若しくは亜酸化窒素等とを反応させて形成した段差被覆性の良い酸化珪素を用いることが好ましい。

【0240】

絶縁膜137及び絶縁膜138は、例えばスパッタリング法、CVD法（熱CVD法、MOCVD法、PECVD法等を含む）、MBE法、ALD法またはPLD法などを用いて形成することができる。特に、当該絶縁膜をCVD法、好ましくはプラズマCVD法によって成膜すると、被覆性を向上させることができるため好ましい。またプラズマによるダメージを減らすには、熱CVD法、MOCVD法あるいはALD法が好ましい。

30

【0241】

続いて絶縁膜138の上面をCMP法等を用いて平坦化する。また、絶縁膜138として平坦化膜を用いてもよい。その場合は、必ずしもCMP法等で平坦化しなくともよい。平坦化膜の形成には、例えば常圧CVD法や、塗布法などを用いることができる。常圧CVD法を用いて形成できる膜としては例えば、BPSG(Boron Phosphorus Silicate Glass)等が挙げられる。また、塗布法を用いて形成できる膜としては例えば、HSQ(水素シルセスキオキサン)等が挙げられる。

【0242】

40

その後、半導体層132中のダングリングボンドを絶縁膜137から脱離する水素によって終端するための第2の加熱処理を行う。また、第2の加熱処理によって各々の層に含まれる水や水素を脱離させることにより、水や水素の含有量を低減することができる。

【0243】

第2の加熱処理は、上記積層構造の説明で例示した条件で行うことができる。例えば第1の加熱処理で説明した条件などを用いることができる。

【0244】

次に、バリア膜111を成膜する。バリア膜111は、例えばスパッタリング法、CVD法（熱CVD法、MOCVD法、PECVD法等を含む）、MBE法、ALD法またはPLD法などを用いて形成することができる。特に、当該絶縁膜をCVD法、好ましくは

50

プラズマCVD法によって成膜すると、被覆性を向上させることができるため好ましい。またプラズマによるダメージを減らすには、熱CVD法、MOCVD法あるいはALD法が好ましい。

【0245】

次に、バリア膜111上に導電層105j、導電層153j等となる導電膜を形成する。導電層105j、導電層153j等となる導電膜の形成は、例えばスパッタリング法、CVD法（熱CVD法、MOCVD法、PECVD法等を含む）、MBE法、ALD法またはPLD法などを用いて形成することができる。特に、当該絶縁膜をCVD法、好ましくはプラズマCVD法によって成膜すると、被覆性を向上させることができるため好ましい。またプラズマによるダメージを減らすには、熱CVD法、MOCVD法あるいはALD法が好ましい。

10

【0246】

次に、レジストマスクを形成し、導電層105j、導電層153j等となる導電膜の不要な部分をエッチングにより除去する。その後レジストマスクを除去し、導電層105j、導電層153j等を形成する。

【0247】

次に、絶縁膜214jを成膜する。絶縁膜214jは、例えばスパッタリング法、CVD法（熱CVD法、MOCVD法、PECVD法等を含む）、MBE法、ALD法またはPLD法などを用いて形成することができる。特に、当該絶縁膜をCVD法、好ましくはプラズマCVD法によって成膜すると、被覆性を向上させることができるため好ましい。またプラズマによるダメージを減らすには、熱CVD法、MOCVD法あるいはALD法が好ましい。なお、絶縁膜214jについては、前述の絶縁膜114jの記載を参照すればよい。

20

【0248】

絶縁膜214jに酸素を過剰に含有させるためには、例えば酸素雰囲気下にて絶縁膜214jの成膜を行えばよい。または、成膜後の絶縁膜214jに酸素を導入して酸素を過剰に含有する領域を形成してもよく、双方の手段を組み合わせてもよい。

【0249】

例えば、成膜後の絶縁膜214jに酸素（少なくとも酸素ラジカル、酸素原子、酸素イオンのいずれかを含む）を導入して酸素を過剰に含有する領域を形成する。酸素の導入方法としては、イオン注入法、イオンドーピング法、プラズマイメージョンイオン注入法、プラズマ処理などを用いることができる。

30

【0250】

酸素導入処理には、酸素を含むガスを用いることができる。酸素を含むガスとしては、酸素、一酸化二窒素、二酸化窒素、二酸化炭素、一酸化炭素などを用いることができる。また、酸素導入処理において、酸素を含むガスに希ガスを含ませてもよい。または、水素等を含ませてもよい。例えば、二酸化炭素、水素およびアルゴンの混合ガスを用いるとよい。

【0251】

また、絶縁膜214jを成型した後、その上面の平坦性を高めるためにCMP法等を用いた平坦化処理を行ってもよい。

40

【0252】

次に、導電層153j等の上にトランジスタTb__jのソース電極またはドレイン電極等に接続するためのプラグを形成してもよい。まず、絶縁膜214jに開口部を設ける（図13（B）参照）。次に、開口部を埋めるように、プラグとなる導電膜153を成膜する（図13（C）参照）。導電膜153の形成については、例えば導電層105jとなる導電膜等を参照すればよい。

【0253】

次に、絶縁膜214jの表面が露出するように、導電膜153に平坦化処理を施すことにより、プラグ148j等を形成する（図13（D）参照）。

50

【0254】

次に、トランジスタT b _ j等のトランジスタを絶縁膜2 1 4 j上に形成する。なお、トランジスタT a _ jの作製方法は、トランジスタT b _ jの作製方法を参照することができる。

【0255】

半導体層2 0 1 j _ a等となる半導体膜と、半導体層2 0 1 j _ b等となる半導体膜を順に成膜する。当該半導体膜は、大気に触れさせることなく連続して成膜することが好ましい。半導体層2 0 1 j _ aとなる半導体や、および半導体層2 0 1 j _ bとなる半導体は、スパッタリング法、C V D法、M B E法またはP L D法、A L D法などを用いて成膜すればよい。

10

【0256】

なお、半導体層2 0 1 j _ a等となる半導体や、および半導体層2 0 1 j _ b等となる半導体として、I n - G a - Z n酸化物層をM O C V D法によって成膜する場合、原料ガスとしてトリメチルインジウム、トリメチルガリウムおよびジメチル亜鉛などを用いればよい。なお、上記原料ガスの組み合わせに限定されず、トリメチルインジウムに代えてトリエチルインジウムなどを用いてもよい。また、トリメチルガリウムに代えてトリエチルガリウムなどを用いてもよい。また、ジメチル亜鉛に代えてジエチル亜鉛などを用いてもよい。

【0257】

酸化物膜及び半導体膜を成膜後、第4の加熱処理を行うことが好ましい。加熱処理は、2 5 0 以上6 5 0 以下、好ましくは3 0 0 以上5 0 0 以下の温度で、不活性ガス雰囲気、酸化性ガスを1 0 p p m以上含む雰囲気、または減圧状態で行えばよい。また、加熱処理の雰囲気は、不活性ガス雰囲気で行った後に、脱離した酸素を補うために酸化性ガスを1 0 p p m以上含む雰囲気で行ってもよい。加熱処理は、半導体膜を成膜した直後に行ってもよいし、半導体膜を加工して島状の半導体層2 0 1 j _ a、2 0 1 j _ b等を形成した後に行ってもよい。加熱処理により、絶縁膜2 1 4 jや酸化物膜から半導体膜に酸素が供給され、半導体膜中の酸素欠損を低減することができる。

20

【0258】

その後、レジストマスクを形成し、不要な部分をエッチングにより除去する。その後レジストマスクを除去することにより、島状の半導体層2 0 1 j _ a、半導体層2 0 1 j _ b等の積層構造を形成することができる(図1 3 (E)参照)。なお、半導体膜のエッチングの際に、絶縁膜2 1 4 jの一部がエッチングされ、半導体層2 0 1 j _ a、半導体層2 0 1 j _ b等に覆われていない領域における絶縁膜2 1 4 jが薄膜化することがある。したがって、当該エッチングにより絶縁膜2 1 4 jが消失しないよう、予め厚く形成しておくことが好ましい。

30

【0259】

その後、導電膜2 0 4 jを成膜する。導電膜2 0 4 jの形成は、例えばスパッタリング法、C V D法(熱C V D法、M O C V D法、P E C V D法等を含む)、M B E法、A L D法またはP L D法などを用いて形成することができる。特に、当該絶縁膜をC V D法、好ましくはプラズマC V D法によって成膜すると、被覆性を向上させることができるため好ましい。またプラズマによるダメージを減らすには、熱C V D法、M O C V D法あるいはA L D法が好ましい。

40

【0260】

次に、レジストマスクを形成し、導電膜2 0 4 jの不要な部分をエッチングにより除去する。その後レジストマスクを除去し、導電層2 0 4 j _ a、導電層2 0 4 j _ b等を形成する(図1 4 (A)参照)。ここで、導電膜のエッチングの際に、半導体層2 0 1 j _ bや絶縁膜1 1 4 jの上部の一部などがエッチングされ、導電層2 0 4 j _ aや導電層2 0 4 j _ bと重ならない部分が薄膜化することがある。したがって、半導体層2 0 1 j _ bとなる半導体膜等の厚さを、エッチングされる深さを考慮して予め厚く形成しておくことが好ましい。

50

【0261】

次に、ゲート絶縁膜202j、半導体層201j—cを成膜する。ゲート絶縁膜202j及び半導体層201j—cは、ゲート絶縁膜202j及び半導体層201j—cとなる膜を成膜し、その後レジストマスクを形成し、エッチングにより加工することにより形成してもよい。次にゲート電極203jとなる導電膜を成膜する。その後、レジストマスクを形成し、エッチングにより該導電膜を加工し、その後レジストマスクを除去してゲート電極203jを形成する(図14(B)参照)。半導体層101j—cとなる半導体は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて成膜すればよい。

【0262】

なお、半導体層101j—cとなる半導体として、In-Ga-Zn酸化物層をMOCVD法によって成膜する場合、原料ガスとしてトリメチルインジウム、トリメチルガリウムおよびジメチル亜鉛などを用いればよい。なお、上記原料ガスの組み合わせに限定されず、トリメチルインジウムに代えてトリエチルインジウムなどを用いてもよい。また、トリメチルガリウムに代えてトリエチルガリウムなどを用いてもよい。また、ジメチル亜鉛に代えてジエチル亜鉛などを用いてもよい。

【0263】

この段階でトランジスタTb—j等のトランジスタが形成される。

【0264】

次に、絶縁膜212jを形成する。絶縁膜212jは、例えばスパッタリング法、CVD法(熱CVD法、MOCVD法、PECVD法等を含む)、MBE法、ALD法またはPLD法などを用いて形成することができる。特に、当該絶縁膜をCVD法、好ましくはプラズマCVD法によって成膜すると、被覆性を向上させることができるため好ましい。またプラズマによるダメージを減らすには、熱CVD法、MOCVD法あるいはALD法が好ましい。

【0265】

絶縁膜212jの成膜後、第5の加熱処理を行うことが好ましい。加熱処理により、絶縁膜214j等から半導体層201jに対して酸素を供給し、半導体層201j中の酸素欠損を低減することができる。またこのとき、絶縁膜214jから脱離した酸素は、バリア膜111及び絶縁膜212jによってブロックされ、バリア膜111よりも下層及び絶縁膜212jよりも上層には拡散しないため、当該酸素を効果的に閉じ込めることができる。そのため半導体層201jに供給しうる酸素の量を増大させることができ、半導体層201j中の酸素欠損を効果的に低減することができる。

【0266】

また、絶縁膜212jを2層以上の積層構造としてもよい。その場合には、例えば絶縁膜212jを2層の積層構造とし、下層に例えば酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよい。また上層にはバリア膜111と同様に水や水素が拡散しにくい材料を用いることが好ましい。また下層に設ける絶縁膜は、絶縁膜214jと同様の、加熱により酸素が脱離する絶縁膜としてゲート絶縁膜102jを介して半導体層101jの上側からも酸素を供給する構成としてもよい。

【0267】

続いて、絶縁膜213jを形成する(図14(C)参照)。絶縁膜213jは、例えば酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよく、積層または単層で設ける。絶縁膜113jは、例えばスパッタリング法、CVD法(熱CVD法、MOCVD法、PECVD法等を含む)、MBE法、ALD法またはPLD法などを用いて形成することができる。特に、CVD法、好ましくはプラズマCVD法によって成膜すると、被覆性を良好なものとすることができるため好ましい。またプラズマによるダメージを減らすには、熱CVD法、MOCVD法あるいはALD法が好ましい。

【0268】

なお、煩雑を避けるために、図6乃至図9、図11及び図12および図18では絶縁膜112j、113j、絶縁膜212j及び絶縁膜213jを図示していない。

【0269】

続いて、絶縁膜216jを形成する。絶縁膜216jは、例えば酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよく、積層または単層で設ける。絶縁膜216jは、例えばスパッタリング法、CVD法（熱CVD法、MOCVD法、PECVD法等を含む）、MBE法、ALD法またはPLD法などを用いて形成することができる。また絶縁膜216jとして有機樹脂などの有機絶縁材料を用いる場合には、スピコート法などの塗布法を用いて形成してもよい。また、絶縁膜216jを形成した後にその上面に対して平坦化処理を行うことが好ましい。また、絶縁膜216jとして、絶縁膜138に示す材料や、形成方法を用いてもよい。

10

【0270】

次に、絶縁膜216j、絶縁膜213j、絶縁膜212j、ゲート絶縁膜202j及び半導体層201j—cに導電層204j—a、導電層204j—b等に達する開口部を設け、開口部を埋め込むようにプラグ141j、プラグ142j、プラグ143j等となる導電膜を形成し、絶縁膜216jの表面が露出するように平坦化処理を行い、プラグ141j、プラグ142j、プラグ143j等を形成する（図15（A）参照）。

【0271】

20

次に、絶縁膜216j及びプラグ141j等の上に、導電層151j、153j、154j等となる導電膜を形成し、マスク形成してエッチングを行い、導電層151j、153j、154j等を形成する。その後、絶縁膜115jを形成する（図15（B）参照）。絶縁膜115jは、容量素子Ca—jの絶縁膜として機能することができる。絶縁膜115jに用いることのできる材料等は、例えばゲート絶縁膜202jの記載を参照すればよい。

【0272】

次に、絶縁膜115j上に、導電層152j等を、導電層151jと同様に形成する（図15（C）参照）。導電層151j、153j、154j、導電層152j等に用いることのできる材料等は、例えば導電層205jの記載を参照すればよい。このようにして、容量素子Ca—jを形成することができる。

30

【0273】

次に、導電層152jや絶縁膜115j上に、絶縁膜156jを形成する。絶縁膜156jの上面は平坦化されていてもよい。絶縁膜156jについては、絶縁膜216jの記載を参照する。

【0274】

次に、絶縁膜156j上に、トランジスタTa—jを形成する。まず、絶縁膜156j上に、導電層105j等を形成する。導電層105j等は、導電層205jと同様に形成することができる。次に、絶縁膜114jを形成する（図16（A）参照）。絶縁膜114jは、絶縁膜214jと同様に形成することができる。

40

【0275】

次に、絶縁膜156j及び絶縁膜114jに開口部を設け、開口部を埋め込むように導電膜を形成し、絶縁膜114jが露出するように導電膜の表面を平坦化し、プラグ144j、プラグ145j等を形成する。

【0276】

次に、トランジスタTa—j等を形成する（図16（B）参照）。トランジスタTa—jの形成については、トランジスタTb—jの記載を参照すればよい。ここで、図16（B）に示すように、サブメモリセルSCL—1の有するトランジスタTa—j（j=1）と、サブメモリセルSCL—2の有するトランジスタTb—j（j=2）を同時に形成することができる。

50

【0277】

続いて、容量素子C a_j、トランジスタT a_j等を同様に繰り返し形成することで、図8に示す半導体素子を作製することができる。

【0278】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【0279】

(実施の形態2)

本実施の形態では、実施の形態1に示すトランジスタT a_j及びトランジスタT b_jに好適に用いることのできる酸化物半導体について説明する。なお、トランジスタT b_jについては、トランジスタT a_jの記載を参照する。また、半導体層201j_a、半導体層201j_b及び半導体層201j_cについてはそれぞれ半導体層101j_a、半導体層101j_b及び半導体層101j_cの記載を参照することができる。但し、半導体層101j_aと半導体層201j_aは、必ずしも同じ材料を用いなくともよい。すなわち、例えば半導体層101j_aと半導体層201j_aにIn-M-Zn酸化物を用いる場合、例えばインジウム、元素M及び亜鉛の原子数比が同じ材料を用いなくともよい。また、例えば半導体層101j_aと半導体層201j_aは、エネルギーギャップが同じ材料を用いなくともよい。また、半導体層101j_bと半導体層201j_b、または半導体層101j_cと半導体層201j_cについても同様である。

【0280】

ここでは、図6等に例として示すように、酸化物半導体として半導体層101j_a、半導体層101j_bおよび半導体層101j_cの3層を積層して用いる例を示すが、トランジスタT a_jに用いることのできる酸化物半導体は、単層でもよい。また、半導体層101j_a、半導体層101j_bおよび半導体層101j_cのうち、いずれか、または両方を有さない構造としてもよい。

【0281】

半導体層101j_bは、例えば、インジウムを含む酸化物半導体である。半導体層101j_bは、例えば、インジウムを含むと、キャリア移動度(電子移動度)が高くなる。また、半導体層101j_bは、元素Mを含むと好ましい。元素Mは、好ましくは、アルミニウム、ガリウム、イットリウムまたはスズなどとする。そのほかの元素Mに適用可能な元素としては、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、イットリウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステンなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。元素Mは、例えば、酸素との結合エネルギーが高い元素である。例えば、酸素との結合エネルギーがインジウムよりも高い元素である。または、元素Mは、例えば、酸化物半導体のエネルギーギャップを大きくする機能を有する元素である。また、半導体層101j_bは、亜鉛を含むと好ましい。酸化物半導体は、亜鉛を含むと結晶化しやすくなる場合がある。

【0282】

ただし、半導体層101j_bは、インジウムを含む酸化物半導体に限定されない。半導体層101j_bは、例えば、亜鉛スズ酸化物、ガリウムスズ酸化物などの、インジウムを含まず、亜鉛を含む酸化物半導体、ガリウムを含む酸化物半導体、スズを含む酸化物半導体などであっても構わない。

【0283】

半導体層101j_bは、例えば、エネルギーギャップが大きい酸化物を用いる。半導体層101j_bのエネルギーギャップは、例えば、2.5 eV以上4.2 eV以下、好ましくは2.8 eV以上3.8 eV以下、さらに好ましくは3 eV以上3.5 eV以下とする。

【0284】

例えば、半導体層101j_aおよび半導体層101j_cは、半導体層101j_b

10

20

30

40

50

を構成する酸素以外の元素一種以上、または二種以上から構成される酸化物半導体である。半導体層 101j__b を構成する酸素以外の元素一種以上、または二種以上から半導体層 101j__a および半導体層 101j__c が構成されるため、半導体層 101j__a と半導体層 101j__b との界面、および半導体層 101j__b と半導体層 101j__c との界面において、界面準位が形成されにくい。

【0285】

半導体層 101j__a、半導体層 101j__b および半導体層 101j__c は、少なくともインジウムを含むと好ましい。なお、半導体層 101j__a が In - M - Zn 酸化物のとき、In および M の和を 100 atomic % としたとき、好ましくは In が 50 atomic % 未満、M が 50 atomic % より高く、さらに好ましくは In が 25 atomic % 未満、M が 75 atomic % より高い。また、半導体層 101j__b が In - M - Zn 酸化物のとき、In および M の和を 100 atomic % としたとき、好ましくは In が 25 atomic % より高く、M が 75 atomic % 未満、さらに好ましくは In が 34 atomic % より高く、M が 66 atomic % 未満とする。また、半導体層 101j__c が In - M - Zn 酸化物のとき、In および M の和を 100 atomic % としたとき、好ましくは In が 50 atomic % 未満、M が 50 atomic % より高く、さらに好ましくは In が 25 atomic % 未満、M が 75 atomic % より高い。なお、半導体層 101j__c は、半導体層 101j__a と同種の酸化物を用いても構わない。

10

【0286】

半導体層 101j__b は、半導体層 101j__a および半導体層 101j__c よりも電子親和力の大きい酸化物を用いる。例えば、半導体層 101j__b として、半導体層 101j__a および半導体層 101j__c よりも電子親和力の 0.07 eV 以上 1.3 eV 以下、好ましくは 0.1 eV 以上 0.7 eV 以下、さらに好ましくは 0.15 eV 以上 0.4 eV 以下大きい酸化物を用いる。なお、電子親和力は、真空準位と伝導帯下端のエネルギーとの差である。

20

【0287】

なお、インジウムガリウム酸化物は、小さい電子親和力と、高い酸素ブロック性を有する。そのため、半導体層 101j__c がインジウムガリウム酸化物を含むと好ましい。ガリウム原子割合 $[In / (In + Ga)]$ は、例えば、70 % 以上、好ましくは 80 % 以上、さらに好ましくは 90 % 以上とする。

30

【0288】

また、半導体層 101j__c は、酸化ガリウムを含むことがより好ましい。半導体層 101j__c に酸化ガリウムを含むと、より低いオフ電流を実現できる場合がある。

【0289】

トランジスタのゲート電極に電界を印加すると、半導体層 101j__a、半導体層 101j__b、半導体層 101j__c のうち、電子親和力の大きい半導体層 101j__b にチャネルが形成される。

【0290】

ここでバンド構造について図 25 (A) に示す。図 25 (A) には、真空準位 (vacuum level と表記。)、各層の伝導帯下端のエネルギー (E_c と表記。) および価電子帯上端のエネルギー (E_v と表記。) を示す。

40

【0291】

ここで、半導体層 101j__a と半導体層 101j__b との間には、半導体層 101j__a と半導体層 101j__b との混合領域を有する場合がある。また、半導体層 101j__b と半導体層 101j__c との間には、半導体層 101j__b と半導体層 101j__c との混合領域を有する場合がある。混合領域は、界面準位密度が低くなる。そのため、半導体層 101j__a、半導体層 101j__b および半導体層 101j__c の積層体は、それぞれの界面近傍において、エネルギーが連続的に変化する (連続接合ともいう。) バンド構造となる。

50

【0292】

なお、図25(A)では、半導体層101j__aと第2の半導体層101j__cのEcが同様である場合について示したが、それぞれが異なってもよい。例えば、半導体層101j__aよりも半導体層101j__cのEcが高いエネルギーを有してもよい。

【0293】

このとき、電子は、半導体層101j__a中および半導体層101j__c中ではなく、半導体層101j__b中を主として移動する(図25(B)参照。)。上述したように、半導体層101j__aおよび半導体層101j__bの界面における界面準位密度、半導体層101j__bと半導体層101j__cとの界面における界面準位密度を低くすることによって、半導体層101j__b中で電子の移動が阻害されることが少なく、トランジスタのオン電流を高くすることができる。

10

【0294】

なお、トランジスタがs-channel構造を有する場合、半導体層101j__bの全体にチャンネルが形成される。したがって、半導体層101j__bが厚いほどチャンネル領域は大きくなる。即ち、半導体層101j__bが厚いほど、トランジスタのオン電流を高くすることができる。例えば、20nm以上、好ましくは40nm以上、さらに好ましくは60nm以上、より好ましくは100nm以上の厚さの領域を有する半導体層101j__bとすればよい。ただし、半導体装置の生産性が低下する場合があるため、例えば、300nm以下、好ましくは200nm以下、さらに好ましくは150nm以下の厚さの領域を有する半導体層101j__bとすればよい。

20

【0295】

また、トランジスタのオン電流を高くするためには、半導体層101j__cの厚さは小さいほど好ましい。例えば、10nm未満、好ましくは5nm以下、さらに好ましくは3nm以下の領域を有する半導体層101j__cとすればよい。一方、半導体層101j__cは、チャンネルの形成される半導体層101j__bへ、隣接する絶縁体を構成する酸素以外の元素(水素、シリコンなど)が入り込まないようにブロックする機能を有する。そのため、半導体層101j__cは、ある程度の厚さを有することが好ましい。例えば、0.3nm以上、好ましくは1nm以上、さらに好ましくは2nm以上の厚さの領域を有する半導体層101j__cとすればよい。また、半導体層101j__cは、ゲート絶縁膜102jなどから放出される酸素の外方拡散を抑制するために、酸素をブロックする性質を有すると好ましい。

30

【0296】

また、信頼性を高くするためには、半導体層101j__aは厚く、半導体層101j__cは薄いことが好ましい。例えば、10nm以上、好ましくは20nm以上、さらに好ましくは40nm以上、より好ましくは60nm以上の厚さの領域を有する半導体層101j__aとすればよい。半導体層101j__aの厚さを、厚くすることで、隣接する絶縁体と半導体層101j__aとの界面からチャンネルの形成される半導体層101j__bまでの距離を離すことができる。ただし、半導体装置の生産性が低下する場合があるため、例えば、200nm以下、好ましくは120nm以下、さらに好ましくは80nm以下の厚さの領域を有する半導体層101j__aとすればよい。

40

【0297】

酸化物半導体膜に水素が多量に含まれると、酸化物半導体と結合することによって、水素の一部がドナーとなり、キャリアである電子を生じてしまう。これにより、トランジスタのしきい値電圧がマイナス方向にシフトしてしまう。そのため、酸化物半導体膜の形成後において、脱水化处理(脱水素化处理)を行い酸化物半導体膜から、水素、又は水分を除去して不純物が極力含まれないように高純度化することが好ましい。

【0298】

なお、酸化物半導体膜への脱水化处理(脱水素化处理)によって、酸化物半導体膜から酸素も同時に減少してしまうことがある。よって、酸化物半導体膜への脱水化处理(脱水素化处理)によって増加した酸素欠損を補填するため酸素を酸化物半導体に加える処理を

50

行うことが好ましい。本明細書等において、酸化物半導体膜に酸素を供給する場合を、加酸素化処理と記す場合がある、または酸化物半導体膜に含まれる酸素を化学量論的組成よりも多くする場合を過酸素化処理と記す場合がある。

【0299】

このように、酸化物半導体膜は、脱水化処理（脱水素化処理）により、水素または水分が除去され、加酸素化処理により酸素欠損を補填することによって、i型（真性）化またはi型に限りなく近く実質的にi型（真性）である酸化物半導体膜とすることができる。なお、実質的に真性とは、酸化物半導体膜中にドナーに由来するキャリアが極めて少なく（ゼロに近く）、キャリア密度が $1 \times 10^{17} / \text{cm}^3$ 以下、 $1 \times 10^{16} / \text{cm}^3$ 以下、 $1 \times 10^{15} / \text{cm}^3$ 以下、 $1 \times 10^{14} / \text{cm}^3$ 以下、 $1 \times 10^{13} / \text{cm}^3$ 以下であることをいう。

10

【0300】

またこのように、i型又は実質的にi型である酸化物半導体膜を備えるトランジスタは、極めて優れたオフ電流特性を実現できる。例えば、酸化物半導体膜を用いたトランジスタがオフ状態のときのドレイン電流を、室温（25 程度）にて $1 \times 10^{-18} \text{ A}$ 以下、好ましくは $1 \times 10^{-21} \text{ A}$ 以下、さらに好ましくは $1 \times 10^{-24} \text{ A}$ 以下、または85にて $1 \times 10^{-15} \text{ A}$ 以下、好ましくは $1 \times 10^{-18} \text{ A}$ 以下、さらに好ましくは $1 \times 10^{-21} \text{ A}$ 以下とすることができる。なお、トランジスタがオフ状態とは、nチャネル型のトランジスタの場合、ゲート電圧がしきい値電圧よりも十分小さい状態をいう。具体的には、ゲート電圧がしきい値電圧よりも1V以上、2V以上または3V以上小さければ、トランジスタはオフ状態となる。

20

【0301】

<酸化物半導体の構造>

以下では、酸化物半導体の構造について説明する。

【0302】

酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体とに分けられる。非単結晶酸化物半導体としては、CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor)、多結晶酸化物半導体、nc-OS (nanocrystalline Oxide Semiconductor)、擬似非晶質酸化物半導体 (a-like OS: amorphous like Oxide Semiconductor)、非晶質酸化物半導体などがある。

30

【0303】

また別の観点では、酸化物半導体は、非晶質酸化物半導体と、それ以外の結晶性酸化物半導体とに分けられる。結晶性酸化物半導体としては、単結晶酸化物半導体、CAAC-OS、多結晶酸化物半導体、nc-OSなどがある。

【0304】

非晶質構造の定義としては、一般に、準安定状態で固定化していないこと、等方的であって不均質構造を持たないことなどが知られている。また、結合角度が柔軟であり、短距離秩序性は有するが、長距離秩序性を有さない構造と言い換えることもできる。

【0305】

逆の見方をすると、本質的に安定な酸化物半導体の場合、完全な非晶質 (completely amorphous) 酸化物半導体と呼ぶことはできない。また、等方的でない（例えば、微小な領域において周期構造を有する）酸化物半導体を、完全な非晶質酸化物半導体と呼ぶことはできない。ただし、a-like OSは、微小な領域において周期構造を有するものの、鬆（ボイドともいう。）を有し、不安定な構造である。そのため、物性的には非晶質酸化物半導体に近いといえる。

40

【0306】

<CAAC-OS>

まずは、CAAC-OSについて説明する。

【0307】

50

C A A C - O S は、c 軸配向した複数の結晶部（ペレットともいう。）を有する酸化物半導体の一つである。

【0308】

透過型電子顕微鏡（TEM：Transmission Electron Microscope）によって、C A A C - O S の明視野像と回折パターンとの複合解析像（高分解能TEM像ともいう。）を観察すると、複数のペレットを確認することができる。一方、高分解能TEM像ではペレット同士の境界、即ち結晶粒界（グレインバウンダリーともいう。）を明確に確認することができない。そのため、C A A C - O S は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【0309】

以下では、TEMによって観察したC A A C - O S について説明する。図20（A）に、試料面と略平行な方向から観察したC A A C - O S の断面の高分解能TEM像を示す。高分解能TEM像の観察には、球面収差補正（Spherical Aberration Corrector）機能を用いた。球面収差補正機能を用いた高分解能TEM像を、特にCs補正高分解能TEM像と呼ぶ。Cs補正高分解能TEM像の取得は、例えば、日本電子株式会社製原子分解能分析電子顕微鏡JEM-ARM200Fなどによって行うことができる。

【0310】

図20（A）の領域（1）を拡大したCs補正高分解能TEM像を図20（B）に示す。図20（B）より、ペレットにおいて、金属原子が層状に配列していることを確認できる。金属原子の各層の配列は、C A A C - O S の膜を形成する面（被形成面ともいう。）または上面の凹凸を反映しており、C A A C - O S の被形成面または上面と平行となる。

【0311】

図20（B）に示すように、C A A C - O S は特徴的な原子配列を有する。図20（C）は、特徴的な原子配列を、補助線で示したものである。図20（B）および図20（C）より、ペレット一つの大きさは1nm以上のものや、3nm以上のものがあり、ペレットとペレットとの傾きにより生じる隙間の大きさは0.8nm程度であることがわかる。したがって、ペレットを、ナノ結晶（nc：nanocrystal）と呼ぶこともできる。また、C A A C - O S を、C A N C（C-Axis Aligned nanocrystals）を有する酸化物半導体と呼ぶこともできる。

【0312】

ここで、Cs補正高分解能TEM像をもとに、基板5120上のC A A C - O S のペレット5100の配置を模式的に示すと、レンガまたはブロックが積み重なったような構造となる（図20（D）参照。）。図20（C）で観察されたペレットとペレットとの間で傾きが生じている箇所は、図20（D）に示す領域5161に相当する。

【0313】

また、図21（A）に、試料面と略垂直な方向から観察したC A A C - O S の平面のCs補正高分解能TEM像を示す。図21（A）の領域（1）、領域（2）および領域（3）を拡大したCs補正高分解能TEM像を、それぞれ図21（B）、図21（C）および図21（D）に示す。図21（B）、図21（C）および図21（D）より、ペレットは、金属原子が三角形状、四角形状または六角形状に配列していることを確認できる。しかしながら、異なるペレット間で、金属原子の配列に規則性は見られない。

【0314】

次に、X線回折（XRD：X-Ray Diffraction）によって解析したC A A C - O S について説明する。例えば、InGaZnO₄の結晶を有するC A A C - O S に対し、out-of-plane法による構造解析を行うと、図22（A）に示すように回折角（2θ）が31°近傍にピークが現れる場合がある。このピークは、InGaZnO₄の結晶の（009）面に帰属されることから、C A A C - O S の結晶がc軸配向性を有し、c軸が被形成面または上面に略垂直な方向を向いていることが確認できる。

【0315】

なお、C A A C - O S の *o u t - o f - p l a n e* 法による構造解析では、 2θ が 31° 近傍のピークの他に、 2θ が 36° 近傍にもピークが現れる場合がある。 2θ が 36° 近傍のピークは、C A A C - O S 中の一部に、*c* 軸配向性を有さない結晶が含まれることを示している。より好ましい C A A C - O S は、*o u t - o f - p l a n e* 法による構造解析では、 2θ が 31° 近傍にピークを示し、 2θ が 36° 近傍にピークを示さない。

【0316】

一方、C A A C - O S に対し、*c* 軸に略垂直な方向から X 線を入射させる *i n - p l a n e* 法による構造解析を行うと、 2θ が 56° 近傍にピークが現れる。このピークは、 InGaZnO_4 の結晶の (110) 面に帰属される。C A A C - O S の場合は、 2θ を 56° 近傍に固定し、試料面の法線ベクトルを軸 (*c* 軸) として試料を回転させながら分析 (スキャン) を行っても、図 22 (B) に示すように明瞭なピークは現れない。これに対し、 InGaZnO_4 の単結晶酸化物半導体であれば、 2θ を 56° 近傍に固定して スキャンした場合、図 22 (C) に示すように (110) 面と等価な結晶面に帰属されるピークが 6 本観察される。したがって、XRD を用いた構造解析から、C A A C - O S は、*a* 軸および *b* 軸の配向が不規則であることが確認できる。

【0317】

次に、電子回折によって解析した C A A C - O S について説明する。例えば、 InGaZnO_4 の結晶を有する C A A C - O S に対し、試料面に平行にプローブ径が 300nm の電子線を入射させると、図 23 (A) に示すような回折パターン (制限視野透過電子回折パターンともいう。) が現れる場合がある。この回折パターンには、 InGaZnO_4 の結晶の (009) 面に起因するスポットが含まれる。したがって、電子回折によっても、C A A C - O S に含まれるペレットが *c* 軸配向性を有し、*c* 軸が被形成面または上面に略垂直な方向を向いていることがわかる。一方、同じ試料に対し、試料面に垂直にプローブ径が 300nm の電子線を入射させたときの回折パターンを図 23 (B) に示す。図 23 (B) より、リング状の回折パターンが確認される。したがって、電子回折によっても、C A A C - O S に含まれるペレットの *a* 軸および *b* 軸は配向性を有さないことがわかる。なお、図 23 (B) における第 1 リングは、 InGaZnO_4 の結晶の (010) 面および (100) 面などに起因すると考えられる。また、図 23 (B) における第 2 リングは (110) 面などに起因すると考えられる。

【0318】

上述したように、C A A C - O S は結晶性の高い酸化物半導体である。酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、逆の見方をすると C A A C - O S は不純物や欠陥 (酸素欠損など) の少ない酸化物半導体ともいえる。

【0319】

なお、不純物は、酸化物半導体の主成分以外の元素で、水素、炭素、シリコン、遷移金属元素などがある。例えば、シリコンなどの、酸化物半導体を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体から酸素を奪うことで酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径 (または分子半径) が大きいため、酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。

【0320】

酸化物半導体が不純物や欠陥を有する場合、光や熱などによって特性が変動する場合がある。例えば、酸化物半導体に含まれる不純物は、キャリアトラップとなる場合や、キャリア発生源となる場合がある。また、酸化物半導体中の酸素欠損は、キャリアトラップとなる場合や、水素を捕獲することによってキャリア発生源となる場合がある。

【0321】

不純物および酸素欠損の少ない C A A C - O S は、キャリア密度の低い酸化物半導体である。具体的には、 $8 \times 10^{11} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{10} / \text{cm}^3$ 未満であり、 $1 \times 10^{-9} / \text{cm}^3$ 以上のキャリア密度の酸化物半導体とすることができる。そのような酸化物半導体を、高純度真性または

実質的に高純度真性な酸化物半導体と呼ぶ。C A A C - O S は、不純物濃度が低く、欠陥準位密度が低い。即ち、安定な特性を有する酸化物半導体であるといえる。

【 0 3 2 2 】

< n c - O S >

次に、n c - O S について説明する。

【 0 3 2 3 】

n c - O S は、高分解能 T E M 像において、結晶部を確認することのできる領域と、明確な結晶部を確認することのできない領域と、を有する。n c - O S に含まれる結晶部は、1 n m 以上 1 0 n m 以下、または 1 n m 以上 3 n m 以下の大きさであることが多い。なお、結晶部の大きさが 1 0 n m より大きく 1 0 0 n m 以下である酸化物半導体を微結晶酸化物半導体と呼ぶことがある。n c - O S は、例えば、高分解能 T E M 像では、結晶粒界を明確に確認できない場合がある。なお、ナノ結晶は、C A A C - O S におけるペレットと起源を同じくする可能性がある。そのため、以下では n c - O S の結晶部をペレットと呼ぶ場合がある。

10

【 0 3 2 4 】

n c - O S は、微小な領域（例えば、1 n m 以上 1 0 n m 以下の領域、特に 1 n m 以上 3 n m 以下の領域）において原子配列に周期性を有する。また、n c - O S は、異なるペレット間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、n c - O S は、分析方法によっては、a - l i k e O S や非晶質酸化物半導体と区別が付かない場合がある。例えば、n c - O S に対し、ペレットよりも大きい径の X 線を用いた場合、o u t - o f - p l a n e 法による解析では、結晶面を示すピークは検出されない。また、n c - O S に対し、ペレットよりも大きいプローブ径（例えば 5 0 n m 以上）の電子線を用いる電子回折を行うと、ハローパターンのような回折パターンが観測される。一方、n c - O S に対し、ペレットの大きさと近いペレットより小さいプローブ径の電子線を用いるナノビーム電子回折を行うと、スポットが観測される。また、n c - O S に対しナノビーム電子回折を行うと、円を描くように（リング状に）輝度の高い領域が観測される場合がある。さらに、リング状の領域内に複数のスポットが観測される場合がある。

20

【 0 3 2 5 】

このように、ペレット（ナノ結晶）間では結晶方位が規則性を有さないことから、n c - O S を、R A N C (R a n d o m A l i g n e d n a n o c r y s t a l s) を有する酸化物半導体、または N A N C (N o n - A l i g n e d n a n o c r y s t a l s) を有する酸化物半導体と呼ぶこともできる。

30

【 0 3 2 6 】

n c - O S は、非晶質酸化物半導体よりも規則性の高い酸化物半導体である。そのため、n c - O S は、a - l i k e O S や非晶質酸化物半導体よりも欠陥準位密度が低くなる。ただし、n c - O S は、異なるペレット間で結晶方位に規則性が見られない。そのため、n c - O S は、C A A C - O S と比べて欠陥準位密度が高くなる。

【 0 3 2 7 】

< a - l i k e O S >

a - l i k e O S は、n c - O S と非晶質酸化物半導体との間の構造を有する酸化物半導体である。

40

【 0 3 2 8 】

a - l i k e O S は、高分解能 T E M 像において鬆が観察される場合がある。また、高分解能 T E M 像において、明確に結晶部を確認することのできる領域と、結晶部を確認することのできない領域と、を有する。

【 0 3 2 9 】

鬆を有するため、a - l i k e O S は、不安定な構造である。以下では、a - l i k e O S が、C A A C - O S および n c - O S と比べて不安定な構造であることを示すため、電子照射による構造の変化を示す。

50

【0330】

電子照射を行う試料として、*a-like OS*（試料Aと表記する。）、*nc-OS*（試料Bと表記する。）および*CAAC-OS*（試料Cと表記する。）を準備する。いずれの試料も In-Ga-Zn 酸化物である。

【0331】

まず、各試料の高分解能断面TEM像を取得する。高分解能断面TEM像により、各試料は、いずれも結晶部を有することがわかる。

【0332】

なお、どの部分を一つの結晶部と見なすかの判定は、以下のように行えばよい。例えば、 InGaZnO_4 の結晶の単位格子は、 In-O 層を3層有し、また Ga-Zn-O 層を6層有する、計9層が c 軸方向に層状に重なった構造を有することが知られている。これらの近接する層同士の間隔は、 (009) 面の格子面間隔（ d 値ともいう。）と同程度であり、結晶構造解析からその値は 0.29 nm と求められている。したがって、格子縞の間隔が 0.28 nm 以上 0.30 nm 以下である箇所を、 InGaZnO_4 の結晶部と見なすことができる。なお、格子縞は、 InGaZnO_4 の結晶の $a-b$ 面に対応する。

【0333】

図24は、各試料の結晶部（22箇所から45箇所）の平均の大きさを調査した例である。ただし、上述した格子縞の長さを結晶部の大きさとしている。図24より、*a-like OS*は、電子の累積照射量に応じて結晶部が大きくなっていくことがわかる。具体的には、図24中に（1）で示すように、TEMによる観察初期においては 1.2 nm 程度の大きさだった結晶部（初期核ともいう。）が、累積照射量が $4.2 \times 10^8\text{ e}^-/\text{nm}^2$ においては 2.6 nm 程度の大きさまで成長していることがわかる。一方、*nc-OS*および*CAAC-OS*は、電子照射開始時から電子の累積照射量が $4.2 \times 10^8\text{ e}^-/\text{nm}^2$ までの範囲で、結晶部の大きさに変化が見られないことがわかる。具体的には、図24中の（2）および（3）で示すように、電子の累積照射量によらず、*nc-OS*および*CAAC-OS*の結晶部の大きさは、それぞれ 1.4 nm 程度および 2.1 nm 程度であることがわかる。

【0334】

このように、*a-like OS*は、電子照射によって結晶部の成長が見られる場合がある。一方、*nc-OS*および*CAAC-OS*は、電子照射による結晶部の成長がほとんど見られないことがわかる。即ち、*a-like OS*は、*nc-OS*および*CAAC-OS*と比べて、不安定な構造であることがわかる。

【0335】

また、鬆を有するため、*a-like OS*は、*nc-OS*および*CAAC-OS*と比べて密度の低い構造である。具体的には、*a-like OS*の密度は、同じ組成の単結晶の密度の 78.6% 以上 92.3% 未満となる。また、*nc-OS*の密度および*CAAC-OS*の密度は、同じ組成の単結晶の密度の 92.3% 以上 100% 未満となる。単結晶の密度の 78% 未満となる酸化物半導体は、成膜すること自体が困難である。

【0336】

例えば、 $\text{In:Ga:Zn} = 1:1:1$ [原子数比]を満たす酸化物半導体において、菱面体晶構造を有する単結晶 InGaZnO_4 の密度は 6.357 g/cm^3 となる。よって、例えば、 $\text{In:Ga:Zn} = 1:1:1$ [原子数比]を満たす酸化物半導体において、*a-like OS*の密度は 5.0 g/cm^3 以上 5.9 g/cm^3 未満となる。また、例えば、 $\text{In:Ga:Zn} = 1:1:1$ [原子数比]を満たす酸化物半導体において、*nc-OS*の密度および*CAAC-OS*の密度は 5.9 g/cm^3 以上 6.3 g/cm^3 未満となる。

【0337】

なお、同じ組成の単結晶が存在しない場合がある。その場合、任意の割合で組成の異なる単結晶を組み合わせることにより、所望の組成における単結晶に相当する密度を見積もることができる。所望の組成の単結晶に相当する密度は、組成の異なる単結晶を組み合わせ

る割合に対して、加重平均を用いて見積もればよい。ただし、密度は、可能な限り少ない種類の単結晶を組み合わせで見積もることが好ましい。

【0338】

以上のように、酸化物半導体は、様々な構造をとり、それぞれが様々な特性を有する。なお、酸化物半導体は、例えば、非晶質酸化物半導体、*a-like* OS、*nc-OS*、*CAC-OS*のうち、二種以上を有する積層膜であってもよい。

【0339】

酸化物半導体が、インジウム、元素M及び亜鉛を有する場合を考える。ここで、元素Mは、好ましくは、アルミニウム、ガリウム、イットリウムまたはズなどとする。そのほかの元素Mに適用可能な元素としては、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、イットリウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステンなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。酸化物半導体が有するインジウム、元素M及び亜鉛の原子数の比、 $x : y : z$ の好ましい範囲について説明する。

【0340】

インジウム、元素M及び亜鉛を有する酸化物では、 $InM_3(O)_m$ (m は自然数)で表されるホモロガス相(ホモロガスシリーズ)が存在することが知られている。ここで、例として元素MがGaである場合を考える。

【0341】

例えば、スピネル型の結晶構造を有する化合物として、 $ZnGa_2O_4$ などの ZnM_2O_4 で表される化合物が知られている。また、 $ZnGa_2O_4$ の近傍の組成、つまり x 、 y 及び z が $(x, y, z) = (0, 1, 2)$ に近い値を有する場合には、スピネル型の結晶構造が形成、あるいは混在しやすい。ここで、酸化物半導体は*CAC-OS*であることが好ましい。また、*CAC-OS*は、特にスピネル型の結晶構造が含まれないことが好ましい。また、キャリア移動度を高めるためにはInの含有率を高めることが好ましい。インジウム、元素M及び亜鉛を有する酸化物半導体では主として重金属のs軌道がキャリア伝導に寄与しており、インジウムの含有率を多くすることにより、より多くのs軌道が重なるため、インジウムの含有率が多い酸化物はインジウムの含有率が少ない酸化物と比較して移動度が高くなる。そのため、酸化物半導体にインジウムの含有量が多い酸化物を用いることで、キャリア移動度を高めることができる。

【0342】

例えば、インジウムの原子数比を高めることにより、キャリア移動度を高めることができるため好ましい。例えば、酸化物半導体の有するインジウム、元素M及び亜鉛の原子数の比を $x : y : z$ で表した場合、 x は y の1.75倍以上であると好ましい。

【0343】

また、酸化物半導体の*CAC*比率をより高めるためには、亜鉛の原子数比を高めることが好ましい。例えば、 $In-Ga-Zn$ 酸化物の原子数比を固溶域をとり得る範囲とすることにより、*CAC*比率をより高めることができる場合がある。インジウムとガリウムの原子数の和に対して亜鉛の原子数の比を高めると、固溶域をとり得る範囲は広くなる傾向がある。よって、インジウムとガリウムの原子数の和に対して亜鉛の原子数比を高めることにより、酸化物半導体の*CAC*比率をより高めることができる場合がある。例えば、酸化物半導体の有するインジウム、元素M及び亜鉛の原子数の比を $x : y : z$ で表した場合、 z は $x + y$ の0.5倍以上であると好ましい。一方で、インジウムの原子数比を高め、キャリア移動度を高めるために、 z は $x + y$ の2倍以下であると好ましい。

【0344】

その結果、ナノビーム電子回折においてスピネル型の結晶構造が観測される割合をなくすることができる、または極めて低くすることができる。よって、優れた*CAC-OS*を得ることができる。また、*CAC*構造とスピネル型の結晶構造の境界におけるキャリア散乱等を減少させることができるため、酸化物半導体をトランジスタに用いた場合に、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジ

10

20

30

40

50

スタを実現することができる。

【0345】

その結果、C A A C 比率の高い酸化物半導体を実現することができる。すなわち、良質なC A A C - O S を実現することができる。また、スピネル型の結晶構造が観測される領域のない、または極めて少ないC A A C - O S を実現することができる。例えば、良質なC A A C - O S であれば、C A A C 比率は、50%以上、好ましくは80%以上、より好ましくは90%以上、さらに好ましくは95%以上100%以下である。

【0346】

また、酸化物半導体をスパッタリング法で成膜する場合、ターゲットの原子数比からずれた原子数比の膜が形成される場合がある。特に、亜鉛は、ターゲットの原子数比よりも膜の原子数比が小さくなる場合がある。具体的には、ターゲットに含まれる亜鉛の原子数比の40 atomic %以上90 atomic %程度以下となる場合がある。

10

【0347】

従って、ターゲットの原子数比は、スパッタリング法により得られる酸化物半導体よりも亜鉛の原子数比が多くなることが好ましい。

【0348】

なお、酸化物半導体は、複数の膜を積層してもよい。また複数の膜のそれぞれのC A A C 比率が異なってもよい。また、積層された複数の膜のうち、少なくとも一層の膜は例えばC A A C 比率が90%高いことが好ましく、95%以上であることがより好ましく、97%以上100%以下であることがさらに好ましい。

20

【0349】

C A A C - O S 膜は、例えば以下の方法により形成することができる。

【0350】

C A A C - O S 膜は、例えば、多結晶である酸化物半導体スパッタリング用ターゲットを用い、スパッタリング法によって成膜する。スパッタ法としては、R F スパッタ法、D C スパッタ法、A C スパッタ法等を用いることができる。また、酸化物半導体膜の膜厚の分布、膜組成の分布、又は結晶性の分布の均一性を向上させるには、R F スパッタ法よりもD C スパッタ法またはA C スパッタ法を用いた方が好ましい。

【0351】

成膜時の基板温度を高めることで、基板到達後にスパッタリング粒子のマイグレーションが起こる。具体的には、基板温度を100 以上740 以下、好ましくは200 以上500 以下として成膜する。成膜時の基板温度を高めることで、スパッタリング粒子が基板に到達した場合、基板上でマイグレーションが起こり、スパッタリング粒子の平らな面が基板に付着する。このとき、スパッタリング粒子が正に帯電することで、スパッタリング粒子同士が反発しながら基板に付着するため、スパッタリング粒子が偏って不均一に重なることがなく、厚さの均一なC A A C - O S 膜を成膜することができる。

30

【0352】

成膜時の不純物混入を低減することで、不純物によって結晶状態が崩れることを抑制できる。例えば、成膜室内に存在する不純物濃度（水素、水、二酸化炭素及び窒素など）を低減すればよい。また、成膜ガス中の不純物濃度を低減すればよい。具体的には、露点が-80 以下、好ましくは-100 以下である成膜ガスを用いる。

40

【0353】

また、成膜ガス中の酸素割合を高め、電力を最適化することで成膜時のプラズマダメージを軽減すると好ましい。成膜ガス中の酸素割合は、30体積%以上、好ましくは100体積%とする。

【0354】

または、C A A C - O S 膜は、以下の方法により形成する。

【0355】

まず、第1の酸化物半導体膜を1nm以上10nm未満の厚さで成膜する。第1の酸化物半導体膜はスパッタリング法を用いて成膜する。具体的には、基板温度を100 以上

50

500 以下、好ましくは150 以上450 以下とし、成膜ガス中の酸素割合を30 体積%以上、好ましくは100 体積%として成膜する。

【0356】

次に、加熱処理を行い、第1の酸化物半導体膜を結晶性の高い第1のCAAC-OSS膜とする。加熱処理の温度は、350 以上740 以下、好ましくは450 以上650

以下とする。また、加熱処理の時間は1分以上24時間以下、好ましくは6分以上4時間以下とする。また、加熱処理は、不活性雰囲気または酸化性雰囲気で行えばよい。好ましくは、不活性雰囲気で行った後、酸化性雰囲気で行う。不活性雰囲気での加熱処理により、第1の酸化物半導体膜の不純物濃度を短時間で低減することができる。一方、不活性雰囲気での加熱処理により第1の酸化物半導体膜に酸素欠損が生成されることがある。その場合、酸化性雰囲気での加熱処理によって該酸素欠損を低減することができる。なお、加熱処理は1000Pa以下、100Pa以下、10Pa以下または1Pa以下の減圧下で行ってもよい。減圧下では、第1の酸化物半導体膜の不純物濃度をさらに短時間で低減することができる。

10

【0357】

第1の酸化物半導体膜は、厚さが1nm以上10nm未満であることにより、厚さが10nm以上である場合と比べ、加熱処理によって容易に結晶化させることができる。

【0358】

次に、第1の酸化物半導体膜と同じ組成である第2の酸化物半導体膜を10nm以上50nm以下の厚さで成膜する。第2の酸化物半導体膜はスパッタリング法を用いて成膜する。具体的には、基板温度を100 以上500 以下、好ましくは150 以上450 以下とし、成膜ガス中の酸素割合を30 体積%以上、好ましくは100 体積%として成膜する。

20

【0359】

次に、加熱処理を行い、第2の酸化物半導体膜を第1のCAAC-OSS膜から固相成長させることで、結晶性の高い第2のCAAC-OSS膜とする。加熱処理の温度は、350

以上740 以下、好ましくは450 以上650 以下とする。また、加熱処理の時間は1分以上24時間以下、好ましくは6分以上4時間以下とする。また、加熱処理は、不活性雰囲気または酸化性雰囲気で行えばよい。好ましくは、不活性雰囲気で行った後、酸化性雰囲気で行う。不活性雰囲気での加熱処理により、第2の酸化物半導体膜の不純物濃度を短時間で低減することができる。一方、不活性雰囲気での加熱処理により第2の酸化物半導体膜に酸素欠損が生成されることがある。その場合、酸化性雰囲気での加熱処理によって該酸素欠損を低減することができる。なお、加熱処理は1000Pa以下、100Pa以下、10Pa以下または1Pa以下の減圧下で行ってもよい。減圧下では、第2の酸化物半導体膜の不純物濃度をさらに短時間で低減することができる。

30

【0360】

以上のようにして、合計の厚さが10nm以上であるCAAC-OSS膜を形成することができる。

【0361】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

40

【0362】

(実施の形態3)

本実施の形態では、上記実施の形態で例示したメモリセルアレイ300等の記憶装置を含むRFタグについて、図27を用いて説明する。ここで記憶装置はメモリセルアレイに接続する行選択ドライバ、列選択ドライバ、及びA/Dコンバータ等を含む構成を含んでもよい。

【0363】

本実施の形態におけるRFタグは、内部に記憶回路を有し、記憶回路に必要な情報を記

50

憶し、非接触手段、例えば無線通信を用いて外部と情報の授受を行うものである。このような特徴から、ＲＦタグは、物品などの個体情報を読み取ることにより物品の識別を行う個体認証システムなどに用いることが可能である。なお、これらの用途に用いるためには極めて高い信頼性が要求される。

【０３６４】

ＲＦタグの構成について図２７を用いて説明する。図２７は、ＲＦタグの構成例を示すブロック図である。

【０３６５】

図２７に示すようにＲＦタグ８００は、通信器８０１（質問器、リーダ／ライタなどともいう）に接続されたアンテナ８０２から送信される無線信号８０３を受信するアンテナ８０４を有する。またＲＦタグ８００は、整流回路８０５、定電圧回路８０６、復調回路８０７、変調回路８０８、論理回路８０９、記憶回路８１０、ＲＯＭ８１１を有している。なお、復調回路８０７に含まれる整流作用を示すトランジスタに逆方向電流を十分に抑制することが可能な材料、例えば、酸化物半導体、が用いられた構成としてもよい。これにより、逆方向電流に起因する整流作用の低下を抑制し、復調回路の出力が飽和することを防止できる。つまり、復調回路の入力に対する復調回路の出力を線形に近づけることができる。なお、データの伝送形式は、一対のコイルを対向配置して相互誘導によって交信を行う電磁結合方式、誘導電磁界によって交信する電磁誘導方式、電波を利用して交信する電波方式の３つに大別される。本実施の形態に示すＲＦタグ８００は、そのいずれの方式に用いることも可能である。

【０３６６】

次に各回路の構成について説明する。アンテナ８０４は、通信器８０１に接続されたアンテナ８０２との間で無線信号８０３の送受信を行うためのものである。また、整流回路８０５は、アンテナ８０４で無線信号を受信することにより生成される入力交流信号を整流、例えば、半波２倍圧整流し、後段に設けられた容量素子により、整流された信号を平滑化することで入力電位を生成するための回路である。なお、整流回路８０５の入力側または出力側には、リミッタ回路を設けてもよい。リミッタ回路とは、入力交流信号の振幅が大きく、内部生成電圧が大きい場合に、ある電力以上の電力を後段の回路に入力しないように制御するための回路である。

【０３６７】

定電圧回路８０６は、入力電位から安定した電源電圧を生成し、各回路に供給するための回路である。なお、定電圧回路８０６は、内部にリセット信号生成回路を有していてもよい。リセット信号生成回路は、安定した電源電圧の立ち上がりを利用して、論理回路８０９のリセット信号を生成するための回路である。

【０３６８】

復調回路８０７は、入力交流信号を包絡線検出することにより復調し、復調信号を生成するための回路である。また、変調回路８０８は、アンテナ８０４より出力するデータに応じて変調をおこなうための回路である。

【０３６９】

論理回路８０９は復調信号を解析し、処理を行うための回路である。記憶回路８１０は、入力された情報を保持する回路であり、ロウデコーダ、カラムデコーダ、記憶領域などを有する。また、ＲＯＭ８１１は、固有番号（ＩＤ）などを格納し、処理に応じて出力を行うための回路である。

【０３７０】

なお、上述の各回路は、必要に応じて、適宜、取捨することができる。

【０３７１】

ここで、先の実施の形態で説明した記憶回路を、記憶回路８１０に用いることができる。本発明の一態様の記憶回路は、電源が遮断された状態であっても情報を保持できるため、ＲＦタグに好適に用いることができる。さらに本発明の一態様の記憶回路は、データの書き込みに必要な電力（電圧）が従来の不揮発性メモリに比べて著しく小さいため、デー

タの読み出し時と書込み時の最大通信距離の差を生じさせないことも可能である。さらに、データの書き込み時に電力が不足し、誤動作または誤書込みが生じることを抑制することができる。

【0372】

また、本発明の一態様の記憶回路は、不揮発性のメモリとして用いることが可能であるため、ROM 811に適用することもできる。その場合には、生産者がROM 811にデータを書き込むためのコマンドを別途用意し、ユーザが自由に書き換えできないようにしておくことが好ましい。生産者が出荷前に固有番号を書込んだのちに製品を出荷することで、作製したRFタグすべてについて固有番号を付与するのではなく、出荷する良品にのみ固有番号を割り当てることが可能となり、出荷後の製品の固有番号が不連続になることがなく出荷後の製品に対応した顧客管理が容易となる。

10

【0373】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

【0374】

(実施の形態4)

本実施の形態では、少なくとも実施の形態で説明したメモリセルアレイ300等を含む記憶装置を含むCPUについて説明する。ここで記憶装置はメモリセルアレイに接続する行選択ドライバ、列選択ドライバ、及びA/Dコンバータ等を含む構成を含んでもよい。

【0375】

20

図28は、先の実施の形態で説明した記憶装置を少なくとも一部に用いたCPUの一例の構成を示すブロック図である。

【0376】

図28に示すCPUは、基板1190上に、ALU1191(ALU: Arithmetic logic unit、演算回路)、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、タイミングコントローラ1195、レジスタ1196、レジスタコントローラ1197、バスインターフェース1198(Bus I/F)、書き換え可能なROM1199、およびROMインターフェース1189(ROM I/F)を有している。基板1190は、半導体基板、SOI基板、ガラス基板などを用いる。ROM1199およびROMインターフェース1189は、別チップに設けてもよい。もちろん、図28に示すCPUは、その構成を簡略化して示した一例にすぎず、実際のCPUはその用途によって多種多様な構成を有している。例えば、図28に示すCPUまたは演算回路を含む構成を一つのコアとし、当該コアを複数含み、それぞれのコアが並列で動作するような構成としてもよい。また、CPUが内部演算回路やデータバスで扱えるビット数は、例えば8ビット、16ビット、32ビット、64ビットなどとすることができる。

30

【0377】

バスインターフェース1198を介してCPUに入力された命令は、インストラクションデコーダ1193に入力され、デコードされた後、ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195に入力される。

40

【0378】

ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195は、デコードされた命令に基づき、各種制御を行なう。具体的にALUコントローラ1192は、ALU1191の動作を制御するための信号を生成する。また、インタラプトコントローラ1194は、CPUのプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタコントローラ1197は、レジスタ1196のアドレスを生成し、CPUの状態に応じてレジスタ1196の読み出しや書き込みを行なう。

50

【 0 3 7 9 】

また、タイミングコントローラ 1 1 9 5 は、A L U 1 1 9 1、A L U コントローラ 1 1 9 2、インストラクションデコーダ 1 1 9 3、インタラプトコントローラ 1 1 9 4、およびレジスタコントローラ 1 1 9 7 の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ 1 1 9 5 は、基準クロック信号 C L K 1 を元に、内部クロック信号 C L K 2 を生成する内部クロック生成部を備えており、内部クロック信号 C L K 2 を上記各種回路に供給する。

【 0 3 8 0 】

図 2 8 に示す C P U では、レジスタ 1 1 9 6 に、メモリセルが設けられている。レジスタ 1 1 9 6 のメモリセルとして、先の実施の形態に示したトランジスタを用いることができる。

10

【 0 3 8 1 】

図 2 8 に示す C P U において、レジスタコントローラ 1 1 9 7 は、A L U 1 1 9 1 からの指示に従い、レジスタ 1 1 9 6 における保持動作の選択を行う。すなわち、レジスタ 1 1 9 6 が有するメモリセルにおいて、フリップフロップによるデータの保持を行うか、容量素子によるデータの保持を行うかを、選択する。フリップフロップによるデータの保持が選択されている場合、レジスタ 1 1 9 6 内のメモリセルへの、電源電圧の供給が行われる。容量素子におけるデータの保持が選択されている場合、容量素子へのデータの書き換えが行われ、レジスタ 1 1 9 6 内のメモリセルへの電源電圧の供給を停止することができる。

20

【 0 3 8 2 】

図 2 9 は、レジスタ 1 1 9 6 として用いることのできる記憶素子の回路図の一例である。記憶素子 1 2 0 0 は、電源遮断で記憶データが揮発する回路 1 2 0 1 と、電源遮断で記憶データが揮発しない回路 1 2 0 2 と、スイッチ 1 2 0 3 と、スイッチ 1 2 0 4 と、論理素子 1 2 0 6 と、容量素子 1 2 0 7 と、選択機能を有する回路 1 2 2 0 と、を有する。回路 1 2 0 2 は、容量素子 1 2 0 8 と、トランジスタ 1 2 0 9 と、トランジスタ 1 2 1 0 と、を有する。なお、記憶素子 1 2 0 0 は、必要に応じて、ダイオード、抵抗素子、インダクタなどのその他の素子をさらに有していても良い。トランジスタ 1 2 0 9 は酸化物半導体層にチャネルが形成されるトランジスタであることが好ましい。

【 0 3 8 3 】

ここで、回路 1 2 0 2 には、先の実施の形態で説明した記憶装置を用いることができる。記憶素子 1 2 0 0 への電源電圧の供給が停止した際、回路 1 2 0 2 のトランジスタ 1 2 0 9 のゲートには接地電位 (0 V)、またはトランジスタ 1 2 0 9 がオフする電位が入力され続ける構成とする。例えば、トランジスタ 1 2 0 9 のゲートが抵抗等の負荷を介して接地される構成とする。

30

【 0 3 8 4 】

スイッチ 1 2 0 3 は、一導電型 (例えば、nチャネル型) のトランジスタ 1 2 1 3 を用いて構成され、スイッチ 1 2 0 4 は、一導電型とは逆の導電型 (例えば、pチャネル型) のトランジスタ 1 2 1 4 を用いて構成した例を示す。ここで、スイッチ 1 2 0 3 の第 1 の端子はトランジスタ 1 2 1 3 のソースとドレインの一方に対応し、スイッチ 1 2 0 3 の第 2 の端子はトランジスタ 1 2 1 3 のソースとドレインの他方に対応し、スイッチ 1 2 0 3 はトランジスタ 1 2 1 3 のゲートに入力される制御信号 R D によって、第 1 の端子と第 2 の端子の間の導通または非導通 (つまり、トランジスタ 1 2 1 3 のオン状態またはオフ状態) が選択される。スイッチ 1 2 0 4 の第 1 の端子はトランジスタ 1 2 1 4 のソースとドレインの一方に対応し、スイッチ 1 2 0 4 の第 2 の端子はトランジスタ 1 2 1 4 のソースとドレインの他方に対応し、スイッチ 1 2 0 4 はトランジスタ 1 2 1 4 のゲートに入力される制御信号 R D によって、第 1 の端子と第 2 の端子の間の導通または非導通 (つまり、トランジスタ 1 2 1 4 のオン状態またはオフ状態) が選択される。

40

【 0 3 8 5 】

トランジスタ 1 2 0 9 のソースとドレインの一方は、容量素子 1 2 0 8 の一対の電極の

50

うちの一方、およびトランジスタ1210のゲートと電氣的に接続される。ここで、接続部分をノードM2とする。トランジスタ1210のソースとドレインの一方は、低電源電位を供給することのできる配線（例えばGND線）に電氣的に接続され、他方は、スイッチ1203の第1の端子（トランジスタ1213のソースとドレインの一方）と電氣的に接続される。スイッチ1203の第2の端子（トランジスタ1213のソースとドレインの他方）はスイッチ1204の第1の端子（トランジスタ1214のソースとドレインの一方）と電氣的に接続される。スイッチ1204の第2の端子（トランジスタ1214のソースとドレインの他方）は電源電位VDDを供給することのできる配線と電氣的に接続される。スイッチ1203の第2の端子（トランジスタ1213のソースとドレインの他方）と、スイッチ1204の第1の端子（トランジスタ1214のソースとドレインの一方）と、論理素子1206の入力端子と、容量素子1207の一对の電極のうちの一方と、は電氣的に接続される。ここで、接続部分をノードM1とする。容量素子1207の一对の電極のうちの他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位（GND等）または高電源電位（VDD等）が入力される構成とすることができる。容量素子1207の一对の電極のうちの他方は、低電源電位を供給することのできる配線（例えばGND線）と電氣的に接続される。容量素子1208の一对の電極のうちの他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位（GND等）または高電源電位（VDD等）が入力される構成とすることができる。容量素子1208の一对の電極のうちの他方は、低電源電位を供給することのできる配線（例えばGND線）と電氣的に接続される。

10

20

【0386】

なお、容量素子1207および容量素子1208は、トランジスタや配線の寄生容量等を積極的に利用することによって省略することも可能である。

【0387】

トランジスタ1209の第1ゲート（第1のゲート電極）には、制御信号WEが入力される。スイッチ1203およびスイッチ1204は、制御信号WEとは異なる制御信号RDによって第1の端子と第2の端子の間の導通状態または非導通状態を選択され、一方のスイッチの第1の端子と第2の端子の間が導通状態のとき他方のスイッチの第1の端子と第2の端子の間は非導通状態となる。

【0388】

トランジスタ1209のソースとドレインの他方には、回路1201に保持されたデータに対応する信号が入力される。図29では、回路1201から出力された信号が、トランジスタ1209のソースとドレインの他方に入力される例を示した。スイッチ1203の第2の端子（トランジスタ1213のソースとドレインの他方）から出力される信号は、論理素子1206によってその論理値が反転された反転信号となり、回路1220を介して回路1201に入力される。

30

【0389】

なお、図29では、スイッチ1203の第2の端子（トランジスタ1213のソースとドレインの他方）から出力される信号は、論理素子1206および回路1220を介して回路1201に入力する例を示したがこれに限定されない。スイッチ1203の第2の端子（トランジスタ1213のソースとドレインの他方）から出力される信号が、論理値を反転させられることなく、回路1201に入力されてもよい。例えば、回路1201内に、入力端子から入力された信号の論理値が反転した信号が保持されるノードが存在する場合に、スイッチ1203の第2の端子（トランジスタ1213のソースとドレインの他方）から出力される信号を当該ノードに入力することができる。

40

【0390】

また、図29において、記憶素子1200に用いられるトランジスタのうち、トランジスタ1209以外のトランジスタは、酸化物半導体以外の半導体でなる層または基板1190にチャネルが形成されるトランジスタとすることができる。例えば、シリコン層またはシリコン基板にチャネルが形成されるトランジスタとすることができる。また、記憶素

50

子 1 2 0 0 に用いられるトランジスタ全てを、チャネルが酸化物半導体層で形成されるトランジスタとすることもできる。または、記憶素子 1 2 0 0 は、トランジスタ 1 2 0 9 以外にも、チャネルが酸化物半導体層で形成されるトランジスタを含んでいてもよく、残りのトランジスタは酸化物半導体以外の半導体となる層または基板 1 1 9 0 にチャネルが形成されるトランジスタとすることもできる。

【 0 3 9 1 】

図 2 9 における回路 1 2 0 1 には、例えばフリップフロップ回路を用いることができる。また、論理素子 1 2 0 6 としては、例えばインバータやクロックドインバータ等を用いることができる。

【 0 3 9 2 】

本発明の一態様の半導体装置では、記憶素子 1 2 0 0 に電源電圧が供給されない間は、回路 1 2 0 1 に記憶されていたデータを、回路 1 2 0 2 に設けられた容量素子 1 2 0 8 によって保持することができる。

【 0 3 9 3 】

また、酸化物半導体層にチャネルが形成されるトランジスタはオフ電流が極めて小さい。例えば、酸化物半導体層にチャネルが形成されるトランジスタのオフ電流は、結晶性を有するシリコンにチャネルが形成されるトランジスタのオフ電流に比べて著しく低い。そのため、当該トランジスタをトランジスタ 1 2 0 9 として用いることによって、記憶素子 1 2 0 0 に電源電圧が供給されない間も容量素子 1 2 0 8 に保持された信号は長期間にわたり保たれる。こうして、記憶素子 1 2 0 0 は電源電圧の供給が停止した間も記憶内容 (データ) を保持することが可能である。

【 0 3 9 4 】

また、スイッチ 1 2 0 3 およびスイッチ 1 2 0 4 を設けることによって、プリチャージ動作を行うことを特徴とする記憶素子であるため、電源電圧供給再開後に、回路 1 2 0 1 が元のデータを保持しなおすまでの時間を短くすることができる。

【 0 3 9 5 】

また、回路 1 2 0 2 において、容量素子 1 2 0 8 によって保持された信号はトランジスタ 1 2 1 0 のゲートに入力される。そのため、記憶素子 1 2 0 0 への電源電圧の供給が再開された後、容量素子 1 2 0 8 によって保持された信号を、トランジスタ 1 2 1 0 の状態 (オン状態、またはオフ状態) に変換して、回路 1 2 0 2 から読み出すことができる。それ故、容量素子 1 2 0 8 に保持された信号に対応する電位が多少変動していても、元の信号を正確に読み出すことが可能である。

【 0 3 9 6 】

このような記憶素子 1 2 0 0 を、プロセッサが有するレジスタやキャッシュメモリなどの記憶装置に用いることで、電源電圧の供給停止による記憶装置内のデータの消失を防ぐことができる。また、電源電圧の供給を再開した後、短時間で電源供給停止前の状態に復帰することができる。よって、プロセッサ全体、もしくはプロセッサを構成する一つ、または複数の論理回路において、短い時間でも電源停止を行うことができるため、消費電力を抑えることができる。

【 0 3 9 7 】

本実施の形態では、記憶素子 1 2 0 0 を CPU に用いる例として説明したが、記憶素子 1 2 0 0 は、DSP (Digital Signal Processor)、カスタム LSI、PLD (Programmable Logic Device) 等の LSI、RF-ID (Radio Frequency Identification) にも応用可能である。

【 0 3 9 8 】

例えば、本明細書等において、様々な基板を用いて、トランジスタを形成することが出来る。基板の種類は、特定のものに限定されることはない。その基板の一例としては、半導体基板 (例えば単結晶基板又はシリコン基板)、SOI 基板、ガラス基板、石英基板、プラスチック基板、金属基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを

10

20

30

40

50

有する基板、タングステン基板、タングステン・ホイルを有する基板、可撓性基板、貼り合わせフィルム、繊維状の材料を含む紙、又は基材フィルムなどがある。ガラス基板の一例としては、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス、又はソーダライムガラスなどがある。可撓性基板、貼り合わせフィルム、基材フィルムなどの一例としては、以下のものがあげられる。例えば、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）、ポリエーテルサルホン（PES）に代表されるプラスチックがある。または、一例としては、アクリル等の合成樹脂などがある。または、一例としては、ポリプロピレン、ポリエステル、ポリフッ化ビニル、又はポリ塩化ビニルなどがある。または、一例としては、ポリアミド、ポリイミド、アラミド、エポキシ、無機蒸着フィルム、又は紙類などがある。特に、半導体基板、単結晶基板、又はSOI基板などを用いてトランジスタを製造することによって、特性、サイズ、又は形状などのばらつきが少なく、電流能力が高く、サイズの小さいトランジスタを製造することができる。このようなトランジスタによって回路を構成すると、回路の低消費電力化、又は回路の高集積化を図ることができる。

10

【0399】

また、基板として、可撓性基板を用い、可撓性基板上に直接、トランジスタを形成してもよい。または、基板とトランジスタの間に剥離層を設けてもよい。剥離層は、その上に半導体装置を一部あるいは全部完成させた後、基板より分離し、他の基板に転載するために用いることができる。その際、トランジスタは耐熱性の劣る基板や可撓性の基板にも転載できる。なお、上述の剥離層には、例えば、タングステン膜と酸化シリコン膜との無機膜の積層構造の構成や、基板上にポリイミド等の有機樹脂膜が形成された構成等を用いることができる。

20

【0400】

つまり、ある基板を用いてトランジスタを形成し、その後、別の基板にトランジスタを転置し、別の基板上にトランジスタを配置してもよい。トランジスタが転置される基板の一例としては、上述したトランジスタを形成することが可能な基板に加え、紙基板、セロファン基板、アラミドフィルム基板、ポリイミドフィルム基板、石材基板、木材基板、布基板（天然繊維（絹、綿、麻）、合成繊維（ナイロン、ポリウレタン、ポリエステル）若しくは再生繊維（アセテート、キュブラ、レーヨン、再生ポリエステル）などを含む）、皮革基板、又はゴム基板などがある。これらの基板を用いることにより、特性のよいトランジスタの形成、消費電力の小さいトランジスタの形成、壊れにくい装置の製造、耐熱性の付与、軽量化、又は薄型化を図ることができる。

30

【0401】

例えば、本明細書等において、XとYとが接続されている、と明示的に記載する場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とを含むものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも含むものとする。

【0402】

ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

40

【0403】

XとYとが電氣的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、XとYとの間に1個以上接続されることが可能である。なお、スイッチは、オンオフが制御される機能を有している。つまり、スイッチは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有している。または、スイッチは、電流を流す経路を選択して切り替える機能を有している。

【0404】

50

XとYとが機能的に接続されている場合の一例としては、XとYとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路など）、信号変換回路（DA変換回路、AD変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフト回路など）、電圧源、電流源、切り替え回路、増幅回路（信号振幅または電流量などを大きく出来る回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、XとYとの間に1個以上接続されることが可能である。なお、一例として、XとYとの間に別の回路を挟んでいても、Xから出力された信号がYへ伝達される場合は、XとYとは機能的に接続されているものとする。

【0405】

10

なお、XとYとが接続されている、と明示的に記載する場合は、XとYとが電氣的に接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟んで接続されている場合）と、XとYとが機能的に接続されている場合（つまり、XとYとの間に別の回路を挟んで機能的に接続されている場合）と、XとYとが直接接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟まずに接続されている場合）とを含むものとする。つまり、電氣的に接続されている、と明示的に記載する場合は、単に、接続されている、とのみ明示的に記載されている場合と同じであるとする。

【0406】

なお、例えば、トランジスタのソース（又は第1の端子など）が、Z1を介して（又は介さず）、Xと電氣的に接続され、トランジスタのドレイン（又は第2の端子など）が、Z2を介して（又は介さず）、Yと電氣的に接続されている場合や、トランジスタのソース（又は第1の端子など）が、Z1の一部と直接的に接続され、Z1の別の一部がXと直接的に接続され、トランジスタのドレイン（又は第2の端子など）が、Z2の一部と直接的に接続され、Z2の別の一部がYと直接的に接続されている場合は、以下のように表現することが出来る。

20

【0407】

例えば、「XとYとトランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とは、互いに電氣的に接続されており、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yの順序で電氣的に接続されている。」と表現することができる。または、「トランジスタのソース（又は第1の端子など）は、Xと電氣的に接続され、トランジスタのドレイン（又は第2の端子など）はYと電氣的に接続され、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yは、この順序で電氣的に接続されている」と表現することができる。または、「Xは、トランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とを介して、Yと電氣的に接続され、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yは、この接続順序で設けられている」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続の順序について規定することにより、トランジスタのソース（又は第1の端子など）と、ドレイン（又は第2の端子など）とを、区別して、技術的範囲を決定することができる。なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、X、Y、Z1、Z2は、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

30

40

【0408】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

【0409】

（実施の形態5）

本発明の一態様に係る半導体装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的にはDVD: Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）に用いるこ

50

とができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯データ端末、電子書籍端末、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機（ＡＴＭ）、自動販売機などが挙げられる。これら電子機器の具体例を図３０に示す。

【０４１０】

図３０（Ａ）は携帯型ゲーム機であり、筐体９０１、筐体９０２、表示部９０３、表示部９０４、マイクロフォン９０５、スピーカー９０６、操作キー９０７、スタイラス９０８等を有する。なお、図３０（Ａ）に示した携帯型ゲーム機は、２つの表示部９０３と表示部９０４とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

10

【０４１１】

図３０（Ｂ）は携帯データ端末であり、第１筐体９１１、第２筐体９１２、第１表示部９１３、第２表示部９１４、接続部９１５、操作キー９１６等を有する。第１表示部９１３は第１筐体９１１に設けられており、第２表示部９１４は第２筐体９１２に設けられている。そして、第１筐体９１１と第２筐体９１２とは、接続部９１５により接続されており、第１筐体９１１と第２筐体９１２の間の角度は、接続部９１５により変更が可能である。第１表示部９１３における映像を、接続部９１５における第１筐体９１１と第２筐体９１２との間の角度に従って、切り替える構成としても良い。また、第１表示部９１３および第２表示部９１４の少なくとも一方に、位置入力装置としての機能が付加された表示装置を用いるようにしても良い。なお、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。或いは、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を表示装置の画素部に設けることでも、付加することができる。

20

【０４１２】

図３０（Ｃ）はノート型パーソナルコンピュータであり、筐体９２１、表示部９２２、キーボード９２３、ポインティングデバイス９２４等を有する。

【０４１３】

30

図３０（Ｄ）は電気冷凍冷蔵庫であり、筐体９３１、冷蔵室用扉９３２、冷凍室用扉９３３等を有する。

【０４１４】

図３０（Ｅ）はビデオカメラであり、第１筐体９４１、第２筐体９４２、表示部９４３、操作キー９４４、レンズ９４５、接続部９４６等を有する。操作キー９４４およびレンズ９４５は第１筐体９４１に設けられており、表示部９４３は第２筐体９４２に設けられている。そして、第１筐体９４１と第２筐体９４２とは、接続部９４６により接続されており、第１筐体９４１と第２筐体９４２の間の角度は、接続部９４６により変更が可能である。表示部９４３における映像を、接続部９４６における第１筐体９４１と第２筐体９４２との間の角度に従って切り替える構成としても良い。

40

【０４１５】

図３０（Ｆ）は普通自動車であり、車体９５１、車輪９５２、ダッシュボード９５３、ライト９５４等を有する。

【０４１６】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

【０４１７】

（実施の形態６）

本実施の形態では、本発明の一態様に係るＲＦタグの使用例について図３１を用いながら説明する。ＲＦタグの用途は広範にわたるが、例えば、紙幣、硬貨、有価証券類、無記

50

名債券類、証書類（運転免許証や住民票等、図31（A）参照）、包装用容器類（包装紙やボトル等、図31（C）参照）、記録媒体（DVDやビデオテープ等、図31（B）参照）、乗り物類（自転車等、図31（D）参照）、身の回り品（鞆や眼鏡等）、食品類、植物類、動物類、人体、衣類、生活用品類、薬品や薬剤を含む医療品、または電子機器（液晶表示装置、EL表示装置、テレビジョン装置、または携帯電話）等の物品、若しくは各物品に取り付ける荷札（図31（E）、図31（F）参照）等に設けて使用することができる。

【0418】

本発明の一態様に係るRFタグ4000は、表面に貼る、または埋め込むことにより、物品に固定される。例えば、本であれば紙に埋め込み、有機樹脂からなるパッケージであれば当該有機樹脂の内部に埋め込み、各物品に固定される。本発明の一態様に係るRFタグ4000は、小型、薄型、軽量を実現するため、物品に固定した後もその物品自体のデザイン性を損なうことがない。また、紙幣、硬貨、有価証券類、無記名債券類、または証書類等に本発明の一態様に係るRFタグ4000を設けることにより、認証機能を設けることができ、この認証機能を活用すれば、偽造を防止することができる。また、包装用容器類、記録媒体、身の回り品、食品類、衣類、生活用品類、または電子機器等に本発明の一態様に係るRFタグを取り付けることにより、検品システム等のシステムの効率化を図ることができる。また、乗り物類であっても、本発明の一態様に係るRFタグを取り付けることにより、盗難などに対するセキュリティ性を高めることができる。

【0419】

以上のように、本発明の一態様に係るRFタグを本実施の形態に挙げた各用途に用いることにより、情報の書込みや読み出しを含む動作電力を低減できるため、最大通信距離を長くとることが可能となる。また、電力が遮断された状態であっても情報を極めて長い期間保持可能であるため、書き込みや読み出しの頻度が低い用途にも好適に用いることができる。

【0420】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせ実施することができる。

【0421】

なお、ある一つの実施の形態の中で述べる内容（一部の内容でもよい）は、その実施の形態で述べる別の内容（一部の内容でもよい）、及び／又は、一つ若しくは複数の別の実施の形態で述べる内容（一部の内容でもよい）に対して、適用、組み合わせ、又は置き換えなどを行うことが出来る。

【0422】

なお、実施の形態の中で述べる内容とは、各々の実施の形態において、様々な図を用いて述べる内容、又は明細書に記載される文章を用いて述べる内容のことである。

【0423】

なお、ある一つの実施の形態において述べる図（一部でもよい）は、その図の別の部分、その実施の形態において述べる別の図（一部でもよい）、及び／又は、一つ若しくは複数の別の実施の形態において述べる図（一部でもよい）に対して、組み合わせることにより、さらに多くの図を構成させることが出来る。

【0424】

なお、明細書の中の図面や文章において規定されていない内容について、その内容を除くことを規定した発明の一態様を構成することが出来る。または、ある値について、上限値と下限値などで示される数値範囲が記載されている場合、その範囲を任意に狭めることで、または、その範囲の中の一点を除くことで、その範囲を一部除いた発明の一態様を規定することができる。これらにより、例えば、従来技術が本発明の一態様の技術的範囲内に入らないことを規定することができる。

【0425】

具体例としては、ある回路において、第1乃至第5のトランジスタを用いている回路図

が記載されているとする。その場合、その回路が、第6のトランジスタを有していないことを発明として規定することが可能である。または、その回路が、容量素子を有していないことを規定することが可能である。さらに、その回路が、ある特定の接続構造をとっているような第6のトランジスタを有していない、と規定して発明を構成することができる。または、その回路が、ある特定の接続構造をとっている容量素子を有していない、と規定して発明を構成することができる。例えば、ゲートが第3のトランジスタのゲートと接続されている第6のトランジスタを有していない、と発明を規定することが可能である。または、例えば、第1の電極が第3のトランジスタのゲートと接続されている容量素子を有していない、と発明を規定することが可能である。

【0426】

別の具体例としては、ある値について、例えば、「ある電圧が、3V以上10V以下であることが好適である」と記載されているとする。その場合、例えば、ある電圧が、-2V以上1V以下である場合を除く、と発明の一態様を規定することが可能である。または、例えば、ある電圧が、13V以上である場合を除く、と発明の一態様を規定することが可能である。なお、例えば、その電圧が、5V以上8V以下であると発明を規定することも可能である。なお、例えば、その電圧が、概略9Vであると発明を規定することも可能である。なお、例えば、その電圧が、3V以上10V以下であるが、9Vである場合を除くと発明を規定することも可能である。なお、ある値について、「このような範囲であることが好ましい」、「これらを満たすことが好適である」となどと記載されていたとしても、ある値は、それらの記載に限定されない。つまり、「好ましい」、「好適である」などと記載されていたとしても、必ずしも、それらの記載には、限定されない。

【0427】

別の具体例としては、ある値について、例えば、「ある電圧が、10Vであることが好適である」と記載されているとする。その場合、例えば、ある電圧が、-2V以上1V以下である場合を除く、と発明の一態様を規定することが可能である。または、例えば、ある電圧が、13V以上である場合を除く、と発明の一態様を規定することが可能である。

【0428】

別の具体例としては、ある物質の性質について、例えば、「ある膜は、絶縁膜である」と記載されているとする。その場合、例えば、その絶縁膜が、有機絶縁膜である場合を除く、と発明の一態様を規定することが可能である。または、例えば、その絶縁膜が、無機絶縁膜である場合を除く、と発明の一態様を規定することが可能である。または、例えば、その膜が、導電膜である場合を除く、と発明の一態様を規定することが可能である。または、例えば、その膜が、半導体膜である場合を除く、と発明の一態様を規定することが可能である。

【0429】

別の具体例としては、ある積層構造について、例えば、「A膜とB膜との間に、ある膜が設けられている」と記載されているとする。その場合、例えば、その膜が、4層以上の積層膜である場合を除く、と発明を規定することが可能である。または、例えば、A膜とその膜との間に、導電膜が設けられている場合を除く、と発明を規定することが可能である。

【0430】

なお、本明細書等において記載されている発明の一態様は、さまざまな人が実施することが出来る。しかしながら、その実施は、複数の人にまたがって実施される場合がある。例えば、送受信システムの場合において、A社が送信機を製造および販売し、B社が受信機を製造および販売する場合がある。別の例としては、トランジスタおよび発光素子を有する発光装置の場合において、トランジスタが形成された半導体装置は、A社が製造および販売する。そして、B社がその半導体装置を購入して、その半導体装置に発光素子を成膜して、発光装置として完成させる、という場合がある。

【0431】

このような場合、A社またはB社のいずれに対しても、特許侵害を主張できるような発

10

20

30

40

50

明の一態様を、構成することが出来る。つまり、A社のみが実施するような発明の一態様を構成することが可能であり、別の発明の一態様として、B社のみが実施するような発明の一態様を構成することが可能である。また、A社またはB社に対して、特許侵害を主張できるような発明の一態様は、明確であり、本明細書等に記載されていると判断する事が出来る。例えば、送受信システムの場合において、送信機のみの場合の記載や、受信機のみの場合の記載が本明細書等になかったとしても、送信機のみで発明の一態様を構成することができ、受信機のみで別の発明の一態様を構成することができ、それらの発明の一態様は、明確であり、本明細書等に記載されていると判断することが出来る。別の例としては、トランジスタおよび発光素子を有する発光装置の場合において、トランジスタが形成された半導体装置のみの場合の記載や、発光素子を有する発光装置のみの場合の記載が本明細書等になかったとしても、トランジスタが形成された半導体装置のみで発明の一態様を構成することができ、発光素子を有する発光装置のみで発明の一態様を構成することができ、それらの発明の一態様は、明確であり、本明細書等に記載されていると判断することが出来る。

10

【0432】

なお、本明細書等においては、能動素子（トランジスタ、ダイオードなど）、受動素子（容量素子、抵抗素子など）などが有するすべての端子について、その接続先を特定しなくても、当業者であれば、発明の一態様を構成することは可能な場合がある。つまり、接続先を特定しなくても、発明の一態様が明確であると言える。そして、接続先が特定された内容が、本明細書等に記載されている場合、接続先を特定しない発明の一態様が、本明細書等に記載されていると判断することが可能な場合がある。特に、端子の接続先が複数のケース考えられる場合には、その端子の接続先を特定の箇所に限定する必要はない。したがって、能動素子（トランジスタ、ダイオードなど）、受動素子（容量素子、抵抗素子など）などが有する一部の端子についてのみ、その接続先を特定することによって、発明の一態様を構成することが可能な場合がある。

20

【0433】

なお、本明細書等においては、ある回路について、少なくとも接続先を特定すれば、当業者であれば、発明を特定することが可能な場合がある。または、ある回路について、少なくとも機能を特定すれば、当業者であれば、発明を特定することが可能な場合がある。つまり、機能を特定すれば、発明の一態様が明確であると言える。そして、機能が特定された発明の一態様が、本明細書等に記載されていると判断することが可能な場合がある。したがって、ある回路について、機能を特定しなくても、接続先を特定すれば、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。または、ある回路について、接続先を特定しなくても、機能を特定すれば、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。

30

【0434】

なお、本明細書等においては、ある一つの実施の形態において述べる図または文章において、その一部分を取り出して、発明の一態様を構成することは可能である。したがって、ある部分を述べる図または文章が記載されている場合、その一部分の図または文章を取り出した内容も、発明の一態様として開示されているものであり、発明の一態様を構成することが可能であるものとする。そして、その発明の一態様は明確であると言える。そのため、例えば、能動素子（トランジスタ、ダイオードなど）、配線、受動素子（容量素子、抵抗素子など）、導電層、絶縁層、半導体層、有機材料、無機材料、部品、装置、動作方法、製造方法などが単数もしくは複数記載された図面または文章において、その一部分を取り出して、発明の一態様を構成することが可能であるものとする。例えば、N個（Nは整数）の回路素子（トランジスタ、容量素子等）を有して構成される回路図から、M個（Mは整数で、 $M < N$ ）の回路素子（トランジスタ、容量素子等）を抜き出して、発明の一態様を構成することは可能である。別の例としては、N個（Nは整数）の層を有して構成される断面図から、M個（Mは整数で、 $M < N$ ）の層を抜き出して、発明の一態様を構成することは可能である。さらに別の例としては、N個（Nは整数）の要素を有して構成

40

50

されるフローチャートから、M個（Mは整数で、 $M < N$ ）の要素を抜き出して、発明の一態様を構成することは可能である。さらに別の例としては、「Aは、B、C、D、E、または、Fを有する」と記載されている文章から、一部の要素を任意に抜き出して、「Aは、BとEとを有する」、「Aは、EとFとを有する」、「Aは、CとEとFとを有する」、または、「Aは、BとCとDとEとを有する」などの発明の一態様を構成することは可能である。

【0435】

なお、本明細書等においては、ある一つの実施の形態において述べる図または文章において、少なくとも一つの具体例が記載される場合、その具体例の上位概念を導き出すことは、当業者であれば容易に理解される。したがって、ある一つの実施の形態において述べる図または文章において、少なくとも一つの具体例が記載される場合、その具体例の上位概念も、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。そして、その発明の一態様は、明確であると言える。

10

【0436】

なお、本明細書等においては、少なくとも図に記載した内容（図の中の一部でもよい）は、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。したがって、ある内容について、図に記載されていれば、文章を用いて述べていなくても、その内容は、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。同様に、図の一部を取り出した図についても、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。そして、その発明の一態様は明確であると言える。

20

【符号の説明】

【0437】

101 j 半導体層
 101 j __ a 半導体層
 101 j __ b 半導体層
 101 j __ c 半導体層
 102 j ゲート絶縁膜
 103 j ゲート電極
 104 導電膜
 104 j __ a 導電層
 104 j __ b 導電層
 105 j 導電層
 111 バリア膜
 112 j 絶縁膜
 113 j 絶縁膜
 114 j 絶縁膜
 115 j 絶縁膜
 116 j 絶縁膜
 130 a トランジスタ
 130 b トランジスタ
 131 半導体基板
 132 半導体層
 133 a 低抵抗層
 133 b 低抵抗層
 134 ゲート絶縁膜
 135 ゲート電極
 136 絶縁膜
 137 絶縁膜
 138 絶縁膜

30

40

50

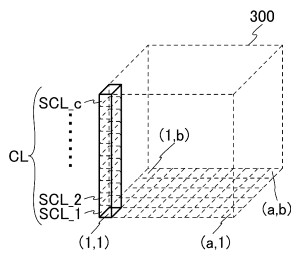
1 4 1 j	プラグ	
1 4 2 j	プラグ	
1 4 3 j	プラグ	
1 4 4 j	プラグ	
1 4 5 j	プラグ	
1 4 6 j	プラグ	
1 4 7 j	プラグ	
1 4 8 j	プラグ	
1 5 1 j	導電層	
1 5 2 j	導電層	10
1 5 3	導電膜	
1 5 3 j	導電層	
1 5 4 j	導電層	
1 5 6 j	絶縁膜	
1 7 1 j __ a	低抵抗領域	
1 7 1 j __ b	低抵抗領域	
1 7 6 a	領域	
1 7 6 b	領域	
1 9 0	トランジスタ	
1 9 8	トランジスタ	20
1 9 9	トランジスタ	
2 0 1 j	半導体層	
2 0 1 j __ a	半導体層	
2 0 1 j __ b	半導体層	
2 0 1 j __ c	半導体層	
2 0 2 j	ゲート絶縁膜	
2 0 3 j	ゲート電極	
2 0 4 j	導電膜	
2 0 4 j __ a	導電層	
2 0 4 j __ b	導電層	30
2 0 5 j	導電層	
2 1 2 j	絶縁膜	
2 1 3 j	絶縁膜	
2 1 4 j	絶縁膜	
2 1 6 j	絶縁膜	
2 3 0 a	トランジスタ	
2 3 0 b	トランジスタ	
2 3 2	半導体層	
2 3 3 a	低抵抗層	
2 3 3 b	低抵抗層	40
2 3 5	ゲート電極	
3 0 0	メモリセルアレイ	
5 0 0	周辺回路	
7 0 0	半導体装置	
8 0 0	R F タグ	
8 0 1	通信器	
8 0 2	アンテナ	
8 0 3	無線信号	
8 0 4	アンテナ	
8 0 5	整流回路	50

8 0 6	定電圧回路	
8 0 7	復調回路	
8 0 8	変調回路	
8 0 9	論理回路	
8 1 0	記憶回路	
8 1 1	R O M	
9 0 1	筐体	
9 0 2	筐体	
9 0 3	表示部	
9 0 4	表示部	10
9 0 5	マイクロフォン	
9 0 6	スピーカー	
9 0 7	操作キー	
9 0 8	スタイラス	
9 1 1	筐体	
9 1 2	筐体	
9 1 3	表示部	
9 1 4	表示部	
9 1 5	接続部	
9 1 6	操作キー	20
9 2 1	筐体	
9 2 2	表示部	
9 2 3	キーボード	
9 2 4	ポインティングデバイス	
9 3 1	筐体	
9 3 2	冷蔵室用扉	
9 3 3	冷凍室用扉	
9 4 1	筐体	
9 4 2	筐体	
9 4 3	表示部	30
9 4 4	操作キー	
9 4 5	レンズ	
9 4 6	接続部	
9 5 1	車体	
9 5 2	車輪	
9 5 3	ダッシュボード	
9 5 4	ライト	
1 1 8 9	R O Mインターフェース	
1 1 9 0	基板	
1 1 9 1	A L U	40
1 1 9 2	A L Uコントローラ	
1 1 9 3	インストラクションデコーダ	
1 1 9 4	インタラプトコントローラ	
1 1 9 5	タイミングコントローラ	
1 1 9 6	レジスタ	
1 1 9 7	レジスタコントローラ	
1 1 9 8	バスインターフェース	
1 1 9 9	R O M	
1 2 0 0	記憶素子	
1 2 0 1	回路	50

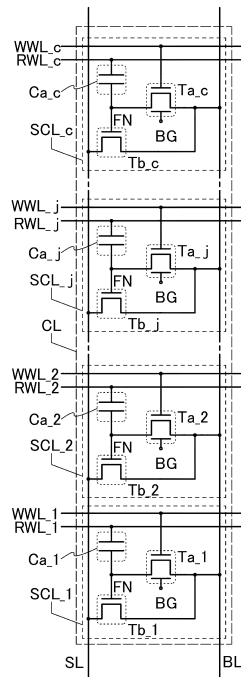
1 2 0 2	回路
1 2 0 3	スイッチ
1 2 0 4	スイッチ
1 2 0 6	論理素子
1 2 0 7	容量素子
1 2 0 8	容量素子
1 2 0 9	トランジスタ
1 2 1 0	トランジスタ
1 2 1 3	トランジスタ
1 2 1 4	トランジスタ
1 2 2 0	回路
2 1 0 0	トランジスタ
2 2 0 0	トランジスタ
4 0 0 0	R F タグ
5 1 0 0	ペレット
5 1 2 0	基板
5 1 6 1	領域

【図 1】

(A)

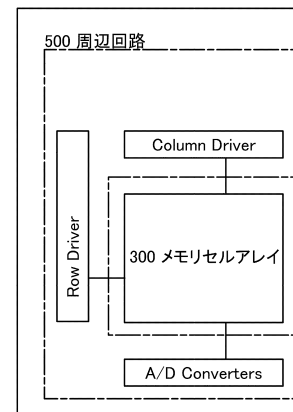


(B)



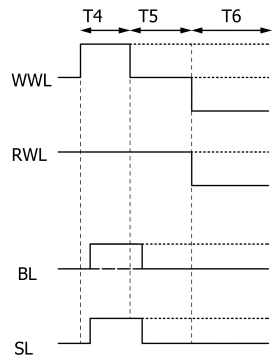
【図 2】

700 半導体装置

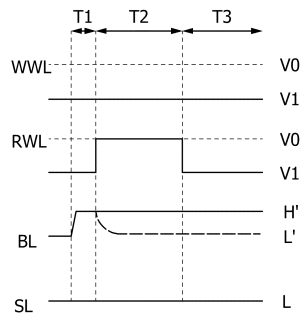


【図 3】

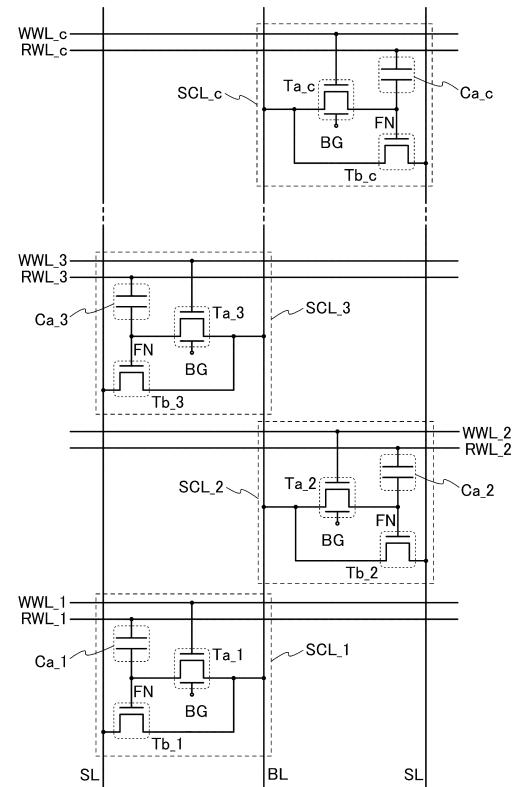
(A)



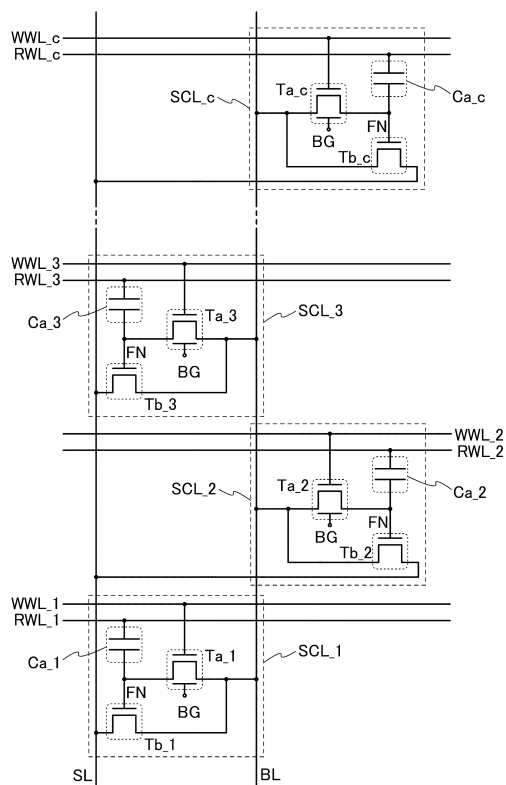
(B)



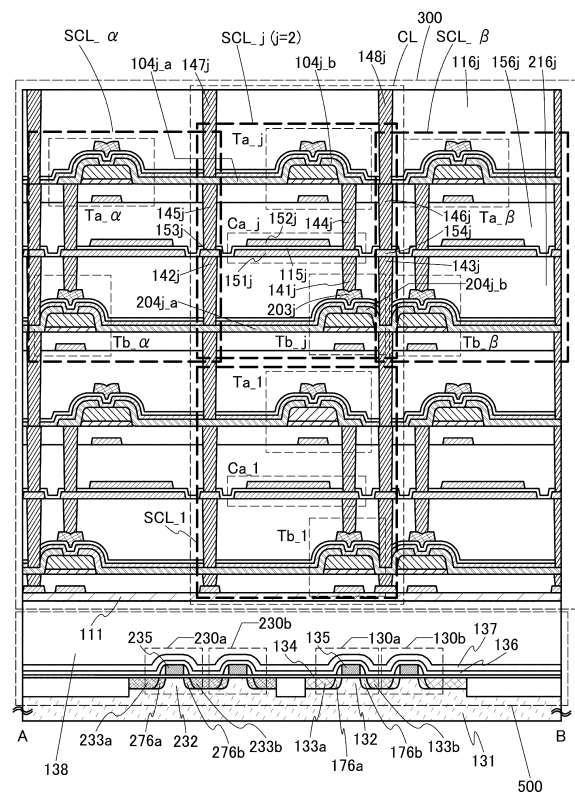
【図 4】



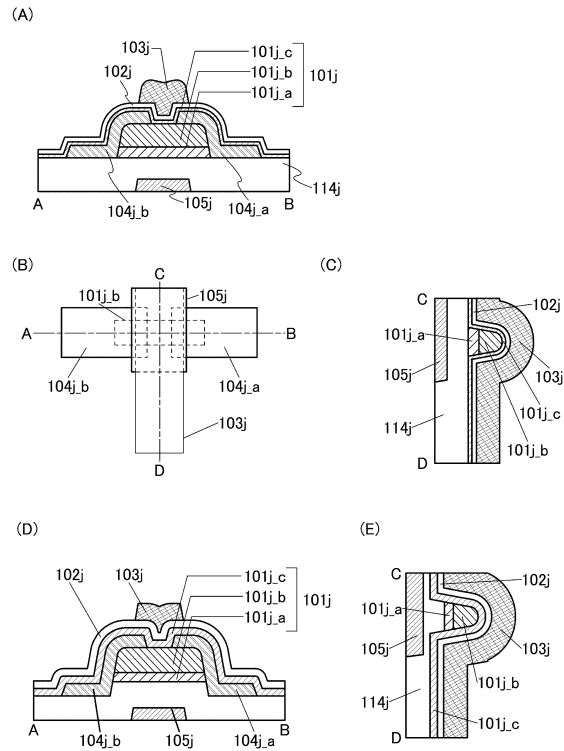
【図 5】



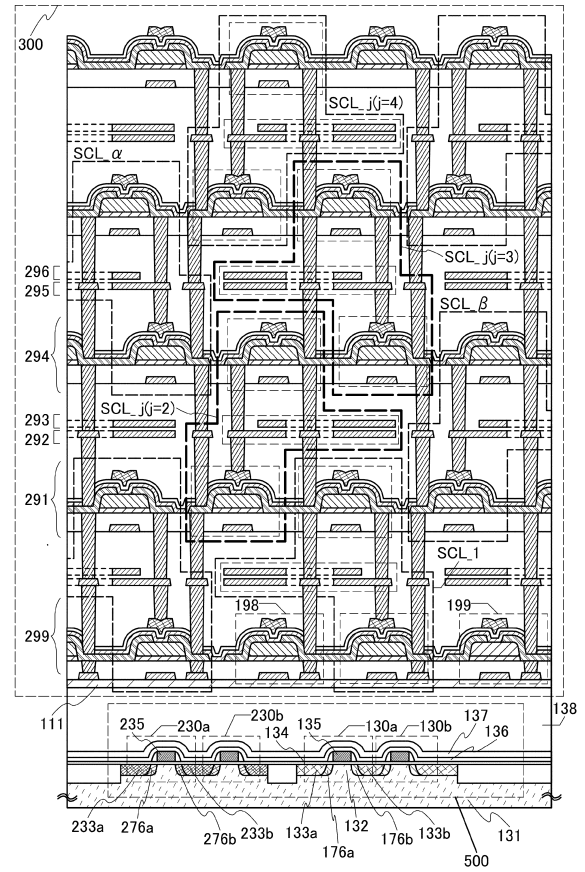
【図 6】



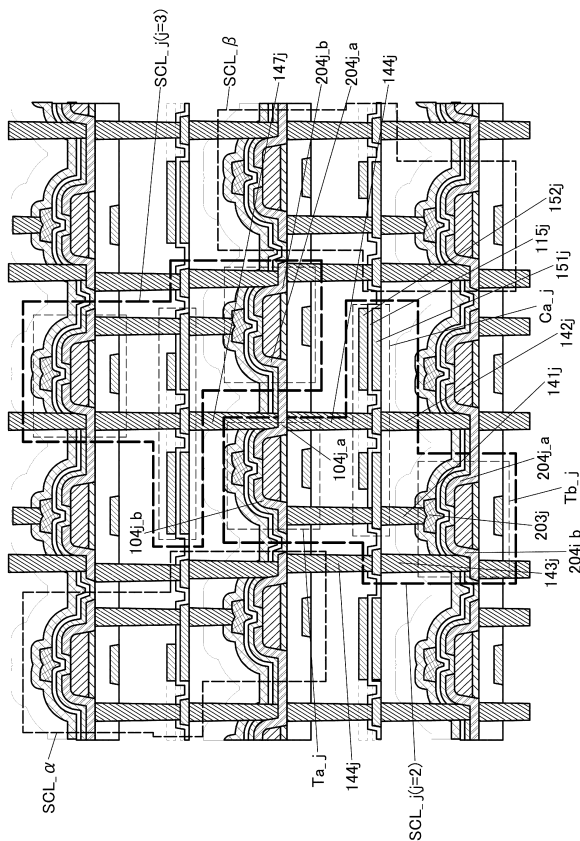
【図 7】



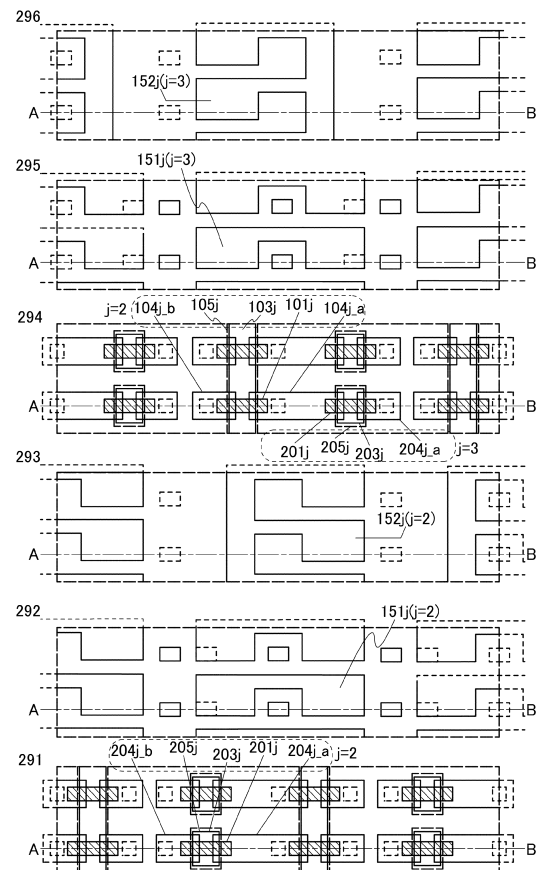
【図 8】



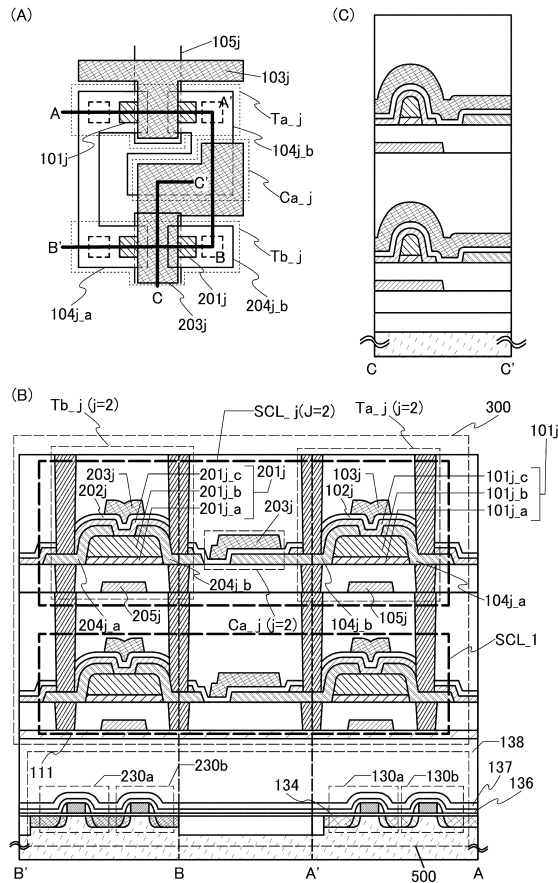
【図 9】



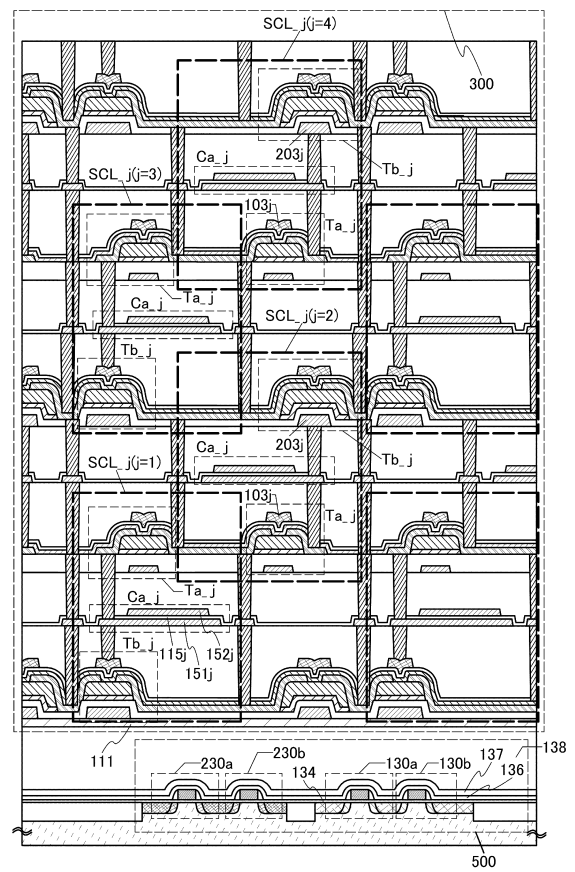
【図 10】



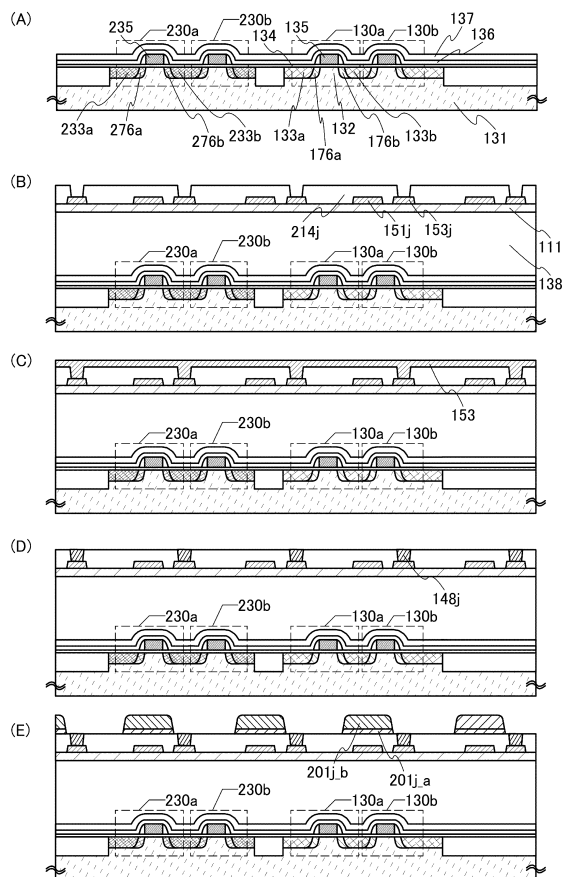
【図 1 1】



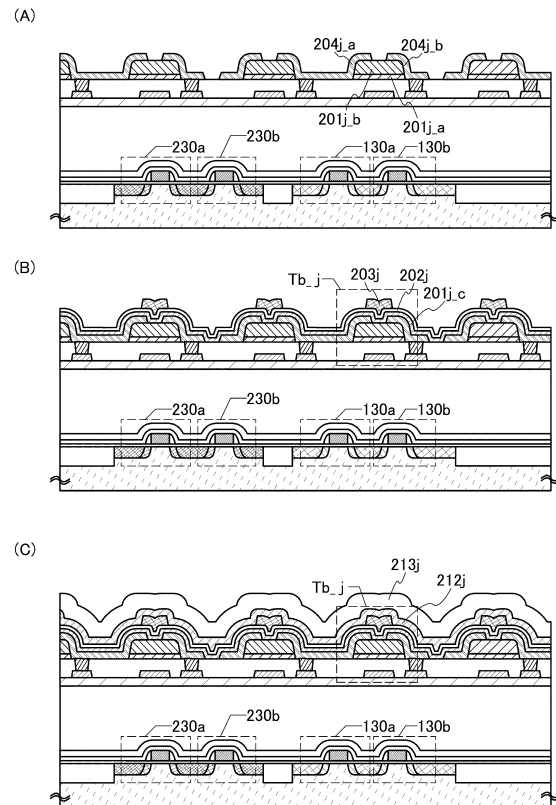
【図 1 2】



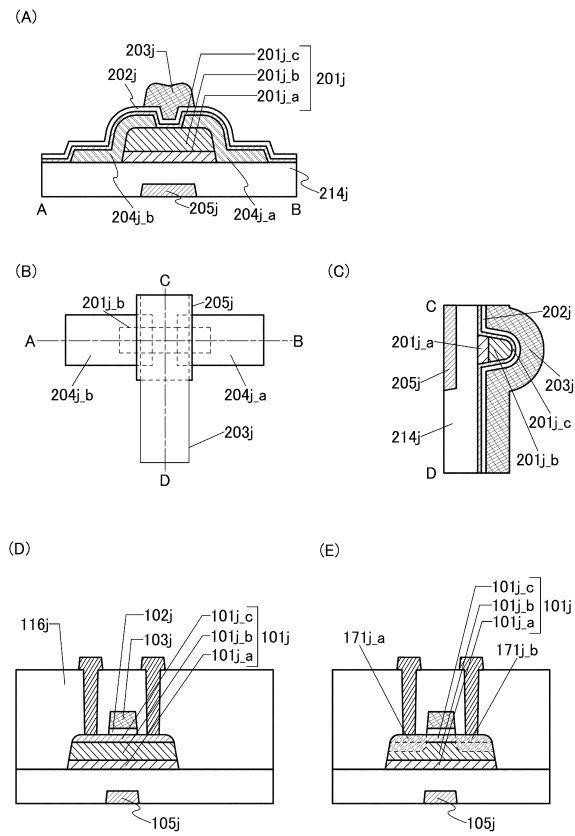
【図 1 3】



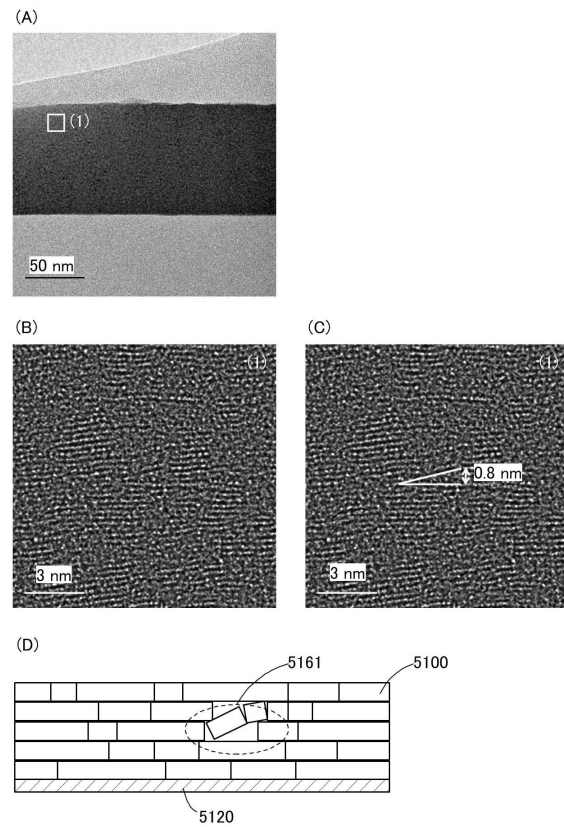
【図 1 4】



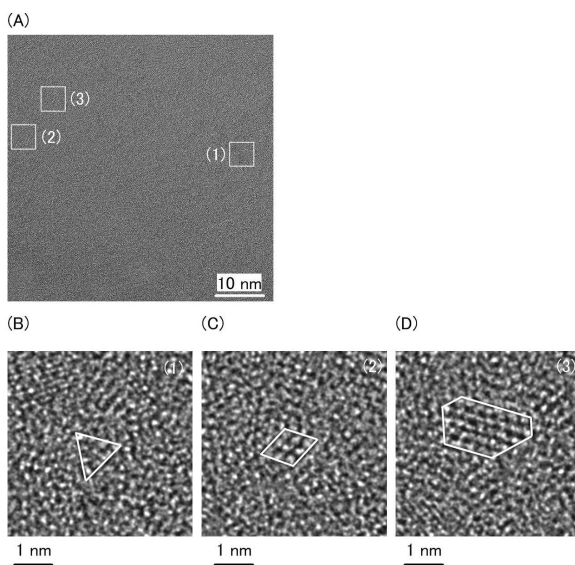
【図 19】



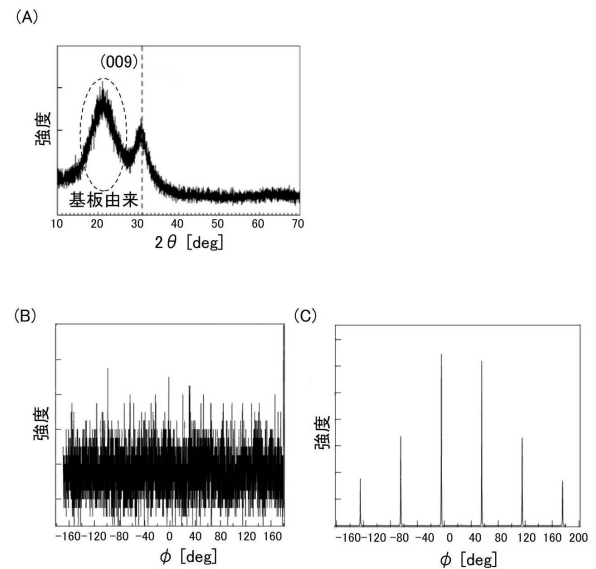
【図 20】



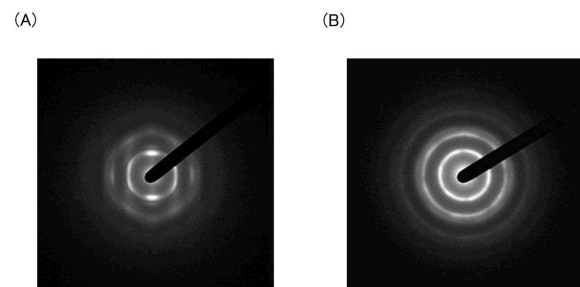
【図 21】



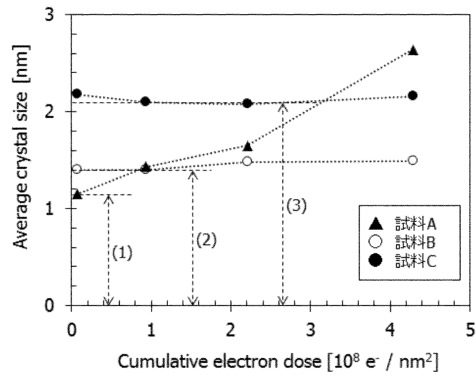
【図 22】



【図 23】

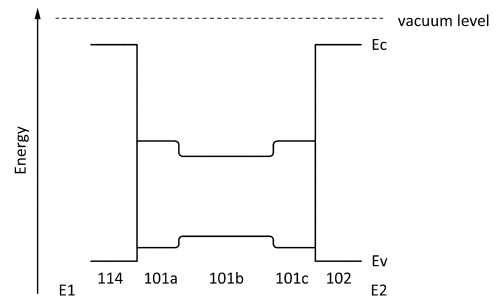


【図 2 4】

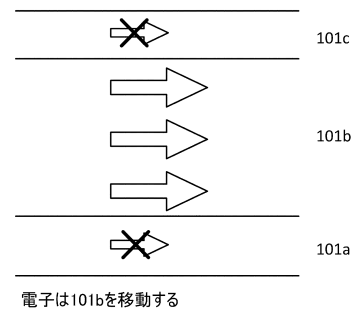


【図 2 5】

(A)

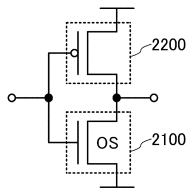


(B)

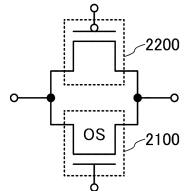


【図 2 6】

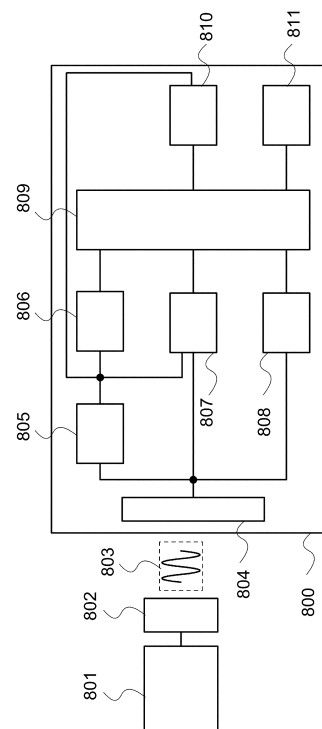
(A)



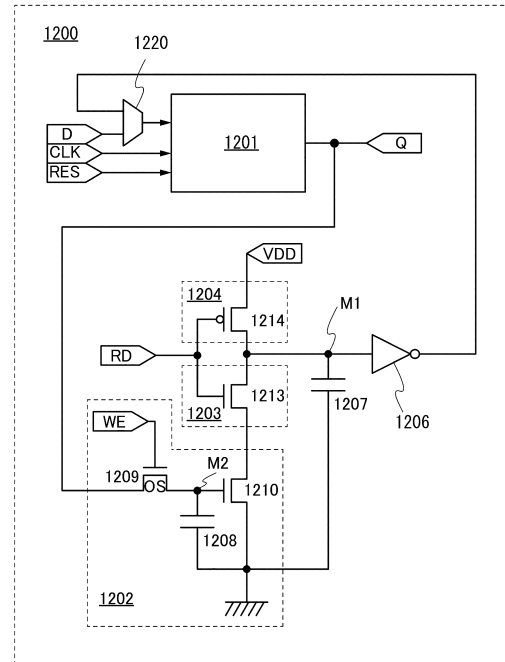
(B)



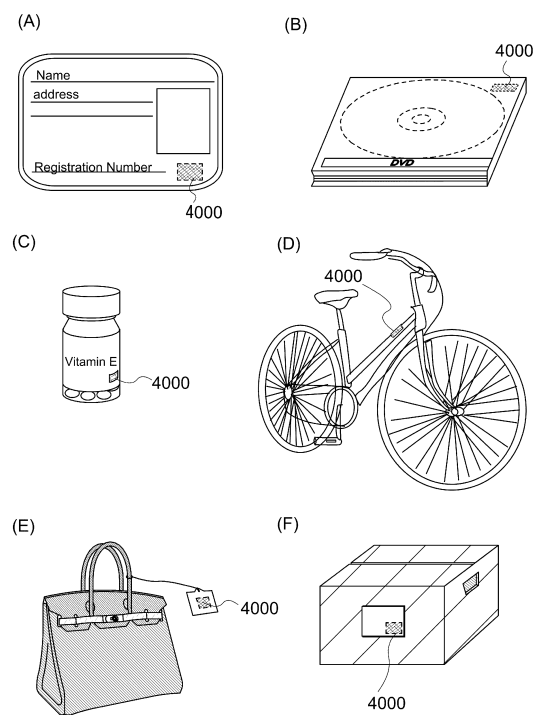
【図 2 7】



【 図 2 9 】



【 図 3 1 】



フロントページの続き

(51)Int.Cl.			F I		
<i>H 0 1 L</i>	<i>27/088</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>27/088</i>	<i>E</i>
<i>H 0 1 L</i>	<i>27/06</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>27/088</i>	<i>H</i>
<i>G 1 1 C</i>	<i>11/405</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>27/088</i>	<i>3 3 1 E</i>
			<i>H 0 1 L</i>	<i>27/06</i>	<i>1 0 2 A</i>
			<i>G 1 1 C</i>	<i>11/405</i>	

審査官 宮本 博司

- (56)参考文献 特開 2 0 1 2 - 0 3 3 9 0 6 (J P , A)
 特開 2 0 1 3 - 0 6 5 6 3 8 (J P , A)
 特開昭 6 2 - 1 6 5 9 7 1 (J P , A)
 特開 2 0 1 2 - 2 5 6 4 0 5 (J P , A)
 特開 2 0 1 4 - 0 3 0 0 0 0 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L *2 1 / 8 2 4 2*
G 1 1 C *1 1 / 4 0 5*
H 0 1 L *2 1 / 8 2 3 4*
H 0 1 L *2 7 / 0 6*
H 0 1 L *2 7 / 0 8 8*
H 0 1 L *2 7 / 1 0*
H 0 1 L *2 7 / 1 0 8*
H 0 1 L *2 9 / 7 8 6*