



(12) 发明专利

(10) 授权公告号 CN 102157377 B

(45) 授权公告日 2012.10.03

(21) 申请号 201010108871.7

US 2009114985 A1, 2009.05.07,

(22) 申请日 2010.02.11

审查员 颜丽娟

(73) 专利权人 上海华虹 NEC 电子有限公司

地址 201206 上海市浦东新区川桥路 1188  
号

(72) 发明人 肖胜安

(74) 专利代理机构 上海浦一知识产权代理有限  
公司 31211

代理人 丁纪铁

(51) Int. Cl.

H01L 21/336 (2006.01)

H01L 29/78 (2006.01)

(56) 对比文件

CN 1823421 A, 2006.08.23,

EP 0923137 A2, 1999.06.16,

权利要求书 2 页 说明书 5 页 附图 7 页

(54) 发明名称

超结 VDMOS 器件及其制造方法

(57) 摘要

本发明公开了一种超结 VDMOS 器件的制造方法，包括步骤：利用正面工艺，在 N+ 硅基片的正面形成第一部分交替 P 型 N 型薄层，并形成超结 VDMOS 器件的 P 阵、栅氧、多晶硅栅、源区以及栅极和源极；将 N+ 硅基片的背面减薄，使 N+ 硅基片的厚度为 1 微米～6 微米；利用背面工艺，在 N+ 硅基片的背面进行有图形的杂质的注入，形成第二部分交替 P 型 N 型薄层；之后再完成背面金属淀积形成漏极。本发明在工艺难度不加大的情况下，能够制造出具有更高的高宽比的交替 P 型 N 型薄层，提高超结 VDMOS 器件的耐压性能；同时也能降低成本。

步骤一、利用正面工艺，在 N+ 硅基片的正面形成第一部分交替 P 型 N 型薄层；并形成器件的 P 阵、栅氧、多晶硅栅、源区以及栅极和源极。

步骤二、将 N+ 硅基片的背面减薄，使 N+ 硅基片的厚度为 1～6 微米。

步骤三、利用背面工艺，在所述 N+ 硅基片的背面进行有图形的杂质的注入，形成第二部分交替 P 型 N 型薄层；之后再完成背面金属淀积形成漏极。

1. 一种超结 VDMOS 器件的制造方法, 其特征在于, 包括如下步骤:

步骤一、利用正面工艺, 在 N<sup>+</sup> 硅基片的正面形成第一部分交替 P 型 N 型薄层, 所述第一部分交替 P 型 N 型薄层的 P 型薄层和 N 型薄层为横向交替排列; 并形成所述超结 VDMOS 器件的 P 阵、栅氧、多晶硅栅、源区以及栅极和源极;

步骤二、将所述 N<sup>+</sup> 硅基片的背面减薄, 使所述 N<sup>+</sup> 硅基片的厚度为 1 微米~6 微米;

步骤三、利用背面工艺, 在所述 N<sup>+</sup> 硅基片的背面进行有图形的杂质的注入, 形成第二部分交替 P 型 N 型薄层, 所述第二部分交替 P 型 N 型薄层的 P 型薄层和 N 型薄层为横向交替排列, 所述第二部分交替 P 型 N 型薄层对应的 P 型薄层和 N 型薄层分别处于所述第一部分交替 P 型 N 型薄层的 P 型薄层和 N 型薄层的下方; 之后再完成背面金属淀积形成漏极。

2. 一种如权利要求 1 所述的超结 VDMOS 器件的制造方法, 其特征在于: 步骤一中所述第一部分交替 P 型 N 型薄层的形成方法为:

(1)、在所述 N<sup>+</sup> 硅基片上形成一 N 型外延层, 在所述 N 型外延层上形成第一层介质膜, 利用光刻、刻蚀工艺形成沟槽, 并通过牺牲氧化层去除沟槽表面的缺陷; 所述沟槽的底部位于所述 N 型外延层中;

(2)、利用外延工艺在所述沟槽中生长 P 型外延层;

(3)、利用回刻或化学机械研磨将硅片表面介质膜上生成的硅去除;

(4)、将所述介质膜去掉, 从而得到所述第一部分交替 P 型 N 型薄层。

3. 一种如权利要求 1 所述的超结 VDMOS 器件的制造方法, 其特征在于: 步骤一中所述第一部分交替 P 型 N 型薄层的形成方法为:

(1)、在所述 N<sup>+</sup> 硅基片上形成一 N 型外延层, 在所述 N 型外延层上形成第一层介质膜, 利用光刻、刻蚀工艺形成沟槽, 并通过牺牲氧化层去除沟槽表面的缺陷; 所述沟槽的底部位于所述 N 型外延层中;

(2)、利用多次注入在所述沟槽的侧壁上掺入 P 型杂质;

(3)、在所述沟槽侧壁淀积第二层介质膜, 并进行反刻, 将所述沟槽底部的所述第二层介质膜去掉;

(4)、在所述沟槽中填入导电体并填满所述沟槽;

(5)、利用回刻或化学机械研磨将硅片表面的导电体、第一层介质膜以及硅片表面的第二层介质膜去除, 从而得到所述第一部分交替 P 型 N 型薄层。

4. 一种如权利要求 1 所述的超结 VDMOS 器件的制造方法, 其特征在于: 步骤一中所述第一部分交替 P 型 N 型薄层的形成方法为:

(1)、在所述 N<sup>+</sup> 硅基片上生长第一层 N 型外延层;

(2)、利用光刻工艺形成所述第一部分交替 P 型 N 型薄层对应的 P 型薄层和 N 型薄层光刻胶图形, 在所述 N 型薄层上形成光刻胶保护层、在所述 P 型薄层上形成窗口;

(3)、利用离子注入工艺在所述 P 型薄层中掺入 P 型杂质;

(4)、将光刻胶去除;

(5)、再生长第二层 N 外延层, 重复 (2) ~ (4) 的步骤;

(6)、重复步骤 (5) 直到 N 型外延层总厚度达到需要; 从而得到所述第一部分交替 P 型 N 型薄层。

5. 一种如权利要求 1 所述的超结 VDMOS 器件的制造方法, 其特征在于: 步骤三中所述

第二部分交替 P 型 N 型薄层的形成方法为：

- (1) 所述 N+ 硅基片的背面形成所述第二部分交替 P 型 N 型薄层对应的 P 型薄层和 N 型薄层光刻胶图形，在所述 N 型薄层上形成光刻胶保护层、在所述 P 型薄层上形成窗口；
- (2) 从所述 N+ 硅基片的背面在所述 P 型薄层中进行 P 型杂质注入，P 型杂质离子注入为一次高能注入、或多次能量不相等的高能注入；
- (3) 去除光刻胶并利用退火工艺将背面注入的 P 型杂质激活；从而得到所述第二部分交替 P 型 N 型薄层。

6. 一种如权利要求 5 所述的超结 VDMOS 器件的制造方法，其特征在于：步骤 (3) 采用 350℃～450℃ 的炉管退火、或采用激光退火。

7. 一种如权利要求 5 所述的超结 VDMOS 器件的制造方法，其特征在于：P 型杂质离子注入为多次能量不相等的高能注入时，形成的 P 型掺杂区在垂直硅片表面的方向上是连续的、或是间断的。

8. 一种如权利要求 3 所述的超结 VDMOS 器件的制造方法，其特征在于：在所述沟槽侧壁上掺入 P 型杂质形成的 P 型杂质区在垂直硅片表面的方向上是连续的、或是间断的。

9. 一种如权利要求 3 所述的超结 VDMOS 器件的制造方法，其特征在于：步骤 (4) 和步骤 (5) 中所述导电体为部分掺入 P 型杂质的多晶硅。

10. 一种超结 VDMOS 器件，包括 N+ 源区、P 阵、栅氧化层、多晶硅栅、源极和棚接、以及由 N+ 衬底形成的漏区和在所述 N+ 衬底背面形成的漏极，其特征在于：还包括有第一部分交替 P 型 N 型薄层和第二部分交替 P 型 N 型薄层，所述第一部分交替 P 型 N 型薄层和所述第二部分交替 P 型 N 型薄层的 P 型薄层和 N 型薄层都为横向交替排列；所述第一部分交替 P 型 N 型薄层是通过正面工艺在 N+ 硅基片的正面形成，所述第二部分交替 P 型 N 型薄层是通过背面工艺在 N+ 硅基片的背面形成，所述第二部分交替 P 型 N 型薄层对应的 P 型薄层和 N 型薄层分别处于所述第一部分交替 P 型 N 型薄层的对应的 P 型薄层和 N 型薄层下方。

## 超结 VDMOS 器件及其制造方法

### 技术领域

[0001] 本发明涉及半导体集成电路制造领域,特别是涉及一种超结 VDMOS 器件的制造方法,本发明还涉及一种超结 VDMOS 器件。

### 背景技术

[0002] 超结 MOSFET 采用新的耐压层结构,利用一系列的交替排列的 P 型和 N 型半导体薄层来在截止状态下在较低电压下就将 P 型 N 型区载流子耗尽,实现电荷相互补偿,从而使 P 型 N 型区在高掺杂浓度下能实现高的击穿电压,从而同时获得低导通电阻和高击穿电压,打破传统功率 MOSFET 理论极限。该器件的结构和制作方法可分为两大类,第一类是利用多次光刻 - 外延生长和注入来获得交替的 P 型和 N 型掺杂区;第二类是在 N 型硅外延层上开沟槽,往沟槽中填入 P 型多晶,或倾斜注入 P 型杂质,或填入 P 型外延。上述第一类工艺不仅工艺复杂,实现难度大,而且成本很高;第二类工艺中,虽然成本相对低,但工艺难度较大,特别是没法实现高的高宽比如大于 15 的高宽比的 P 薄层,其中高宽比即为 P 薄层的纵向深度除以横向宽度。但高的高宽比,对提高器件的耐压特性从而提高器件性能很有帮助。

### 发明内容

[0003] 本发明所要解决的技术问题是提供一种超结 VDMOS 器件的制造方法,能够制造出具有更高的高宽比的交替 P 型 N 型薄层,提高器件的耐压性能;为此,本发明还供了一种超结 VDMOS 器件。

[0004] 为解决上述技术问题,本发明提供的超结 VDMOS 器件的制造方法,包括如下步骤:

[0005] 步骤一、利用正面工艺,在 N+ 硅基片的正面形成第一部分交替 P 型 N 型薄层;并形成所述超结 VDMOS 器件的 P 阵、栅氧、多晶硅栅、源区以及栅极和源极;

[0006] 步骤二、将所述 N+ 硅基片的背面减薄,使所述 N+ 硅基片的厚度为 1 微米~6 微米;

[0007] 步骤三、利用背面工艺,在所述 N+ 硅基片的背面进行有图形的杂质的注入,形成第二部分交替 P 型 N 型薄层,所述第二部分交替 P 型 N 型薄层对应的 P 型薄层和 N 型薄层分别处于所述第一部分交替 P 型 N 型薄层的 P 型薄层和 N 型薄层的下方;之后再完成背面金属淀积形成漏极。

[0008] 更进一步的改进是,步骤一中所述第一部分交替 P 型 N 型薄层的形成方法为:

[0009] (1)、在所述 N+ 硅基片上形成一 N 型外延层,在所述 N 型外延层上形成第一层介质膜,利用光刻、刻蚀工艺形成沟槽,并通过牺牲氧化层去除沟槽表面的缺陷;

[0010] (2)、利用外延工艺在所述沟槽中生长 P 型外延层;

[0011] (3)、利用回刻或化学机械研磨将硅片表面介质膜上生成的硅去除;

[0012] (4)、将所述介质膜去掉,从而得到所述第一部分交替 P 型 N 型薄层。

[0013] 更进一步的改进是,步骤一中所述第一部分交替 P 型 N 型薄层的形成方法为:

[0014] (1)、在所述 N+ 硅基片上形成一 N 型外延层，在所述 N 型外延层上形成第一层介质膜，利用光刻、刻蚀工艺形成沟槽，并通过牺牲氧化层去除沟槽表面的缺陷；

[0015] (2)、利用多次注入在所述沟槽的侧壁上掺入 P 型杂质；形成的 P 型杂质区在垂直硅片表面的方向上是连续的、或是间断的；

[0016] (3)、在所述沟槽侧壁淀积第二层介质膜，并进行反刻，将所述沟槽底部的所述第二层介质膜去掉；

[0017] (4)、在所述沟槽中填入导电体如部分掺入 P 型杂质的多晶硅并填满所述沟槽；

[0018] (5)、利用回刻或化学机械研磨将硅片表面的导电体如多晶硅、第一层介质膜以及硅片表面的第二层介质膜去除，从而得到所述第一部分交替 P 型 N 型薄层。

[0019] 更进一步的改进是，步骤一中所述第一部分交替 P 型 N 型薄层的形成方法为：

[0020] (1)、在所述 N+ 硅基片上生长第一层 N 型外延层；

[0021] (2)、利用光刻工艺形成所述第一部分交替 P 型 N 型薄层对应的 P 型薄层和 N 型薄层光刻胶图形，在所述 N 型薄层上形成光刻胶保护层、在所述 P 型薄层上形成窗口；

[0022] (3)、利用离子注入工艺在所述 P 型薄层中掺入 P 型杂质；

[0023] (4)、将光刻胶去除；

[0024] (5)、再生长第二层 N 外延层，重复 (2) ~ (4) 的步骤；

[0025] (6)、重复步骤 (5) 直到 N 型外延层总厚度达到需要；从而得到所述第一部分交替 P 型 N 型薄层。

[0026] 更进一步的改进是，步骤三中所述第二部分交替 P 型 N 型薄层的形成方法为：

[0027] (1) 所述 N+ 硅基片的背面形成所述第二部分交替 P 型 N 型薄层对应的 P 型薄层和 N 型薄层光刻胶图形，在所述 N 型薄层上形成光刻胶保护层、在所述 P 型薄层上形成窗口；

[0028] (2) 从所述 N+ 硅基片的背面在所述 P 型薄层中进行 P 型杂质注入，P 型杂质离子注入为一次高能注入、或多次能量不相等的高能注入；P 型杂质离子注入为多次能量不相等的高能注入时，形成的 P 型掺杂区在垂直硅片表面的方向上可以是连续的、也可以是间断的。

[0029] (3) 去除光刻胶并利用退火工艺将背面注入的 P 型杂质激活，退火工艺可采用 350℃ ~ 450℃ 的炉管退火、或激光退火；从而得到所述第二部分交替 P 型 N 型薄层。

[0030] 为解决上述技术问题，本发明提供的超结 VDMOS 器件，包括 N+ 源区、P 阵、栅氧化层、多晶硅栅、源极和栅接、以及由 N+ 衬底形成的漏区和在所述 N+ 衬底背面形成的漏极，还包括有第一部分交替 P 型 N 型薄层和第二部分交替 P 型 N 型薄层；所述第一部分交替 P 型 N 型薄层是通过正面工艺在 N+ 硅基片的正面形成，所述第二部分交替 P 型 N 型薄层是通过背面工艺在 N+ 硅基片的背面形成，所述第二部分交替 P 型 N 型薄层对应的 P 型薄层和 N 型薄层分别处于所述第一部分交替 P 型 N 型薄层的对应的 P 型薄层和 N 型薄层下方。

[0031] 本发明的超结 VDMOS 器件的制造方法通过结合正面工艺和背面工艺，在工艺难度不加大的情况下，能够制造出具有更高的高宽比的交替 P 型 N 型薄层，提高超结 VDMOS 器件的耐压性能；同时也能降低成本。

## 附图说明

[0032] 下面结合附图和具体实施方式对本发明作进一步详细的说明：

- [0033] 图 1 是本发明超结 VDMOS 器件的制造方法的流程图；
- [0034] 图 2 ~ 图 7 是本发明第一实施例制造方法的各步骤中器件剖面图；
- [0035] 图 8 ~ 图 11 是本发明第二实施例制造方法的各步骤中器件剖面图。

## 具体实施方式

[0036] 如图 1 所示, 为本发明超结 VDMOS 器件的制造方法的流程图。本发明超结 VDMOS 器件的制造方法, 包括如下步骤:

[0037] 步骤一、利用正面工艺, 在 N<sup>+</sup> 硅基片的正面形成第一部分交替 P 型 N 型薄层; 并形成所述超结 VDMOS 器件的 P 阵、栅氧、多晶硅栅、源区以及栅极和源极;

[0038] 步骤二、将所述 N<sup>+</sup> 硅基片的背面减薄, 使所述 N<sup>+</sup> 硅基片的厚度为 1 微米~6 微米;

[0039] 步骤三、利用背面工艺, 在所述 N<sup>+</sup> 硅基片的背面进行有图形的杂质的注入, 形成第二部分交替 P 型 N 型薄层, 所述第二部分交替 P 型 N 型薄层对应的 P 型薄层和 N 型薄层分别处于所述第一部分交替 P 型 N 型薄层的 P 型薄层和 N 型薄层的下方; 之后再完成背面金属淀积形成漏极。

[0040] 如图 2 ~ 图 7 所示, 是本发明第一实施例制造方法的各步骤中器件剖面图。包括了如下的步骤:

[0041] 步骤一、如图 2 所示, 在 N<sup>+</sup> 硅基板 1 上形成 N<sup>-</sup> 硅外延层 2, 在所述 N<sup>-</sup> 硅外延层 2 上生长一层氧化硅膜 3, 该氧化硅膜 3 可以通过热氧化得到, 也可以通过化学气相沉积 (CVD) 来实现; 所述氧化硅膜 3 可以做为之后进行的沟槽刻蚀工艺的掩膜层, 可以做为后续工艺中化学机械研磨时阻挡层。

[0042] 通过沟槽光刻和刻蚀工艺形成沟槽, 所述沟槽刻蚀工艺可以是利用所述氧化膜 3 做为掩膜, 也可以利用光刻胶做为掩膜进行刻蚀。刻蚀后的所述氧化膜 3 的厚度保留在 1000 埃以上。最后形成的所述沟槽停留在 N<sup>-</sup> 硅外延层 2 中即所示沟槽深度为未进入所述 N<sup>+</sup> 硅基板 1 中, 深度具体值按器件设计的要求而定。

[0043] 步骤二、如图 3 所示, 在所述沟槽中形成 P 型硅外延层 4, 所述 P 型硅外延层 4 中掺入硼离子, 硼离子浓度范围为 1E14CM<sup>-3</sup> ~ 1E16CM<sup>-3</sup>, 使所述 P 硅型外延层 4 中载流子量接近或等于同等深度的 N<sup>-</sup> 型硅外延层 2 中的载流子量。

[0044] 步骤三、如图 4 所示, 利用化学机械研磨或回刻将所述氧化硅膜 3 表面的硅去除, 之后将所述氧化硅膜 3 去掉。当进行化学机械研磨时, 为了保证研磨过程中不对所述氧化硅膜 3 下的硅造成损伤, 建议研磨完成后所述氧化硅膜 3 的残留厚度要大于 500 埃。这样就得到了第一部分交替 P 型 N 型薄层。

[0045] 步骤四、如图 5 所示, 利用现有成熟的纵向双扩散金属氧化物半导体 (VDMOS, vertical double-diffusion metal-oxide-semiconductor) 加工工艺得到对应的 N 型超结 VDMOS 器件单元结构, 包括: 位于所述 N<sup>-</sup> 硅外延层 2 上端的栅氧 5 和多晶硅栅 6 的形成, P 阵 7、N<sup>+</sup> 源 8 的形成; 包覆所述多晶硅电极 6 的层间介质膜 9、接触孔 10 的形成, P<sup>+</sup> 接触注入层 11 的形成, 源金属电极 12 的形成和多晶硅栅 6 的电极形成 (未图示)。

[0046] 步骤五、对所述 N<sup>+</sup> 硅基板 1 进行背面减薄, 使所述 N<sup>+</sup> 硅基板 1 的剩余的 N<sup>+</sup> 硅层 13 的厚度在 1 微米~6 微米。

[0047] 步骤六、如图 6 所示,利用光刻工艺在所述 N+ 硅基片的背面形成第二部分交替 P 型 N 型薄层对应的 P 型薄层和 N 型薄层光刻胶图形,在所述 N 型薄层上形成光刻胶保护层、在所述 P 型薄层上形成窗口;所述背面 P 型薄层对齐正面工艺中形成的 P 薄层。以所述光刻胶为掩膜进行 P 型杂质离子注入,所述 P 型杂质离子注入为多次能量不相等的高能注入,形成的 P 型掺杂区在垂直硅片表面的方向上是间断的;所述 P 型杂质离子注入也可以为单次高能注入,形成的 P 型掺杂区在垂直硅片表面的方向上也可以是连续的。

[0048] 步骤七、将背面的 P 型离子注入层激活。

[0049] 步骤八、如图 7 所示,完成背面金属淀积,形成漏极 14。

[0050] 如图 8 ~ 图 11 所示,是本发明第二实施例制造方法的各步骤中器件剖面图。包括了如下的步骤:

[0051] 步骤一、如图 8 所示,在 N+ 硅基板 1 上形成 N- 硅外延层 2,在所述 N- 硅外延层 2 上生长一层氧化硅膜 3,该氧化硅膜 3 可以通过热氧化得到,也可以通过化学气相沉积 (CVD) 来实现;所述氧化硅膜 3 可以做为之后进行的沟槽刻蚀工艺的掩膜层,可以做为后续工艺中化学机械研磨时阻挡层。

[0052] 通过沟槽光刻和刻蚀工艺形成沟槽,所述沟槽刻蚀工艺可以是利用所述氧化膜 3 做为掩膜,也可以利用光刻胶做为掩膜进行刻蚀。刻蚀后的所述氧化膜 3 的厚度保留在 1000 埃以上。最后形成的所述沟槽停留在 N- 硅外延层 2 中即所示沟槽深度为未进入所述 N+ 硅基板 1 中,深度具体值按器件设计的要求而定。

[0053] 进行 P 型杂质离子注入,在所述沟槽的侧壁上和底部的 N- 硅外延层 2 掺入 P 型硼杂质形成 P 型外延层 4;在注入时可以采用多次、不同倾斜角的注入,注入后使硼浓度在  $1E14CM^{-3} \sim 1E16CM^{-3}$ ,使 P 型外延层 4 中载流子量接近或等于同等深度的 N 型外延的载流子量。

[0054] 步骤二、如图 9 所示,在所述沟槽的侧壁上淀积介质膜 15 并进行反刻,将沟槽底部的介质膜 15 去掉;之后淀积导电体如 P 型多晶硅将沟槽填满,所述导电体也可以为其它能导电的材料。

[0055] 步骤三、如图 10 所示,利用化学机械研磨或回刻将所述氧化硅膜 3 表面的导电体如 P 型多晶硅去除,之后将所述氧化硅膜 3 去掉。当进行化学机械研磨时,为了保证研磨过程中不对所述氧化硅膜 3 下的硅造成损伤,建议研磨完成后所述氧化硅膜 3 的残留厚度要大于 500 埃。这样就得到了第一部分交替 P 型 N 型薄层。

[0056] 步骤四、如图 11 所示,利用现有成熟的纵向双扩散金属氧化物半导体 (VDMOS, vertical double-diffusion metal-oxide-semiconductor) 加工工艺得到对应的 N 型超结 VDMOS 器件单元结构,包括:位于所述 N- 硅外延层 2 上端的棚氧 5 和多晶硅栅 6 的形成,P 阵 7、N+ 源 8 的形成;包覆所述多晶硅电极 6 的层间介质膜 9、接触孔 10 的形成,P+ 接触注入层 11 的形成,源金属电极 12 的形成和多晶硅栅 6 的电极形成(未图示)。

[0057] 步骤五、如图 11 所示,对所述 N+ 硅基板 1 进行背面减薄,使所述 N+ 硅基板 1 的剩余的 N+ 硅层的厚度在 1 微米~6 微米。

[0058] 步骤六、如图 11 所示,利用光刻工艺在所述 N+ 硅基片的背面形成第二部分交替 P 型 N 型薄层对应的 P 型薄层和 N 型薄层光刻胶图形,在所述 N 型薄层上形成光刻胶保护层、在所述 P 型薄层上形成窗口;所述背面 P 型薄层对齐正面工艺中形成的 P 薄层。以所述光

刻胶为掩膜进行 P 型杂质离子注入, 所述 P 型杂质离子注入为多次能量不相等的高能注入, 形成的 P 型掺杂区在垂直硅片表面的方向上是间断的; 所述 P 型杂质离子注入也可以为单次高能注入, 形成的 P 型掺杂区在垂直硅片表面上也可以是连续的。

[0059] 步骤七、将背面的 P 型离子注入层激活。

[0060] 步骤八、如图 11 所示, 完成背面金属淀积, 形成漏极。

[0061] 以上通过具体实施例对本发明进行了详细的说明, 但这些并非构成对本发明的限制。在不脱离本发明原理的情况下, 本领域的技术人员还可做出许多变形和改进, 这些也应视为本发明的保护范围。

步骤一、利用正面工艺，在 N+硅基片的正面形成第一部分交替 P 型 N 型薄层；并形成器件的 P 阵、栅氧、多晶硅栅、源区以及栅极和源极。

步骤二、将 N+硅基片的背面减薄，使 N+硅基片的厚度为 1~6 微米。

步骤三、利用背面工艺，在所述 N+硅基片的背面进行有图形的杂质的注入，形成第二部分交替 P 型 N 型薄层；之后再完成背面金属淀积形成漏极。

图 1

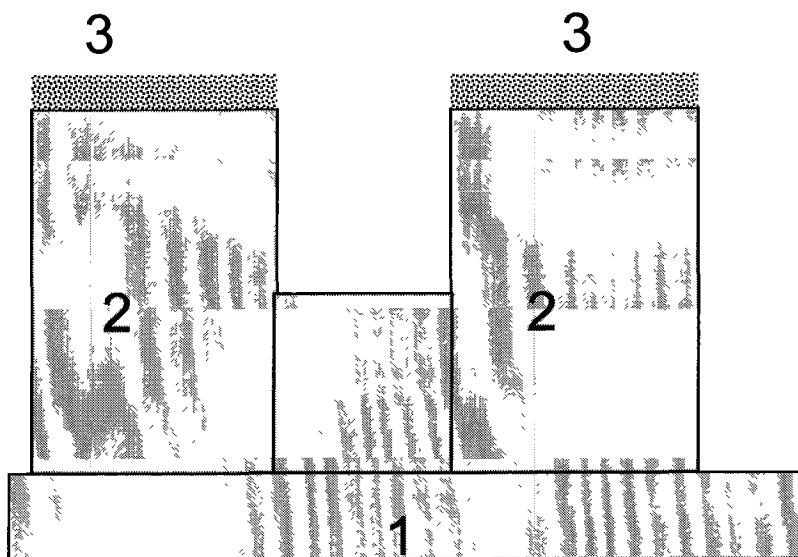


图 2

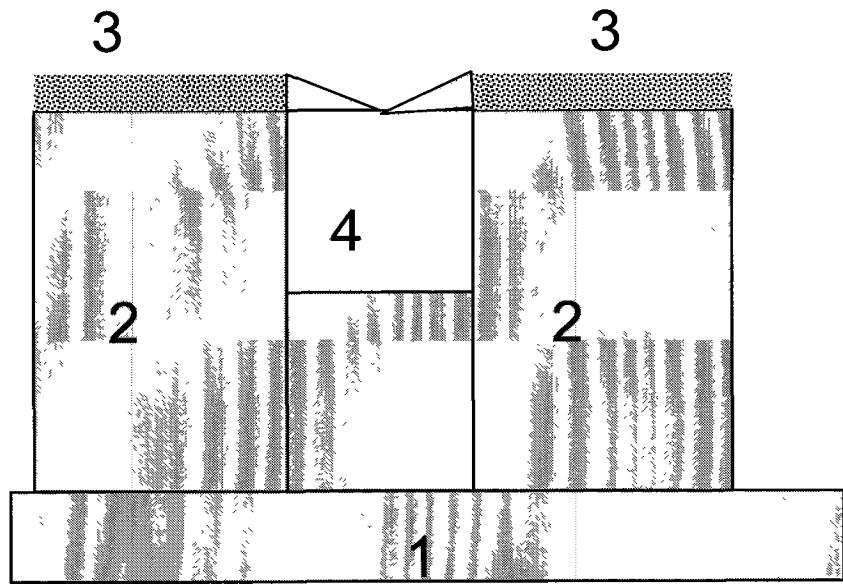


图 3

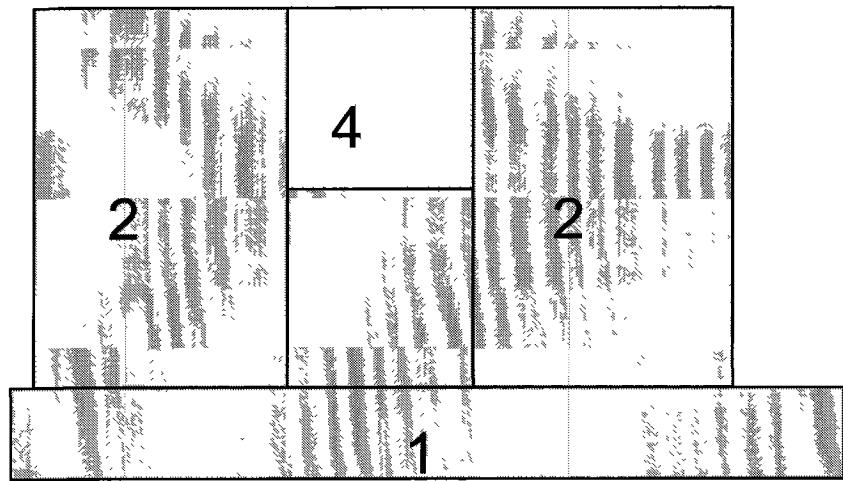


图 4

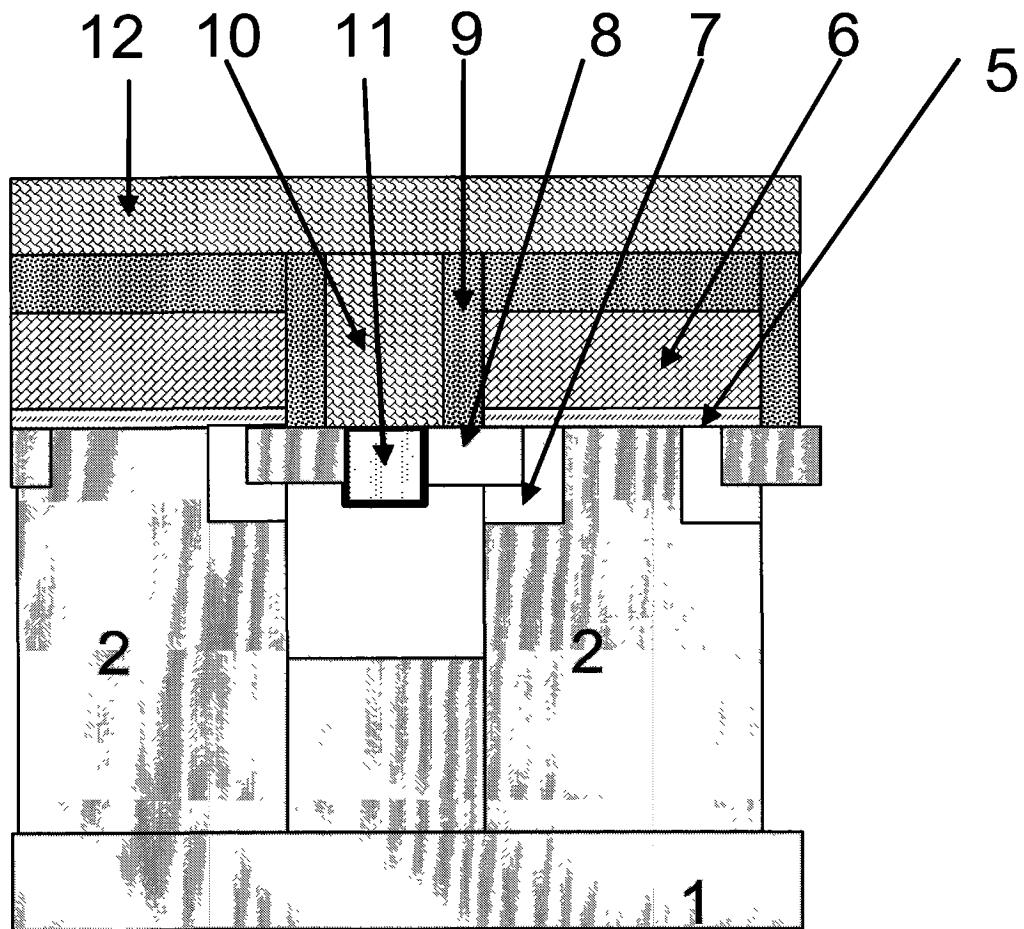


图 5

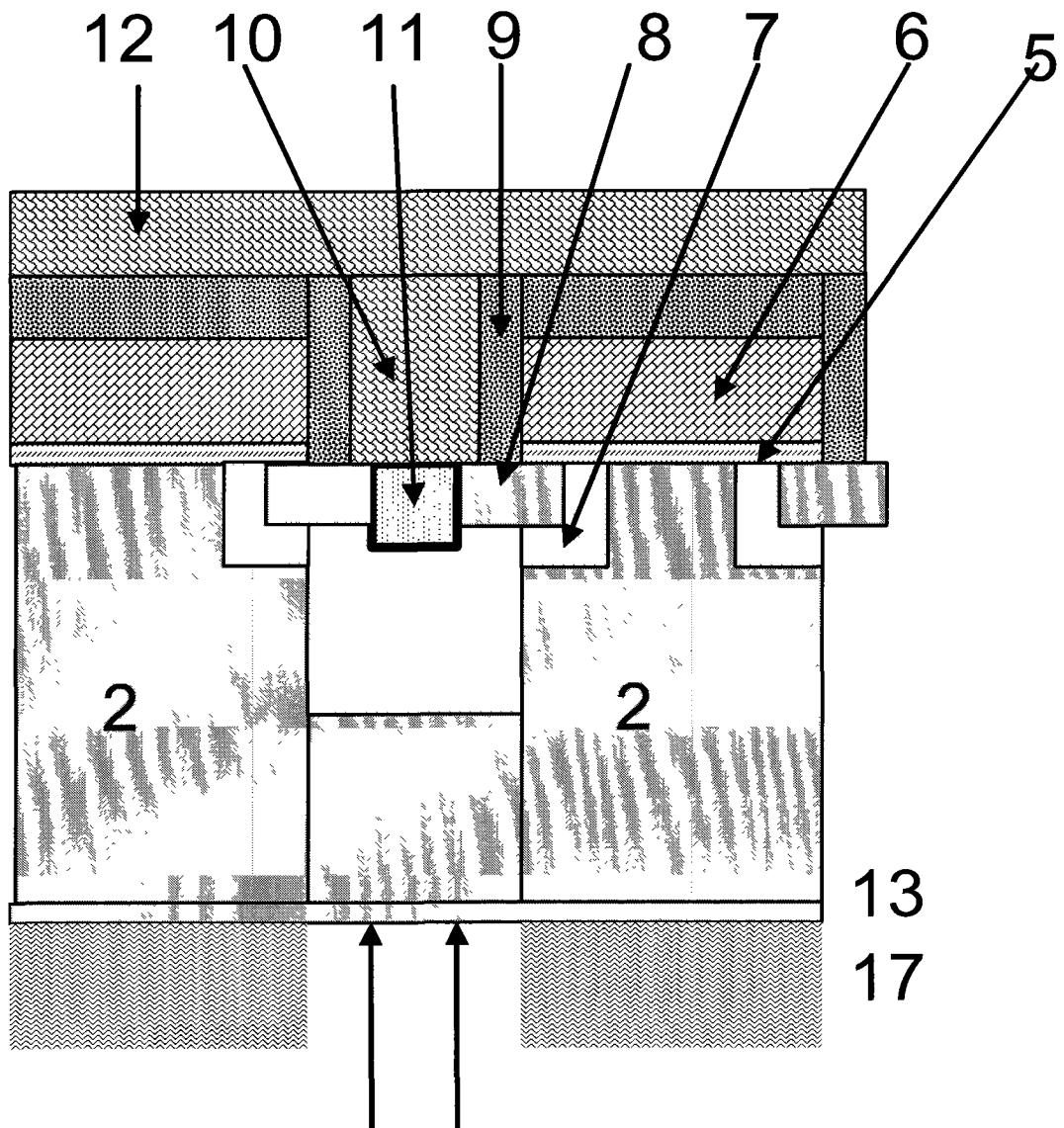


图 6

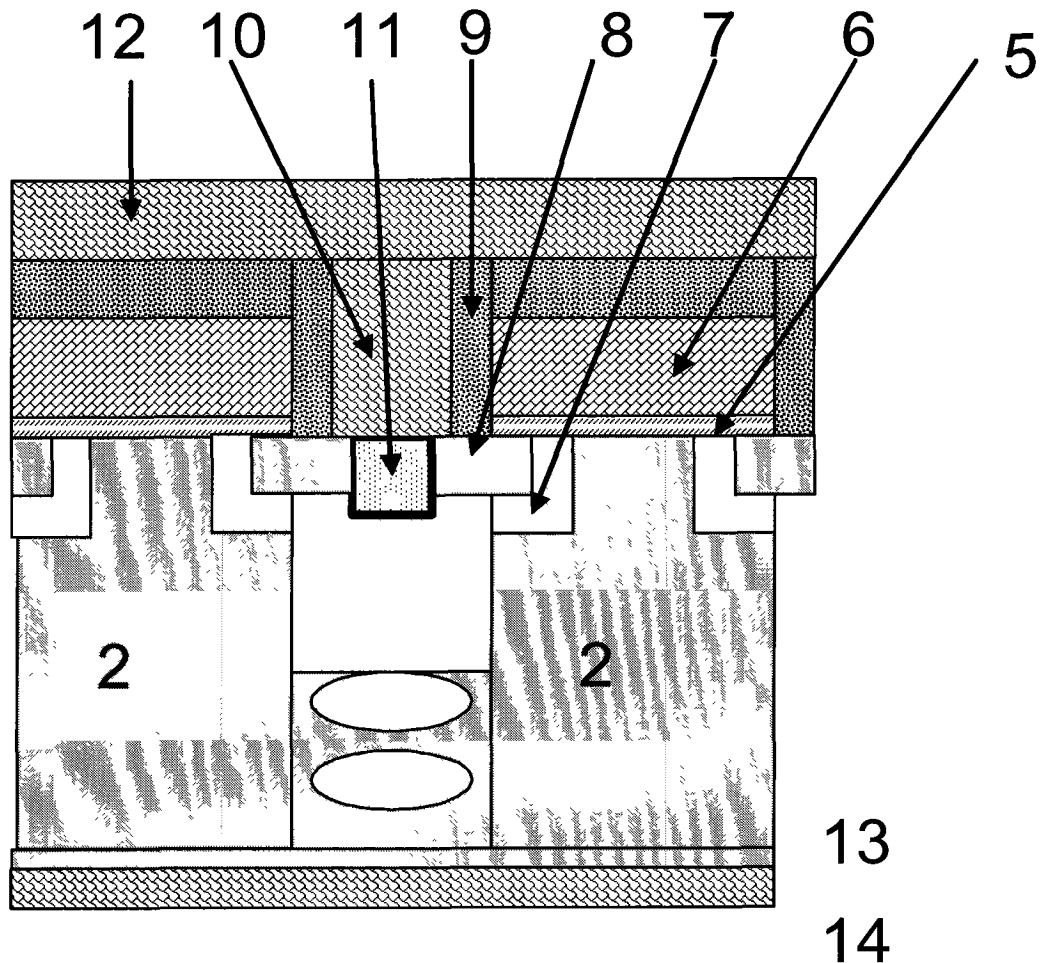


图 7

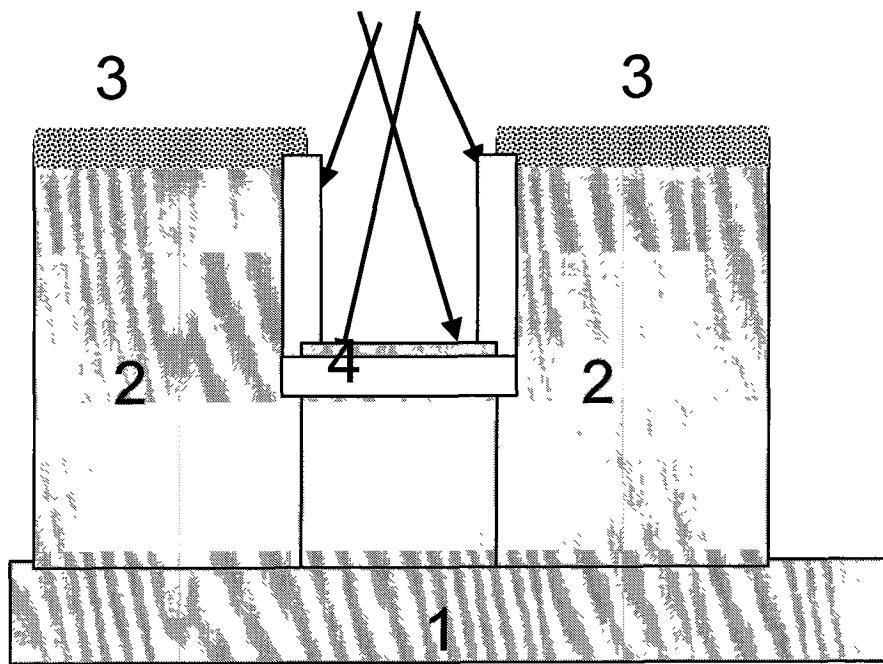


图 8

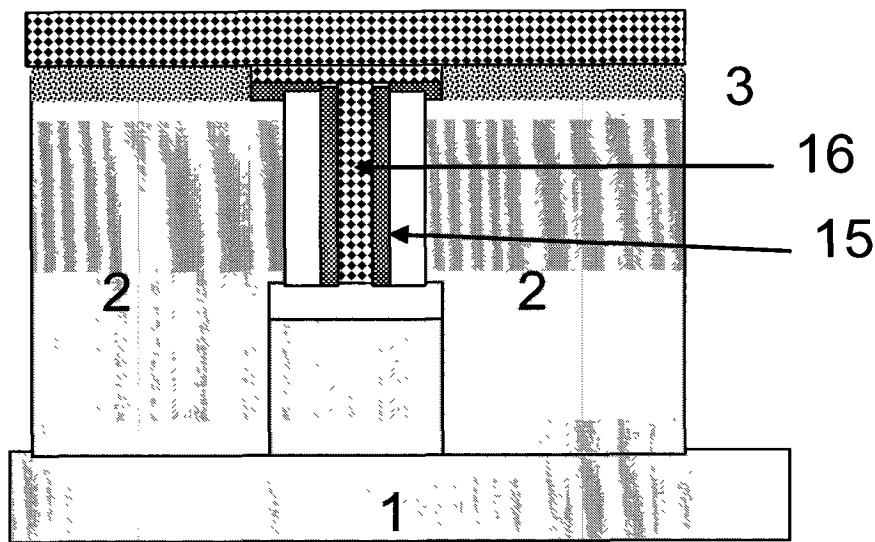


图 9

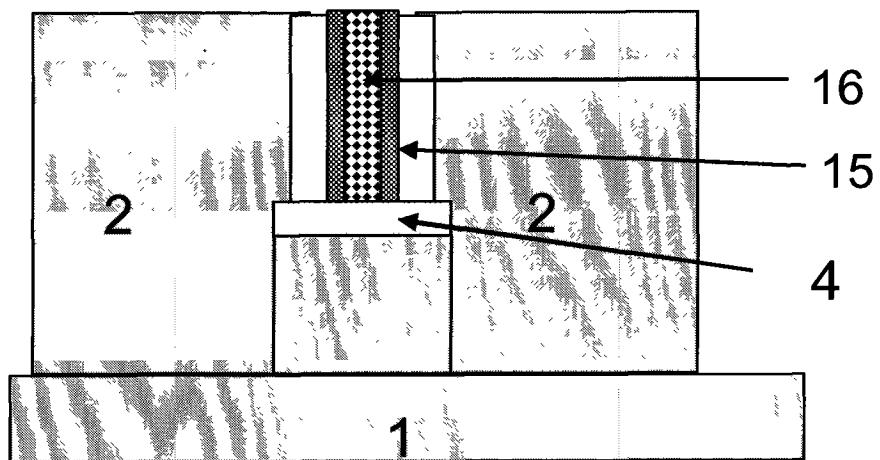


图 10

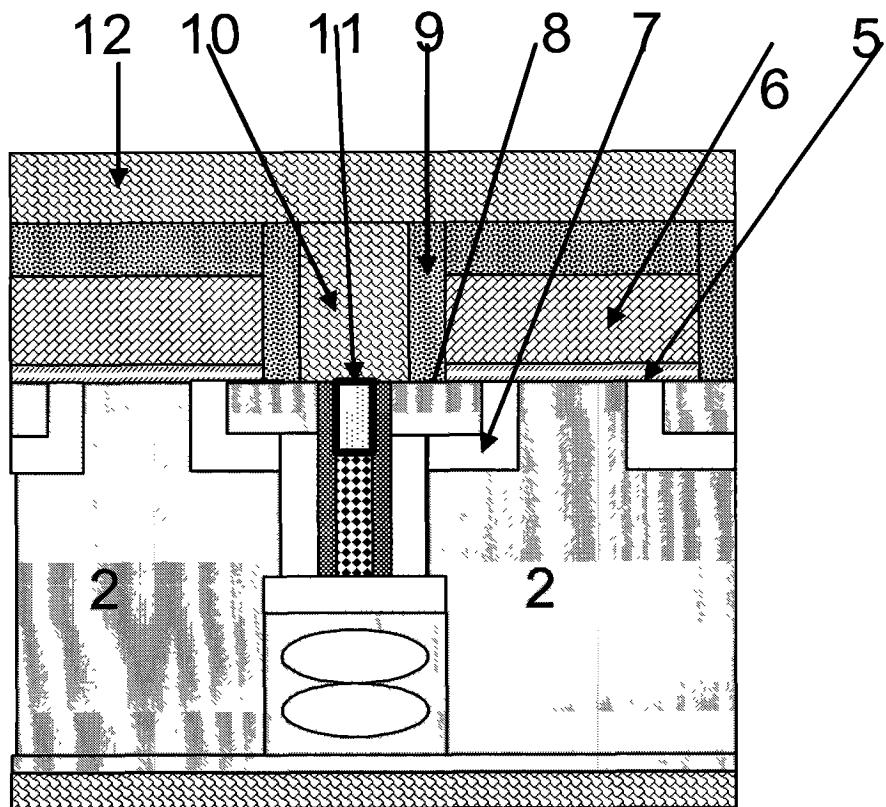


图 11