



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2011년08월08일  
(11) 등록번호 10-1054673  
(24) 등록일자 2011년08월01일

(51) Int. Cl.

*H01L 27/04* (2006.01) *H01L 27/108* (2006.01)

(21) 출원번호 10-2006-7005772

(22) 출원일자(국제출원일자) 2004년08월31일

심사청구일자 2009년08월28일

(85) 번역문제출일자 2006년03월23일

(65) 공개번호 10-2007-0017953

(43) 공개일자 2007년02월13일

(86) 국제출원번호 PCT/US2004/028262

(87) 국제공개번호 WO 2005/036597

국제공개일자 2005년04월21일

(30) 우선권주장

10/668,694 2003년09월23일 미국(US)

(56) 선행기술조사문현

US20040002188 A1\*

\*는 심사관에 의하여 인용된 문현

(73) 특허권자

프리스케일 세미컨덕터, 임크.

미국 텍사스 오스틴 워리암 캐논 드라이브 웨스트  
6501

(72) 발명자

씨안씨오 안토니

미국 아리조나 85296 길버트 이. 로마 비스타 스  
트리트 939

그리스월드 마크 디.

미국 아리조나 85226 체들러 노쓰 시셀리 코트  
673

(뒷면에 계속)

(74) 대리인

정상구, 장훈

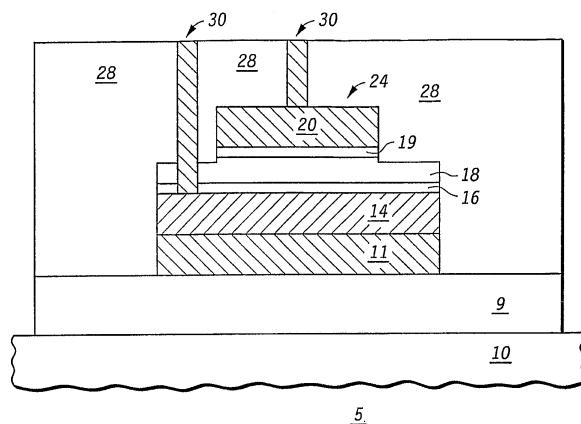
전체 청구항 수 : 총 3 항

심사관 : 이승주

(54) 반도체 장치 및 그 제조 방법

**(57) 요 약**

하부 전극(11) 및/또는 커패시터 유전체 위에 도전성 평활층(16, 19)을 형성함으로써, 기하학적으로 강화된 전기 필드들의 감소 및 전극 평활화로 인해 신뢰도가 개선된 MIM 커패시터가 형성된다. 하나의 실시예에서, 내화성 금 속 또는 내화성 금속이 풍부한 질화물을 함유하는 제1 층(16)이 내화성 질화물로 형성된 제1 캡핑층(14) 위에 형성된다. 게다가, 내화성 금속(18) 또는 내화성 금속이 풍부한 질화물을 함유하는 제2 층(19)이 커패시터 유전체 상에 형성될 수 있다. 도전성 평활층(16, 19)은 또한 게이트 전극 및 게이트 유전체 간의 트랜지스터들과 같이 다른 반도체 장치들에 사용될 수 있다.

**대 표 도 - 도9**

(72) 발명자

이루다얌 아무드하 알.

미국 아리조나 85225 챔들러 엔. 네바다 스트리트  
#2244 2022

모리슨 제니퍼 에이치.

미국 아리조나 85224 챔들러 더블유. 콤스톡 드라  
이브 2974

## 특허청구의 범위

### 청구항 1

반도체 장치에 있어서:

반도체 기판;

상기 반도체 기판 위에 형성된 제1 전극;

상기 제1 전극 위에 형성된 제1 도전성 평활층(conductive smoothing layer)으로서, 상기 제1 전극의 표면 거칠기(surface roughness)보다 작은 표면 거칠기를 갖는 상기 제1 도전성 평활층;

상기 제1 도전성 평활층 상에 형성된 유전층;

상기 유전층 위에 형성된 제2 전극; 및

상기 유전층과 상기 제2 전극 사이에 형성된 제2 도전성 평활층으로서, 상기 제2 전극의 표면 거칠기보다 작은 표면 거칠기를 가지고, 내화성 금속을 포함하는 상기 제2 도전성 평활층을 포함하는, 반도체 장치.

### 청구항 2

삭제

### 청구항 3

삭제

### 청구항 4

삭제

### 청구항 5

삭제

### 청구항 6

삭제

### 청구항 7

삭제

### 청구항 8

삭제

### 청구항 9

삭제

### 청구항 10

삭제

### 청구항 11

반도체 장치에 있어서:

반도체 기판;

상기 반도체 기판 위에 형성된 도전층;

상기 도전층 위에서 상기 도전층과 접촉하여 형성된 제1 평활층으로서, 상기 도전층의 표면 거칠기보다 작은 표

면 거칠기를 갖는 상기 제1 평활층;

상기 제1 평활층 상에서 상기 제1 평활층과 접촉하여 형성된 유전층;

상기 유전층 위에 형성된 제2 도전층; 및

상기 유전층과 상기 제2 도전층 사이에 형성된 제2 평활층으로서, 상기 제2 도전층의 표면 거칠기보다 작은 표면 거칠기를 가지고, 내화성 금속을 포함하는, 반도체 장치.

## 청구항 12

삭제

## 청구항 13

삭제

## 청구항 14

삭제

## 청구항 15

삭제

## 청구항 16

삭제

## 청구항 17

반도체 장치에 있어서:

반도체 기판;

상기 반도체 기판 위에 형성된 제1 전극으로서, 상기 제1 전극은 금속을 포함하는 제1 층 및 상기 제1 층 위의 제2 층을 포함하고, 상기 제2 층은 내화성 질화물(refractory nitride)을 포함하는, 상기 제1 전극;

상기 제1 전극 위에 형성된 제1 평활층으로서, 상기 제1 평활층은 티타늄이 풍부한 질화물을 포함하는, 상기 제1 평활층;

상기 제1 평활층 상에 형성된 유전층; 및

상기 유전층 위에 형성된 제2 전극으로서, 상기 제2 전극은 내화성 질화물을 포함하는 제3 층 및 상기 제3 층 위의 제4 층을 포함하며, 상기 제4 층은 금속을 포함하는, 상기 제2 전극을 포함하는, 반도체 장치.

## 청구항 18

삭제

## 청구항 19

삭제

## 청구항 20

삭제

## 명세서

### 기술분야

본 발명은 일반적으로 반도체 장치들의 분야에 관한 것으로, 보다 구체적으로는 반도체 장치들에서 사용되는 바와 같은 금속-절연체-금속(metal-insulator-metal; MIM) 커패시터들에 관한 것이다.

## 배경 기술

반도체 장치들이 작아짐에 따라, 커패시터들과 같은 특징들에 의해 점유된 영역을 감소시키고자 하는 소망이 존재한다. 이를 수용하기 위하여, 커패시터들은 벌크 반도체 기판(bulk semiconductor substrate)에 더 가까운 트랜지스터 레벨에 형성되는 것과는 대조적으로, 트랜지스터들 위에(예를 들어, 금속 레벨에) 형성된다. 이와 같은 커패시터의 일례는 상부 전극 및 하부 전극 간에 MIM 유전체를 포함하는 금속-절연체-금속(MIM) 커패시터이다.

금속층들은 알루미늄, 구리, 또는 이들의 합금들을 사용하여 형성될 수 있다. 전형적으로, 캡핑층(capping layer) 또는 반사 방지 코팅(anti-reflective coating; ARC)이 금속층들 위에 형성되며, 금속층들 위에 형성된 MIM 커패시터에 대한 하부 전극으로서 사용될 수 있다. 당업계에서, 이와 같은 ARC 재료 중 하나는 TiN이다. 하부 전극으로서 ARC를 사용하는 것이 처리 간소화를 위해서 바람직하지만, MIM 유전체와 접촉하는 TiN의 표면이 거칠어진다. TiN의 거친 표면으로 인해 기하학적으로 강화된 필드들이 생성되고, 이로 인해 MIM 유전체의 신뢰도가 저하된다.

## 발명의 상세한 설명

따라서, 특히 MIM 커패시터 내의 전극으로서 TiN을 사용할 때, 전기 필드의 균일성을 제어하는 것이 필요하다.

### 실시 예

본 발명은 예로서 도시되지만 국한하고자 하는 것은 않으며, 여기서 동일한 요소에는 동일한 도면 부호가 병기된다.

당업자들은 도면들 내의 요소들이 간소화하고 명확화하기 위해 도시되며 반드시 본래 크기대로 도시되지는 않는다는 것을 인식한다. 예를 들어, 도면들의 요소들의 일부의 치수들은 본 발명의 실시예들의 이해를 개선하는 것을 돋기 위하여 다른 요소들에 비하여 과장될 수 있다.

본 발명자는 MIM 커패시터들이 기초층들(underlying layers)의 거칠기에 민감하다는 것을 관찰했다. 전형적으로, 하나의 실시예에서 TiN층인 캡핑층 및 금속 라인은 하부 전극을 형성한다. (대안으로, 단지 금속 라인 또는 TiN층만이 하부 전극을 형성한다.) 따라서, 하부 전극을 더 평활하게 하는 것이 필요하다. 금속 라인이 평활층(smoothing layer)을 형성하는 대신에, 증가된 공정 복잡도의 대가로 MIM 커패시터의 아래로부터 제거될 수 있을지도, 대안으로 평활층이 사용될 수 있다. 따라서, 평활층은 금속 라인들에 사용된 재료에 관계없이 사용될 수 있다.

본 발명의 실시예에 따라 하부 전극 및/또는 커패시터 유전체 위에 내화성(금속)이 풍부한 질화물층(예를 들어, 티타늄이 풍부한 질화물(TiRN)층) 또는 적절한 평활성(smoothness)을 갖는 순수 금속층과 같은 평활층을 형성함으로써, 기하학적으로 강화된 전기 필드의 감소 및 전극 평활화로 인하여 신뢰도가 개선된 MIM 커패시터가 형성된다. 본 발명의 실시예들은 도면들과 관련하여 서술될 것이다.

도1 내지 9는 반도체 장치가 본 발명에 따라 MIM 커패시터를 형성하기 위한 일련의 처리 단계들을 경험할 때의 반도체 장치(5)의 일부를 도시한다. 특히, 도1은 내부금속 유전층(9) 및 반도체 기판(10) 위에 형성된 제1 또는 하부 금속층 또는 상호접속층(11)을 도시한다. 바람직한 실시예에서, 반도체 기판(10)은 실리콘이다. 그러나, 갈륨 비소 및 실리콘-온-인슐레이터(silicon-on-insulator; SOI)와 같은 다른 반도체 재료들이 사용될 수 있다. 전형적으로, 기판(10)은 (MOS 및/또는 바이폴라 트랜지스터들과 같은) 다수의 능동 반도체 장치들을 포함할 것이다. 그러나, 본 발명을 이해하기 위해서는, 이러한 장치들을 이해하는 것이 필수적이지는 않으므로, 이러한 장치들은 도시되지 않는다. 내부금속 유전층(9)은 임의의 공정에 의해 형성된 임의의 유전체 재료일 수 있다. 예를 들어, 이것은 실리콘 이산화물일 수 있다.

제1 도전층(11)이 물리적 기상 증착(physical vapor deposition; PVD), 화학적 기상 증착(chemical vapor deposition; CVD), 원자층 증착(atomic layer deposition; ALD), 전기도금 등 및 이들의 조합을 사용하여 반도체 기판(10) 위에 형성된다. 바람직한 실시예에서, 제1 도전층(11)은 알루미늄 또는 구리를 함유한다. 예를 들어, 제1 도전층(11)은 구리 또는 알루미늄 구리 합금일 수 있다. 하나의 실시예에서, 도전층(11)은 대략 6000 옹스 트롬의 알루미늄 구리이다. 다른 실시예에서, 제1 도전층(11)은 주로 구리이다. 더구나, 제1 도전층(11)은 실제로 다수의 재료들로 형성될 수 있다. 예를 들어, 구리 상감 금속화(copper inlaid metallization) 방식들에서, 탄탈 또는 질화 탄탈을 함유하는 확산 배리어들이 종종 구리층을 형성하기 이전에 형성된다.

도1의 구조를 형성하기 위하여, 제1 캡핑층 또는 반사 방지 코팅(ARC;14)이 선택적으로 PVD, CVD, ALD, 전기도금 등 및 이들의 조합에 의해 제1 도전층(11) 위에 형성된다. 바람직하게는, 제1 캡핑층(14)은 티타늄, 탄탈, 질화물, 질화 탄탈(TaN), 질화 티타늄(TiN) 등을 함유한다. 제1 캡핑층(14)은 바람직하게는 임의의 내화성 질화물일 수 있다. 하나의 실시예에서, 제1 캡핑층(14)은 대략 100~1000 옹스트롬 또는 보다 명확하게는 대략 200~800 옹스트롬의 TiN이고, 바람직하게는 대략 650 옹스트롬이다. 다른 실시예에서, 제1 캡핑층(14)은 유기체일 수 있다. 더구나, 제1 캡핑층(14)은 선택적이다. 이 실시예에서, 제1 도전층(11) 위에 형성되어 제1 도전층과 접촉하면 제1 평활층(16)이 그 다음에 형성된다. 도면들에 도시된 실시예에서, 제1 캡핑층(14)은 하부 전극이다. 그러나, 제1 캡핑층(14)이 존재하지 않거나 도전성이 아니면, 제1 도전층(11) 또는 다른 도전층이 하부 전극이다.

도2에 도시된 바와 같이, 제1 또는 하부 평활층(16)이 PVD, CVD, ALD, 전기도금 등 및 이들의 조합에 의해 제1 캡핑층(14) 위에 형성된다. 하나의 실시예에서, 제1 도전성 평활층(16)은 대략 50~500 옹스트롬 또는 보다 명확하게는, 대략 100~300 옹스트롬의 티타늄과 같은 내화성 금속, 또는 티타늄이 풍부한 질화물(TiRN)과 같은 내화성이 풍부한 질화물이다. (TiRN은 1:1보다 큰 Ti:N의 화학량적 비를 갖는다.) 하나의 실시예에서, 제1 도전성 평활층(16)은 두께가 대략 150 옹스트롬이다.

제1 도전성 평활층(16)은 제1 캡핑층 또는 하부 전극(14)의 표면 거칠기보다 작은 표면 거칠기를 갖는 임의의 도전성 재료일 수 있다. 800 옹스트롬의 TiN이 대략 49 옹스트롬의 (표면) 거칠기를 갖는 반면, 제1 캡핑층으로서의 650 옹스트롬의 TiN 및 제1 도전성 평활층으로서의 150 옹스트롬의 TiRN이 대략 25 옹스트롬의 (표면) 거칠기를 갖는다는 것을 나타내는 실험들이 수행되었다. 따라서, 하나의 실시예에서, 제1 캡핑층(14)은 TiN이고, 제1 도전성 평활층(16)은 TiRN이다. 바람직하게, 평활층은 미세한 그레인(grain) 또는 비정질층인데, 그 이유는 이러한 층들은 전형적으로 내화성 질화물들이 금속 라인 상에 형성될 때 미세한 그레인층들만큼 평활하지 않은 원주형 그레인들을 형성하기 때문에, 제1 캡핑층에 사용된 내화성 질화물들보다 평활하기 때문이다.

바람직한 실시예에서, 제1 캡핑층(14)은 PVD에 의해 형성된 TiN이고, 제1 도전성 평활층(16)은 TiRN인데, 그 이유는 처리 복잡성이 감소되기 때문이다. TiRN층을 형성하기 위하여, 아르곤(또는 임의의 다른 무반응성 기체)이 PVD 챔버(chamber) 내에 흘러서 플라즈마가 형성된다. 아르곤 이온들은 포이즌드 TiN 타겟(poisoned TiN target)에 충격을 가한다. 포이즌드 TiN 타겟은 질소(N) 플라즈마와의 반응으로 인하여, 상부 표면으로서 TiN을 형성하는 티타늄(Ti) 타겟이다. 아르곤 이온이 충격을 가할 때, 포이즌드 타겟 TiN이 반도체 장치상에 증착된다. 타겟의 질소가 고갈됨에 따라, 증착된 필름은 더 높은 티타늄 함유량을 가져서 티타늄이 풍부한 층을 생성한다. 이 기술은 사람들이 증착된 필름의 함유량을 화학량적 TiN으로부터 티타늄으로 조정하도록 하여 최종적인 (표면) 거칠기를 제어하도록 한다. 따라서, 제1 도전성 평활층(16)은 TiRN(내화성 질화물) 및/또는 티타늄(내화성 금속)일 수 있다. 더구나, 제1 도전성 평활층(16)은 임의의 질소가 존재하지 않는 티타늄과 같은 내화성 금속일 수 있다.

커패시터 유전층(18)이 PVD, CVD, ALD 등 및 이들의 조합에 의해 제1 도전성 평활층 상에 형성된다. 하나의 실시예에서, 커패시터 유전층(18)은 바람직하게는, 탄탈 산화물 및 하프늄 산화물과 같은 높은 선형성(예를 들어, 전형적으로 100 ppm 단위 전압보다 적은 표준화된 커패시턴스 변화)을 갖는 금속 산화물을 함유한다. 그러나, 선형성이 더 중요하지 않을 수 있는 일반적인 애플리케이션의 경우에, 지르코늄 산화물, 바륨 스트론튬 티타네이트(BST), 및 스트론튬 티타네이트(STO)와 같은 다른 금속 산화물들이 적합할 수 있다. 대안으로, 실리콘 이산화물과 같은 고 유전 상수 재료가 아닌 절연체가 사용될 수 있다. 본원에 사용된 바와 같이, 고 유전 상수 재료는 실리콘 이산화물의 유전 상수보다 큰 유전 상수를 갖는 재료이다. 커패시터 유전층(18)은 고 유전 상수 재료가 아닌 유전층일 수 있다. 예를 들어, 커패시터 유전층(18)은  $Si_{x,y}$ 인 플라즈마-강화 질화물(PEN)일 수 있다. 그러나, 평활층들의 존재는 커패시터 유전체가 커패시턴스 밀도를 개선하기 위하여 스케일링될 때 더 유용한데, 그 이유는 거칠기의 영향들이 더 현저하고 표면 평활의 중요성이 증가하기 때문이다.

도3의 구조를 형성하기 위하여, 제2 또는 상부 평활층(19)은 커패시터 유전층(18) 상에 형성된다. 제2 도전성 평활층(19)은 제1 도전성 평활층(16)을 형성하도록 사용되는 임의의 공정에 의해 형성될 수 있으며, 제1 도전성 평활층(16)에 대해서 설명된 임의의 재료일 수 있으며, 제1 도전성 평활층(16)에 대해서 설명된 것과 동일한 치수일 수 있다. 그러나, 동일한 공정 및/또는 재료를 사용하여 처리 복잡도를 감소시킬 수 있지만, 제1 도전성 평활층(16) 및 제2 도전성 평활층(19)은 동일한 공정, 동일한 재료, 동일한 치수로 형성될 필요가 없다. 게다가, 제2 도전성 평활층(19)은 다음 형성된 제2 도전층보다 작은 거칠기를 가져야만 한다.

도4에 도시된 바와 같이, 제2 또는 상부 도전층(20)은 바람직하게는 PVD를 사용하여 제2 도전성 평활층(19) 상

에 형성되지만, CVD, ALD 또는 이들의 조합을 포함한 다른 기술들이 사용될 수 있다. 상부 도전층(20)은 커패시터의 제2(상부) 전극을 형성하고 금속 질화물(예를 들어, 질화 탄탈, 질화 티타늄), 도전성 산화물(예를 들어, 산화 루테늄 및 산화 아리듐), 금속들(예를 들어, 구리 및 알루미늄), 금속 합금들, 이들의 조합 등과 같은 임의의 도전성 재료로 형성될 수 있다. 일 실시예에서, 상부 도전층(20)은 질소 및 탄탈 또는 티타늄 중 어느 하나(질화 티타늄 또는 질화 탄탈 형태)를 포함한다.

도5를 참조하면, 제1 포토레지스트층(photoresist layer; 22)은 증착되고 패터닝(patterning)되어 다음에 상부 도전층(20) 및 제2 도전성 평활층(19)을 에칭한다. 종래의 에칭 화학물질들을 사용하여 상부 도전층(20) 및 제2 도전성 평활층(19)을 에칭한 후, 상부 전극(24)(또는 제2 전극(24))이 도6에 도시된 바와 같이 형성된다.

상부 전극(24) 형성 동안, 커패시터 유전층(18)은 과다 에칭되어 상부 도전층(20) 및 제2 도전성 평활층(19)이 완전히 에칭되도록 보장한다. 이 과다-에칭은 원하는 경우 커패시터 영역 밖에서 또는 벗어나서 커패시터 유전층(19)을 원하는 두께로 감소시키도록 맞춰질 수 있다. 커패시터 유전층(18)이 MIM 커패시터의 일부분이 아닌 영역들에서 완전히 제거되지 않기 때문에, 금속 산화물의 유전 상수는 MIM 커패시터 밖의 영역들에서 커패시터 스를 증가시킨다. 이상적으로, 이 에칭은 커패시터 유전층(18)을 완전히 제거한다. 그러나, 도면들에 도시된 실시예에서 이와 같이 행하면, 커패시터 유전층(18), 제1 도전성 평활층(16) 및/또는 하부 전극(14)의 표면의 중요 부분들에 손상을 미칠 수 있다.

당업계에 알려진 바와 같이, 상부 전극(24)을 패터닝한 후, 또 다른 포토레지스트(도시되지 않음)는 반도체 장치(5) 위에 형성되어 제1 도전층(11), 캡핑층(14), 제1 도전성 평활층(16) 및 커패시터 유전층(18)을 에칭하고, 이것은 도6에 도시된 구조이다.

도7에 도시된 바와 같이, 층간 유전체(ILD; 28)는 반도체 기판(10) 위에 증착된다. ILD는 테트라에톡시실란(TEOS)을 사용하여 형성된 플루오르네이티드 실리콘 이산화물(fluorinated silicon dioxide)과 같은 임의의 유전 재료일 수 있다. 제2 포토레지스트층(27)은 증착되고 패터닝되어 ILD층(28)을 에칭하여 도8에 도시된 바와 같이 비아 개구부들(29)을 형성한다. 비아 에칭의 화학작용은 제2 도전층(20)에 대해서 선택적이다. 종래의 에칭 공정들 및 화학작용들이 사용될 수 있다.

비아 개구부들(29)을 형성한 후, 도전성 재료는 비아 개구부(29) 내에 형성되어 도9에 도시된 바와 같은 도전성 비아들(30)을 형성한다. 컨덕터는 비아 개구부들(29)에 형성되어 상부 전극(24) 및 하부 전극(14)에 접점들을 형성한다. 바람직한 실시예에서, 구리는 전기도금되고 화학적으로 기계적으로 다시 폴리싱되어 도전성 비아들(30)을 형성한다.

도9에 도시된 결과적인 MIM 커패시터는 전극들(상부 및 하부)과 커패시터 유전체 간의 표면 거칠기를 감소시켜, 신뢰성을 개선하는 이점을 갖는다. 더욱 평활한 인터페이스는 MIM 커패시터 스케일링 시 허용 범위(latitude)를 더욱 크게 한다. 게다가, 시간 의존 유전 브레이크다운(time dependent dielectric breakdown; TDDB)이 증가된다.

도면들에 도시된 바와 같이 서술된 실시예는 MIM 커패시터인데, 여기서 상부 전극(24)은 하부 전극(15)과 비교하여 크기면에서 더 작다. 또 다른 실시예에서, 상부 전극(24)은 하부 전극(14)과 비교하여 매우 클 수 있다. 이 실시예에서, 하부 전극(14)을 위한 접점은 하부 전극(14)의 형성 전에 형성될 수 있는데, 그 이유는 접점이 하부 전극 위에 형성된 대신에 하부 전극(14) 아래에 형성되기 때문이다. 관련된 구조들은 명시적으로 도면들에 도시되지 않았지만, 일반적으로 IC 상호접속 회로의 필수적인 부분으로서 온-칩(on-chip)으로 항상 제공된다.

이점들, 다른 장점들 및 문제들에 대한 해결책들이 특정 실시예들과 관련하여 상술되었다. 그러나, 이점들, 장점들, 문제들에 대한 해결책들, 및 어떤 이점, 장점 또는 해결책일 수 있는 임의의 소자(들)는 임의의 청구항들 또는 전체 청구항들의 중요하며, 필요로 되며 또는 필수적인 특징 또는 소자로 구현될 필요가 없다. 본원에 사용된 용어들 "포함하다(comprise)" 또는 임의의 다른 변형은 배타적이지 않은 포함을 커버하여, 요소들의 리스트를 포함하는 공정, 방법, 물품, 또는 장치가 단지 이들 소자들만을 포함하는 것이 아니라 이와 같은 공정, 방법, 물품, 또는 장치에 명시적으로 나열되지 않거나 고유한 다른 소자들을 포함할 수 있다.

상술된 명세서에서, 본 발명은 특정 실시예들과 관련하여 설명되었다. 그러나, 당업자는 이하의 청구범위에 규정된 바와 같은 본 발명의 범위를 벗어남이 없이 각종 수정들 및 변경들을 행할 수 있다는 것을 인지할 것이다. 예를 들어, MIM 커패시터는 이중 물결무늬 인터그레이션(dual damascene integration)을 사용하여 형성될 수 있다. 게다가, 평활층들의 사용이 MIM 커패시터와 관련하여 개시되었지만, 평활층들은 신뢰성을 증가시키기 위하여 거친 표면이 유전체와 접촉하는 어떤 곳에도 사용될 수 있다. 예를 들어, 평활층은 도10에 도시된 바와 같이

게이트 유전체와 접촉하여 형성될 수 있고 트랜지스터(51)의 일부분일 수 있다. 반도체 장치(50)는 반도체 기판(52)을 포함한다. 반도체 기판(52) 내에, 소스 영역(54) 및 드레인 영역(55)이 형성된다. 트랜지스터는 소스 영역(54), 드레인 영역(55), 게이트 유전체(56)(이는 고 유전 상수 재료와 같은 임의의 유전 재료일 수 있다), 평활층(58)(이는 바람직하게는 도전성이고 평활층들에 대해서 앞서 설명된 임의의 재료일 수 있다) 및 게이트 전극(60)(이는 금속, 폴리실리콘 등일 수 있다)을 포함한다. 이 실시예에서, 평활층은 도전층(즉, 게이트 전극(60) 및 유전층(예를 들어, 게이트 유전체(56))과 접촉하는데, 여기서 평활층은 도전층의 표면 거칠기보다 작은 표면 거칠기를 갖는다.

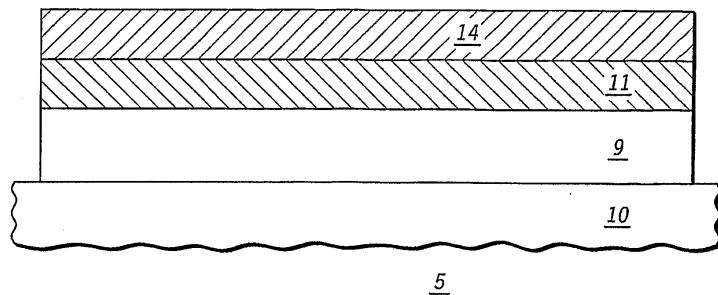
따라서, 본 명세서 및 도면들은 제한되는 것이 아니라 예시된 것으로 간주되고 모든 이와 같은 수정들은 본 발명의 범위 내에 포함된다.

### 도면의 간단한 설명

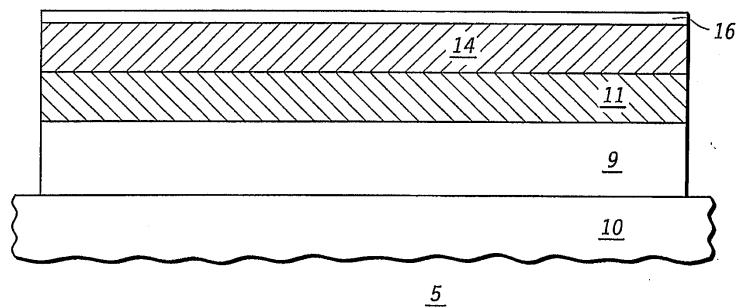
- [0005] 도1은 본 발명의 실시예에 따른 하부 전극을 갖는 반도체 장치의 일부의 단면도.
- [0006] 도2는 본 발명의 실시예에 따른 제1 배리어층을 형성한 이후의 도1의 반도체 장치를 도시한 도면.
- [0007] 도3은 본 발명의 실시예에 따른 제2 배리어층을 형성한 이후의 도2의 반도체 장치를 도시한 도면.
- [0008] 도4는 본 발명의 실시예에 따른 상부 전극 및 에칭 정지층(etching stop layer)을 형성한 이후의 도3의 반도체 장치를 도시한 도면.
- [0009] 도5는 본 발명의 실시예에 따른 패터닝된 포토레지스트층을 형성한 이후의 도4의 반도체 장치를 도시한 도면.
- [0010] 도6은 본 발명의 실시예에 따른 에칭 정지층, 상부 전극 및 제2 배리어층을 패터닝한 이후의 도5의 반도체 장치를 도시한 도면.
- [0011] 도7은 본 발명의 실시예에 따른 제2 유전층을 형성한 이후의 도6의 반도체 장치를 도시한 도면.
- [0012] 도8은 본 발명의 실시예에 따른 포토레지스트층 및 에칭 비아들을 형성한 이후의 도7의 반도체 장치를 도시한 도면.
- [0013] 도9는 본 발명의 실시예에 따른 도전성 재료로 비아들을 충전한 이후의 도8의 반도체 장치를 도시한 도면.
- [0014] 도10은 본 발명의 다른 실시예에 따라 형성된 트랜지스터를 갖는 반도체 장치의 일부의 단면도.

### 도면

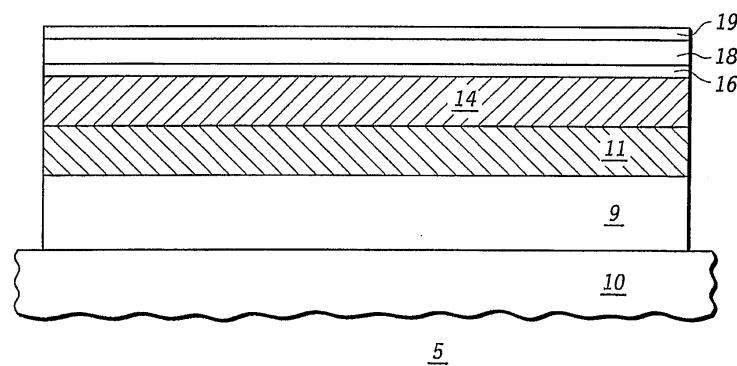
#### 도면1



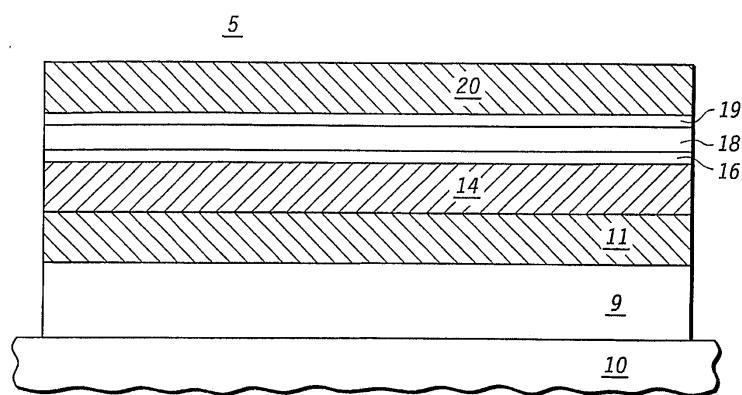
도면2



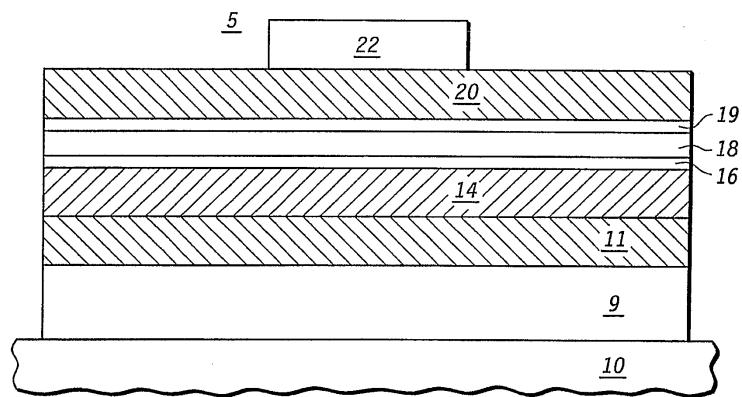
도면3



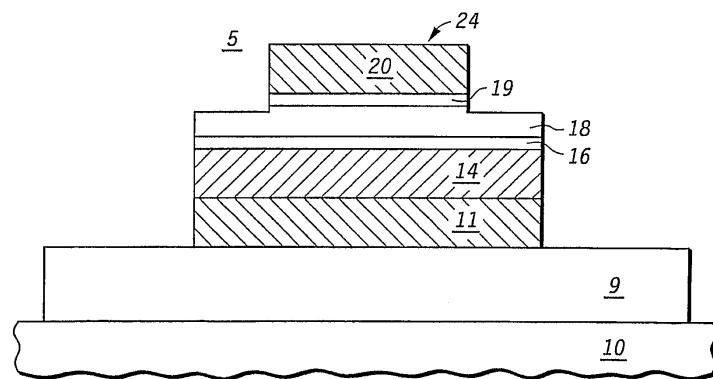
도면4



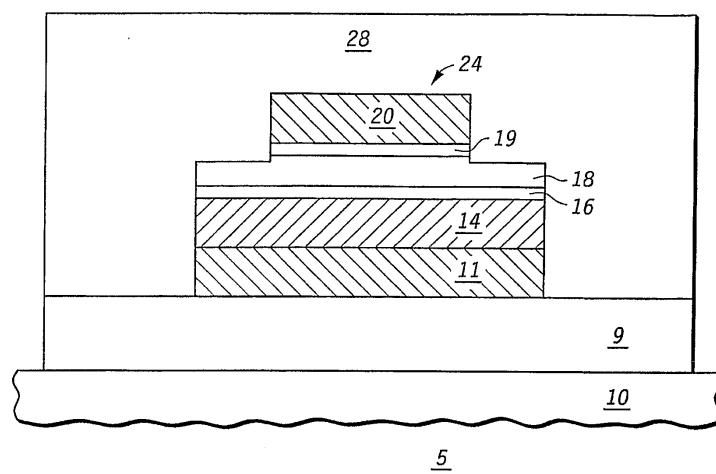
도면5



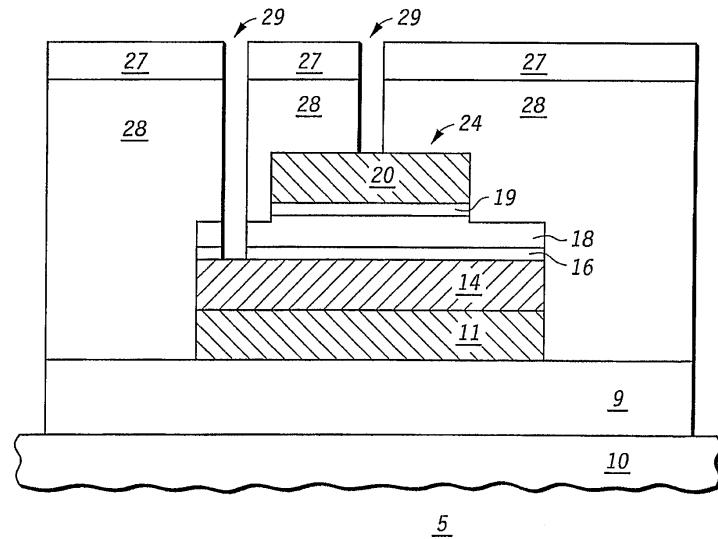
도면6



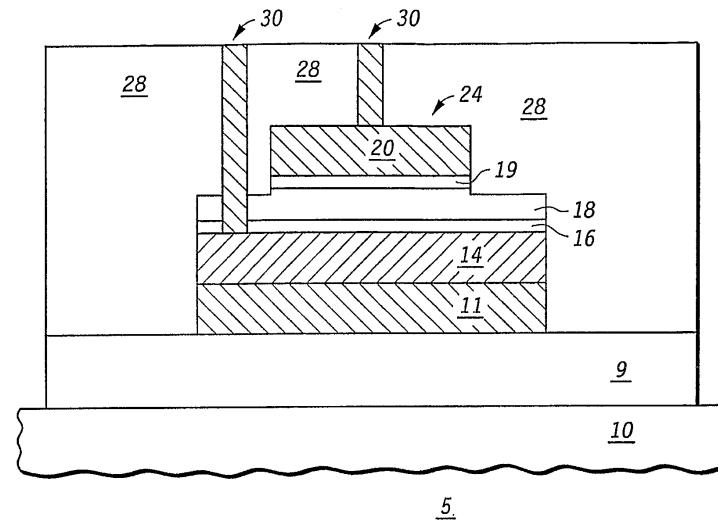
도면7



도면8



도면9



도면10

