

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7500788号
(P7500788)

(45)発行日 令和6年6月17日(2024.6.17)

(24)登録日 令和6年6月7日(2024.6.7)

(51)国際特許分類

F I

A 6 3 F 13/95 (2014.01)

A 6 3 F 13/95

Z

請求項の数 4 (全51頁)

(21)出願番号	特願2023-3041(P2023-3041)	(73)特許権者	000233778
(22)出願日	令和5年1月12日(2023.1.12)		任天堂株式会社
(62)分割の表示	特願2021-66345(P2021-66345)の分割		京都府京都市南区上鳥羽鉾立町1 1 番地 1
原出願日	平成28年10月19日(2016.10.19)	(74)代理人	100158780
(65)公開番号	特開2023-38261(P2023-38261A)		弁理士 寺本 亮
(43)公開日	令和5年3月16日(2023.3.16)	(74)代理人	100121359
審査請求日	令和5年2月6日(2023.2.6)		弁理士 小沢 昌弘
		(74)代理人	100130269
			弁理士 石原 盛規
		(72)発明者	廣瀬 新治
			京都府京都市南区上鳥羽鉾立町1 1 番地 1 任天堂株式会社内
		(72)発明者	藤田 悠太
			京都府京都市南区上鳥羽鉾立町1 1 番地
			最終頁に続く

(54)【発明の名称】 カートリッジ

(57)【特許請求の範囲】

【請求項1】

先端および後端を有し、前記先端側からゲーム装置のカートリッジ挿入口に挿入することによって当該ゲーム装置と接続可能なカートリッジであって、

前記カートリッジは、前記カートリッジ挿入口内に設けられた前記ゲーム装置の端子と電氣的に接続される複数の端子を備え、

前記カートリッジが前記カートリッジ挿入口に挿抜される方向を第1方向として、前記複数の端子は、前記第1方向に並ぶ第2データ入出力端子及び第1データ入出力端子を含み、

前記第1データ入出力端子は、前記第2データ入出力端子よりも前記カートリッジの先端の近くに配置され、

前記ゲーム装置の前記カートリッジ挿入口内には、第1端子および第2端子が設けられ、前記カートリッジが前記カートリッジ挿入口に挿入されて前記ゲーム装置と接続された場合、前記第1データ入出力端子は前記ゲーム装置の前記第1端子と接続され、前記第2データ入出力端子は前記ゲーム装置の前記第2端子と接続され、

前記カートリッジが前記カートリッジ挿入口に挿入される過程で前記ゲーム装置の前記第2端子が前記第1データ入出力端子に接触するように、前記第1データ入出力端子が配置され、

前記第1方向と垂直な方向を第2方向として、前記第1データ入出力端子及び前記第2データ入出力端子の前記第2方向の隣には、電源端子が設けられ、

前記電源端子の前記先端側の端部は、前記第 1 データ入出力端子の前記先端側の端部よりも、前記先端側に位置する、カートリッジ。

【請求項 2】

前記カートリッジが前記第 1 方向に移動されることによって、前記第 2 データ入出力端子が、移動前の前記第 1 データ入出力端子の前記第 1 方向における位置まで移動した場合、移動後の前記第 2 データ入出力端子の少なくとも一部と、移動前の前記第 1 データ入出力端子の少なくとも一部とが重なる、請求項 1 に記載のカートリッジ。

【請求項 3】

前記複数の端子は、前記第 1 方向に並ぶ第 3 データ入出力端子及び第 4 データ入出力端子をさらに含み、

前記第 3 データ入出力端子及び前記第 4 データ入出力端子の前記第 2 方向の隣には、グランド端子が設けられる、請求項 1 又は 2 に記載のカートリッジ。

【請求項 4】

先端および後端を有し、前記先端側からゲーム装置のカートリッジ挿入口に挿入することによって当該ゲーム装置と接続可能なカートリッジであって、

前記カートリッジは、前記カートリッジ挿入口内に設けられた前記ゲーム装置の端子と電氣的に接続される複数の端子を備え、

前記カートリッジが前記カートリッジ挿入口に挿抜される方向を第 1 方向とし当該第 1 方向に垂直な方向を第 2 方向として、前記カートリッジの前記複数の端子は、少なくとも 4 つの短端子と前記第 1 方向の長さが前記短端子よりも長い長端子とを含み、

前記 4 つの短端子は、前記第 1 方向に並ぶ 2 つの短端子からなる第 1 組の短端子と、当該第 1 組の短端子とは前記第 2 方向における位置が異なる、前記第 1 方向に並ぶ 2 つの短端子からなる第 2 組の短端子と、を構成し、

前記長端子は、前記第 1 組の短端子と前記第 2 組の短端子との間に配置され、

前記 4 つの短端子を前記第 2 方向に前記長端子の位置まで移動させた場合に、移動後の前記 4 つの短端子のそれぞれは、少なくともその一部において前記長端子と重なり、

前記長端子は電源端子であり

前記短端子は、前記長端子よりも電圧の変化の頻度が高い端子であり、

前記電源端子の前記先端側の端部は、前記第 1 方向に並ぶ 2 つの短端子の最も前記先端側の端部よりも、前記先端側に位置する、カートリッジ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、情報処理装置に接続可能なカートリッジに関する。

【背景技術】

【0002】

従来より、ゲーム装置等の情報処理装置に着脱可能なメモリカートリッジが存在する（例えば、特許文献 1）。例えば、このようなメモリカートリッジにはゲーム装置によって実行されるプログラムが記憶されており、メモリカートリッジがゲーム装置に装着された場合に、ゲーム装置からメモリカートリッジ内の記憶装置に記憶されたプログラムが読み出される。

【先行技術文献】

【特許文献】

【0003】

【文献】特開 2014-150938 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、カートリッジを小さく構成するという観点では改善の余地があった。

【0005】

それ故、本発明の目的は、ゲーム装置等の情報処理装置に着脱可能な新たなカートリッジを提供することである。

【課題を解決するための手段】

【0006】

本発明は、上記の課題を解決するために、以下の構成を採用した。

【0007】

本発明の一例は、先端および後端を有し、前記先端側からゲーム装置のカートリッジ挿入口に挿入することによって当該ゲーム装置と接続可能なカートリッジである。前記カートリッジには、前記カートリッジ挿入口内に設けられた前記ゲーム装置の端子と電気的に接続可能な複数の端子が配置された、第1領域と第2領域とを含む端子配置領域が設けられる。前記カートリッジが前記カートリッジ挿入口に挿抜される方向を第1方向とし当該第1方向に垂直な方向を第2方向とした場合に、前記第2領域および前記第1領域は、前記第1方向に並んで配置される。前記第1領域は、前記端子配置領域において、前記第2領域よりも前記カートリッジの先端の近くに配置される。前記複数の端子は、第1データ入出力端子と、第2データ入出力端子と、ストロープ端子と、クロック端子と、電源端子と、グランド端子とを少なくとも含む。前記第1領域には、前記クロック端子と前記第1データ入出力端子とが配置される。前記第2領域には、前記ストロープ端子と前記第2データ入出力端子とが配置される。前記端子配置領域には、前記第1領域と前記第2領域とにまたがる複数の長端子が配置される。前記ストロープ端子及び前記クロック端子は前記第1方向に並んで配置される。前記第2データ入出力端子及び前記第1データ入出力端子は、前記第1方向に並んで配置される。前記複数の長端子は、前記電源端子と前記グランド端子とを含む。前記第1方向に並んだ前記第2データ入出力端子及び前記第1データ入出力端子の前記第2方向における少なくとも一方の隣には、前記複数の長端子のうちのいずれかが配置される。前記第1方向に並んだ前記ストロープ端子及び前記クロック端子の前記第2方向における少なくとも一方の隣には、前記複数の長端子のうちのいずれかが配置される。

【0008】

上記によれば、2つのデータ入出力端子は第1方向に並んで配置され、ストロープ端子及びクロック端子も第1方向に並んで配置される。このため、第2方向の長さを短くすることができる。また、第1及び第2データ入出力端子の上記第2方向における隣には電源端子又はグランド端子としての長端子が設けられる。第1及び第2データ入出力端子の隣に電圧の変化の頻度が低い電源端子又はグランド端子が設けられるため、第1及び第2データ入出力端子はノイズの影響を受け難い。ストロープ端子及びクロック端子もその隣に電源端子又はグランド端子が設けられるため、ノイズの影響を受け難い。このため、安定したデータ通信を行うことができる。また、カートリッジはその先端からカートリッジ挿入口に挿入され、クロック端子（入力端子）がカートリッジの先端側の第1領域に配置され、ストロープ端子（出力端子）がカートリッジのより後端側の第2領域に配置される。このため、例えば、カートリッジをゲーム装置から抜く際に、カートリッジ側の出力端子（カートリッジ側のストロープ端子）とゲーム装置側の出力端子（ゲーム装置側のクロック端子）とが接触することはなく、より安全にカートリッジをゲーム装置から抜き取ることができる。

【0009】

また、他の構成では、前記第2データ入出力端子を前記第1データ入出力端子の位置まで前記第1方向に移動させた場合に当該2つの端子の少なくとも一部が重なるように、前記第1データ入出力端子及び前記第2データ入出力端子が配置されてもよい。

【0010】

上記構成によれば、例えば、第2データ入出力端子を第1方向に移動させた場合、第1データ入出力端子に重なり、第1データ入出力端子および第2データ入出力端子は第2方向に実質的にずれていない。このため、カートリッジの第2方向における長さを短くすることができる。

【0011】

また、他の構成では、前記ゲーム装置の前記カートリッジ挿入口内には、第1端子および第2端子が設けられてもよい。前記カートリッジが前記カートリッジ挿入口に挿入されて前記ゲーム装置と接続された場合、前記第1データ入出力端子は前記ゲーム装置の前記第1端子と接続され、前記第2データ入出力端子は前記ゲーム装置の前記第2端子と接続される。前記カートリッジが前記カートリッジ挿入口に挿入される過程で前記ゲーム装置の前記第2端子が前記第1データ入出力端子に接触するように、前記第1データ入出力端子が配置される。

【0012】

上記構成によれば、カートリッジがゲーム装置のカートリッジ挿入口に挿入される過程では、ゲーム装置の第2端子がカートリッジの第1領域に設けられた第1データ入出力端子と接触し、さらにカートリッジが奥に挿入されると、ゲーム装置の第2端子が第2データ入出力端子と接触するようになる。すなわち、第1データ入出力端子と第2データ入出力端子とは第2方向に実質的にずれていない。このため、カートリッジの第2方向における長さを短くすることができる。

10

【0013】

また、他の構成では、前記第1データ入出力端子及び前記第2データ入出力端子は、前記第2方向における位置が同じであってもよい。

【0014】

上記構成によれば、前記第1データ入出力端子及び前記第2データ入出力端子の第2方向における位置が一致しているため、カートリッジの第2方向における長さを削減することができる。

20

【0015】

また、他の構成では、前記複数の長端子は、チップイネーブル端子を含んでもよい。前記第1データ入出力端子及び前記第2データ入出力端子の前記第2方向における少なくとも一方の隣には、前記グランド端子、前記電源端子、および前記チップイネーブル端子のうちの何れかの長端子が配置されてもよい。

【0016】

上記構成によれば、チップイネーブル端子が長端子として配置される。チップイネーブル端子は、電圧の変化の頻度が低い端子であり、データ入出力端子を介したデータ通信中は電圧が略一定となる。第1方向に並んだ2つのデータ入出力端子の隣に長端子が配置されるため、2つのデータ入出力端子は隣の長端子からのノイズの影響を受け難い。また、隣にある長端子によって2つのデータ入出力端子が周囲に与える影響を低減することができる。

30

【0017】

また、他の構成では、前記第1データ入出力端子及び前記第2データ入出力端子の前記第2方向における少なくとも一方の隣に配置された長端子が、前記第1データ入出力端子の少なくとも一部の前記第2方向の隣に存在し、かつ、前記第2データ入出力端子の少なくとも一部の前記第2方向の隣に存在するように、当該長端子が形成されてもよい。

【0018】

上記構成によれば、電圧の変化の頻度が低い1つの長端子の第2方向における隣には2つのデータ入出力端子の少なくとも一部が配置される。このため、2つのデータ入出力端子は隣の長端子からのノイズの影響を受け難い。また、隣にある長端子によって2つのデータ入出力端子が周囲に与える影響を低減することができる。

40

【0019】

また、他の構成では、前記第1データ入出力端子及び前記第2データ入出力端子をその隣に設けられた前記長端子の位置まで前記第2方向に移動させた場合、当該移動後の前記第1データ入出力端子及び前記第2データ入出力端子の両方は、少なくとも一部において前記長端子と重なってもよい。

【0020】

50

上記構成によれば、電圧の変化の頻度が低い1つの長端子の第2方向における隣には2つのデータ入出力端子の少なくとも一部が配置される。このため、2つのデータ入出力端子は隣の長端子からのノイズの影響を受け難い。また、隣にある長端子によって2つのデータ入出力端子が周囲に与える影響を低減することができる。

【0021】

また、他の構成では、前記第1データ入出力端子及び前記第2データ入出力端子の前記第2方向における一方の隣には、前記長端子として、前記グランド端子、前記電源端子、および前記チップイネーブル端子のうちの何れかが配置されてもよい。前記第1データ入出力端子及び前記第2データ入出力端子と前記一方の隣に設けられた前記長端子との間の間隔よりも、前記第1データ入出力端子及び前記第2データ入出力端子と前記第2方向における他方の隣にある端子との間の間隔の方が、広くてもよい。

10

【0022】

上記構成によれば、第1及び第2データ入出力端子の一方の隣には長端子が設けられ、他方の隣には間隙が設けられる。このため、例えば第1データ入出力端子の導線又はセパレータ等をその間隙に配置することができる。

【0023】

また、他の構成では、前記クロック端子および前記ストローブ端子の前記第2方向における少なくとも一方の隣には、前記グランド端子が配置されてもよい。

【0024】

上記構成によれば、クロック端子及びストローブ端子の隣にグランド端子を配置することで、クロック端子及びストローブ端子は隣のグランド端子からのノイズの影響を受け難い。また、隣にあるグランド端子によってクロック端子及びストローブ端子が周囲に与える影響を低減することができる。

20

【0025】

また、他の構成では、前記クロック端子及び前記ストローブ端子の前記第2方向における少なくとも一方の隣に配置されたグランド端子が、前記クロック端子の少なくとも一部の前記第2方向の隣に存在し、かつ、前記ストローブ端子の少なくとも一部の前記第2方向の隣に存在するように、当該グランド端子が形成されてもよい。

【0026】

上記構成によれば、電圧の変化の頻度が低い1つのグランド端子の第2方向における隣にはクロック端子及びストローブ端子の少なくとも一部が配置される。このため、クロック端子及びストローブ端子は隣のグランド端子からのノイズの影響を受け難い。また、隣にあるグランド端子によってクロック端子及びストローブ端子が周囲に与える影響を低減することができる。

30

【0027】

また、他の構成では、前記クロック端子および前記ストローブ端子の前記第2方向における少なくとも一方の隣に配置された前記グランド端子を、前記クロック端子および前記ストローブ端子の位置まで前記第2方向に移動させた場合、前記クロック端子および前記ストローブ端子の両方は、少なくとも一部において移動後の前記グランド端子と重なってもよい。

40

【0028】

上記構成によれば、電圧の変化の頻度が低い1つのグランド端子の第2方向における隣にはクロック端子及びストローブ端子の少なくとも一部が配置される。このため、クロック端子及びストローブ端子は隣のグランド端子からのノイズの影響を受け難い。また、隣にあるグランド端子によってクロック端子及びストローブ端子が周囲に与える影響を低減することができる。

【0029】

また、他の構成では、前記複数の長端子は、リセット端子を含んでもよい。前記リセット端子は、前記第2方向の前記端子配置領域における一方端に配置されてもよい。

【0030】

50

上記構成によれば、リセット端子は端子配置領域における一方端に配置されるため、リセット端子が他の端子から影響を受け難くすることができ、例えばカートリッジ内の回路が予期せずにはリセットされたりリセット解除されたりすることを防止することができる。

【0031】

また、他の構成では、前記リセット端子の、前記端子配置領域における他方端側の隣には、グランド端子が設けられてもよい。

【0032】

上記構成によれば、リセット端子は端子配置領域の一方端に配置され、かつ、当該リセット端子の他方端方向の隣にはグランド端子が設けられる。このため、リセット端子が周辺から影響を受け難くすることができ、例えばカートリッジ内の回路が予期せずにはリセットされたりリセット解除されたりすることを防止することができる。

10

【0033】

また、他の構成では、前記複数の端子は、前記第1領域に配置される第3データ入出力端子と前記第2領域に配置される第4データ入出力端子を含んでもよい。前記第3データ入出力端子及び前記第4データ入出力端子は、前記第1方向に並んで配置されてもよい。前記電源端子は、前記第1方向に並んだ前記第2データ入出力端子及び前記第1データ入出力端子の前記第2方向における一方の隣、かつ、前記第1方向に並んだ前記第3データ入出力端子及び前記第4データ入出力端子の前記第2方向における他方の隣になるように配置されてもよい。

【0034】

20

上記構成によれば、電源端子は、複数のデータ入出力端子によって挟まれるように配置される。これにより、各データ入出力端子は電源端子からノイズの影響を受け難い。また、隣にある電源端子によってデータ入出力端子が周囲に与える影響を低減することができる。

【0035】

また、他の構成では、前記第1データ入出力端子及び前記第2データ入出力端子を含む複数のデータ入出力端子と、前記電源端子とは、前記端子配置領域の少なくとも一部において、前記第2方向に交互に並んで配置されてもよい。

【0036】

上記構成によれば、端子配置領域の少なくとも一部では、データ入出力端子と電源端子とが第2方向に交互に並んで配置されるため、データ入出力端子は、電源端子からのノイズの影響を受け難い。また、電源端子によってデータ入出力端子が周囲に与える影響を低減することができる。

30

【0037】

また、他の構成では、前記複数の長端子は、チップイネーブル端子を含んでもよい。前記電源端子および前記チップイネーブル端子を第1種端子とし、前記複数のデータ入出力端子を第2種端子とした場合、前記第1種端子及び前記第2種端子は、前記端子配置領域の少なくとも一部において、前記第2方向に交互に並んで配置されてもよい。

【0038】

上記構成によれば、端子配置領域の少なくとも一部において、電圧の変化の頻度が低い端子（チップイネーブル端子、電源端子）と、電圧の変化の頻度が高い端子（データ入出力端子）とを、第2方向に交互に並んで配置することができる。このため、データ入出力端子は、周囲の端子からのノイズの影響を受け難い。また、電圧の変化の頻度が低い端子によってデータ入出力端子が周囲に与える影響を低減することができる。

40

【0039】

また、他の構成では、前記第2種端子は、前記クロック端子又は前記ストローク端子を含んでもよい。前記第1種端子及び前記第2種端子は、前記端子配置領域の少なくとも一部において、前記第2方向に交互に並んで配置されてもよい。

【0040】

上記構成によれば、端子配置領域の少なくとも一部において、電圧の変化の頻度が低い

50

端子（チップイネーブル端子、電源端子）と、電圧の変化の頻度が高い端子（データ入出力端子、クロック端子、ストローク端子）とを、第2方向に交互に並んで配置することができる。このため、データ入出力端子、クロック端子、ストローク端子は周囲の端子からのノイズの影響を受け難い。また、データ入出力端子、クロック端子、ストローク端子が周囲に与える影響を低減することができる。

【0041】

また、他の構成では、前記第1種端子は前記グランド端子を含んでもよい。前記第1種端子及び前記第2種端子は、前記端子配置領域の少なくとも一部において、前記第2方向に交互に並んで配置されてもよい。

【0042】

上記構成によれば、端子配置領域の少なくとも一部において、電圧の変化の頻度が低い端子（チップイネーブル端子、電源端子、グランド端子）と、電圧の変化の頻度が高い端子（データ入出力端子、クロック端子、ストローク端子）とを、第2方向に交互に並んで配置することができる。このため、データ入出力端子、クロック端子、ストローク端子は周囲の端子からのノイズの影響を受け難い。また、データ入出力端子、クロック端子、ストローク端子が周囲に与える影響を低減することができる。

【0043】

また、他の構成では、前記複数の端子は、リセット端子を含んでもよい。前記リセット端子は、前記端子配置領域における一方端に設けられ、前記グランド端子は、前記端子配置領域における他方端に設けられてもよい。前記第1種端子及び前記第2種端子は、前記他方端から前記一方端に向かって交互に配置される。前記他方端から前記一方端に向かって交互に配置された前記第2種端子のさらに前記一方端側の隣には、データ入出力端子が設けられ、当該データ入出力端子のさらに前記一方端側には、前記リセット端子が設けられてもよい。

【0044】

上記構成によれば、端子配置領域の前記他方端から前記一方端に向かって交互に配置された前記第2種端子のさらに一方端方向の隣には、データ入出力端子（第2種端子）が設けられ、さらにその一方端方向にはリセット端子が設けられる。

【0045】

また、他の構成では、前記電源端子は、第1電源端子と第2電源端子とを含んでもよい。

【0046】

上記構成によれば、2つの電源端子を備えることができ、例えばメモリ制御回路用の電源と、データ入出力端子用の電源とを分けることができる。

【0047】

また、他の構成では、前記第1電源端子は、略3.1Vの電源に接続され、前記第2電源端子は、略1.8Vの電源に接続されてもよい。

【0048】

また、他の構成では、前記第1電源端子は、メモリの制御回路を駆動させるための電源を供給するための端子であり、前記第2電源端子は、前記データ入出力端子に電源を供給するための端子であってもよい。

【0049】

上記構成によれば、メモリ制御回路用の電源と、データ入出力端子用の電源とを分けることができる。

【0050】

また、他の構成では、前記長端子と、前記第2領域および前記第1領域のそれぞれに配置された前記第1方向に並ぶ2つの端子の組とは、前記端子配置領域の少なくとも一部において前記第2方向に交互に配置されてもよい。

【0051】

上記構成によれば、1本の長端子と2本の端子とが第2方向に交互に配置される。このため、カートリッジの第2方向の長さを短くすることができる。

10

20

30

40

50

【0052】

また、他の構成では、前記2つの端子の組と前記長端子とにより構成される端子群が、前記端子配置領域の一部の領域において前記第2方向に並んで複数配置されてもよい。1の端子群における前記長端子と前記2つの端子との間の前記第2方向における距離は、隣り合う2つの端子群間の前記第2方向における距離よりも短くてもよい。

【0053】

上記構成によれば、端子配置領域に複数の端子群を設け、1つの端子群内の第2方向における端子間の距離を短くすることができ、カートリッジの第2方向の長さを短くすることができる。また、例えば、長端子の隣にある2つの端子が周囲に及ぼす影響を低減することができる。

10

【0054】

また、他の構成では、前記端子群間には、導線が設けられてもよい。前記導線は、前記第1領域に配置された端子に接続されてもよい。

【0055】

上記構成によれば、端子群の間隙に第1領域に配置された端子（すなわち、カートリッジ挿入口に最初に挿入される側に設けられた端子）の配線を設けることができ、基板の内部に配線するよりも低コストで配線することができる。

【0056】

また、他の構成では、前記端子配置領域には、前記端子群間の間隙が複数あり、複数の端子群間の間隙のうちの少なくとも1つには、2本の導線が設けられてもよい。前記2本の導線は、前記第1領域に配置された2つの端子にそれぞれ接続されてもよい。

20

【0057】

上記構成によれば、端子群間の間隙に第1領域に配置された2つの端子の配線を設けるため、端子群間の間隙の数を減らすことができ、カートリッジの幅を狭くすることができる。

【0058】

また、他の構成では、前記導線の少なくとも一部は、前記端子の前記第2方向の側面から、前記第1方向および前記第2方向と異なる第3方向に伸びるように形成されてもよい。

【0059】

上記構成によれば、例えば導線を端子の側面から斜めに伸びるように形成することができ、導線を途中で直角に曲げる場合よりもインピーダンスの変化を小さくすることができ、ノイズの発生を抑えることができる。

30

【0060】

また、他の構成では、前記第1領域に配置された端子および複数の長端子のうち、グラウンド端子の先端は、最も前記カートリッジの先端の近くに位置してもよい。

【0061】

上記構成によれば、例えば、第1領域が下側、第2領域が上側になるようにカートリッジを見た場合（すなわち、カートリッジの先端が下、カートリッジの後端が上になるようにカートリッジを見た場合）に、グラウンド端子の下端（グラウンド端子の先端）は最も下方に位置する。このため、カートリッジをゲーム装置のカートリッジ挿入口に挿入する際に、最初にグラウンド端子がゲーム装置のグラウンド端子に接触するように構成することができる。

40

【0062】

また、他の構成では、前記複数の長端子は、前記ゲーム装置が前記カートリッジを検出するための検出端子を含み、前記第1領域に配置された端子および前記複数の長端子のうち、前記検出端子の先端は、前記カートリッジの先端から最も離れて位置してもよい。

【0063】

上記構成によれば、例えば、第1領域が下側、第2領域が上側になるようにカートリッジを見た場合（すなわち、カートリッジの先端が下、カートリッジの後端が上になるようにカートリッジを見た場合）に、検出端子の下端（検出端子の先端）は、下側の領域に配

50

置された端子及び複数の長端子の中で最も上方に位置する。すなわち、検出端子の下端の位置は、下側の領域に配置された端子の下端の位置、及び、複数の長端子の下端の位置よりも上方に位置する。このため、カートリッジをゲーム装置のカートリッジ挿入口に挿入する際に、最後に検出端子をゲーム装置の検出端子に接触させることができ、カートリッジ側の全ての端子がゲーム装置の端子と接触してから、ゲーム装置にカートリッジを検出させることができる。

【0064】

また、他の構成では、前記検出端子は、グランド端子を兼ねてもよい。

【0065】

上記構成によれば、検出端子とグランド端子とを兼用することができ、端子の数を減らすことができる。

【0066】

また、他の構成では、前記電源端子の先端は、前記クロック端子の先端および前記第1データ入出力端子の先端よりも、前記カートリッジの先端の近くに位置してもよい。

【0067】

上記構成によれば、例えば、第1領域が下側、第2領域が上側になるようにカートリッジを見た場合（すなわち、カートリッジの先端が下、カートリッジの後端が上になるようにカートリッジを見た場合）に、電源端子の下端（電源端子の先端）は、クロック端子の下端（クロック端子の先端）および下側の領域に配置されたデータ入出力端子の下端（第1データ入出力端子の先端）よりも下方に位置する。このため、カートリッジをゲーム装置のカートリッジ挿入口に挿入する際に、電源端子を、クロック端子およびデータ入出力端子よりも先にゲーム装置側の端子と接触させることができる。したがって、例えば、ゲーム装置からカートリッジ内のメモリ制御回路に電源が供給される場合は、クロック端子およびデータ入出力端子がゲーム装置側の端子と接触する前に当該メモリ制御回路に電源を供給することができる。

【0068】

また、他の構成では、前記複数の長端子は、チップイネーブル端子を含んでもよい。前記電源端子の先端は、前記第1データ入出力端子の先端、前記チップイネーブル端子の先端、および前記クロック端子の先端よりも前記カートリッジの先端の近くに位置してもよい。

【0069】

上記構成によれば、例えば、第1領域が下側、第2領域が上側になるようにカートリッジを見た場合（すなわち、カートリッジの先端が下、カートリッジの後端が上になるようにカートリッジを見た場合）に、電源端子の下端は、下側の領域に配置されたデータ入出力端子の下端、チップイネーブル端子の下端、およびクロック端子の下端よりも下方に位置する。このため、カートリッジをゲーム装置のカートリッジ挿入口に挿入する際に、電源端子を、クロック端子、チップイネーブル端子、データ入出力端子よりも先にゲーム装置側の端子と接触させることができる。したがって、例えば、ゲーム装置からカートリッジ内のメモリ制御回路に電源が供給される場合は、クロック端子、チップイネーブル端子およびデータ入出力端子がゲーム装置側の端子と接触する前に当該メモリ制御回路に電源を供給することができる。

【0070】

また、他の構成では、前記カートリッジが前記ゲーム装置のカートリッジ挿入口に挿入される際に、前記第1領域に配置された端子および前記複数の長端子は、異なる順番で前記ゲーム装置の端子と接触してもよい。

【0071】

上記構成によれば、カートリッジをゲーム装置のカートリッジ挿入口に挿抜する際に、異なる順番で各端子をゲーム装置側の端子と接触させることができる。

【0072】

また、他の構成では、前記カートリッジが前記ゲーム装置のカートリッジ挿入口に挿入

10

20

30

40

50

される際に、前記第1領域に配置された端子および前記複数の長端子のうち最初に前記ゲーム装置の端子と接触する端子は、グランド端子であってもよい。

【0073】

上記構成によれば、カートリッジをゲーム装置のカートリッジ挿入口に挿入する際に、最初にグランド端子をゲーム装置のグランド端子に接触させることができる。

【0074】

また、他の構成では、前記複数の長端子は、前記ゲーム装置が前記カートリッジを検出するための検出端子を含んでもよい。前記ゲーム装置の検出端子と前記カートリッジの検出端子とが接触した場合に前記ゲーム装置によって前記カートリッジが検出される。前記カートリッジが前記ゲーム装置のカートリッジ挿入口に挿入される際に、前記カートリッジの検出端子は、前記第1領域に配置された端子および前記複数の長端子のうち最後に前記ゲーム装置の前記検出端子と接触してもよい。

10

【0075】

上記構成によれば、カートリッジをゲーム装置のカートリッジ挿入口に挿入する際に、カートリッジ側の検出端子がゲーム装置の検出端子に最後に接触する。このため、カートリッジ側の全ての端子がゲーム装置の端子と接触してから、ゲーム装置にカートリッジを検出させることができ、全ての端子が確実に接続されてから、ゲーム装置とカートリッジとの間のデータ通信を開始することができる。

【0076】

また、他の構成では、前記カートリッジの検出端子は、グランド端子を兼ねてもよい。

20

【0077】

上記構成によれば、検出端子とグランド端子とを兼用することができ、端子の数を減らすことができる。

【0078】

また、他の構成では、前記カートリッジが前記ゲーム装置のカートリッジ挿入口に挿入される際に、前記電源端子は、前記クロック端子および前記第1データ入出力端子よりも前に前記ゲーム装置の電源端子と接触してもよい。

【0079】

上記構成によれば、電源端子は、クロック端子および第1領域に配置されたデータ入出力端子よりも先にゲーム装置側の端子と接触する。このため、例えば、ゲーム装置からカートリッジ内のメモリ制御回路に電源が供給される場合は、クロック端子および第1領域に配置されたデータ入出力端子がゲーム装置側の端子と接触する前に当該メモリ制御回路に電源を供給することができる。

30

【0080】

また、他の構成では、前記複数の長端子は、チップイネーブル端子を含んでもよい。前記カートリッジが前記ゲーム装置のカートリッジ挿入口に挿入される際に、前記第1データ入出力端子、前記チップイネーブル端子、および前記クロック端子は、前記電源端子が前記ゲーム装置の電源端子と接触した後に、前記ゲーム装置の端子と接触してもよい。

【0081】

上記構成によれば、クロック端子、データ入出力端子、チップイネーブル端子は、電源端子よりも後にゲーム装置側の端子と接触する。このため、例えば、ゲーム装置からカートリッジ内のメモリ制御回路に電源が供給される場合は、クロック端子、データ入出力端子、チップイネーブル端子がゲーム装置側の端子と接触する前に当該メモリ制御回路に電源を供給することができる。

40

【0082】

また、他の構成では、前記複数の長端子は、前記ゲーム装置が前記カートリッジを検出するための端子であって、前記ゲーム装置の前記カートリッジ挿入口内に設けられた前記第1方向に並んだ2つの端子を短絡するための検出端子を含んでもよい。

【0083】

上記構成によれば、ゲーム装置に設けられた第1方向に並んだ2つの端子を短絡するこ

50

とで、ゲーム装置がカートリッジを検出することができる。

【0084】

また、他の構成では、前記ゲーム装置の前記カートリッジ挿入口内に設けられた前記第1方向に並んだ2つの端子は、前記カートリッジ挿入口側の端子と奥側の検出端子であってもよい。前記カートリッジの検出端子は、前記カートリッジが前記ゲーム装置の前記カートリッジ挿入口に挿入される際に、前記第1領域に配置された端子および前記複数の長端子のうち最後に前記ゲーム装置の前記検出端子と接触してもよい。

【0085】

上記構成によれば、カートリッジ側の検出端子は、ゲーム装置側の検出端子と最後に接触する。このため、全ての端子が確実に接続されてから、ゲーム装置とカートリッジとの間のデータ通信を開始することができる。

10

【0086】

また、他の構成では、前記カートリッジの検出端子は、グランド端子を兼ねてもよい。

【0087】

上記構成によれば、検出端子とグランド端子とを兼用することができ、端子の数を減らすことができる。

【0088】

また、他の構成では、前記カートリッジは、前記複数の端子間に位置する少なくとも1つのセパレータを備えてもよい。

【0089】

上記構成によれば、端子間にセパレータを設けることができる。

20

【0090】

また、他の構成では、前記少なくとも1つのセパレータは、前記複数の端子の少なくとも何れかに接続された導線を覆うように設けられてもよい。

【0091】

また、他の構成では、前記少なくとも1つのセパレータは、前記導線を覆い隠すように設けられてもよい。

【0092】

上記構成によれば、セパレータによって導線を保護することができる。

【0093】

また、他の構成では、前記導線は、前記第1領域に配置された端子に接続され、前記カートリッジの先端から後端に向かう方向に伸びるように形成されてもよい。

30

【0094】

上記構成によれば、低コストで配線することができるとともに、配線をセパレータによって保護することができる。

【0095】

また、他の構成では、前記セパレータは複数設けられ、前記複数のセパレータのうちの少なくとも1つは、2本の導線を覆うように設けられてもよい。

【0096】

上記構成によれば、2つの端子の配線をセパレータで保護することができる。

40

【0097】

また、他の構成では、前記導線は、前記端子の前記第2方向の側面から、前記第1方向および前記第2方向とは異なる第3方向に向かって伸びるように形成されてもよい。

【0098】

上記構成によれば、導線を端子の側面から斜めに伸びるように形成することができ、導線を途中で直角に曲げる場合よりもインピーダンスの変化を小さくすることができ、ノイズの発生を抑えることができる。

【0099】

また、他の構成では、前記カートリッジを正面から見た場合に前記セパレータによって前記端子配置領域は複数の領域に分けられ、それぞれの領域には複数の前記端子が配置さ

50

れてもよい。

【0100】

上記構成によれば、例えば、セパレータによってユーザの指が複数の領域のそれぞれに配置された端子に触れないようにすることができる。

【0101】

また、他の構成では、前記セパレータは前記カートリッジのハウジングの一部であってもよい。

【0102】

上記構成によれば、低コストでセパレータを形成することができる。

【0103】

また、他の構成では、前記カートリッジは、データを記憶する記憶媒体を挿入するための挿入口を備えてもよい。

【0104】

上記構成によれば、カートリッジに外部の記憶媒体を着脱可能に挿入することができ、ゲーム装置が当該外部の記憶媒体からデータを読み取ったり、ゲーム装置が当該外部の記憶媒体にデータを書き込んだりすることができる。例えば、カートリッジに着脱可能に挿入される外部の記憶媒体としては、汎用の記憶媒体が用いられてもよい。

【0105】

また、本発明の他の一例は、先端および後端を有し、前記先端側からゲーム装置のカートリッジ挿入口に挿入することによって当該ゲーム装置と接続可能なカートリッジである。前記カートリッジは、前記カートリッジ挿入口内に設けられた前記ゲーム装置の端子と電氣的に接続される複数の端子を備える。前記カートリッジが前記カートリッジ挿入口に挿抜される方向を第1方向とした場合、前記複数の端子は、前記第1方向に並ぶ第2データ入出力端子及び第1データ入出力端子を含む。前記第1データ入出力端子は、前記第2データ入出力端子よりも前記カートリッジの先端の近くに配置される。前記ゲーム装置の前記カートリッジ挿入口内には、第1端子および第2端子が設けられる。前記カートリッジが前記カートリッジ挿入口に挿入されて前記ゲーム装置と接続された場合、前記第1データ入出力端子は前記ゲーム装置の前記第1端子と接続され、前記第2データ入出力端子は前記ゲーム装置の前記第2端子と接続される。前記カートリッジが前記カートリッジ挿入口に挿入される過程で前記ゲーム装置の前記第2端子が前記第1データ入出力端子に接触するように、前記第1データ入出力端子が配置される。

【0106】

上記構成によれば、カートリッジはその先端からカートリッジ挿入口に挿入される。第2データ入出力端子と第1データ入出力端子とは第1方向に並んで配置され、第1データ入出力端子は、第2データ入出力端子よりもカートリッジの先端の近くに配置される。カートリッジがゲーム装置のカートリッジ挿入口に挿入される過程では、ゲーム装置の第2端子がカートリッジの第1データ入出力端子と接触し、さらにカートリッジが奥に挿入されると、ゲーム装置の第2端子が第2データ入出力端子と接触するようになる。すなわち、第1データ入出力端子と第2データ入出力端子とは第2方向に実質的にずれていない。このため、カートリッジの第2方向における長さを短くすることができる。

【0107】

また、他の構成では、前記第1データ入出力端子及び前記第2データ入出力端子は、前記第2データ入出力端子を前記第1データ入出力端子の位置まで前記第1方向に移動させた場合に当該2つの端子が少なくとも一部において重なるように配置されてもよい。

【0108】

上記構成によれば、第1データ入出力端子および第2データ入出力端子は実質的に第2方向にずれていない。このため、カートリッジの第2方向における長さを短くすることができる。

【0109】

また、他の構成では、前記第1方向と垂直な方向を第2方向とした場合、前記第1デー

10

20

30

40

50

タ入出力端子及び前記第2データ入出力端子の前記第2方向の隣には、チップイネーブル端子又は電源端子が設けられてもよい。

【0110】

上記構成によれば、電圧の変化の頻度が高いデータ入出力端子の第2方向の隣に、電圧の変化の頻度が低いチップイネーブル端子又は電源端子が配置されるため、データ入出力端子はノイズの影響を受け難い。また、隣にチップイネーブル端子又は電源端子が配置されるため、データ入出力端子が周囲に及ぼす影響を低減することができる。

【0111】

また、本発明の他の一例は、先端および後端を有し、前記先端側からゲーム装置のカートリッジ挿入口に挿入することによって当該ゲーム装置と接続可能なカートリッジである。前記カートリッジは、前記カートリッジ挿入口内に設けられた前記ゲーム装置の端子と電氣的に接続される複数の端子を備える。前記複数の端子は、前記ゲーム装置からのクロック信号を入力するためのクロック端子と前記ゲーム装置にストロープ信号を出力するためのストロープ端子とを含む。前記カートリッジが前記カートリッジ挿入口に挿抜される方向を第1方向とした場合、前記ストロープ端子および前記クロック端子は、前記第1方向に並んで配置される。前記クロック端子は、前記ストロープ端子よりも前記カートリッジの先端の近くに配置される。

【0112】

上記構成によれば、カートリッジはその先端からカートリッジ挿入口に挿入される。ストロープ端子（出力端子）とクロック端子（入力端子）とが第1方向に並んで配置され、クロック端子は、ストロープ端子よりもカートリッジの先端近くに配置される。このため、例えば、カートリッジをゲーム装置から抜く際に、カートリッジ側の出力端子（カートリッジ側のストロープ端子）とゲーム装置側の出力端子（ゲーム装置側のクロック端子）とが接触することはなく、より安全にカートリッジをゲーム装置から抜き取ることができる。

【0113】

また、他の構成では、前記クロック端子およびストロープ端子は、前記ストロープ端子を前記第1方向に前記クロック端子の位置まで移動させた場合に当該2つの端子が少なくとも一部において重なるように配置されてもよい。

【0114】

上記構成によれば、クロック端子およびストロープ端子は第2方向に実質的にずれていない。このため、カートリッジの第2方向における長さを短くすることができる。

【0115】

また、他の構成では、前記ゲーム装置は、前記第1方向に並んだストロープ端子およびクロック端子を含む。前記カートリッジが前記カートリッジ挿入口に挿入されて前記ゲーム装置と接続された場合、前記カートリッジのストロープ端子は前記ゲーム装置のストロープ端子と接続され、前記カートリッジのクロック端子は前記ゲーム装置のクロック端子と接続される。前記カートリッジが前記カートリッジ挿入口に挿入される過程で前記ゲーム装置の前記ストロープ端子が前記カートリッジのクロック端子に接触するように、前記クロック端子が配置されてもよい。

【0116】

上記構成によれば、カートリッジをゲーム装置のカートリッジ挿入口に挿入する過程で、ゲーム装置側のストロープ端子が通過する経路上にカートリッジ側のクロック端子がある。すなわち、クロック端子およびストロープ端子は第2方向に実質的にずれていないため、カートリッジの第2方向における長さを短くすることができる。

【0117】

また、他の構成では、前記第1方向と垂直な方向を第2方向とした場合、前記クロック端子および前記ストロープ端子の前記第2方向の隣には、グランド端子が設けられてもよい。

【0118】

上記構成によれば、クロック端子およびストローク端子の隣にグランド端子を配置することにより、クロック端子およびストローク端子はノイズの影響を受け難い。また、クロック端子およびストローク端子が周囲に与える影響を低減することができる。

【0119】

また、本発明の他の一例は、先端および後端を有し、前記先端側からゲーム装置のカートリッジ挿入口に挿入することによって当該ゲーム装置と接続可能なカートリッジである。前記カートリッジは、前記カートリッジ挿入口内に設けられた前記ゲーム装置の端子と電氣的に接続される複数の端子を備える。前記カートリッジが前記カートリッジ挿入口に挿抜される方向を第1方向とし当該第1方向に垂直な方向を第2方向とした場合、前記カートリッジの前記複数の端子は、少なくとも4つの短端子と前記第1方向の長さが前記短端子よりも長い長端子とを含む。前記4つの短端子は、前記第1方向に並ぶ2つの短端子からなる第1組の短端子と、当該第1組の短端子とは前記第2方向における位置が異なる、前記第1方向に並ぶ2つの短端子からなる第2組の短端子と、を構成する。前記長端子は、前記第1組の短端子と前記第2組の短端子との間に配置される。前記4つの短端子を前記第2方向に前記長端子の位置まで移動させた場合に、移動後の前記4つの短端子のそれぞれは、少なくともその一部において前記長端子と重なる。前記長端子は電源端子又はチップイネーブル端子であり、前記短端子は、前記長端子よりも電圧の変化の頻度が高い端子である。

10

【0120】

上記構成によれば、第1方向に並ぶ2つの短端子からなる組が少なくとも2組設けられ、2組の短端子の間には長端子が設けられる。短端子は電圧の変化の頻度が高い端子であり、長端子は電圧の変化の低い電源端子又はチップイネーブル端子である。これにより、例えば、長端子の第2方向の隣にある短端子にノイズが入ることを防止することができる。また、隣に設けられた長端子によって2つの短端子が周囲に及ぼす影響を低減することができる。

20

【0121】

また、他の構成では、前記4つの短端子は、データ入出力端子であり、前記長端子は電源端子であってもよい。

【0122】

上記構成によれば、データ入出力端子の隣に電圧の変化の頻度が低い電源端子が設けられるため、データ入出力端子は電源端子からのノイズの影響を受け難い。また、隣に設けられた電源端子によって、データ入出力端子が周囲に及ぼす影響を低減することができる。

30

【0123】

また、他の構成では、前記第1組の短端子は、前記第1方向に並ぶクロック端子及びストローク端子であってもよい。前記第2組の短端子は、前記第1方向に並ぶ2つのデータ入出力端子であってもよい。前記長端子はチップイネーブル端子であってもよい。

【0124】

上記構成によれば、クロック端子及びストローク端子の隣に電圧の変化の頻度が低いチップイネーブル端子が設けられるため、クロック端子及びストローク端子はチップイネーブル端子からのノイズの影響を受け難い。また、チップイネーブル端子によって、例えば2つのデータ入出力端子が周囲に及ぼす影響を低減することができる。

40

【0125】

また、他の構成では、前記クロック端子は、前記ストローク端子よりも前記カートリッジの先端の近くに配置されてもよい。

【0126】

上記構成によれば、クロック端子（入力端子）とストローク端子（出力端子）とが第1方向に並んで配置され、クロック端子はカートリッジ挿入口に最初に挿入される側に配置される。このため、例えば、カートリッジをゲーム装置から抜く際に、カートリッジ側の出力端子（カートリッジ側のストローク端子）とゲーム装置側の出力端子（ゲーム装置側のクロック端子）とが接触することはなく、より安全にカートリッジをゲーム装置から抜

50

き取ることができる。

【0127】

また、本発明の他の一例は、ゲーム装置のカートリッジ挿入口に挿入することによって当該ゲーム装置と接続可能なカートリッジである。前記ゲーム装置と電氣的に接続可能な少なくとも1つの第1端子と、前記ゲーム装置と電氣的に接続可能な少なくとも1つの第2端子と、を備える。前記第1端子は、電源端子を含む。前記第2端子は、データ入出力端子を含む。前記第1端子及び前記第2端子は所定方向に交互に並んで配置される。

【0128】

上記構成によれば、第1端子としての電源端子と、第2端子としてのデータ入出力端子とが所定方向に交互に並んで配置される。このため、例えばデータ入出力端子が所定方向に並んで配置される場合よりも、データ入出力端子はノイズの影響を受け難い。また、データ入出力端子が周囲に及ぼす影響を低減することができる。

10

【0129】

また、他の構成では、前記第2端子は、複数のデータ入出力端子を含んでもよい。前記第1端子及び前記複数のデータ入出力端子は所定方向に交互に並んで配置されてもよい。

【0130】

また、他の構成では、前記第1端子は、複数の電源端子を含んでもよい。前記複数の電源端子及び前記複数のデータ入出力端子は所定方向に交互に並んで配置されてもよい。

【0131】

また、他の構成では、前記第1端子はチップイネーブル端子を含んでもよい。前記第2端子はクロック端子又はストロープ端子を含んでもよい。前記第1端子及び前記第2端子は所定方向に交互に並んで配置されてもよい。

20

【0132】

上記構成によれば、第1端子（電源端子、チップイネーブル端子）と、第2端子（データ入出力端子、クロック端子、ストロープ端子）とが交互に並んで配置されるため、第2端子はノイズの影響を受け難い。また、第2端子が周囲に及ぼす影響を低減することができる。

【0133】

また、他の構成では、前記第1端子はグランド端子を含んでもよい。前記第1端子及び前記第2端子は所定方向に交互に並んで配置されてもよい。

30

【0134】

上記構成によれば、第1端子（電源端子、チップイネーブル端子、グランド端子）と、第2端子（データ入出力端子、クロック端子、ストロープ端子）とが交互に並んで配置されるため、第2端子はノイズの影響を受け難い。また、第2端子が周囲に及ぼす影響を低減することができる。

【0135】

また、他の構成では、前記第2端子は、前記所定方向と垂直な第1方向に並んで配置されたストロープ端子およびクロック端子を含んでもよい。前記第1方向は、ユーザが前記カートリッジを前記カートリッジ挿入口に挿入する方向であり、前記クロック端子は、前記カートリッジが前記カートリッジ挿入口に挿入される際に、前記カートリッジが前記カートリッジ挿入口に最初に挿入される側に配置されてもよい。

40

【0136】

上記構成によれば、第2端子（データ入出力端子、クロック端子、ストロープ端子）はノイズの影響を受け難い。また、第2端子が周囲に及ぼす影響を低減することができる。また、クロック端子（入力端子）とストロープ端子（出力端子）とが第1方向に並んで配置され、クロック端子はカートリッジ挿入口に最初に挿入される側に配置される。このため、例えば、カートリッジをゲーム装置から抜く際に、カートリッジ側の出力端子（カートリッジ側のストロープ端子）とゲーム装置側の出力端子（ゲーム装置側のクロック端子）とが接触することはなく、より安全にカートリッジをゲーム装置から抜き取ることができる。

50

【0137】

また、他の構成では、前記所定方向における一方端部にはリセット端子が配置されてもよい。前記第1端子は、グランド端子、チップイネーブル端子、第1電源端子、および第2電源端子を含んでもよい。前記第2端子は、ストロブ端子、および複数のデータ入出力端子を含んでもよい。前記第1端子及び前記第2端子は前記所定方向における他方端部から前記一方端部に向かって交互に並んで配置されてもよい。前記他方端部から前記一方端部に向かって交互に配置された前記第2端子のさらに前記一方端部側の隣には、データ入出力端子がさらに配置され、当該データ入出力端子の前記一方端部側には前記リセット端子が配置されてもよい。

【0138】

上記構成によれば、第1端子と第2端子とが他方端部から一方端部に向かって交互に並び、さらにその隣には、データ入出力端子が配置され、さらに一方端部側にはリセット端子が設けられる。リセット端子が一方端部に設けられるため、リセット端子に不要な信号が入り難くすることができる。

【0139】

また、他の構成では、前記他方端部から前記一方端部に向かって交互に配置された前記第2端子のさらに前記一方端部側の隣に配置されるデータ入出力端子と前記リセット端子との間には、グランド端子が配置されてもよい。

【0140】

また、本発明の他の一例では、ゲーム装置のカートリッジ挿入口に挿入することによって当該ゲーム装置と接続可能なカートリッジである。前記ゲーム装置と電氣的に接続可能な複数の第1端子と、前記ゲーム装置と電氣的に接続可能な複数の第2端子と、を備える。前記複数の第1端子は、少なくとも1つの電源端子と、少なくとも1つのグランド端子とを含む。前記複数の第2端子は、少なくとも1つのデータ入出力端子と、クロック端子と、ストロブ端子とを含む。前記第1端子と前記第2端子とを含む端子密集領域が複数設けられる。前記複数の端子密集領域は所定方向に並んで配置される。前記端子密集領域間の前記所定方向の距離は、各端子密集領域内の前記第1端子と前記第2端子との前記所定方向における距離よりも長い。

【0141】

上記構成によれば、第1端子と、第2端子とを含む端子密集領域が複数配置される。第1端子は、電源端子又はグランド端子であり、データ入出力端子、クロック端子、又はストロブ端子である。このような第1端子と第2端子とが近接しているため、第2端子はノイズの影響を受け難く、第2端子が周囲に及ぼす影響を低減することができる。また、端子密集領域間には間隙が設けられるため、端子密集領域間で影響を与え難くすることができる。

【0142】

また、他の構成では、前記端子密集領域間には、前記第1端子又は前記第2端子と接続された導線が設けられてもよい。

【0143】

上記構成によれば、端子密集領域間の間隙に導線を配置することができる。

【0144】

また、他の構成では、前記カートリッジは、前記端子密集領域間に位置する少なくとも1つのセパレータを備えてもよい。

【0145】

上記構成によれば、セパレータによって端子密集領域間の間隙を覆うことができ、例えば、ユーザの指が端子に触れ難くすることができる。また、端子密集領域間の間隙に導線が配置される場合は、当該導線をセパレータによって保護することができる。

【0146】

また、他の構成では、前記複数の端子密集領域は、隣り合う第1の端子密集領域と第2の端子密集領域とを含んでもよい。前記第1の端子密集領域内のデータ入出力端子と、前

10

20

30

40

50

記第 2 の端子密集領域内のデータ入出力端子は、隣り合ってもよい。

【0147】

上記構成によれば、第 1 の端子密集領域内のデータ入出力端子と、第 2 の端子密集領域内のデータ入出力端子とが隣り合っている間には、間隙が設けられるため、これらのデータ入出力端子の間で互いに影響を及ぼし難くすることができる。

【0148】

また、他の構成では、前記第 1 の端子密集領域と前記第 2 の端子密集領域との間には、前記第 1 の端子密集領域内の前記データ入出力端子からの導線と前記第 2 の端子密集領域内の前記データ入出力端子からの導線とが設けられてもよい。

【0149】

上記構成によれば、第 1 の端子密集領域と第 2 の端子密集領域との間の間隙に、各端子密集領域内のデータ入出力端子の導線を配置することで、間隙の数を減らすことができ、カートリッジの幅を狭くすることができる。

【0150】

また、本発明の他の一例は、ゲーム装置のカートリッジ挿入口に挿入することによって当該ゲーム装置と接続可能なカートリッジである。前記カートリッジには、前記カートリッジ挿入口内に設けられた前記ゲーム装置の端子と電気的に接続される複数の端子が配置された端子配置領域が設けられる。ユーザが前記カートリッジを前記カートリッジ挿入口に挿入する方向を第 1 方向とし当該第 1 方向と垂直な方向を第 2 方向とした場合、前記端子配置領域の一部の領域において、前記第 1 方向に 1 つだけ配置された第 1 端子と前記第 1 方向に 2 つ並んで配置された第 2 端子とが、前記第 2 方向に交互に配置される。

【0151】

上記構成によれば、1 本の端子と第 1 方向に並んだ 2 本の端子とが、端子配置領域の一部の領域において第 2 方向に交互に配置される。第 1 方向に 2 本の端子を並べることにより、第 2 方向の長さを短くすることができる。

【0152】

また、他の構成では、前記第 1 端子は、電源端子、グランド端子、チップイネーブル端子の何れかであり、前記第 2 端子は、データ入出力端子、ストローク端子、クロック端子の何れかであってもよい。

【0153】

上記構成によれば、電圧の変化の頻度が低い第 1 端子（電源端子、グランド端子、チップイネーブル端子）と、電圧の変化の頻度が高い第 2 端子（データ入出力端子、ストローク端子、クロック端子）とを交互に並べることで、第 2 端子（データ入出力端子、クロック端子、ストローク端子）に対するノイズを低減することができる。また、第 2 端子が周囲に及ぼす影響を低減することができる。

【0154】

また、他の構成では、前記端子配置領域の一部の領域において、前記第 1 端子および前記第 2 端子により構成される端子群が、前記第 2 方向に 4 つ設けられてもよい。

【0155】

また、他の構成では、前記第 2 方向は、前記端子配置領域の一方端から他方端に向かう方向であり、前記端子配置領域の一部の領域には、前記一方端から他方端に向かって順に、前記第 1 端子、前記第 2 端子、前記第 1 端子、前記第 2 端子、前記第 1 端子、前記第 2 端子、前記第 1 端子、前記第 2 端子が配置されてもよい。前記端子配置領域の一部の領域における最も他方端側に位置する前記第 2 端子のさらに前記他方端側には、前記一方端から他方端に向かって順に、前記第 2 端子、前記第 1 端子、前記第 1 端子が配置されてもよい。

【発明の効果】

【0156】

本発明によれば、例えばカートリッジの幅を短くすることができる。

【図面の簡単な説明】

【 0 1 5 7 】

【図 1 A】カートリッジ 1 の表面から見た外観斜視図

【図 1 B】カートリッジ 1 の裏面から見た外観斜視図

【図 2】カートリッジ 1 の裏面の外観図

【図 3】カートリッジ 1 の内部構成を示すブロック図

【図 4】カートリッジ 1 が情報処理装置 5 0 に接続される様子を示す図

【図 5】カートリッジ 1 に設けられた端子 T 1 ～ T 1 6 の詳細を示す図

【図 6】カートリッジ 1 の各端子の用途を説明するための図

【図 7】端子 T 1、T 2、T 3 を抜き出した図であり、各端子の配置を説明するための図

【図 8 A】端子 T 1 が、端子 T 2 の上下方向の一部においてその横方向の隣に存在し、かつ、端子 T 3 の上下方向の一部においてその横方向の隣に存在する場合の一例を示す図

10

【図 8 B】端子 T 1 が、端子 T 2 の上下方向の全部にわたってその横方向の隣に存在し、かつ、端子 T 3 の上下方向の全部にわたってその横方向の隣に存在する場合の一例を示す図

【図 8 C】端子 T 1 が、端子 T 2 の上下方向の全部にわたってその横方向の隣に存在し、かつ、端子 T 3 の上下方向の全部にわたってその横方向の隣に存在しない場合の一例を示す図

【図 8 D】端子 T 1 が、端子 T 2 の上下方向の全部にわたってその横方向の隣に存在せず、かつ、端子 T 3 の上下方向の全部にわたってその横方向の隣に存在しない場合の一例を示す図

【図 9】カートリッジ 1 が情報処理装置 5 0 に接続されてからデータ通信が行われるまでの各端子の電圧の状態の一例を示す図

20

【図 1 0】端子の間隔および各端子の下端の位置を説明するための図

【図 1 1】情報処理装置 5 0（本体）側のピンの配置を示す図

【図 1 2】本体側のカートリッジ収納部 5 1 にカートリッジ 1 を収納したときの本体側のピンとカートリッジ 1 側の端子との接続状態を示す図

【図 1 3】カートリッジ 1 を情報処理装置 5 0 のカートリッジ挿入口に挿入した場合に、カートリッジ 1 の端子が最初に本体側のピンと接触する様子を示した図

【図 1 4】カートリッジ 1 が図 1 3 の状態からさらに奥に（下方に）挿入されたときの各端子の状態を示す図

【図 1 5】カートリッジ 1 が図 1 4 の状態からさらに奥に（下方に）挿入されたときの各端子の状態を示す図

30

【図 1 6】カートリッジ 1 が図 1 5 の状態からさらに奥に（下方に）挿入されたときの各端子の状態を示す図

【図 1 7】カートリッジ 1 が図 1 6 の状態からさらに奥に（下方に）挿入されたときの各端子の状態を示す図

【図 1 8】カートリッジ 1 が図 1 7 の状態からさらに奥に（下方に）挿入されたときの各端子の状態を示す図

【図 1 9】カートリッジ 1 の基板 1 2 上に形成された導線を示す図

【図 2 0】基板 1 2 をハウジング 1 1 に収納したときのカートリッジ 1 の一部を拡大した図

【図 2 1】他の実施形態における端子の形状の一例を示す図

40

【図 2 2】他の実施形態における端子の形状の一例を示す図

【図 2 3】他の実施形態における端子の形状の一例を示す図

【図 2 4】他の実施形態における端子の形状の一例を示す図

【図 2 5】他の実施形態における端子の形状の一例を示す図

【図 2 6】他の実施形態における端子の形状の一例を示す図

【図 2 7】他の実施形態における端子の形状の一例を示す図

【図 2 8】他の実施形態における端子の形状の一例を示す図

【図 2 9】他の実施形態における端子の形状の一例を示す図

【図 3 0】他の実施形態における端子の形状の一例を示す図

【図 3 1】他の実施形態における端子の形状の一例を示す図

50

【図 3 2】不揮発性メモリ 1 3 がカートリッジ 1 に着脱可能に接続される構成の例を示す図
【図 3 3】不揮発性メモリ 1 3 がカートリッジ 1 に着脱可能に接続される構成の例を示す図
【発明を実施するための形態】
【0158】

以下、図面を参照して、一実施形態に係るカートリッジ（例えば、メモリカード）について説明する。図 1 A 及び図 1 B は、本実施形態のカートリッジ 1 の外観斜視図である。図 1 A はカートリッジ 1 の表面から見た外観斜視図であり、図 1 B はカートリッジ 1 の裏面から見た外観斜視図である。図 2 は、カートリッジ 1 の裏面の外観図である。図 3 は、カートリッジ 1 の内部構成を示すブロック図である。

【0159】

図 1 A、図 1 B および図 2 に示すように、カートリッジ 1 は、樹脂等で形成されたハウジング 1 1 内に基板 1 2 を収納して構成される。カートリッジ 1 は、例えば、縦が約 3 1 . 1 mm、横が約 2 1 . 4 mm、厚さが約 3 . 4 mm で形成される。なお、カートリッジ 1 のサイズは単なる一例でありこれに限られない。カートリッジ 1 は、先端および後端を有し、カートリッジ 1 の裏面における先端側の領域では、基板 1 2 の一部がハウジング 1 1 から露出され、当該露出された部分には複数の外部接続端子 T 1 ~ T 1 6 が設けられる。ハウジング 1 1 は 4 本のセパレータ 1 1 a を有し、当該セパレータ 1 1 a によって複数の外部接続端子 T 1 ~ T 1 6 が配置された端子配置領域が 5 つに分けられる。4 本のセパレータ 1 1 a は、ハウジング 1 1 の一部として形成される。ここで、本明細書では、カートリッジ 1 の先端は、図 2 におけるカートリッジ 1 の下端を意味するものとし、各端子 T 1 ~ T 1 6 の先端は、各端子の、カートリッジ 1 の先端（図 2 の下端）に近い方の端部を意味するものとする。

【0160】

図 3 に示すように、基板 1 2 には、データ（例えば、プログラム、画像データ、音声データ等）を記憶するための不揮発性メモリ 1 3 と、メモリ制御部 1 4 と、外部接続端子 T 1 ~ T 1 6 とが実装されている。不揮発性メモリ 1 3 は、読み取り専用のメモリであってもよいし、読み書き可能なメモリであってもよい。例えば、不揮発性メモリ 1 3 としてフラッシュメモリが用いられてもよい。メモリ制御部 1 4 は、不揮発性メモリ 1 3 に記憶されたデータの読み取りや書き込み等の制御を行う。例えば、メモリ制御部 1 4 は、情報処理装置からのコマンドに基づいて、不揮発性メモリ 1 3 からデータを読み取り、当該データを情報処理装置に出力する。また、不揮発性メモリ 1 3 が書き込み可能なメモリである場合は、メモリ制御部 1 4 は、情報処理装置から出力されたデータを不揮発性メモリ 1 3 に書き込むための制御を行う。また、メモリ制御部 1 4 は、データの暗号化・復号化の機能を有してもよい。例えば、メモリ制御部 1 4 は、不揮発性メモリ 1 3 にデータを書き込む場合、データを暗号化して、暗号化したデータを不揮発性メモリ 1 3 に書き込んでよい。また、メモリ制御部 1 4 は、不揮発性メモリ 1 3 からデータを読み取る場合、暗号化されたデータを不揮発性メモリ 1 3 から取得して復号化し、復号化したデータを情報処理装置に出力してもよい。

【0161】

カートリッジ 1 は、所定の情報処理装置に着脱自在に接続される。図 4 は、カートリッジ 1 が情報処理装置 5 0 に装着される様子を示す図である。

【0162】

情報処理装置 5 0 は、様々なアプリケーションを実行することが可能な装置であり、例えば携帯型のゲーム装置であってもよいし、据置型のゲーム装置であってもよい。なお、情報処理装置 5 0 は、ゲーム専用の装置に限らず、他の任意のアプリケーションを実行可能な装置であってもよい。情報処理装置 5 0 は、ゲームアプリケーションを実行可能であるとともに、他のアプリケーションを実行可能であってもよい。また、情報処理装置 5 0 は、ゲームアプリケーションを実行するものではなく、他のアプリケーションを実行可能な装置であってもよい。例えば、情報処理装置 5 0 は、携帯電話、スマートフォン、タブレット端末等であってもよい。情報処理装置 5 0 は、例えば、図示しない CPU と、RA

10

20

30

40

50

Mと、記憶装置（例えば不揮発性メモリや磁気ディスク等）と、表示装置と、入力ボタンと、タッチパネルと、通信装置とを備える。

【0163】

情報処理装置50は、図4に示すように、カートリッジ1を収納するためのカートリッジ収納部51を備える。例えば、情報処理装置50の上面には、カートリッジ1を挿入するためのカートリッジ挿入口が設けられ、当該カートリッジ挿入口からカートリッジ1が挿入されることにより、カートリッジ1がカートリッジ収納部51に収納される。カートリッジ1は、端子T1～T16が配置された側から情報処理装置50のカートリッジ挿入口に挿入される。すなわち、カートリッジ1は、その先端からカートリッジ挿入口に挿入される。ユーザは、端子T1～T16が配置された側を下にして図4の上から下に向かってカートリッジ1を情報処理装置50のカートリッジ挿入口に挿入する。

10

【0164】

情報処理装置50は、カートリッジ1の不揮発性メモリ13に記憶された所定のアプリケーションプログラム（例えば、ゲームプログラム）を読み取って実行することが可能である。所定のアプリケーションプログラムとしては、例えば、ゲームアプリケーション、動画や静止画を表示・撮影するためのアプリケーション、文書を作成・編集するためのアプリケーション、Webを閲覧するためのアプリケーション、Eメールを閲覧・送受信するためのアプリケーション等を実行するためのプログラム等であってもよい。

【0165】

図4に示すように、情報処理装置50（以下、「本体」ということがある）のカートリッジ収納部51には、カートリッジ1の外部接続端子T1～T16と電氣的に接続される本体側の端子P0～P16が設けられる。以下では、カートリッジ1側の外部接続端子T1～T16を「端子」と呼び、本体側の端子P0～P16を「ピン」と呼ぶことにする。

20

【0166】

次に、カートリッジ1の外部接続端子T1～T16の詳細について説明する。図5は、カートリッジ1に設けられた端子T1～T16の詳細を示す図である。図6は、カートリッジ1の各端子の用途を説明するための図である。

【0167】

図5は、基板12の一部を拡大した図である。図5では、ハウジング11のセパレータ11aや各端子T1～T16からの導線等は示されていない。ここで、図5の下方には情報処理装置50のカートリッジ挿入口があり、ユーザがカートリッジ1をカートリッジ挿入口に挿入する際には、図5の上から下に向かう方向（挿入方向）に挿入するものとする。すなわち、図5におけるカートリッジ1の下端が、カートリッジ1の先端である。以下では、カートリッジ1を情報処理装置50のカートリッジ挿入口に挿抜する方向を上下方向として、基板12上に配置された各外部接続端子（以下では、単に「端子」という）の位置関係を説明する。

30

【0168】

図5に示すように、基板12には、16個の端子T1～T16が配置された端子配置領域A（破線で囲まれた領域）が設けられる。端子配置領域Aは、下側領域（「第1領域」ともいう）と、当該下側領域の上方に位置する上側領域（「第2領域」ともいう）とに分けられる。下側領域は、端子配置領域Aをカートリッジ1の挿抜方向に2つに分けた場合（例えば、図5に示す上下に並ぶ2つの短い端子の間隙の間を通る破線で端子配置領域Aを分けた場合）に、最初にカートリッジ挿入口に挿入される側の領域であり、カートリッジ1の先端側の領域である。

40

【0169】

端子配置領域Aには、複数の端子を含む端子群（「端子密集領域」ともいう）が5つ形成される。具体的には、端子配置領域Aの最も左側には、端子群B1が設けられ、端子群B1の右側には端子群B2が設けられ、端子群B2の右側には端子群B3が設けられ、端子群B3の右側には端子群B4が設けられ、端子群B4の右側には端子群B5が設けられる。端子群B1は、上下方向に伸びた1本の長端子T1と、上下に並んだ2本の短端子（

50

T 2 及び T 3) とが右方向に並んで構成される。また、端子群 B 2 は、上下方向に伸びた 1 本の長端子 T 4 と、上下に並んだ 2 本の短端子 (T 5 及び T 6) とが右方向に並んで構成される。また、端子群 B 3 は、上下方向に伸びた 1 本の長端子 T 7 と、上下に並んだ 2 本の短端子 (T 8 及び T 9) とが右方向に並んで構成される。また、端子群 B 4 は、上下方向に伸びた 1 本の長端子 T 10 と、上下に並んだ 2 本の短端子 (T 11 及び T 12) とが右方向に並んで構成される。また、端子群 B 5 は、上下に並んだ 2 本の短端子 (T 13 及び T 14) と、上下方向に伸びた 1 本の長端子 T 15 と、上下方向に伸びた 1 本の長端子 T 16 とが右方向に並んで構成される。以下、各端子について具体的に説明する。

【0170】

端子配置領域 A の左端には、端子 T 1 が設けられる。端子 T 1 は、端子配置領域 A における上側領域と下側領域とを跨ぐようにして形成され、上下方向に伸びるように形成される。

10

【0171】

端子 T 1 は、図 6 に示すように、グランド端子である。端子 T 1 は、情報処理装置 50 のグランドピンと接続されることでグランドされる。また、端子 T 1 は、情報処理装置 50 がカートリッジ 1 を検出するための検出端子も兼ねる。なお、グランド端子と検出端子とを兼ねる端子 T 1 を、図では「GND / DET」と表記する。端子 T 1 は、後述するクロック端子やストローク端子、データ入出力端子のように高周波信号が流れる端子ではない。すなわち、端子 T 1 は、情報処理装置 50 のグランドピンに接続されている間、相対的に電圧の変化の頻度が低い端子である。例えば、端子 T 1 は、電圧が略一定 (例えば、0 V) であってもよい。なお、グランド端子 T 1 は、相対的に電圧が低い値であれば 0 V である必要はない。

20

【0172】

端子 T 1 の右側近傍には、端子 T 2 及び端子 T 3 が設けられる。端子 T 2 は上側領域に設けられ、端子 T 3 は下側領域に設けられる。端子 T 2 及び端子 T 3 は、上下に並んで配置され、横方向の位置が一致している。すなわち、端子 T 2 の位置から上下方向に伸びる直線上に端子 T 3 が配置され、端子 T 2 を端子 T 3 の位置まで下方向に移動させた場合、移動後の端子 T 2 と端子 T 3 とは少なくとも一部において重なる。

【0173】

端子 T 2 は、図 6 に示すように、ストローク信号を出力するための端子 (ストローク端子) である。端子 T 3 は、クロック信号を入力するための端子 (クロック端子) である。図では、ストローク端子を「DQS」、クロック端子を「CLK」とそれぞれ表記する。カートリッジ 1 が情報処理装置 50 と正常に接続されている場合 (カートリッジ 1 の各端子が本体側の各ピンとそれぞれ電気的に接続されている場合)、情報処理装置 50 からのクロック信号がクロック端子 T 3 に入力される。また、カートリッジ 1 が情報処理装置 50 と正常に接続されている場合、ストローク信号がストローク端子 T 2 から情報処理装置 50 に出力される。

30

【0174】

クロック信号は、本体がデータ入出力端子を介してカートリッジ 1 からデータを受信したり、本体がデータ入出力端子を介してカートリッジ 1 にデータを送信したりするために用いられる信号である。クロック信号は、周期的に高電圧の状態と低電圧の状態とに変化する信号であり、高周波信号である。このクロック信号の切り替わりのタイミング (換言すれば、低電圧と高電圧とが切り替わるタイミング) におけるデータ入出力端子の電圧の状態によって、データ入出力端子にどのようなデータ (「0」か「1」) が流れているかが判定される。すなわち、クロック端子 T 3 は、高周波信号が流れる端子であり、電圧の変化の頻度が高い端子である。

40

【0175】

ストローク信号は、クロック信号の補助をするための信号である。ストローク信号は、カートリッジ 1 から出力される信号であってクロック信号と同様の波形を有する信号であり、クロック信号よりも遅れた信号である。本体が出力するクロック信号と、カートリッ

50

ジ 1 の不揮発性メモリ 1 3 から出力されカートリッジ 1 内の回路を通して本体に入力される信号とでは、タイミングにずれが発生する。本体側では、このずれがどの程度あるかを判定するためにストロブ信号が用いられる。ストロブ端子 T 2 もクロック端子 T 3 と同様に、高周波信号が流れる端子であり、電圧の変化の頻度が高い端子である。

【 0 1 7 6 】

端子 T 2 及び端子 T 3 の右側には、端子 T 4 が設けられる。端子 T 4 は、端子配置領域 A における上側領域と下側領域とを跨ぐようにして形成され、上下方向に伸びるように形成される。

【 0 1 7 7 】

端子 T 4 は、図 6 に示すように、チップイネーブル端子である。図では、チップイネーブル端子を「CEB」と表記する。チップイネーブル端子は、データの入出力を行うか否かを選択するためのチップイネーブル信号を入力するための端子である。カートリッジ 1 と情報処理装置 5 0 との間でデータ通信（例えば、画像データや音声データ等の入出力、コマンドの入出力）が行われない間、チップイネーブル端子 T 4 は高電圧の状態に維持される。一方、カートリッジ 1 と情報処理装置 5 0 との間でデータ通信が行われる間、チップイネーブル端子 T 4 は低電圧の状態に維持される。すなわち、チップイネーブル端子 T 4 は、上記クロック端子 T 3 やストロブ端子 T 2、および、後述するデータ入出力端子のように高周波信号が流れる端子ではなく、電圧の変化の頻度が低い端子といえる。なお、上記とは逆に、カートリッジ 1 と情報処理装置 5 0 との間でデータ通信が行われない間は、チップイネーブル端子 T 4 は低電圧の状態に維持され、カートリッジ 1 と情報処理装置 5 0 との間でデータ通信が行われる間は、チップイネーブル端子 T 4 は高電圧の状態に維持されてもよい。

【 0 1 7 8 】

端子 T 4 の右側近傍には、端子 T 5 及び端子 T 6 が設けられる。端子 T 5 は上側領域に設けられ、端子 T 6 は下側領域に設けられる。端子 T 5 及び端子 T 6 は、上下に並んで配置され、横方向の位置が一致している。すなわち、端子 T 5 の位置から上下方向に伸びる直線上に、端子 T 6 が配置され、端子 T 5 を端子 T 6 の位置まで下方向に移動させた場合、移動後の端子 T 5 と端子 T 6 とは少なくとも一部において重なる。

【 0 1 7 9 】

図 6 に示すように、端子 T 5 及び端子 T 6 は、データ入出力端子である。図ではデータ入出力端子を「IO」と表記する。データ入出力端子は、あるタイミングでは、カートリッジ 1 にデータを入力するためのデータ入力端子として機能し、別のタイミングでは、カートリッジ 1 からデータを出力するためのデータ出力端子として機能する。

【 0 1 8 0 】

具体的には、データ入出力端子は、データ通信が開始される前は、入力状態となっている。例えば、本体がカートリッジ 1 の不揮発性メモリ 1 3 に記憶されたデータを読み取る場合、本体からデータ読み取りのためのコマンドが、データ入出力端子から入力される。このとき、データ入出力端子は入力状態となっているため、当該コマンドが入力される。当該コマンドが入力されると、メモリ制御部 1 4 はデータ入出力端子を出力状態に切り替える。そして、メモリ制御部 1 4 は不揮発性メモリ 1 3 に記憶されたデータを読み出して、データ入出力端子から出力する。データの読み取りが終了すると、メモリ制御部 1 4 は、データ入出力端子を入力状態に戻す。

【 0 1 8 1 】

データ入出力端子を介したデータ通信は、比較的高速で行われ、データやコマンドの入出力の際には、データ入出力端子に高周波信号が流れる。すなわち、データ入出力端子は、電圧の変化の頻度が高い端子といえる。

【 0 1 8 2 】

端子 T 5 及び端子 T 6 の右側には、端子 T 7 が設けられる。端子 T 7 は、端子配置領域 A における上側領域と下側領域とを跨ぐようにして形成され、上下方向に伸びるように形成される。

【0183】

端子T7は、メモリ制御部用の電源端子（図では「Vcc」と表記する）である。カートリッジ1が本体と電氣的に接続された場合には、本体から端子T7に電源が供給され、当該電源によってカートリッジ1のメモリ制御部14が動作する。本体から端子T7に供給される電源の電圧は、約3.1Vである。この本体から端子T7に供給される電源の電圧は略一定である。すなわち、電源端子T7は、クロック端子やストロブ端子、データ入出力端子のように高周波信号が流れる端子ではなく、電圧の変化の頻度が低い端子であるといえる。

【0184】

端子T7の右側近傍には、データ入出力端子としての端子T8及び端子T9が設けられる。端子T8は上側領域に設けられ、端子T9は下側領域に設けられる。端子T8及び端子T9は、上下に並んで配置される。具体的には、端子T8及び端子T9は、横方向の位置が一致している。すなわち、端子T8の位置から上下方向に伸びる直線上に、端子T9が配置され、端子T8を端子T9の位置まで下方向に移動させた場合、移動後の端子T8と端子T9とは少なくとも一部において重なる。

10

【0185】

端子T8及び端子T9の右側には、端子T10が設けられる。端子T10は、端子配置領域Aにおける上側領域と下側領域とを跨ぐようにして形成され、上下方向に伸びるように形成される。

【0186】

端子T10は、データ入出力用の電源端子（図では「Vccio」と表記する）である。カートリッジ1が本体と電氣的に接続された場合には、本体からデータ入出力用の電源が端子T10に供給される。このデータ入出力用の電源によってデータ入出力端子に電源が供給され、当該データ入出力端子を介して本体とカートリッジ1との間でデータ通信が行われる。本体から端子T10に供給される電源の電圧は、約1.8Vである。この本体から端子T10に供給される電源の電圧は略一定である。すなわち、電源端子T10は、クロック端子やストロブ端子、データ入出力端子のように高周波信号が流れる端子ではなく、電圧の変化の頻度が低い端子といえる。

20

【0187】

端子T10の右側近傍には、データ入出力端子としての端子T11及び端子T12が設けられる。端子T11は上側領域に設けられ、端子T12は下側領域に設けられる。端子T11及び端子T12は、上下に並んで配置される。具体的には、端子T11及び端子T12は、横方向の位置が一致している。すなわち、端子T11の位置から上下方向に伸びる直線上に、端子T12が配置され、端子T11を端子T12の位置まで下方向に移動させた場合、移動後の端子T11と端子T12とは少なくとも一部において重なる。

30

【0188】

端子T11及び端子T12の右側には、データ入出力端子としての端子T13及び端子T14が設けられる。端子T13は上側領域に設けられ、端子T14は下側領域に設けられる。端子T13及び端子T14は、上下に並んで配置される。具体的には、端子T13及び端子T14は、横方向の位置が一致している。すなわち、端子T13の位置から上下方向に伸びる直線上に、端子T14が配置され、端子T13を端子T14の位置まで下方向に移動させた場合、移動後の端子T13と端子T14とは少なくとも一部において重なる。

40

【0189】

ここで、8つのデータ入出力端子（端子T5、T6、T8、T9、T11～T14）は、実質的に、あるタイミングでは全て入力状態であり、別のタイミングでは全て出力状態となる。すなわち、あるタイミングにおいて、8つのデータ入出力端子のうちの一部が入力状態となってデータの入力を行う一方で、別の一部が出力状態となってデータの出力を行うことはない。なお、「あるタイミングでは全て入力状態であり、別のタイミングでは全て出力状態となる」とは、8つのデータ入出力端子の入力状態又は出力状態の切り替え

50

タイミングが完全に一致することを意味するものではなく、8つのデータ入出力端子が実質的に同じタイミングで切り替わるのであれば、各データ入出力端子の切り替えのタイミングは完全に一致しなくてもよい。

【0190】

端子T13及び端子T14の右側近傍には、端子T15が設けられる。端子T15は、端子配置領域Aにおける上側領域と下側領域とを跨ぐようにして設けられ、上下方向に伸びるように形成される。

【0191】

端子T15は、グランド端子（図では「GND」と表記する）である。端子T15が本体のグランドピンと接続されることでカートリッジ1はグランドされる。端子T15は、グランド端子であるため電圧が略一定（例えば、0V）である。すなわち、端子T15は、クロック端子やストロブ端子、データ入出力端子のように高周波信号が流れる端子ではなく、電圧の変化の頻度が低い端子といえる。

【0192】

端子T15の右側近傍には、端子T16が設けられる。端子T16は、端子配置領域Aにおける上側領域と下側領域とを跨ぐようにして設けられ、上下方向に伸びるように形成される。

【0193】

端子T16は、リセット信号を入力するためのリセット端子（図では「RES」と表記する）である。リセット信号がカートリッジ1に入力されると、カートリッジ1の各デバイス（メモリ制御部14等）が初期状態に戻される。具体的には、端子T16が低電圧となったときに、デバイスがリセットされる。そして、本体側がカートリッジ1を検知してから所定時間が経過すると、本体が端子T16を高電圧の状態にして、リセットが解除された状態となる。この状態になると、本体とカートリッジ1との間でデータ通信が可能となる。基本的に、本体とカートリッジ1とが電氣的に接続された後は、端子T16は、高電圧の状態（リセットが解除された状態）に維持される。このため、リセット端子T16は、クロック端子やストロブ端子、データ入出力端子のように高周波信号が流れる端子ではなく、電圧の変化の頻度が低い端子といえる。

【0194】

（各端子の配置の特徴の説明）

次に、各端子の配置の特徴について説明する。図5に示すように、上下に2つの端子が並んで配置され、上下に並んだ2つの端子は、左右方向にずれていない。このため、カートリッジ1の幅を狭くしつつ、データ入出力端子の数を多くすることができ、情報処理装置50との間で高速なデータ通信が可能となる。なお、上下に並んだ2つの端子の左右方向の位置は完全に一致していなくてもよく、例えば後述する図31の端子T2及びT3のように、上下に並んだ2つの端子は左右方向に若干ずれていてもよい。

【0195】

また、図5に示すように、クロック端子、ストロブ端子、データ入出力端子等の電圧の変化の頻度が高い端子の近傍には、グランド端子、チップイネーブル端子、電源端子等の電圧の変化の頻度が低い端子が配置される。具体的には、ストロブ端子T2およびクロック端子T3の左側近傍には、グランド兼検出端子T1が設けられる。端子T1は上側領域および下側領域を跨ぐように形成されており、端子T2の全部と端子T3の一部とに跨る長さで形成されている。

【0196】

図7は、端子T1、T2、T3を抜き出した図であり、各端子の配置を説明するための図である。カートリッジ1の上下方向（本体側カートリッジ挿入口へのカートリッジ1の挿抜方向）に並行な軸をy軸とし、カートリッジ1の左右方向に並行な軸をx軸として定義する。

【0197】

図7に示すように、端子T1の上端のy軸座標値は「y1」であり、端子T1の下端の

10

20

30

40

50

y 軸座標値は「y 4」である。また、端子 T 2 の上端の y 軸座標値は「y 1」であり、端子 T 2 の下端の y 軸座標値は「y 2」である。また、端子 T 3 の上端の y 軸座標値は「y 3」であり、端子 T 3 の下端の y 軸座標値は「y 5」である。

【0198】

端子 T 1 の y 軸方向の範囲は「y 1」～「y 4」であり、端子 T 2 の y 軸方向の範囲は「y 1」～「y 2」であり、端子 T 2 全体の y 軸方向の範囲は、端子 T 1 の y 軸方向の範囲に含まれる。また、端子 T 3 の y 軸方向の範囲は「y 3」～「y 5」であり、端子 T 3 のうちの一部（y 3～y 4 の部分）は、端子 T 1 の y 軸方向の範囲に含まれるが、端子 T 3 のうちの別の一部（y 4～y 5 の部分）は、端子 T 1 の y 軸方向の範囲に含まれない。

【0199】

すなわち、端子 T 1 は、端子 T 2 の上下方向における全体にわたってその横方向の隣に存在し、かつ、端子 T 3 の上下方向の一部においてその横方向の隣に存在する。例えば、端子 T 2 及び端子 T 3 を端子 T 1 の位置まで左方向に移動させた場合、移動後の端子 T 2 の全部は端子 T 1 と重なり、かつ、移動後の端子 T 3 の一部は端子 T 1 と重なる。なお、端子 T 2 及び端子 T 3 を端子 T 1 の位置まで左方向に移動させた場合、移動後の端子 T 2 の少なくとも一部は端子 T 1 と重なり、かつ、移動後の端子 T 3 の少なくとも一部は端子 T 1 と重なってもよい。例えば、端子 T 2 及び端子 T 3 の横方向の幅が端子 T 1 の横方向の幅よりも狭い（又は広い）場合、端子 T 2 及び端子 T 3 を端子 T 1 の位置まで移動させると、移動後の端子 T 2 と端子 T 1 とは一部において重なり、かつ、移動後の端子 T 3 と端子 T 1 とは一部において重なる。このような場合も、「端子 T 1 は、端子 T 2 の横方向における隣に存在し、かつ、端子 T 3 の横方向における隣に存在する」という。すなわち、ここでいう「端子 T 2 の横方向における隣に端子 T 1 が存在する」とは、端子 T 2 の上下方向における少なくとも一部から横方向（具体的には左方向）に直線を伸ばした場合に、その直線が端子 T 1 に当たることを意味する。同様に、「端子 T 3 の横方向における隣に端子 T 1 が存在する」とは、端子 T 3 の上下方向における少なくとも一部（図 7 に示す例では y 3～y 4 の範囲）から左方向に直線を伸ばした場合に、その直線が端子 T 1 に当たることを意味する。

【0200】

このように、ストローブ端子 T 2 およびクロック端子 T 3 の近傍には、グランド端子 T 1 が設けられるため、ストローブ端子 T 2 およびクロック端子 T 3 はノイズの影響を受け難い。すなわち、端子 T 1 は電圧がほぼ一定（例えば、0 V）であるため、この端子から電磁ノイズは発生し難い。このため、端子 T 1 の近傍に位置する端子 T 2 および端子 T 3 は、ノイズの影響を受け難い。

【0201】

例えば、ストローブ端子 T 2 およびクロック端子 T 3 の近傍に電圧の変化の頻度が高いデータ入出力端子が設けられる場合、当該データ入出力端子に高周波信号が流れることによって電磁場が発生し、ストローブ端子 T 2 およびクロック端子 T 3 に影響を及ぼしてしまふことがある。その逆も同様であり、ストローブ端子 T 2 およびクロック端子 T 3 の近傍にデータ入出力端子が設けられる場合、ストローブ端子 T 2 およびクロック端子 T 3 に高周波信号が流れることによって、データ入出力端子に影響を及ぼすことがある。すなわち、ある端子に高周波信号が流れるとその端子がノイズの発生原因となり、当該ある端子の周囲に存在する端子を流れる信号の波形が乱れることがある。クロック端子 T 3 やストローブ端子 T 2、データ入出力端子を流れる高周波信号の波形が乱れると、誤ったデータが送受信されてしまうことがある。本実施形態では、ストローブ端子 T 2 およびクロック端子 T 3 の近傍には、ノイズの発生原因となる上記電圧の変化の頻度が高い端子が設けられず、電圧の変化の頻度が低い端子 T 1 が設けられるため、ノイズの影響を受け難くすることができ、誤ったデータの送受信を防止することができる。また、ストローブ端子 T 2 およびクロック端子 T 3 には高周波信号が流れるため、周囲の他の端子に影響を及ぼす可能性があるが、近傍に端子 T 1 が設けられるため、端子 T 2 および T 3 以外の他の端子に対する影響を低減することができる。すなわち、ストローブ端子 T 2 およびクロック端子

10

20

30

40

50

T 3 からの電磁場による影響は最も近くに存在する端子 T 1 によって吸収されやすくなり、近傍に端子 T 1 が設けられない場合よりも、他の端子への影響を低減することができる。

【0202】

図 8 A～図 8 D は、端子の長さおよび位置を変更した場合の一例を示す図である。図 8 A は、端子 T 1 が、端子 T 2 の上下方向の一部においてその横方向の隣に存在し、かつ、端子 T 3 の上下方向の一部においてその横方向の隣に存在する場合の一例を示す図である。図 8 B は、端子 T 1 が、端子 T 2 の上下方向の全部にわたってその横方向の隣に存在し、かつ、端子 T 3 の上下方向の全部にわたってその横方向の隣に存在する場合の一例を示す図である。図 8 C は、端子 T 1 が、端子 T 2 の上下方向の全部にわたってその横方向の隣に存在し、かつ、端子 T 3 の上下方向の全部にわたってその横方向の隣に存在しない場合の一例を示す図である。図 8 D は、端子 T 1 が、端子 T 2 の上下方向の全部にわたってその横方向の隣に存在せず、かつ、端子 T 3 の上下方向の全部にわたってその横方向の隣に存在しない場合の一例を示す図である。図 8 A～図 8 D において、上下方向が図 7 の y 軸方向であり、左右方向が図 7 の x 軸方向である。

【0203】

図 8 A では、端子 T 2 の上端は、端子 T 1 の上下方向の範囲に含まれず、端子 T 2 の下端は、端子 T 1 の上下方向の範囲に含まれる。また、端子 T 3 の上端は、端子 T 1 の上下方向の範囲に含まれ、端子 T 3 の下端は、端子 T 1 の上下方向の範囲に含まれない。すなわち、端子 T 1 は、端子 T 2 の上下方向の一部においてその横方向の隣に存在し、かつ、端子 T 3 の上下方向の一部においてその横方向の隣に存在する。言い換えると、端子 T 2 及び端子 T 3 を端子 T 1 の位置まで左方向に移動させた場合、移動後の端子 T 2 の一部は端子 T 1 と重なり、かつ、移動後の端子 T 3 の一部は端子 T 1 と重なる。

【0204】

また、図 8 B では、端子 T 2 の上端は端子 T 1 の上端と一致し、端子 T 2 の下端は端子 T 1 の上下方向の範囲に含まれる。また、端子 T 3 の上端は端子 T 1 の上下方向の範囲に含まれ、端子 T 3 の下端は、端子 T 1 の下端と一致する。すなわち、端子 T 1 は、端子 T 2 の上下方向の全部にわたってその横方向の隣に存在し、かつ、端子 T 3 の上下方向の全部にわたってその横方向の隣に存在する。言い換えると、端子 T 2 及び端子 T 3 を端子 T 1 の位置まで左方向に移動させた場合、移動後の端子 T 2 の全部は端子 T 1 と重なり、かつ、移動後の端子 T 3 の全部は端子 T 1 と重なる。

【0205】

図 8 A および図 8 B に示すような端子の配置でも、上述のような効果を奏することができる。すなわち、図 7、図 8 A および図 8 B では、電圧の変化の頻度が低い端子 T 1 が、端子 T 2 の少なくとも一部の横方向の近傍に存在し、かつ、端子 T 3 の少なくとも一部の横方向の近傍に存在する。このため、端子 T 2 及び端子 T 3 の両方について、ノイズの影響を受け難くすることができ、波形の品質を向上させることができる。

【0206】

一方、図 8 C では、端子 T 2 の上端は端子 T 1 の上端と一致し、端子 T 2 の下端は端子 T 1 の上下方向の範囲に含まれるが、端子 T 3 の上端は、端子 T 1 の上下方向の範囲に含まれない。すなわち、端子 T 1 は、端子 T 2 の上下方向の全部にわたってその横方向の隣に存在するが、端子 T 3 の上下方向の全部にわたってその横方向の隣に存在しない。言い換えると、端子 T 2 及び端子 T 3 を端子 T 1 の位置まで左方向に移動させた場合、移動後の端子 T 2 の全部は端子 T 1 と重なるものの、移動後の端子 T 3 の全部は端子 T 1 と重ならない。

【0207】

このため、図 8 C に示すような端子の配置では、端子 T 2 については横方向の近傍に端子 T 1 が存在するため、上述したように他の端子への影響を低減することができる。一方、端子 T 3 の横方向の近傍には端子 T 1 が存在しない。

【0208】

また、図 8 D では、端子 T 2 および端子 T 3 は、端子 T 1 の上下方向の範囲に含まれな

い。すなわち、端子 T 1 は、端子 T 2 の上下方向の全部にわたってその横方向の隣に存在せず、かつ、端子 T 3 の上下方向の全部にわたってその横方向の隣に存在しない。言い換えると、端子 T 2 及び端子 T 3 を端子 T 1 の位置まで左方向に移動させた場合、移動後の端子 T 2 の全部は端子 T 1 と重ならず、移動後の端子 T 3 の全部は端子 T 1 と重ならない。
【0209】

図 5 に戻り、データ入出力端子についても同様である。すなわち、データ入出力端子も、ストロブ端子 T 2 及びクロック端子 T 3 と同様に電圧の変化の頻度が高い端子である。データ入出力端子 T 5 及び T 6 の左側近傍には、電圧の変化の頻度が低いチップイネーブル端子 T 4 が設けられる。また、データ入出力端子 T 8 及び T 9 の左側近傍には、電圧の変化の頻度が低い電源端子 T 7 が設けられる。また、データ入出力端子 T 11 及び T 12 の左側近傍には、電圧の変化の頻度が低い電源端子 T 10 が設けられる。また、データ入出力端子 T 13 及び T 14 の右側近傍には、電圧の変化の頻度が低いグランド端子 T 15 が設けられる。

10

【0210】

このように、本実施形態では、上下方向に並んだ電圧の変化の頻度が高い 2 つの短端子 (T 2 と T 3、T 5 と T 6、T 8 と T 9、T 11 と T 12、T 13 と T 14) の横方向の近傍には、電圧の変化の頻度が低い長端子 (T 1、T 4、T 7、T 10、T 15) が配置される。長端子は上側領域および下側領域に跨るように形成され、2 つの短端子の両方の少なくとも一部の近傍に位置する。2 つの短端子の近傍に長端子が設けられることによって、2 つの短端子は近傍の長端子からのノイズの影響を受け難く、また、2 つの短端子が他の端子に与える影響を低減することができる。

20

【0211】

なお、長端子とその近傍の 2 つの短端子は、図 7、図 8 A、図 8 B、図 8 C のような配置であってもよい。

【0212】

また、リセット端子 T 16 の右側には他の端子が設けられないため、ノイズの影響を受け難い。また、リセット端子 T 16 の左側近傍には、電圧の変化の頻度が低い端子 T 15 (グランド端子) が設けられる。例えば、リセット端子 T 16 の近傍に電圧の変化の頻度が高い端子 T 13 および端子 T 14 が設けられると、端子 T 16 にノイズが入ってしまい、カートリッジ 1 内の各デバイスがリセットされてしまうおそれがある。本実施形態では、リセット端子 T 16 には極力ノイズが入らないようにするために、リセット端子 T 16 と、データ入出力端子 T 13 および T 14 との間に、グランド端子 T 15 が設けられる。

30

【0213】

以上のように、本実施形態では、電圧の変化の頻度が高い端子 (ストロブ端子 T 2、クロック端子 T 3、データ入出力端子 T 5、T 6、T 8、T 9、T 11 ~ T 14) の近傍には、電圧の変化の頻度が低い端子 (グランド端子 T 1、T 15、チップイネーブル端子 T 4、電源端子 T 7、T 10) が設けられる。これにより、ノイズの影響を受け難くすることができる。また、電圧の変化の頻度が高い端子 (T 2、T 3、T 5、T 6、T 8、T 9、T 11 ~ T 14) が周囲に及ぼす影響を低減することができる。

【0214】

ここで、カートリッジ 1 が情報処理装置 50 のカートリッジ挿入口に挿入されてデータ通信が行われるときの各端子の電圧の状態を説明する。図 9 は、カートリッジ 1 が情報処理装置 50 に接続されてからデータ通信が行われるまでの各端子の電圧の状態の一例を示す図である。

40

【0215】

図 9 に示されるように、カートリッジ 1 (カード) が情報処理装置 50 のカートリッジ挿入口に挿入されると、まず、電源端子 T 7 (Vcc) および電源端子 T 10 (Vccio) の電圧レベルが「高電圧」になる。次に、リセット端子 T 16 (RES) の電圧レベルが「高電圧」になる。カートリッジ 1 が情報処理装置 50 に接続されている間は、電源端子 T 7 (Vcc)、電源端子 T 10 (Vccio)、およびリセット端子 T 16 (RE

50

S)の電圧レベルは、「高電圧」に維持される。リセット端子T16 (RES)の電圧レベルが「高電圧」になると、カートリッジ1側の準備が完了し、チップイネーブル端子T4 (CEB)の電圧レベルが「高電圧」となる。

【0216】

情報処理装置50がカートリッジ1からデータを読み取る場合(又はカートリッジ1にデータを書き込む場合)、チップイネーブル端子T4 (CEB)の電圧レベルは「低電圧」になり、クロック端子T3 (CLK)の電圧レベルは、一定周期で「高電圧」と「低電圧」とに変化する。なお、図示は省略するが、ストロープ端子T2も、若干の遅れがあるもののクロック端子T3と同様の波形になる。また、8つのデータ入出力端子(IO)は、入力又は出力されるデータに応じて、「高電圧」と「低電圧」とに変化する。具体的には、8つのデータ入出力端子(IO)を用いて、情報処理装置50からカートリッジ1へのコマンドが送信され、その後、所定の待機時間(BUSY)の後に、実際のデータ(例えば、カートリッジ1に記憶された画像データや音声データ等)がカートリッジ1から情報処理装置50に送信される。

10

【0217】

図9に示されるように、チップイネーブル端子T4 (CEB)は、情報処理装置50とカートリッジ1との間でデータ通信が行われている間、「低電圧」に維持される。一方、データ通信が行われている間、クロック端子T3 (ストロープ端子T2も同様)および8つのデータ入出力端子は、「高電圧」と「低電圧」とを繰り返す。

20

【0218】

このように、電源端子T7、電源端子T10、および、リセット端子T16は、情報処理装置50とカートリッジ1とが接続されている間、電圧レベルが「高電圧」に保たれる。また、チップイネーブル端子T4は、情報処理装置50とカートリッジ1とが接続されている間に、「高電圧」と「低電圧」に変化するものの、その変化の頻度は低い。すなわち、チップイネーブル端子T4は、データ通信が開始されるタイミングで「高電圧」から「低電圧」に変化するものの、データ通信中は「低電圧」に維持される。これに対して、クロック端子T3、ストロープ端子T2、および8つのデータ入出力端子は、データ通信中(チップイネーブル端子T4が「低電圧」を維持している間)、「高電圧」と「低電圧」に変化し、その変化の頻度は高い。

30

【0219】

本明細書では、データ通信が行われている間に電圧レベルが「高電圧」と「低電圧」とに変化する端子を、「電圧の変化の頻度が高い端子」と言う。具体的には、「電圧の変化の頻度が高い端子」は、クロック端子T3、ストロープ端子T2、および8つのデータ入出力端子(T5, T6, T8, T9, T11, T12, T13, T14)を意味する。一方、データ通信が行われている間に電圧レベルが相対的に安定している端子(例えば、電圧が略一定の端子)を、「電圧の変化の頻度が低い端子」と言う。具体的には、「電圧の変化の頻度が低い端子」は、グランド兼検出端子T1、チップイネーブル端子T4、電源端子T7、T10、グランド端子T15、リセット端子T16を意味する。

【0220】

次に、各端子の間隔および各端子の下端の位置について説明する。図10は、端子の間隔および各端子の下端の位置を説明するための図である。

40

【0221】

図10に示すように、端子T2と、端子T1との間の横方向の距離は、例えば、約0.2mmであり、端子T3と、端子T1との間の横方向の距離は、例えば、約0.2mmである。同様に、端子群B2に含まれる端子T5と、端子T4との間の横方向の距離も約0.2mmであり、端子T6と、端子T4との間の横方向の距離も約0.2mmである。他の端子群についても同様である。すなわち、同じ端子群に含まれる2つの端子間の横方向の距離は、全て約0.2mmである。

【0222】

また、端子群B1と端子群B2との間の横方向の距離は約1.0mmである。他の端子

50

群同士も同様であり、ある端子群とその隣の端子群とは約 1.0 mm だけ離れている。すなわち、ある端子群とその隣の端子群との間の距離は、端子群に含まれる各端子の横方向の距離よりも長い。

【0223】

本実施形態において、「近傍」とは、典型的には、同じ端子群に含まれる 2 つの端子間の横方向の距離（約 0.2 mm）を意味する。なお、「近傍」の範囲は約 0.2 mm に限らない。具体的には、「近傍」の範囲は、図 11（後述する）に示すピン P0 とピン P2 との間の距離（例えば、約 1.2 mm）を上限とした範囲であってもよい。

【0224】

また、6 つの長端子（T1、T4、T7、T10、T15、T16）、上側領域に存在する 5 つの端子（T2、T5、T8、T11、T13）の上端の上下方向における位置は一致している。また、下側領域に存在する 5 つの端子（T3、T6、T9、T12、T14）の上端の上下方向における位置は一致している。また、本実施形態では、端子 T1 ～ T16 の幅は全て同じであり、例えば、約 1 mm である。

【0225】

上側領域に存在する 5 つの短端子（T2、T5、T8、T11、T13）、および、下側領域に存在する 5 つの短端子（T3、T6、T9、T12、T14）の上下方向の長さは、全て同じであり、例えば、約 4.5 mm である。一方、6 つの長端子の下端の上下方向における位置および下側領域の 5 つの端子の下端の上下方向における位置は、図 10 に示すように異なる。

【0226】

具体的には、図 10 に示すように、端子 T15 は上下方向に最も長く、端子 T15 の下端は、最も下に位置している。例えば、端子 T15 の上下方向の長さは、約 11.3 mm である。また、端子 T7 および端子 T10 は、端子 T15 の次に長く、上下方向の長さは同じである。例えば、端子 T7 および端子 T10 の上下方向の長さは約 10.9 mm である。このため、端子 T7 および端子 T10 の下端は、端子 T15 の下端よりも、例えば、約 0.4 mm だけ上方に位置している。

【0227】

また、端子 T4 および端子 T16 の上下方向の長さは同じであり、例えば、端子 T4 および端子 T16 の上下方向の長さは約 10.5 mm である。

【0228】

また、端子 T3、T4、T6、T9、T12、T14、T16 の下端は揃っている。すなわち、端子 T3、T4、T6、T9、T12、T14、T16 の下端の上下方向における位置は一致している。端子 T3、T4、T6、T9、T12、T14、T16 の下端は、端子 T15 の下端よりも、例えば、約 0.8 mm だけ上方に位置している。

【0229】

また、端子 T1 は複数の長端子の中では下方に最も短く伸びており、端子 T1 の上下方向の長さは、例えば約 10.1 mm である。具体的には、端子 T1 の下端は、端子 T3（T4、T6、T9、T12、T14、T16 も同様）の下端よりも、例えば約 0.4 mm だけ上方に位置している。

【0230】

このように、グランド端子 T15 の先端（すなわち、図 5 における端子 T15 の下端）は、最もカートリッジ 1 の先端の近くに位置する。また、端子 T1、T3、T4、T6、T7、T9、T10、T12、T14、T15、T16（すなわち、上側領域内に設けられる端子以外の端子）のうち、グランド兼検出端子 T1 の先端（図 5 参照）は、カートリッジ 1 の先端から最も離れて位置する。また、電源端子 T7 および T11 の先端は、クロック端子 T3 の先端（チップイネーブル端子 T4、データ入出力端子 T6、T9、T12、T14 も同様）よりも、カートリッジ 1 の先端の近くに位置する。なお、図 10 に示された各端子のサイズは単なる一例であり、各端子の長さ、幅は変更されてもよい。

【0231】

（本体側ピンの配置）

次に、本体側のピンの配置について説明する。図 1 1 は、情報処理装置 5 0（本体）側のピンの配置を示す図である。図 1 1 において、カートリッジ挿入口は上側に位置し、図 1 1 の上下方向がカートリッジ 1 の挿抜方向である。図 1 1 に示すように、本体のカートリッジ収納部 5 1 には、P 0 ～ P 1 6 の 1 7 個のピンが配置される。ピン P 0、P 2、P 4、P 5、P 7、P 8、P 1 0、P 1 1、P 1 3、P 1 5、P 1 6 は、カートリッジ収納部 5 1 における上側の領域に位置する。ピン P 0、P 2、P 4、P 5、P 7、P 8、P 1 0、P 1 1、P 1 3、P 1 5、P 1 6 は、横方向に並んで配置される。すなわち、1 1 個のピン P 0、P 2、P 4、P 5、P 7、P 8、P 1 0、P 1 1、P 1 3、P 1 5、P 1 6 の上下方向の位置は一致している。また、ピン P 1、P 3、P 6、P 9、P 1 2、P 1 4 は、カートリッジ収納部 5 1 における下側に位置し、横方向に並んで配置される。すなわち、6 個のピン P 1、P 3、P 6、P 9、P 1 2、P 1 4 の上下方向の位置は一致している。

10

【0 2 3 2】

また、上下方向に並んだ 2 つのピンの横方向における位置は一致している。すなわち、ピン P 0 とピン P 1 の横方向における位置は一致しており、ピン P 2 とピン P 3 の横方向における位置は一致しており、ピン P 5 とピン P 6 の横方向における位置は一致している。また、ピン P 8 とピン P 9 の横方向における位置は一致しており、ピン P 1 1 とピン P 1 2 の横方向における位置は一致しており、ピン P 1 3 とピン P 1 4 の横方向における位置は一致している。

20

【0 2 3 3】

各ピン P 0 ～ P 1 6 は、カートリッジ 1 がカートリッジ収納部 5 1 に収納されたときに、各端子 T 1 ～ T 1 6 の横方向のほぼ中心に位置するように配置される。例えば、ピン P 0 とピン P 2 との間隔は、端子 T 1 と端子 T 2 との間の距離（約 0. 2 mm）に、端子 T 1 および T 2 の幅（ $1. 0 \text{ mm} \times 1 / 2 \times 2 = 1. 0 \text{ mm}$ ）を加えた約 1. 2 mm である。ピン P 4 とピン P 5 との間隔、ピン P 7 とピン P 8 との間隔、ピン P 1 0 とピン P 1 1 との間隔、ピン P 1 3 とピン P 1 5 との間隔、ピン P 1 5 とピン P 1 6 との間隔、ピン P 1 とピン P 3 との間隔も同様に、例えば、約 1. 2 mm である。また、ピン P 2 とピン P 4 との間隔は、端子群 B 1 と端子群 B 2 との間の距離（約 1. 0 mm）に、端子 T 2 および T 4 の幅（約 1. 0 mm）を加えた約 2. 0 mm である。ピン P 5 とピン P 7 との間隔、ピン P 8 とピン P 1 0 との間隔、ピン P 1 1 とピン P 1 3 との間隔も同様に、約 2. 0 mm である。

30

【0 2 3 4】

図 1 2 は、本体側のカートリッジ収納部 5 1 にカートリッジ 1 を収納したときの本体側のピンとカートリッジ 1 側の端子との接続状態を示す図である。

【0 2 3 5】

図 1 2 に示すように、カートリッジ 1 が本体側のカートリッジ収納部 5 1 に完全に収納された場合（すなわち、カートリッジ 1 がその下端から本体のカートリッジ挿入口に挿入され、カートリッジ 1 がカートリッジ収納部 5 1 の奥まで挿入されてカートリッジ収納部 5 1 に固定的に収納された場合）、カートリッジ 1 の端子 T 1 は、本体側のピン P 0 および P 1 と電氣的に接続される。また、カートリッジ 1 の端子 T 2 ～ T 1 6 は、本体側のピン P 2 ～ P 1 6 とそれぞれ接続される。

40

【0 2 3 6】

本体側のピン P 0 はグランドピンである。ピン P 1 は、カートリッジ 1 を検出するための検出ピンである。情報処理装置 5 0 は、ピン P 0 とピン P 1 とが短絡されたことを検知した場合、カートリッジ 1 を検知する。

【0 2 3 7】

ピン P 2 は、カートリッジ 1 からのストローク信号を入力するためのストローク信号ピンであり、ピン P 3 は、クロック信号をカートリッジ 1 に出力するためのクロック信号ピンである。また、ピン P 4 は、チップイネーブル信号を出力するためのピンである。また

50

、ピンP 5およびP 6は、データ入出力用のピンである。ピンP 7は、カートリッジ1のメモリ制御部14に電源を供給するための電源ピンであり、その電圧は約3.1Vである。また、ピンP 8およびP 9は、データ入出力用のピンである。また、ピンP 10は、カートリッジ1にデータ入出力用の電源を供給するための電源ピンであり、その電圧は約1.8Vである。ピンP 11～P 14は、データ入出力用のピンである。ピンP 15は、グランドピンである。また、ピンP 16は、リセット信号（リセット解除信号）を出力するためのピンである。

【0238】

（カートリッジ挿入時の各端子の状態）

次に、カートリッジ1を情報処理装置50のカートリッジ挿入口に挿入する際の各端子の状態について説明する。図13～図18は、カートリッジ1がカートリッジ挿入口に挿入される際の各端子の接触状態の遷移を示す図である。図13は、カートリッジ1を情報処理装置50のカートリッジ挿入口に挿入した場合に、カートリッジ1の端子が最初に本体側のピンと接触する様子を示した図である。図14は、カートリッジ1が図13の状態からさらに奥に（下方に）挿入されたときの各端子の状態を示す図である。図15は、カートリッジ1が図14の状態からさらに奥に（下方に）挿入されたときの各端子の状態を示す図である。図16は、カートリッジ1が図15の状態からさらに奥に（下方に）挿入されたときの各端子の状態を示す図である。図17は、カートリッジ1が図16の状態からさらに奥に（下方に）挿入されたときの各端子の状態を示す図である。図18は、カートリッジ1が図17の状態からさらに奥に（下方に）挿入されたときの各端子の状態を示す図である。

【0239】

図13～図18では、カートリッジ1の端子と接触していない本体側のピンは破線の白い円で示され、カートリッジ1の端子と接触している本体側のピンは塗りつぶされた円で示されている。

【0240】

図13に示すように、カートリッジ1が情報処理装置50のカートリッジ挿入口に挿入される場合、グランド端子T 15の下端が最も下方に位置するため（すなわち、グランド端子T 15の先端が、最もカートリッジ1の先端の近くに位置するため）、最初にグランド端子T 15が本体側のグランドピンP 15と接触する。このように、最初にグランド端子T 15を本体側のグランドピンP 15に接触させることにより、カートリッジ1内の電子回路に溜まった不要な電荷を逃がすことができる。

【0241】

図14に示されるように、図13の状態からカートリッジ1をさらに下方に押し下げると、電源端子T 7およびT 10が、本体側のピンP 7およびP 10とそれぞれ接触する。電源端子T 7が本体側の電源ピンP 7と接触することにより、カートリッジ1内のメモリ制御部14に電源を供給することが可能になり、本体側の電源ピンP 7がONの状態（約3.1V）の場合には、メモリ制御部14が動作可能となる。

【0242】

図15に示されるように、図14の状態からカートリッジ1をさらに下方に押し下げると、端子T 3と本体側のピンP 2、端子T 4と本体側のピンP 4、端子T 6と本体側のピンP 5、端子T 9と本体側のピンP 8、端子T 12と本体側のピンP 11、端子T 14と本体側のピンP 13、端子T 16と本体側のピンP 16が、それぞれ接触する。

【0243】

図16に示されるように、図15の状態からカートリッジ1をさらに下方に押し下げると、端子T 1と本体側のピンP 0が接触する。

【0244】

図15および図16に示す状態では、端子T 3はピンP 2と接触し、端子T 6はピンP 5と接触し、端子T 9はピンP 8と接触し、端子T 12はピンP 11と接触し、端子T 14はピンP 13と接触しており、これらの端子は、本来接続されるべき本体側のピンとは

異なるピンと接触している。しかしながら、この状態では、本体側の検出ピンP1が端子T1に接触していないため、本体はカートリッジ1を検出しておらず、本体側からカートリッジ1の各端子に信号が入力されることはない。

【0245】

図16に示す状態からカートリッジ1をさらに下方に押し下げると、図17に示す状態になる。この図17に示す状態では、本体側のピンP1を除く全てのピンが、端子T1～T16に接触する。すなわち、端子T1とピンP0、端子T2とピンP2、端子T3とピンP3、端子T4とピンP4、端子T5とピンP5、端子T6とピンP6、端子T7とピンP7、端子T8とピンP8、端子T9とピンP9、端子T10とピンP10、端子T11とピンP11、端子T12とピンP12、端子T13とピンP13、端子T14とピンP14、端子T15とピンP15、端子T16とピンP16が、それぞれ接触する。この状態では、本体側の検出ピンP1が端子T1に接触していないため、本体はカートリッジ1を検出しておらず、本体側からカートリッジ1の各端子に信号が入力されることはない。

10

【0246】

そして、図18に示されるように、図17の状態からカートリッジ1をさらに下方に押し下げると、端子T1が本体側のピンP1と接触し、全てのピンP0～P16と端子T1～T16とが接触する。これにより、本体はカートリッジ1を検出し、本体側からカートリッジ1に信号が入力されるようになる。

【0247】

図13～図18から明らかなように、最初にグランド端子T15がグランドピンP15と接触し（図13）、次に、電源端子T7およびT10が電源ピンP7およびP10とそれぞれ接触する（図14）。次に、チップイネーブル端子T4、リセット端子T16、ストローブ端子T2、クロック端子T3、データ入出力端子（T5、T6、T8、T9、T11～T14）が、それぞれ本体側のピンと接触する（図17）。そして、最後に、検出端子T1と本体側の検出ピンP1とが接触する（図18）。

20

【0248】

カートリッジ1が情報処理装置50のカートリッジ挿入口に挿入される際に、このような順番で各端子が本体側のピンと接触することにより、より安全にカートリッジ1を挿入することができる。

【0249】

すなわち、最初にグランド端子T15が本体側のグランドピンP15と接触することにより、カートリッジ1内の回路に溜まった不要な電荷を逃がすことができる。

30

【0250】

次に、電源端子T7およびT10が本体側の電源ピンP7およびP10とそれぞれ接触することにより、本体側の電源ピンP7がONの状態の場合には、カートリッジ1内のメモリ制御部14に電源が供給され、カートリッジ1の各端子に入力された信号を制御可能になる。メモリ制御部14に電源が供給され、当該メモリ制御部14が動作可能な状態の場合は（本体側の電源ピンP7がONの状態であり、かつ、電源ピンP7と電源端子T7とが接触している場合は）、カートリッジ1の端子に何らかの想定されていない信号が入力されたとしても、その信号を制御（無視）することができる。

40

【0251】

また、最後に本体側の検出ピンP1と端子T1とが接触するように構成されている。このため、全ての端子が本来接続されるべき本体側のピンと接続されるまでは、本体はカートリッジ1を検出せず、本体側からの信号がカートリッジ1の各端子に入力されることはない。例えば、図16に示す状態で本体側がカートリッジ1を検出した場合、本体側からカートリッジ1に対してデータの読み取りコマンドが送られることがある。この場合、例えば端子T6は、本来、本体側のピンP6と接続されるべきところ、ピンP5と接続されているため、予期しない信号が入力されてしまうことも有り得る。しかしながら、本実施形態では、本体側の検出ピンP1と端子T1とが最後に接続されるように構成されているため、このような状況が起こることを防止することができる。

50

【0252】

なお、電源端子T7とT10は必ずしも同時に本体側のピンに接触する必要はなく、例えば、電源端子T7が先に本体側のピンP7と接触するようにしてもよい。すなわち、電源端子T7の下端を電源端子T10の下端よりも下方に設けてもよい。また、例えば、グランド端子T15は、電源端子T7及びT10と同じ長さであってもよい。

【0253】

(カートリッジを抜く時の各端子の状態)

カートリッジ1を本体から抜く場合は、上記と逆の順序になる。すなわち、図12のような状態から図18、図17、図16、図15、図14、図13の順に状態が遷移し、全ての端子が本体側のピンと接触しなくなる。

【0254】

具体的には、まず、検出ピンP1が端子T1と接触しなくなり、本体はカートリッジ1が抜かれたと認識する(図17)。すると、本体は、即座にリセットピンP16を高電圧から低電圧の状態に切り替える。すなわち、リセット信号がカートリッジ1に送信される。この状態では、カートリッジ1のリセット端子T16は本体側のピンP16と接触しており、かつ電源端子T7も本体側の電源ピンP7と接触しているため、本体側から電源が供給されている場合、カートリッジ1は、このリセット信号を受信することができる。カートリッジ1のメモリ制御部14は、このリセット信号の受信に応じて回路を初期化する。

【0255】

リセットされた状態(リセット端子T16が低電圧(0V)の状態)では、カートリッジ1のメモリ制御部14は、本体側からどのような信号が入力されてもそれを無視する。このため、カートリッジ1の各端子に何らかの予期せぬ信号が入力されても不具合が発生することを防ぐことができる。例えば、本体側で何らかの原因により誤った信号が例えばカートリッジ1のデータ入出力端子に入力されても、カートリッジ1のメモリ制御部14は、その信号を無視する。このため、不具合が生じることを防止することができる。

【0256】

また、図17に示す状態では、グランド端子T1、T15も本体側のグランドピンと接触しているため、不要な電荷がカートリッジ1内の回路に溜まることはなく、また、リセット端子T16も本体側のリセットピンP16と接触している。このため、リセット端子T16が想定外に高電圧の状態になることはなく、リセット解除されることはない。したがって、カートリッジ1の各端子に想定外の信号が流れても、不具合が生じる可能性は低い。

【0257】

また、リセット端子T16はグランド端子T15の右側近傍に設けられ、リセット端子T16の右側には他の端子が配置されていない。このため、カートリッジ1を本体に抜き差しする際に、リセット端子T16に本体側の他のピン(例えばデータ入出力ピン)が接触する可能性は低く、リセット端子T16が想定外に高電圧の状態になる可能性が低い(すなわち、リセット解除される可能性は低い)。

【0258】

図17に示す状態から図16に示す状態になると、カートリッジ1の上側領域の端子T2、T5、T8、T11、T13が本体の上側のピンP2、P5、P8、P11、P13と接触しなくなり、代わりに本体の上側のピンP2、P5、P8、P11、P13が、カートリッジ1の下側領域の端子T3、T6、T9、T12、T14とそれぞれ接触する。

【0259】

具体的には、この図16に示す状態では、本体側のストロープ信号ピンP2とカートリッジ1のクロック端子T3とが接触している。本体側のストロープ信号ピンP2は、カートリッジ1からのストロープ信号が入力されるピンであり、このピンP2からカートリッジ1側に信号が出力されることはない。また、カートリッジ1の端子T3は、本体側からのクロック信号が入力される端子であり、この端子T3から本体側に信号が出力されることはない。すなわち、図16に示す状態では、入力用のピンP2と入力用の端子T3とが

10

20

30

40

50

接触しており、このピンP 2と端子T 3との間で信号が流れることはない。

【0260】

仮に、クロック端子とストローク端子とが逆の場合（すなわち、クロック信号ピン及びクロック端子が上側で、ストローク信号ピン及びストローク端子が下側の場合）、カートリッジ1を本体から抜く際に図16に示す状態になったときには、本体側のクロック信号ピンとカートリッジ1側のストローク端子とが接触することになり、想定しない信号が入力されてしまう可能性がある。

【0261】

しかしながら、本実施形態では、ストローク端子及びストローク信号ピンが上側に配置され、クロック端子及びクロック信号ピンが下側に配置されるため、本体からカートリッジ1を抜く際に、入力状態の本体側のピンと入力状態のカートリッジ側の端子とが接触するだけである。この場合には、上記のように想定しない信号が入力されてしまうことを避けることができる。

【0262】

また、図16に示す状態では、データ入出力端子T 6、T 9、T 12、T 14は、本体側のピンP 5、P 8、P 11、P 13とそれぞれ接触しており、本来接触するピンとは異なるピンと接触している。しかしながら、このような状態であっても、電源端子T 7は本体の電源ピンP 7と接触しており、（本体側の電源ピンP 7がONの状態であれば）リセットされた状態でメモリ制御部14は動作可能な状態となっている。このため、メモリ制御部14は、仮に端子T 6、T 9、T 12、T 14に信号が入力されても、この信号を無視することができる。

【0263】

また、8つのデータ入出力端子は、全て同じタイミングで入力状態か出力状態になる。カートリッジ1のメモリ制御部14は、本体側からのコマンドに基づいて、8つのデータ入出力端子T 5、T 6、T 8、T 9、T 11～T 14を全て入力状態か出力状態のどちらかに切り替える。例えば、本体がカートリッジ1内のデータを読み取る場合、8つのデータ入出力ピンP 5、P 6、P 8、P 9、P 11～P 14からデータを読み取るためのコマンドを出力する。このコマンドは、入力状態である8つのデータ入出力端子T 5、T 6、T 8、T 9、T 11～T 14に入力される。すると、カートリッジ1のメモリ制御部14は、8つのデータ入出力端子を出力状態に切り替える。本体側においても8つのデータ入出力ピンは入力状態に切り替えられる。そして、メモリ制御部14は、不揮発性メモリ13からデータを読み出して、8つのデータ入出力端子からデータを出力する。データの読み取りが終了すると、メモリ制御部14は、8つのデータ入出力端子を入力状態に戻す。

【0264】

すなわち、メモリ制御部14は、8つのデータ入出力端子T 5、T 6、T 8、T 9、T 11～T 14を、あるタイミングにおいては全て入力状態に切り替え、別のタイミングにおいては全て出力状態に切り替える。

【0265】

このため、カートリッジ1を本体から抜く途中で図16に示す状態になっても、本体側のピンP 5、P 8、P 11、P 13が出力状態になり、かつ、カートリッジ1の端子T 6、T 9、T 12、T 14が出力状態となることは無い。例えば、カートリッジ1から本体側にデータが送信されている間は、本体側の8つのデータ入出力ピンP 5、P 6、P 8、P 9、P 11～P 14は、全て入力状態となっており、カートリッジ1の8つのデータ入出力端子T 5、T 6、T 8、T 9、T 11～T 14は、全て出力状態となっている。本体がカートリッジ1内のデータを読み取り中に、カートリッジ1が速い速度で本体から抜かれた場合、本体側のカートリッジ1が抜かれたときの処理（データ入出力を終了する処理等）が行われるまでに、図16のように、本体側のピンP 5、P 8、P 11、P 13とカートリッジ1の端子T 6、T 9、T 12、T 14とがそれぞれ接触した状態となる。このような場合であっても、本体側のピンP 5、P 8、P 11、P 13は入力状態となっており、カートリッジ1の端子T 6、T 9、T 12、T 14は出力状態となっている。すなわ

ち、本体側のピンとカートリッジ 1 の端子の両方が出力状態となることはない。本体側からカートリッジ 1 にデータが送信されている間も同様である。

【0266】

このように、カートリッジ 1 を抜き差しする際には、クロック端子 T 3、データ入出力端子 T 6、T 9、T 12、T 14 は、本来接触する本体側のピンとは異なるピンと接触する。しかしながら、このような状態でも出力状態の端子とピンとが接触することはなく、また、カートリッジ 1 のメモリ制御部 14 によって各端子に入力された信号が制御される。このため、より不具合なくカートリッジ 1 を本体から抜くことができる。

【0267】

図 16 に示す状態から図 15 に示す状態になると、端子 T 1 と本体側のピン P 0 とが接触しなくなる。この状態においても、電源端子 T 7 は本体側の電源ピン P 7 と接触しており、（本体側の電源ピン P 7 が ON の場合には）リセットされた状態でメモリ制御部 14 は動作可能な状態となっている。すなわち、カートリッジ 1 の各端子に入力された信号はメモリ制御部 14 によって制御可能である（例えば、リセット時の端子の状態（端子に電流が流れない状態）を維持することが可能である）。

【0268】

図 15 に示す状態から図 14 に示す状態になると、電源端子 T 7 および T 10 と、グラウンド端子 T 15 とを除く全ての端子が本体側のピンと接触しなくなる。この状態においても、リセット端子 T 16 は低電圧の状態（0 V）であり、電源端子 T 7 は本体側の電源ピン P 7 と接触しているため、本体側の電源ピン P 7 が ON の場合にはメモリ制御部 14 に

【0269】

図 14 に示す状態から図 13 に示す状態になると、2 つの電源端子 T 7 および T 10 は本体側の電源ピン P 7 および P 10 と接触しなくなり、グラウンド端子 T 15 のみが本体側のグラウンドピン P 15 と接触した状態となる。そして、最後に、グラウンド端子 T 15 が本体側のピン P 15 と接触しなくなり、カートリッジ 1 が本体から完全に抜き出される。最後にグラウンド端子 T 15 が本体から抜けるため（最後までグラウンド端子 T 15 が本体のグラウンドピン P 15 と接触しているため）、電氣的に安定した状態でカートリッジ 1 が本体から抜かれることになる。

【0270】

以上のように、本実施形態のカートリッジ 1 では上述した端子の配置および長さとなっているため、より安全にカートリッジ 1 を抜き差しすることができる。

【0271】

（各端子からの配線）

次に、各端子をカートリッジ 1 内の回路と接続するための配線について説明する。図 19 は、カートリッジ 1 の基板 12 上に形成された導線を示す図である。

【0272】

図 19 に示すように、導線 15 が基板 12 の表面にプリントによって形成されている。図示は省略するが、この導線 15 によって、各端子 T 1 ~ T 16 とカートリッジ 1 内のメモリ制御部 14 とが接続される。下側領域に設けられた端子 T 3、T 6、T 9、T 12、T 14 からの導線は、端子群と端子群との間の間隙を通して上方に伸びる。具体的には、下側領域に設けられた端子 T 3、T 6、T 9、T 12、T 14 の横から導線が斜め上（例えば横方向を 0 度として 45 度の方向）に向かって引き出され、導線は、途中で折れ曲がって上方向に直線的に伸びるように形成される。

【0273】

ここで、導線を端子の横から 0 度の方向（真横）に向かって引き出し、途中で直角に曲げて上方に伸ばすことも考えられる。しかしながら、導線を途中で直角に曲げると、この直角部分では線幅が他の部分よりも広くなり、直角部分においてインピーダンスが変化するため、ノイズの発生原因となる。このため、本実施形態では、導線を 90 度よりも小さい角度（例えば、45 度）で曲げ、線幅の変化を小さくすることにより、すなわち、イン

10

20

30

40

50

ピーダンスの変化を小さくすることにより、ノイズが発生しにくいように構成されている。

【0274】

また、図19に示すように、端子T12からの導線と、端子T14からの導線とは、同じ間隙を通して上方に伸びる。これにより、間隙の数を少なくすることができ、カートリッジ1の全体の幅を狭くすることができる。

【0275】

また、本実施形態では、下側領域に設けられた端子T3、T6、T9、T12、T14の上端から導線を引き出さずに、横から導線を引き出している。これにより、基板12をハウジング11に収納した際に、ハウジング11のセパレータ11aによってこれらの導線が隠れる。また、導線が端子の上端から引き出されずに、横から引き出されるため、カートリッジ1を本体に挿抜するときには本体側のピンが導線と接触せず（本体側のピンが上下に配置された端子の間を通過するときには導線上を通過せず）、導線の物理的な損傷を防ぐことができる。

10

【0276】

図20は、基板12をハウジング11に収納したときのカートリッジ1の一部を拡大した図である。図20に示すように、各端子T1～T16は外部に露出され、端子群（例えばT1～T3）と端子群（例えば端子T4～T6）との間の間隙はハウジング11の一部であるセパレータ11aによって覆われる。このように、端子T3、T6、T9、T12、T14からの導線の全部がセパレータ11aによって覆い隠される。これにより、導線を保護することができる。また、セパレータ11aによってユーザの指が各端子に触れることを防止することができる。

20

【0277】

なお、導線15が基板12の表面にプリント形成される場合に限らず、基板の内部に導線15が形成され、基板12の表面には導線15が見えないように構成されてもよい。

【0278】

（主な効果）

以上のように、カートリッジ1の端子T1～T16には、配置や長さに特徴があり、それによって以下に示す主な効果を奏する。

【0279】

すなわち、上下方向（カートリッジ1の挿抜方向）に並んだ2つの端子の組が、横方向に複数配置される。これにより、データ入出力端子の数を多くして高速なデータ入出力を可能にするとともに、カートリッジ1の横方向の長さを短くすることができる。

30

【0280】

また、電圧の変化の頻度が高い端子（データ入出力端子、ストローク端子、クロック端子）の近傍には、電圧の変化の頻度が低い端子（グランド端子、電源端子、チップイネーブル端子、リセット端子）が設けられる。特に、電圧の変化の頻度が高い2つの端子が上下に並べられ、その2つの端子の左右方向の何れか一方の近傍に、上側領域及び下側領域に跨る電圧の変化の頻度が低い長端子が設けられる。これにより、電圧の変化の頻度が低い1つの長端子の隣に電圧の変化の頻度が高い2つの短端子を配置することができ、データ入出力端子を多く配置しても、その近傍に長端子を配置することができる。上述のように、電圧の変化の頻度が高い端子の近傍に電圧の変化の頻度が低い端子が設けられることにより、電圧の変化の頻度が高い端子がノイズの影響を受け難くすることができる。また、近傍に電圧の変化の頻度が低い長端子が設けられることによって、電圧の変化の頻度が高い端子が周囲に及ぼす影響を低減することができる。

40

【0281】

また、本実施形態では、ストローク端子T2およびクロック端子T3をそれぞれ上側領域および下側領域に配置している。これにより、カートリッジ1を本体から抜く際に、本体側のクロック信号ピン（出力）とカートリッジ側のストローク端子（出力）とが接触しない。このため、より安全にカートリッジ1を本体から抜くことができる。

【0282】

50

また、本実施形態では、上下に並んだ2つのデータ入出力端子の組が4つ設けられる。8つのデータ入出力端子は、あるタイミングでは全て入力状態か出力状態となる。このため、カートリッジ1を本体から抜く際に、下側領域のデータ入出力端子が、本体側の上側のデータ入出力ピンと接触しても、本体側とカートリッジ側の双方が出力状態となることはない。このため、より不具合なくカートリッジ1を本体から抜くことができる。

【0283】

また、本実施形態では、カートリッジ1を本体に挿入する際、最後に端子T1と本体側の検出ピンP1とが接触するように構成されている。これにより、全ての端子が本体側のピンと接続されるまで、本体はカートリッジ1を検出せず、本体から予期せぬ信号がカートリッジ1に入力されることはない。逆に、カートリッジ1を本体から抜く際には、最初に本体側の検出ピンP1が端子T1から離れ、本体はカートリッジ1を検出しなくなる。以降は、本体から信号が出力されなくなるため、本体側から予期せぬ信号がカートリッジ1に入力される可能性を低くすることができる。

【0284】

また、本実施形態では、カートリッジ1を本体に挿入する際、最初にグランド端子T15が接触する。このため、カートリッジ1の回路に溜まった不要な電荷を逃がすことができる。

【0285】

また、本実施形態では、カートリッジ1を本体に挿入する際、データ入出力端子、リセット端子、チップイネーブル端子が本体側のピンと接触する前に、電源端子T7が本体側の電源ピンと接触し、電源端子T7に電源を供給することが可能になり、本体側の電源ピンP7がONの場合には、カートリッジ1のメモリ制御部14が動作可能となる。これにより、カートリッジ1が本体に完全に挿入されるまでに予期せぬ信号が各端子に入力された場合でもその信号を制御することができる。

【0286】

(変形例)

なお、上述したカートリッジ1の端子の形状、配置、大きさは上述したものに限られない。以下、カートリッジ1の変形例について説明する。

【0287】

図21～図31は、他の実施形態における端子の一例を示す図である。図21～図31において、上記と同様に、カートリッジ1の基板12上に配置された端子をT1～T16で表し、本体側のピンをP0～P16で表している。

【0288】

図21に示すように、各端子の下端は全て揃えられてもよい。具体的には、図21に示す変形例では、上側領域および下側領域に跨る6つの長端子(T1、T4、T7、T10、T15、T16)および下側領域の5つの端子(T3、T6、T9、T12、T14)の下端は、上下方向の位置が一致している。

【0289】

また、図22に示すように、端子T1を除く他の端子の下端が揃えられてもよい。具体的には、図22に示す変形例では、上側領域および下側領域に跨る5つの長端子(T4、T7、T10、T15、T16)および下側領域の5つの端子(T3、T6、T9、T12、T14)の下端は、上下方向の位置が一致している。一方、グランド兼検出端子T1の下端は、他の端子の下端よりも上方に位置している。このため、カートリッジ1を本体に挿入する際は、本体側の検出ピンP1が最後に端子T1と接触する。すなわち、全ての端子が本体側のピンと接続された状態で本体がカートリッジ1を検出することになる。これにより、本体は、カートリッジ1の全ての端子が本体側のピンと接続された状態で、カートリッジ1に信号を送信することができ、不具合が生じることを防止することができる。

【0290】

また、図23に示すように、端子T15の下端を端子T7およびT10と揃えてもよい。

【0291】

10

20

30

40

50

上記実施形態では、カートリッジ 1 を本体に挿入する際に、カートリッジ 1 の各端子が、以下に示す (1) ~ (4) の順で本体側のピンと接続されるようにした。

(1) グランド端子 T 15 を最初に本体側のグランドピン P 15 と接触させる。

(2) 電源端子 T 7 および T 10 を本体側の電源ピン P 7 および P 10 と接触させる。

(3) ストローブ端子 T 2、クロック端子 T 3、チップイネーブル端子 T 4、8 つのデータ入出力端子 T 5、T 6、T 8、T 9、T 11 ~ T 14、リセット端子 T 16 を、それぞれ本体側のピン P 2、P 3、P 4、P 5、P 6、P 8、P 9、P 11 ~ P 14、P 16 と接触させる。

(4) グランド兼検出端子 T 1 を本体側の検出ピン P 1 と接触させる。

【0292】

これに対して、図 23 に示す変形例では、グランド端子 T 15、電源端子 T 7 および T 10 が最初に本体側のピン P 15、P 7 および P 10 とそれぞれ接続される。このような構成であっても、最初にカートリッジ 1 内の不要な電荷を逃がすとともに、メモリ制御部 14 に電源を供給可能な状態にすることができる。電源端子 T 7 に本体側から電源が供給される場合、メモリ制御部 14 によって信号を制御することができる。

【0293】

また、図 24 に示すように、一部の長端子は、短く形成されてもよい。例えば、図 24 では、チップイネーブル端子 T 4、電源端子 T 7 および T 10 は、上側領域に設けられ、他の上側領域に設けられた端子 (T 2、T 5 等) と同様に短く構成される。

【0294】

また、図 25 に示すように、端子 T 1 を除く全ての長端子は、短く形成されてもよい。具体的には、図 25 に示す例では、チップイネーブル端子 T 4、電源端子 T 7、T 10、グランド端子 T 15、およびリセット端子 T 16 は、上側領域に設けられ、他の上側領域に設けられた端子 (T 2、T 5 等) と同様に短く形成される。一方、グランド兼検出端子 T 1 は、上側領域および下側領域を跨ぐ長さで形成される。これは、本体側のピン P 0 およびピン P 1 が短絡したことをもって本体はカートリッジ 1 を検出するため、この端子 T 1 は、少なくともピン P 0 とピン P 1 との間の距離以上に形成される必要があるからである。

【0295】

なお、図 24 および図 25 は単なる一例であり、端子 T 4、T 7、T 10、T 15、T 16 のうちの少なくとも 1 つの端子が短く形成されてもよい。例えば、端子 T 15 と T 16 の 2 つが (例えば端子 T 13 と同様に) 短く形成されてもよい。また、例えば、端子 T 4 及び／又は T 16 を短く構成してもよい。

【0296】

また、図 26 に示すように、グランド兼検出端子 T 1 を 2 つの短い端子に分け、これら 2 つの端子を導線で接続してもよい。このような導線によって接続された 2 つの端子は、電気的には 1 つの端子であり、図 5 に示す上側領域および下側領域に跨る長端子 T 1 と実質的に同じである。なお、端子 T 1 を図 26 のように見かけ上 2 つの端子に分けた場合に、基板 12 の表面に導線がプリント形成されてもよいし、基板 12 の内部に導線を形成し外部からは導線が見えないようにしてもよい。

【0297】

また、図 27 に示すように、一部の端子の幅が広く構成されてもよい。例えば、図 27 に示す例では、端子 T 4 を短くし (上側領域に配置し)、当該端子 T 4 を短くすることによって生じた領域まで端子 T 3 の幅を大きくしている。また、端子 T 15 を短くし、当該端子 T 15 を短くすることによって生じた領域まで端子 T 14 の幅を大きくしている。

【0298】

すなわち、上記実施形態では、図 5 で示したように、1 本の長端子と上下に並んだ 2 本の短端子とを含む端子群が、横方向に 4 つ並んで形成された。また、端子群と端子群との間には間隙が設けられた。他の実施形態では、例えば図 27 に示すように、カートリッジ 1 が本体に固定された場合に、カートリッジ 1 の各端子がそれぞれ本体側の正しいピンと

10

20

30

40

50

接続されれば、各端子の形状はどのようなものでもよい。

【0299】

例えば、図28に示すように、端子と端子との間の距離が全て同じに設定され、図5で示したような端子群と端子群との間の間隙が設けられなくてもよい。このような各端子の形状であっても、電圧の変化の頻度が高い端子の近傍には電圧の変化の頻度が低い端子が設けられる構成となる。例えば、ストローブ端子T2の左側近傍にはグランド兼検出端子T1があり、データ入出力端子T5の左側近傍にはチップイネーブル端子T4があり、データ入出力端子T8の左側近傍には電源端子T7があり、データ入出力端子T11の左側近傍には電源端子T10があり、データ入出力端子T13の右側近傍にはグランド端子T15がある。同様に、クロック端子T3の左側近傍にはグランド兼検出端子T1があり、データ入出力端子T6の左側近傍にはチップイネーブル端子T4があり、データ入出力端子T9の左側近傍には電源端子T7があり、データ入出力端子T12の左側近傍には電源端子T10があり、データ入出力端子T14の右側近傍にはグランド端子T15がある。

【0300】

また、図28においても図5と同様に、端子配置領域の少なくとも一部において、電圧の変化の頻度が低い端子と電圧の変化の頻度が高い端子とが横方向に交互に並ぶ。例えば、上側領域においては、端子T1、T2、T4、T5、T7、T8、T10、T11が横方向に並び、電圧の変化の頻度が低い端子と電圧の変化の頻度が高い端子とが横方向に交互に並ぶ構成となっている。さらに、端子T11の右隣にはデータ入出力端子T13が設けられ、さらにその右隣にはグランド端子T15が設けられ、さらにその右隣（端子配置領域の右端）にはリセット端子T16が設けられる。同様に、下側領域においては、端子T1、T3、T4、T6、T7、T9、T10、T12は、横方向に並んでいる。

【0301】

なお、図28において、各端子からの導線は、基板12の内部に形成されてもよい。

【0302】

また、例えば図29に示すように、上記実施形態のカートリッジ1の各端子が上下方向の異なる位置に配置されたり、上下方向の長さが異なるように形成されたりしてもよい。図29に示す例では、端子T4、T5、T10、T11、T12が、図5等に示した各端子の位置および長さとは異なる。具体的には、端子T4は、図5に示す端子T4よりも短く形成され、カートリッジが本体に奥まで挿入された場合に、端子T4の上端部が本体側のピンP4と接触するように形成されている。また、端子T5は、図5に示す位置よりも上方に移動され、カートリッジが本体に奥まで挿入された場合に、端子T5の下端部が本体側のピンP5と接触するように形成されている。また、端子T10は、短く形成され、カートリッジが本体に奥まで挿入された場合に、端子T10の下端部が本体側のピンP10と接触するように形成されている。また、端子T11は、図5に示す端子T11よりも長く形成されるとともに下方に位置し、カートリッジが本体に奥まで挿入された場合に、端子T11の上端部が本体側のピンP11と接触するように形成されている。また、端子T12は、図5に示す端子T12よりも短く形成され、カートリッジが本体に奥まで挿入された場合に、端子T12の上端部が本体側のピンP12と接触するように形成されている。

【0303】

図29に示すような端子の配置であっても、カートリッジが本体に奥まで挿入された場合（本体に完全に挿入されて固定された場合）に、カートリッジの各端子が本体側の各ピンと電氣的に接続される。このため、本体はカートリッジからデータを読み出したり、データを書き込んだりすることができる。

【0304】

このように、カートリッジの各端子が本体側の各ピンと電氣的に接続される限り、カートリッジの各端子の位置、および、形状はどのようなものであってもよい。各端子の位置や形状が変更されても、カートリッジの複数の端子のうちの少なくとも一部は、電圧の変化の頻度が高い端子の横方向の近傍に、電圧の変化の頻度が低い端子が位置する構成となる。

【0305】

具体的には、ストローブ端子T2の左側近傍にはグランド兼検出端子T1があり、データ入出力端子T5の左側近傍にはチップイネーブル端子T4がある。また、データ入出力端子T8の左側近傍には電源端子T7があり、データ入出力端子T11の左側近傍には電源端子T10がある。また、データ入出力端子T13の右側近傍にはグランド端子T15がある。

【0306】

また、端子配置領域の少なくとも一部の領域においては、電圧の変化の頻度が低い端子と電圧の変化の頻度が高い端子とが横方向に交互に並ぶ。図29に示す例でも、例えば、上側領域において、端子T1、T2、T4、T5、T7、T8、T10、T11が横方向（本体側の上側のピンが並ぶ方向）に並び、電圧の変化の頻度が低い端子と電圧の変化の頻度が高い端子とが横方向に交互に並んでいる。

【0307】

また、図30に示すように、グランド端子T15は設けられなくてもよい。端子T15が設けられなくても、カートリッジは、端子T1が本体側のピンP0と接続されることでグランドされる。このため、グランド端子T15はなくてもよい。

【0308】

また、図31に示されるように、上下に並ぶ2つの短端子は、左右方向に若干ずれていてもよい。例えば、図31では、端子T2と端子T3とは上下に並んで配置され、端子T2の横方向の中心の位置と端子T3の横方向の中心の位置とは完全に一致していない。同様に、端子T5と端子T6とは上下に並んで配置され、端子T5の横方向の中心の位置と端子T6の横方向の中心の位置とは完全に一致していない。このように、上下に並ぶ2つの短端子が本体側のピンとそれぞれ接触する程度において、上下に並ぶ2つの短端子の横方向の中心は実質的に左右方向にずれていてもよい。すなわち、上下に並ぶ2つの端子は厳密に左右方向の位置が一致している必要はない。また、上下に並ぶ2つの短端子の幅は、必ずしも同じである必要はなく、図31の端子T9のように、端子T8よりも幅が狭く構成されてもよい。（また、反対に、端子T8よりも幅が広く構成されてもよい。）このように、本体側のピンと接触する限りは、上下に並ぶ2つの端子のうちの一方の端子の幅が他方の端子よりも狭く（又は広く）構成されてもよい。

【0309】

なお、図21～図31に示した変形例は単なる例示であり、カートリッジの各端子と本体側の各ピンとが電氣的に接続される限り、各端子の位置や大きさ、端子間の距離は、どのようなものであってもよい。また、端子配置領域には、本体側の各ピンと電氣的に接続される端子に加えて、本体側の何れのピンとも電氣的に接続されない端子が設けられてもよい。

【0310】

また、カートリッジの不揮発性メモリ13は、カートリッジ1に着脱可能に接続されてもよい。

【0311】

図32及び図33は、不揮発性メモリ13がカートリッジ1に着脱可能に接続される構成の例を示す図である。図32に示す例では、例えばカートリッジ1の上端に不揮発性メモリ13を挿入するための挿入口が設けられる。不揮発性メモリ13は、当該挿入口から挿入され、カートリッジ1に固定される。情報処理装置50は、カートリッジ1を介して不揮発性メモリ13から所定のプログラムまたはデータ（例えば、ゲームプログラムやゲームデータ等）を読み出したり、不揮発性メモリ13に対して所定のプログラムまたはデータを書き込んだりする。着脱可能な不揮発性メモリ13としては、汎用の不揮発性メモリが用いられてもよい。例えば、着脱可能な不揮発性メモリ13として、SDカード、miniSDカード、microSDカード等が用いられてもよい。また、その他の規格の基づく汎用の不揮発性メモリがカートリッジ1に着脱可能に接続されてもよい。また、図33に示す例では、例えばカートリッジ1の側面に不揮発性メモリ13を挿入するための

挿入口が設けられ、当該側面に設けられた挿入口から不揮発性メモリ 13 が挿入される。このように、不揮発性メモリ 13 がカートリッジ 1 に対して着脱可能に接続されてもよい。なお、カートリッジ 1 の上面や側面から不揮発性メモリ 13 が挿入される形態に限らず、例えば、カートリッジ 1 の表面又は裏面に不揮発性メモリ 13 を嵌め込むための凹部が形成され、当該凹部に不揮発性メモリ 13 を嵌め込むことにより、不揮発性メモリ 13 をカートリッジ 1 に着脱可能に接続してもよい。

【0312】

また、上記実施形態では、所定のプログラムやデータ等を記憶する記憶装置として不揮発性メモリ 13 が用いられたが、不揮発性メモリの代わりに、情報を記憶することが可能な任意の記憶媒体（例えば磁気ディスク、光ディスク等）が用いられてもよい。

10

【0313】

また、本発明のカートリッジは、上記実施形態における不揮発性メモリ 13 の挿入口の代わりに、別のカートリッジを挿入するための挿入口（例えば、情報処理装置 50 の備えるカートリッジ収納部 51）が設けられていてもよい。その場合に、情報処理装置 50 は、本発明のカートリッジを介して、挿入口に挿入された別のカートリッジに記憶される所定のプログラムまたはデータ（例えば、ゲームプログラムやゲームデータ等）を読み出したり、当該別のカートリッジにデータを書き込んだりする。すなわち、本発明のカートリッジは、別のカートリッジと情報処理装置 50 との通信を仲介するようないわゆるアダプタータイプのカートリッジも含む。

【0314】

20

また、カートリッジ 1 は、セパレータ 11a を設けるものとしたが、セパレータ 11a は必ずしも設けられなくてもよい。例えば、図 2 に示す 4 本のセパレータ 11a のうちの一部又は全部は設けられなくてもよい。

【符号の説明】

【0315】

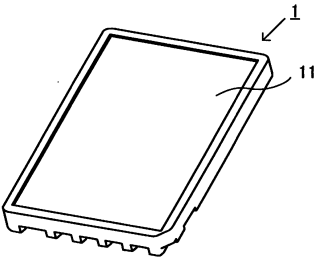
- 1 カートリッジ
- 11ハウジング
- 12 基板
- 13 不揮発性メモリ
- 14 メモリ制御部
- 50 情報処理装置（本体）
- 51 カートリッジ収納部
- A 端子配置領域
- T1～T16 カートリッジ側の端子
- P0～P16 本体側のピン

30

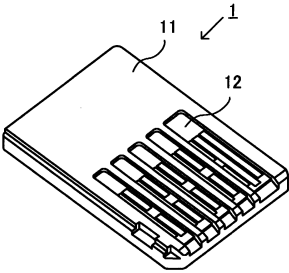
40

50

【図面】
【図 1 A】

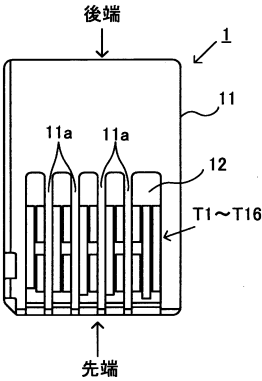


【図 1 B】

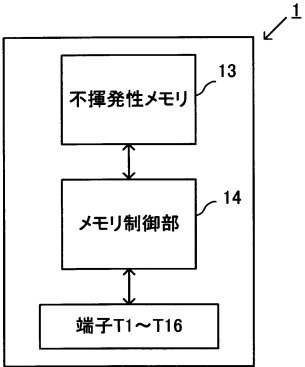


10

【図 2】

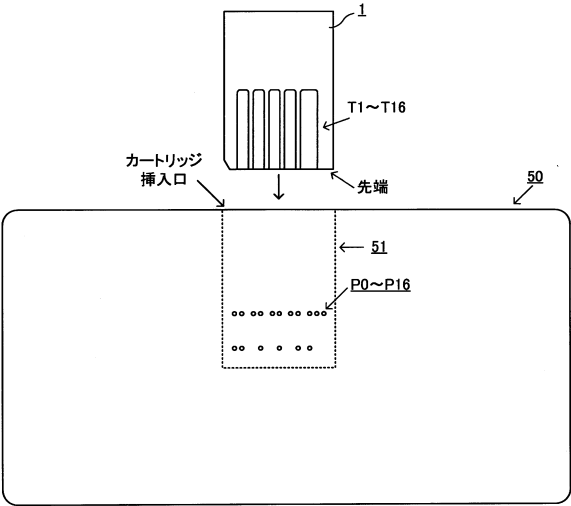


【図 3】

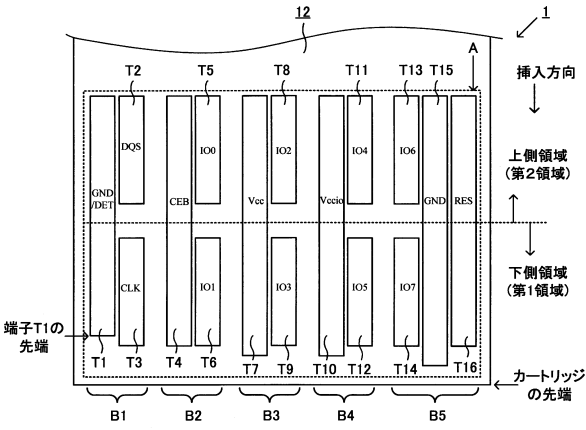


20

【図 4】



【図 5】



30

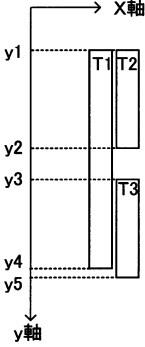
40

50

【図 6】

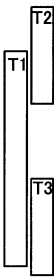
番号	識別子	用途・説明
T1	GND/DET	グラウンド、カード検出兼用端子
T2	DQS	ストロープ信号端子
T3	CLK	クロック信号端子
T4	CEB	チップイネーブル端子
T5	IO0	データ入出力(I/O)端子0
T6	IO1	データ入出力(I/O)端子1
T7	Vcc	メモリ制御部用電源端子
T8	IO2	データ入出力(I/O)端子2
T9	IO3	データ入出力(I/O)端子3
T10	Vccio	I/O用電源端子
T11	IO4	データ入出力(I/O)端子4
T12	IO5	データ入出力(I/O)端子5
T13	IO6	データ入出力(I/O)端子6
T14	IO7	データ入出力(I/O)端子7
T15	GND	グラウンド端子
T16	RES	リセット端子

【図 7】



10

【図 8 A】



【図 8 B】



20

30

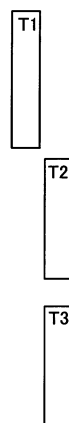
40

50

【図 8 C】

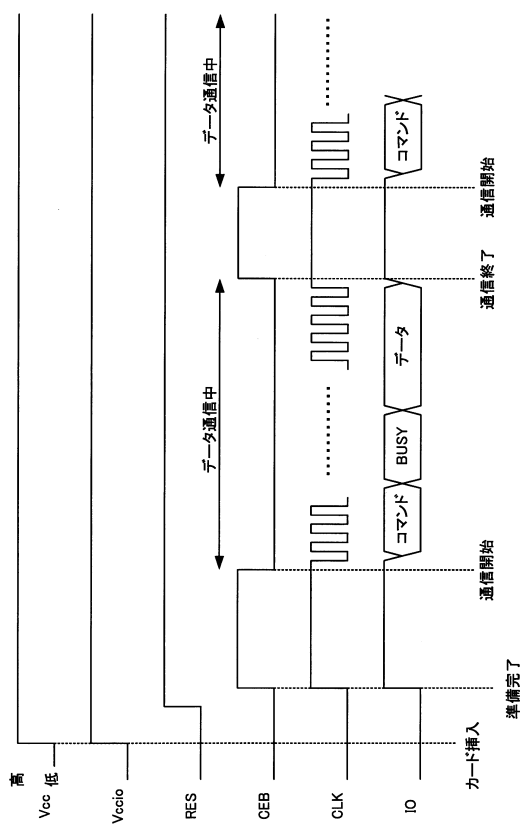


【図 8 D】

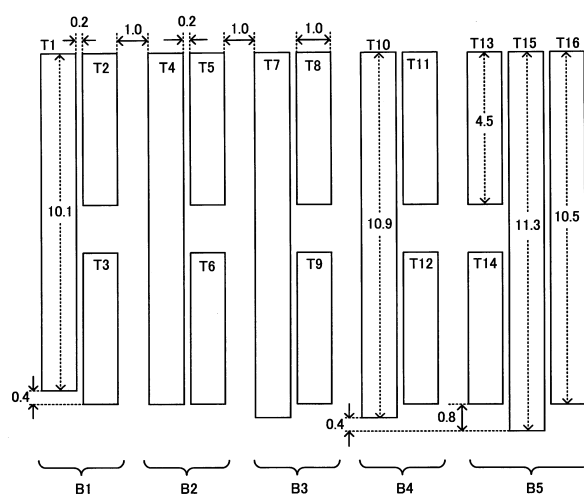


10

【圖 9】



【図 10】



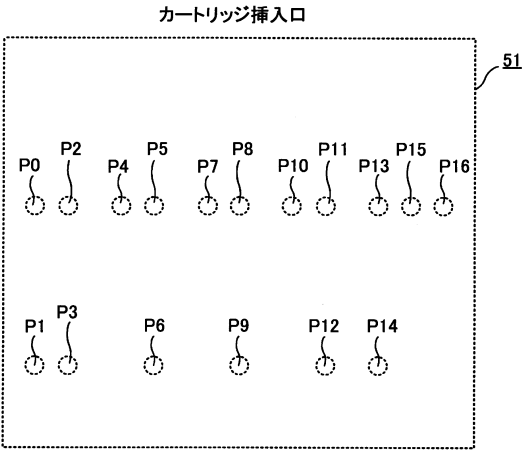
20

30

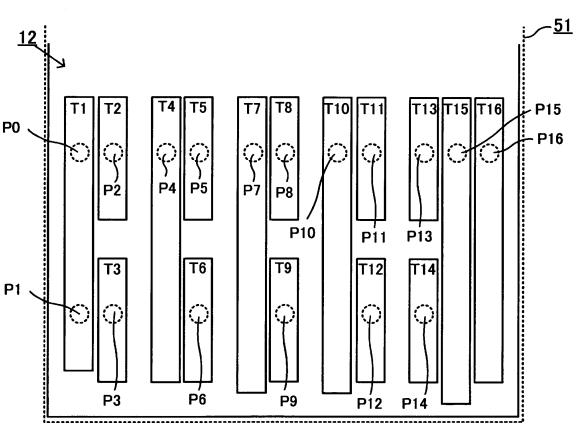
40

50

【図 1 1】

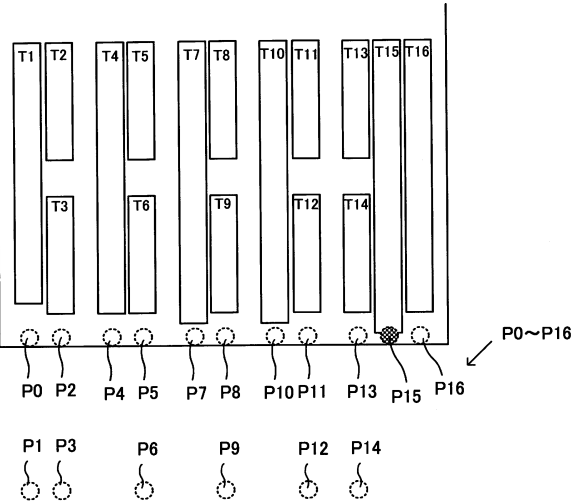


【図 1 2】

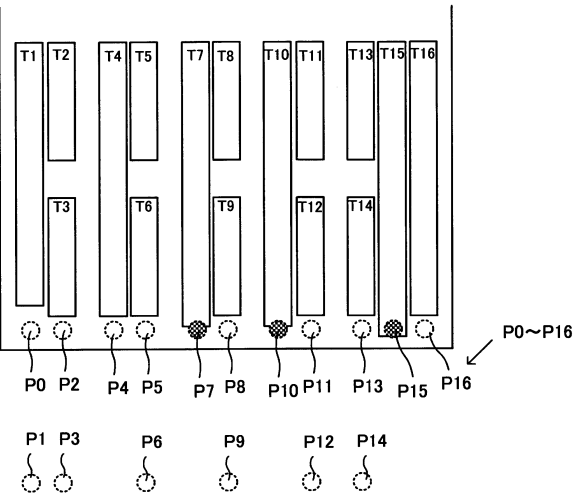


10

【図 1 3】



【図 1 4】



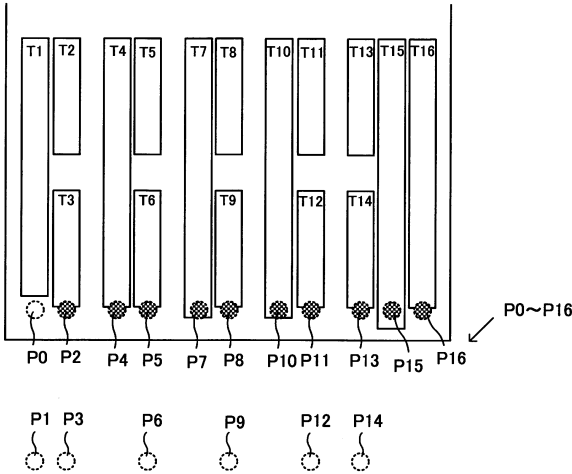
20

30

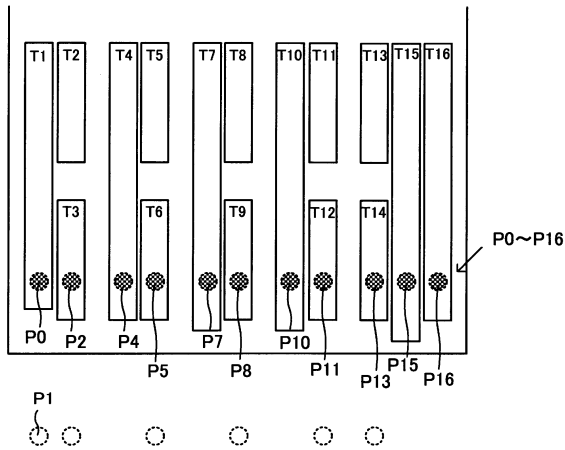
40

50

【図 15】

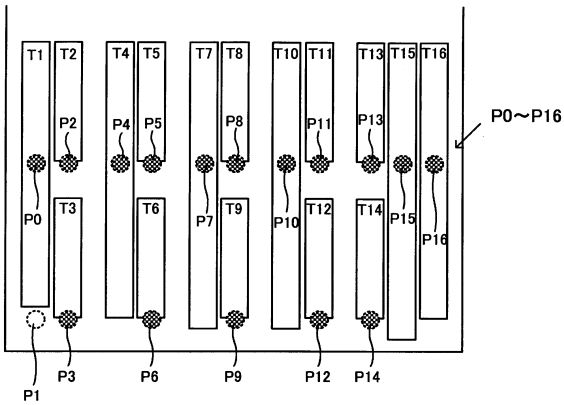


【図 16】

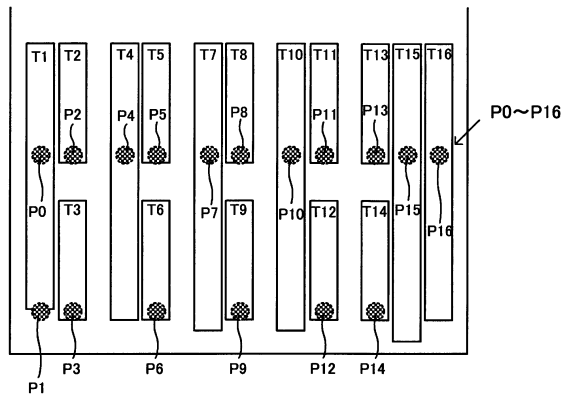


10

【図 17】



【図 18】



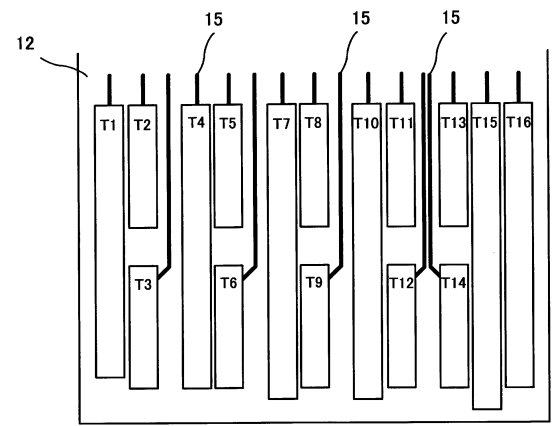
20

30

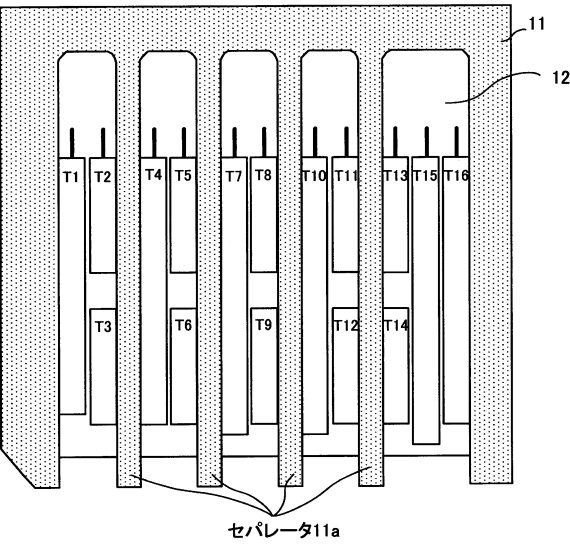
40

50

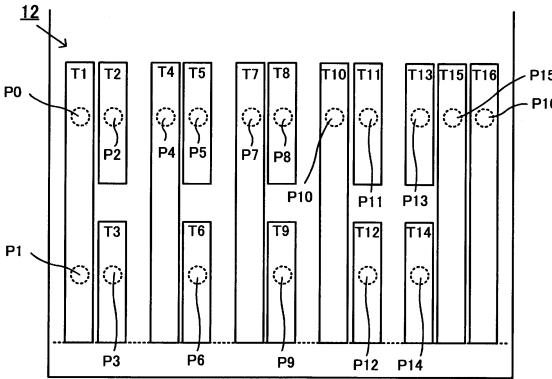
【図 19】



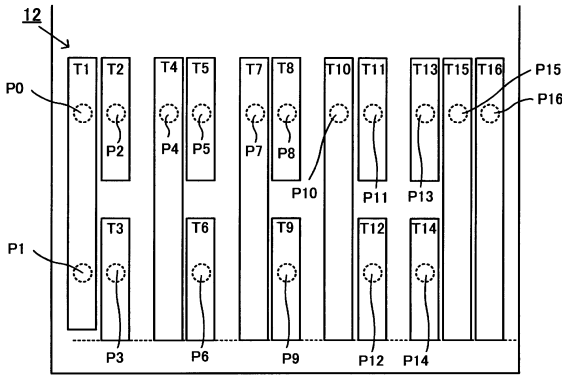
【図 20】



【図 21】



【図 22】



10

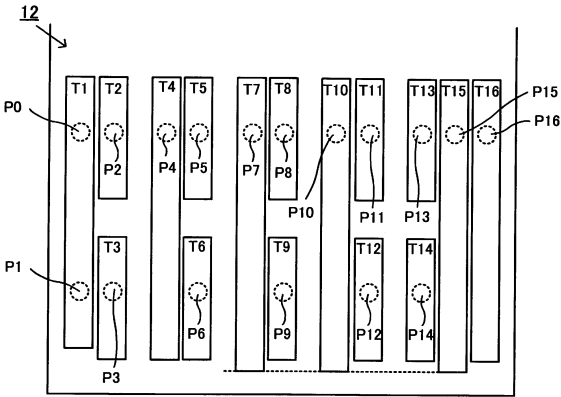
20

30

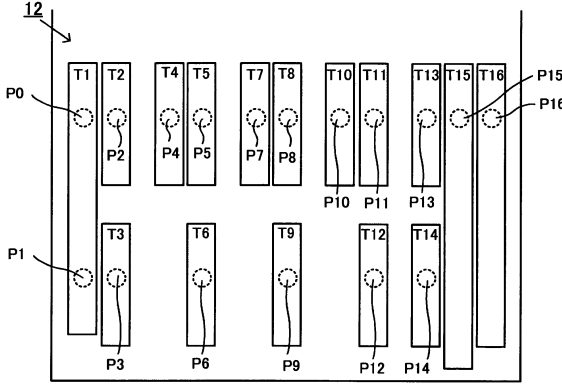
40

50

【図 2 3】

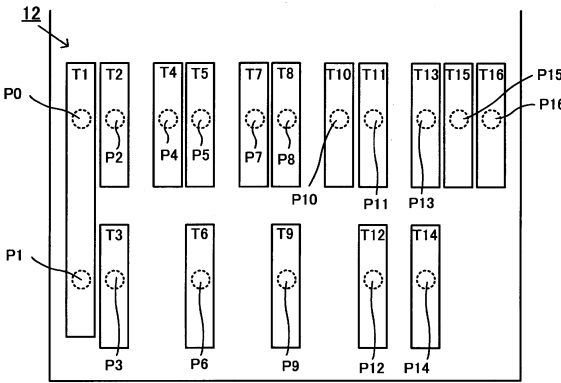


【図 2 4】

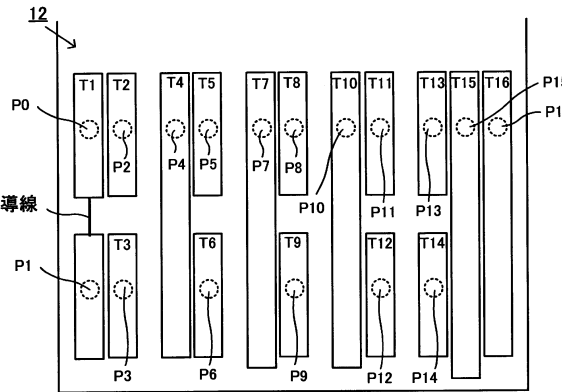


10

【図 2 5】



【図 2 6】



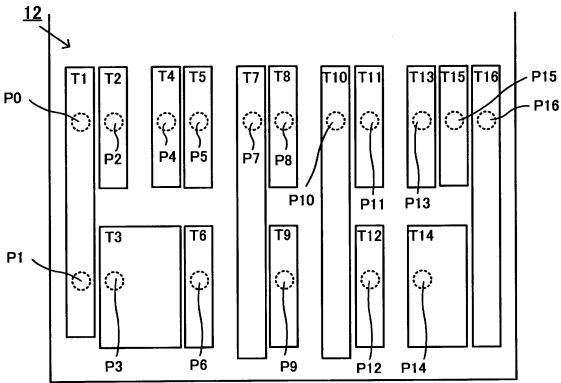
20

30

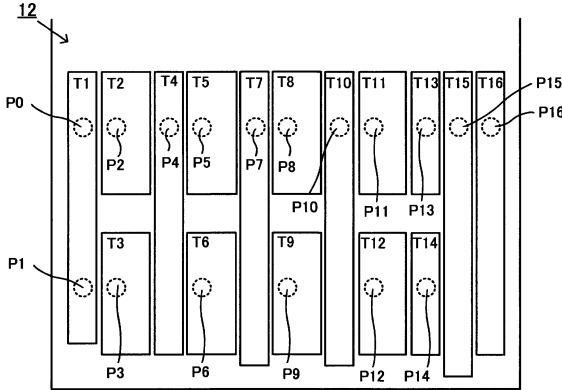
40

50

【図 2 7】

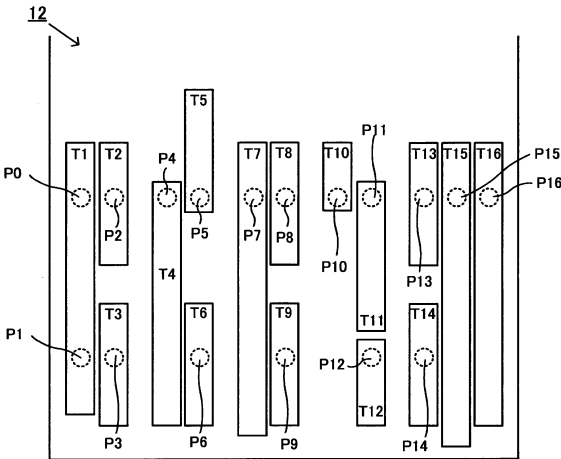


【図 2 8】

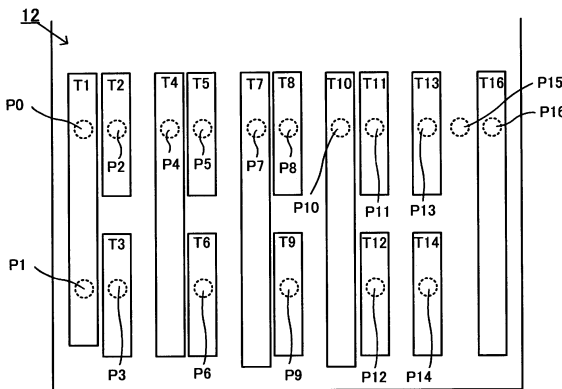


10

【図 2 9】



【図 3 0】



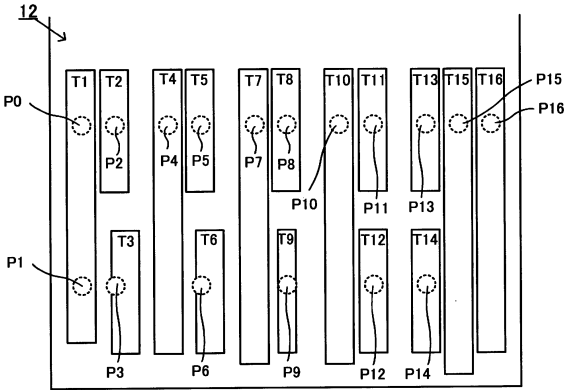
20

30

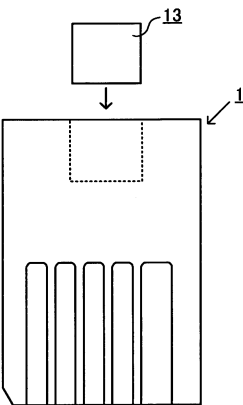
40

50

【図 3 1】

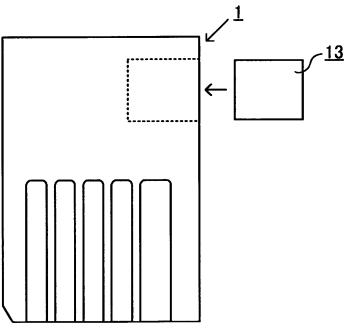


【図 3 2】



10

【図 3 3】



20

30

40

50

フロントページの続き

1 任天堂株式会社内

審査官 宇佐田 健二

- (56)参考文献 特開2006-092775 (JP, A)
特開2006-011725 (JP, A)
特開2005-293444 (JP, A)
米国特許出願公開第2007/0001279 (US, A1)
国際公開第2008/075594 (WO, A1)
特開2003-062338 (JP, A)
特開平04-144584 (JP, A)
特開平08-320823 (JP, A)
- (58)調査した分野 (Int.Cl., DB名)
A63F 13/00-13/98, 9/24
H01R 12/72, 13/56-13/72
G06K 19/077