(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.[6]
G11C 5/14

(45) 공고일자 1997년06월28일
(11) 공고번호 특1997-0010642
(24) 등록일자 1997년06월28일

(21) 출원번호 특1994-0000401
(22) 출원일자 1994년01월12일
(65) 공개번호 특1994-0018864
(43) 공개일자 1994년08월19일
(30) 우선권주장 93-003011 1993년01월12일 일본(JP)

(73) 특허권자 가부시끼가이샤 도시바 사또 후미오
일본국 가나가와껭 가와사끼시 사이와이꾸 호리까와쪼 72반지
(72) 발명자 다까시마 다이사부로
일본국 가나가와껭 가와사끼시 사이와이꾸 고무까이 도시바쪼 1 가부시끼가이샤 도시바 리서치 앤드 디벨롭먼트 센터 내
(74) 대리인 구영창, 주성민

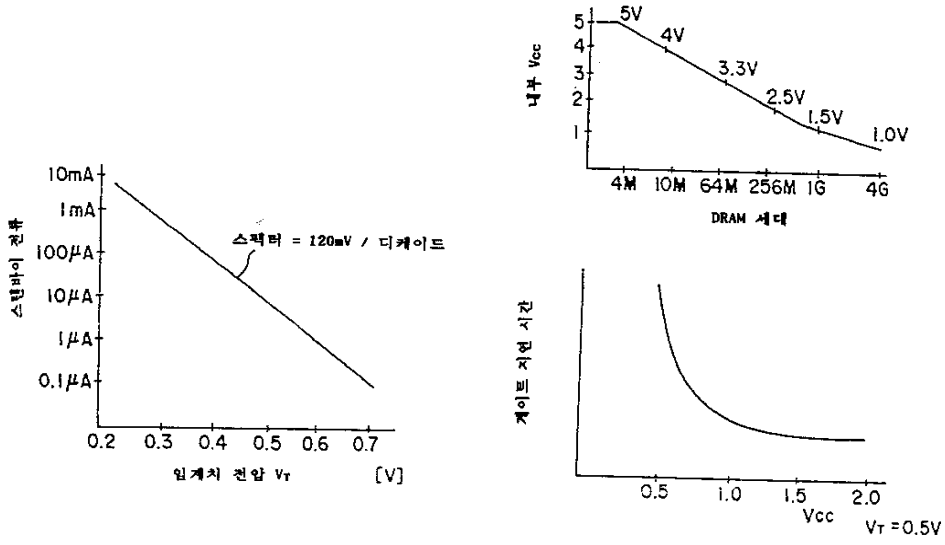
심사관 : 안대진 (책자공보 제5091호)

(54) 반도체 장치

요약

내용 없음.

대표도



명세서

[발명의 명칭]

반도체 장치

[도면의 간단한 설명]

제1A도는 내지 제1C도는 종래의 문제점을 설명하는 도면.

제2도는 종래의 인버터에 대한 회로 구성도.

제3A도 및 제3B도는 각각 종래의 SRANM 및 DRAM의 스탠바이(Standby)시 및 액티브시에 있어서의 전류의 변화를 나타내는 도면.

제4도는 본 발명의 제1실시예에 관한 메모리 회로의 일부의 논리 게이트를 도시하는 도면.

제5A도 내지 제5C도는 본 발명의 제1실시예에 있어서의 게이트 지연을 도시하는 도면.

제6도는 본 발명이 제1실시예에 있어서의 전원 전압 Vcc 미니멈(Minimum)에서의 게이트 지연 시간을 설명하는 도면.

제7A도 내지 제7C도는 본 발명의 제1실시예의 NAND 회로에의 적용예를 도시하는 도면.

제8A도 내지 제8C도는 본 발명의 제1실시예의 NOR 회로에의 적용예를 도시하는 도면.

제9도는 본 발명의 제1실시예를 DRAM에 적용한 예를 도시하는 도면.

제10도는 본 발명의 제1실시예를 DRAM의 컬럼 디코더에 적용한 예를 도시하는 도면.

제11도는 본 발명의 제2실시예에 관한 메모리 회로의 일부의 논리 게이트를 도시하는 도면.

제12도는 본 발명의 제2실시예에 사용하는 V_{ss1}, V_{cc1}의 발생회로를 도시하는 도면.

제13도는 본 발명의 제2실시예에 있어서의 게이트 지연 시간을 설명하는 도면.

제14도는 본 발명의 제2실시예를 메모리에 적용한 모식적인 구성예를 도시하는 도면.

제15A 내지 제15C도는 본 발명의 제2실시예를 NAND에 적용한 예를 도시하는 도면.

제16A도 내지 제16C도는 본 발명의 제2실시예를 NOR에 적용한 예를 나타내는 도면.

제17도는 본 발명의 제2실시예를 DRAM의 컬럼 디코더에 적용한 예를 나타내는 도면.

* 도면의 주요 부분에 대한 부호의 설명

Q_1, Q_2, Q_{n1}～Q_{n5} : nMOS 트랜지스터 Q_3, Q_4, Q_{p1}～Q_{p5} : pMOS 트랜지스터

N1～N5 : 노드 V_{cc}, V_{ss} : 내부전원

V_{cc1}, V_{ss1} : 내부제어전위.

[발명의 상세한 설명]

본 발명은 소비 전류가 큰 액티브 동작과 소비 전류가 극히 작은 스탠바이(standby) 동작이 존재하는 반도체 장치에 관한 것으로서, 특히 저전압화에 적합한 구성의 반도체 장치에 관한 것이다.

근래, DRAM이나 그외 LSI의 고집적화, 및 배터리 구동을 위한 저 소비 전력화와 더불어 내부 전원 전압 V_{cc}(이하, 간단히 전원 전압이라 한다.)의 저하가 진행되고 있다. 예를들면, DRAM에서는 제1A도에 도시한 바와 같이, 각 세대마다 동작 전원 전압 V_{cc}는 저하하는 추세이다. 구체적으로는 1G, 4G 비트의 DRAM에서는 전원 전압 V_{cc}가 1.5～1.0[V]까지 저하한다. 전지 구동용 LSI에 있어서도, 전원 전압 V_{cc}로써 I.5～0.8[V] 동작이 요망되고 있다. 그러나, LSI에서는 MOS 트랜지스터의 임계치 전압 V_T(threshold voltage)가 존재하고 있고, 제1B도에 도시하는 바와 같이, 임계치 전압 V_T 부근에 전원 전압 V_{cc}가 근접하면 급격히 동작 스피드(게이트 지연시간, gate delay time)가 저하해버린다. 이것을 방지하기 위하여, 임계치 전압 V_T를 작게해 버리면, 스탠바이 전류가 급격히 증가한다.

제2도에 종래예로서, 메모리 내의 일부 회로를 도시한다. 제2도는, 3단의 인버터의 예를 도시한다. 제2도에 있어서, 스탠바이시에는, 노드 N_1과 N_3가 L레벨로 되고, 노드 N_2와 N_4가 H 레벨로 된다. 이때, 전 2단의 인버터를 보면, 트랜지스터 Q_1과 Q_4를 통하여 리크(leak) 전류 I_{leak}가 흐른다. 메모리 전체에 이 상태가 동일하게 존재하기 때문에, 트랜지스터의 임계치를 내리면 리크전류가 큰 폭으로 증가한다.

제1C도는, 트랜지스터의 임계치 전압 V_T와 16M 비트 DRAM 레벨의 칩의 스탠바이 전류와의 관계를 도시하는 도면이다. 제1C도에 의하면, 스탠바이 전류를 1μA로 억제하기 위해서는 최저 0.6[V]의 임계치 전압 V_T가 필요하게 됨을 알 수 있다.

제3A도 및 제3B도에, SRAM 및 DRAM의 스탠바이시와 액티브시에 있어서의 전류의 변화를 나타낸다. 제3A도 및 제3B도에 있어서, 액티브시의 전류를 I_{cc1}, 스탠바이시의 전류를 I_{cc2}로 한다. 통상, 메모리는 데이타를 엑세스하지 않을 때에 스탠바이 상태로 하여 전류를 감소시키도록 하고 있으나, 스탠바이 상태의 기간쪽이 액티브 상태의 기간 보다도 훨씬 길다. 따라서, 스탠바이 상태에서의 전류 I_{cc2}를 충분히 저하시킬 필요가 있다. 이 스탠바이 상태는 배터리 백업으로 동작하지 않는때의 전류의 결정 수단으로 된다.

상기와 같이, 종래의 반도체 장치에 있어서는, LSI의 전원 전압 V_{cc}를 저전압화 하면, 전원 전압 V_{cc}가 트랜지스터의 임계치 전압 V_T에 근접함으로써, 동작 속도가 늦게 되고, 임계치 전압 V_T를 내리면 스탠바이 전류가 증대한다.

본 발명의 목적은, 내부 전원을 저전압화 한 경우에도 고속 동작을 유지하고, 또 스탠바이 전류를 낮게 억제할 수 있는 반도체 장치를 제공하는데 있다.

본 발명의 골자는 스탠바이시의 소비전류 저감과 고속 동작이라는 상반된 문제점을 해결하기 위하여, MOS 트랜지스터의 임계치 설정이나 스탠바이시의 전원 전압 V_{cc} 내부 전원 전압 V_{ss}(이하, 간단히 전원 전압이라 한다)의 가변 설정을 행하는데 있다.

본 발명의 제1국면에 관한 반도체 장치는, 소정의 소비 전류로 동작하는 액티브 동작 모드와 상기 소정이 소비 전류 보다 극히 작은 소비 전류로 동작하는 스탠바이 동작 모드를 구비한 반도체 장치에 있어서, 각각 소오스 및 드레인을 갖는 복수의 p채널 MOS 트랜지스터 및 n채널 MOS 트랜지스터와, 상기 p 채널 MOS 트랜지스터 및 상기 n 채널 MOS 트랜지스터의 상기 소오스 및 상기 드레인의 일방은, 상기 스탠바이 동작 모드에 있어서, H 레벨 및 L 레벨의 일방의 소정의 전위에 고정되어 있고, 상기 p 채널 MOS 트랜지스터 및 상기 n 채널 MOS 트랜지스터의 동일 채널의 MOS 트랜지스터에 대하여, 상기 스탠바이 동작 모드에서

차단하는 제1의 MOS 트랜지스터의 임계치 전압을, 스탠바이 동작 모드에서 온(ON)하는 제2의 MOS 트랜지스터의 임계치 전압보다도 높은 값으로 설정하는 설정 수단을 구비하는 것올 특징으로 한다.

본 발명의 제1국면에 관한 반도체 장치의 양호한 실시태양으로서는 다음의 것들을 열거할 수 있다.

(1) 상기 제1의 MOS 트랜지스터의 채널 폭은 상기 제2의 MOS 트랜지스터의 채널 폭 보다 작은 채널폭을 갖는다.

(2) 상기 p채널 MOS 트랜지스터 및 상기 n 채널 MOS 트랜지스터의 적어도 일방이 직렬 접속되어 있고, 스탠바이 동작 모드에 있어서 직렬 접속된 MOS 트랜지스터가 차단하는 경우에는 상기 설정 수단은 직렬접속된 MOS 트랜지스터의 적어도 1개의 임계치 전압을 높게하는 수단을 포함한다. 또, 상기 p채널 및 n 채널 MOS 트랜지스터를 직렬 접속하여 얻어지는 회로는 NOR 및 NAND 회로의 적어도 일방의 회로를 구성한다.

본 발명의 제1국면에 의하면, 스탠바이시에 차단하는 트랜지스터 및 온(ON)하는 트랜지스터의 임계치를 상술한 바와 같이 설정함으로써, 다음과 같은 작용을 하게 된다. 예를들면, 차단하는 트랜지스터의 임계치를 변화시키지 않고, 온(ON)하는 트랜지스터의 임계치를 낮게 함으로써, 스탠바이시에 있어서의 리크 전류를 증가시키는 일 없이 고속화를 도모할 수 있다. 이와 반대로, 온(ON)하는 트랜지스터의 임계치를 변화시키지 않고, 차단하는 트랜지스터의 임계치를 높게함으로써 고속동작을 저해하는 일 없이 스탠바이시에 있어서의 리크 전류틀 억제할 수 있게 된다.

반도체 장치를 저 전압화한 경우에, 양 트랜지스터의 임계치를 내리면, 스탠바이시의 리크 전류가 문제로 되지만, 차단하는 트랜지스터의 임계치를 스탠바이전류가 저감할 수 있는 정도로 높게 하고, 온(ON)하는 트랜지스터의 임계치를 액티브시의 전류가 큰폭으로 증대하지 않는 정도로 낮게 하는 것에 의해 스탠바이 전류틀 억제하면서 고속 동작을 실현할 수 있게 된다.

임계치 전압이 낮은 트랜지스터의 채널 폭을 협소하게 하고, 임계치 전압이 높은 트랜지스터의 채널 폭을 넓게 했기 때문에, 스탠바이로부터 액티브의 게이트 지연을 액티브로부터 스텐바이로의 게이트 지연과 같은 정도로 할 수 있으며, LSI 전체의 동작 스피드를 빠르게 할 수 있게 된다.

본 발명의 제2국면에 관한 반도체 장치는 소정의 소비 전류로 동작하는 액티브 동작 모드와 상기 소정의 소비 전류 보다 극히 작은 소비 전류로 동작하는 스탠바이 동작 모드를 갖는 반도체 장치에 있어서, 각각 소오스 및 드레인을 갖는 복수의 p 채널 MOS 트랜지스터 및 n채널의 MOS 트랜지스터와, 상기 p채널 MOS 트랜지스터 및 상기 n 채널 MOS 트랜지스터의 상기 소오스 및 상기 드레인의 일방은 상기 스탠바이 동작 모드에 있어서 H 레벨 및 L 레벨의 일방의 소정의 전위에 고정되고 있고, 스탠바이 동작 모드 에 있어서 차단하는 p 채널 MOS 트랜지스터가 접속된 제2의 전원 전압을, 스탠바이 동작 모드에 있어서 온(ON)하고 있는 p 채널 MOS 트랜지스터가 접속된 제1전원의 전압 보다도 내리는 수단과, 스탠바이 동작 모드에 있어서 차단하는 n 채널 MOS 트랜지스터가 접속된 제4전원의 전압을, 스탠바이 동작 모드에 있어서 온(ON)하고 있는 n 채널 MOS 접속된 제3전원의 전압 보다도 올리는 수단을 구비하는 것을 특징으로 한다. 게다가, 스탠바이 동작 모드에 있어서 온(ON)하는 p채널 MOS 트랜지스터가 접속된 제1전원의 전압과, 스탠바이 동작 모드에 있어서 온(ON)하는 n 채널 MOS 트랜지스터가 접속된 제3전원 전압을 변경하지 않는 수단을 더 구비하면 좋다.

본 발명의 제2국면에 관한 반도체 장치의 양호한 실시태양으로서는, 다음의 것들을 열거할 수 있다.

(1) 상기 p 채널 MOS 트랜지스터의 그룹 및 n 채널 MOS 트랜지스터의 그룹의 적어도 일방이 직렬 접속되어 직렬 접속 트랜지스터 회로를 형성하고, 이 직렬 접속 트랜지스터 회로의 양단에 상기 제1전원의 전압 및 상기 제2전원의 전압이 인가되고, 스탠바이 동작 모드에 있어서 상기 직렬 접속 트랜지스터 회로가 차단하는 경우에는 상기 설정수단은 상기 제1전원의 전압을 내리고, 상기 제3의 전원의 전압을 올리는 수단을 포함한다.

(2) 상기 직렬 접속 트랜지스터 회로는 NOR 및 NAND 회로의 적어도 일방의 회로를 구성한다.

(3) 각각이 p 채널 및 n 채널의 MOS 트랜지스터로 구성되는 복수의 메모리 셀이 배치된 복수의 코어 회로를 더 구비하고, 상기 설정수단은, 액티브 동작 모드로 되어도 선택되지 않는 상기 코어 회로에 대하여, 스탠바이 동작 모드에 있어서 차단하는 p 채널 MOS 트랜지스터가 접속된 제2의 전원 전압과, 스탠바이 동작 모드에 있어서 차단하는 n 채널 MOS 트랜지스터가 접속된 제4 전원 전압을, 스탠바이 동작 모드에 있어서 각각 제1전원의 전압 및 제3전원 전압과 동일한 전위로 유지하는 수단을 포함한다.

(4) 상기 (3)에 있어서, 외부로부터 소정의 신호를 입력하는 입력수단을 더 구비하고, 상기 액티브 동작 모드에 있어서 제2전원의 전압 및 제4전원의 전압을 각각 상기 제1전원 전압 및 상기 제3전원 전압과 등전위로 하는 코어 회로가 상기 입력 수단에 의해 입력한 신호를 나타내는 어드레스 값에 의해 선택된다.

본 발명의 제2국면에 의하면, 스탠바이 동작에 있어서, 입력이 L 레벨에서 차단하는 nMOS 트랜지스터에 접속하는 전원 전압 V_{ss}의 전위를 올림으로써 게이트 입력은 L레벨로 되어 있는 상태이므로 게이트, 소오스간 전압은 마이너스(-) 전위로 된다. 따라서, 이 nMOS 트랜지스터의 임계치 전압을 낮게 하여도 차단 특성은 큰 폭으로 개선되고, 리크 전류를 억제할 수 있다.

pMOS도 동일하게, 스탠바이 동작에 있어서 입력이 H 레벨에서 차단하는 pMOS 트랜지스터에 접속하는 전원 전압 V_{cc}의 전위를 내림으로써, 게이트 입력은 H 레벨 그대로 이므로, 게이트 소오스간 전압은 차단하는 방향으로 진행한다.

따라서, 이 pMOS 트랜지스터의 임계치 전압을 낮게 해도 차단 특성은 큰 폭으로 양호하게 되어, 리크전류를 억제할 수 있다.

상기와 같이, 스탠바이시에 차단하는 MOS 트랜지스터의 임계치를 내리는 일이 가능하며, 이것에 의해 전원 전압 V_{cc}의 전위를 종래보다 내려도 고속 동작을 실현할 수 있고, 스탠바이시의 리크 전류를 억제할 수 있다.

상기와 같이, 본 발명의 반도체 장치에 의하면, MOS 트랜지스터의 임계치의 설정이나 스탠바이시의 전원 전압 V_{cc}, 전원 전압 V_{ss}를 가변설정함으로써, 스탠바이시의 소비전류 저감과 고속 동작이라는 상반된 문제를 해결할 수 있고, 내부 전원을 저 전압화한 경우에도 고속 동작을 유지하고, 또, 스탠바이 전류를 낮게 억제한 반도체 장치를 실현할 수 있다.

도면을 참조하여, 본 발명의 실시예를 설명한다.

제4도는 본 발명의 제1실시예에 관한 메모리의 일반 회로의 일부의 논리 게이트를 도시한 도면으로서 3단의 인버터 회로예를 도시한다.

제2도에 도시한 바와 같이, 메모리는 액티브 상태와 스탠바이 상태가 존재하고, 스탠바이시는 메모리 칩 중의 거의 모든 회로는 어떤 일정한 값을 갖는다.

즉, 각 노드가 H레벨의 전원 전압 V_{cc} 또는 L 레벨의 전원 전압 V_{ss}로 되어 있다.

제4도에서는, 노드 N_1, N_3가 L 레벨, 노드 N_2, N_4가 H 레벨로 되어 있다. 제1단과 제2단의 인버터를 보면, 소오스, 드레인 간에 전원 전압 V_{cc}가 부가되어 있는(차단하고 있다) 트랜지스터 Q_1, Q_4의 임계치 전압 V_{T1}, V_{T4}를, 높은 채(종래의 임계치 전압)로 해두면, 스탠바이 전류를 예를들면 1μA로 억제할 수 있다. 그리고, 소오스, 드레인 간의 전압이 0[V](온 상태)의 트랜지스터 Q_2, Q_3의 임계치 전압 V_{T2}, V_{T3}를 낮게 해도 스탠바이 전류는 증가하지 않는다.

상기의 이유로부터, 스탠바이시에 있어서의 리크 전류를 증가시키는 일 없이, 임계치 전압 V_{T2}, V_{T3}를 저하시킬 수 있다. 임계치 전압 V_{T2}, V_{T3}를 내리면, 액티브시의 트랜지스터의 리크 전류가 증대하지만, 제3도에 도시한 바와 같이, 메모리의 액티브 전류는 크고, 일반적으로 수 10mA 내지 수 10mA도 되기 때문에, 다소의 리크 전류가 있어도 무시할 수 있다. 예를들면, 1mA의 리크전류를 허용하면, 임계치 전압 V_{T2}, V_{T3}는 제1C도에서 0.3[V]까지 저하할 수 있다. 동일하게, 제1C도에서 임계치 전압 V_{T1}, V_{T4}에 대한 리크 전류를 1μA로 하면, 0.6[V]의 임계치 전압이 필요한 점을 생각하면, $V_{T1}-V_{T2}=0.3[V]$, $|V_{T4}|-|V_{T3}|:=0.3[V]$로 된다. 즉 $V_{T1}V_{T2}$, $|V_{T4}|$ $|V_{T3}|$ 로 된다.

상기와 같이 설정한 경우에 있어서의 게이트 지연을 제5A도 내지 제5C도에 도시한다. 제5A도는 종래의 전부의 임계치 전압 V_T가 높은 경우(즉, $V_{T1}=V_{T2}=V_{T3}=V_{T4}$)를 나타내고, 제5B도, 제5C도는 제1실시예의 경우를 나타내고 있다.

제5B도에 있어서 지연 d_1, d_3는 종래와 같으나, 지연 d_2, d_4는 임계치 전압 V_{T2}, V_{T3}를 낮게할 수 있기 때문에 게이트 지연은 작고, 액티브 상태로부터 스탠바이 상태의 변화시에 고속화하고 있다.

임계치가 낮은 고속의 트랜지스터 Q_2, Q_3에 있어서, 그의 속도가 빠른 정도 만큼, 채널 폭 W_2, W_3를 작게하여 속도를 떨어뜨린다. 그리고, 감소된 채널폭 △W를 임계치가 높은 저속의 트랜지스터 Q_1, Q_4→로 할당하여, 채널 폭 W_1, W_4를 크게하여 트랜지스터 Q_1, Q_4를 고속화할 수 있다.

즉, W_1W_2, W_4W_3로 하면, 제5C도에 도시한 지연 d_1, d_2, d_3, d_4 전부를 제5A도의 지연 d_1, d_2, d_3, d_4보다 전원 전압 V_{cc} 미니멈시에는 지연을 작게 하여 고속화할 수가 있다.

제6도는 제1실시예의 전원 전압 V_{cc}가 미니멈에서의 게이트 지연시간을 나타낸다. 제6도에 있어서. 종래의 예를들면 임계 전압 $V_T=0.6[V]$때의 지연을 (1)의 곡선으로 나타낸다. 이것에 대하여 전부의 임계치 전압 $V_T=0.3$때의 지연을(3)의 곡선으로 표시하나, 이 경우는 스탠바이 전류가 많게 된다. 제1실시예는 임계치 전압 $V_T=0.3[V]$와 0.6[V]의 두가지를, pMOS, nMOS의 양쪽에 적용하고 있다. 그리고, 종래의 트랜지스터 Q_1, Q_2, Q_3, Q_4의 채널폭 W를 $W_1=W$, $W_2=W$, $W_3=2W$, $W_4=2W$로 한 경우에, 제1실시예의 전원 전압V_{cc} 미니멈시의 임계치 전압 $V_T=0.6[V]$의 트랜지스터 Q_1, Q_4의 스피드 보다 임계치 전압 $V_T=0.3[V]$키의 트랜지스터 Q_2, Q_3의 스피드가 K배 고속의 경우,

$W_1= 2KW/(K+1)$

$W_2 = 2KW/(K+1)$

$W_3 = 4KW/(K+1)$

$W_4 =4KW/(K+1)$

로 하고, W_1/W_2=K배, W_4/W_3=K배로 하여 Q_1, Q_4의 채널 폭을 Q_2, Q_3의 채널폭 보다 K배로 하여주고 액티브→스탠바이, 스탠바이→액티브의 스피드를 동일하게 한다. 이 경우 액티브→스탠바이, 스탠바이→액티브의 지연은 대강 다음과 같이 된다. 즉, 스탠바이→액티브의 지연은 본 발명의 제1실시예에서 $(K+1)/2KW+\{(K+1)/4KW)\times2$, 종래예에서 $(1/W)+(1/2W)\times2$로 되어, 본 발명의 제1실시예의 편이 종래예 보다도 21/(K+1)배 빠르게 된다.

액티브→스탠바이 지연은 본 발명의 제1실시예에서 $\{(K+1)/2W\}\times(1/K)+\{(K+1)/4W\times(1/K)\times2$, 종래예에서 $(1/W+(1/2W)\times2$로 되고, 스탠바이→액티브의 경우와 동일하게, 본 발명의 제1실시예의 편이 종래예 보다도 2K/(K+1)배 빠르게 된다.

즉, 종래의 지연을 1로 하면 모든 트랜지스터의 임계치 전압 $V_T=0.3[V]$의 지연은 1/K로 되고, 본 발명의

제1실시예의 지연은 (K+1)/2K로 되기 때문에, 본 발명의 제1실시예의 지연은 [1+(1/K)]/2=(K+1)/2K이며 중간 스피드로 된다. 제6도에서는 (1)과 (3)의 중간에 (2)가 오는 것을 나타내고 있다.

상기와 같이, 제1실시예에 의하면, 스탠바이시에 차단하는 트랜지스터 Q_1, Q_4의 임계치 전압 V_{T1}, V_{T4}는 그대로이므로, 스탠바이시의 리크 전류는 저감된다.

액티브시에는 큰 액티브 전류가 흐르므로, 액티브시에 오프하는 (스텐바이시에 온한다) 트랜지스터 Q_2, Q_3의 임계치 전압 V_{T2}, V_{T3}는 액티브 전류에 비해 낮으면 좋기 때문에, 임계치 전압 V_{T2}, V_{T3}는 낮게 할수 있다. 따라서, 액티브로부터 스탠바이로 변하는 때의 게이트 지연 시간은 큰 폭으로 짧게 되어, 저전원 전압 V_{cc}에서도 고속화할 수 있다. 즉, 본 발명에 의하면, 스탠바이시에 있어서의 리크 전류를 증가시키는 일 없이 고속화를 도모할 수 있다.

임계치 전압이 낮은 트랜지스터 Q_2, Q_3의 채널폭을 좁게하고, 임계치 전압이 높은 트랜지스터 Q_1, Q_4의 채널폭을 넓게 함으로써, 스탠바이로부터 액티브의 게이트 지연을 액티브로부터 스탠바이로의 게이트 지연과 같은 정도로 할 수 있기 때문에, 이것에 의해 LSI 전체에서의 동작 스피드를 빠르게 할 수 있다.

제7A도 내지 제7C도 및 제8A도 내지 제8C도는, 본 발명의 제1실시예를 인버터 뿐만 아니라 각각 NAND 회로 및 NOR 회로에 적용한 예를 나타내는 도면이다.

NAND 회로에서는 제7A도, 제7B도에 도시한 바와 같이 출력이 스탠바이시에 H로 되는 경우, 스탠바이시에 차단하는 nMOS 트랜지스터의 임계치 전압 V_T를 높게 하고, 제7C도에 도시한 바와 같이 출력이 스탠바이시에 L로 되는 경우, 스탠바이시에 차단하는 pMOS 트랜지스터의 임계치 전압 V_T를 높게 한다. 여기서, 출력이 스탠바이시 H일때, 직렬의 nMOS 트랜지스터는 적어도 하나가 임계치 전압 V_T가 높으면 좋다.

NOR 회로에서는 제8도에 도시한 바와 같이 출력이 스탠바이시에 H로 되는 경우 스탠바이시에 차단하는 nMOS 트랜지스터의 임계치 전압 V_T를 높게 하고, 제8B도, 제8C도에 도시하는 바와 같이 출력이 스탠바이시에 L로 되는 경우, 스탠바이시에 차단하는 pMOS 트랜지스터의 임계치 전압 V_T를 높게 한다. 여기서, 출력이 스탠바이시 L일때 직렬의 pMOS 트랜지스터는 적어도 하나가 임계치 전압 V_T가 높으면 좋다.

상기와 같이, 본 발명은 인버터에 한정되지 않고 각종의 LSI에 적용할 수 있고, 인버터에 적용한 경우와 동일한 효과를 얻을 수 있다. 제1실시예와 마찬가지로, 임계치 전압 V_T이 낮은 것은, 채널 폭 W를 작게 하고, 임계치 전압 V_T이 높은 것은 채널 폭은 W를 크게 하면 보다 유효하다.

제9도는, 본 발명의 제1실시예를 DRAM에 적용한 예를 나타내는 도면이다.

이 예에서는, 스탠바이시, 전압 $V_{cc}/2$의 프리차-지(precharge)의 경우는, 소오스·드레인 간이 0[V]이므로, 전체의 트랜지스터의 임계치 전압 V_T를 낮게 할 수 있다.

제10도는 본 발명의 제1실시예를 DRAM의 칼럼 디코더에 적용한 예를 나타내는 도면이다. 제10도에 의하면, 전체 스탠바이시의 노드의 전위에 따라 V_T의 고저 및 W의 크기를 변화시킴으로써 고속화할 수 있다.

상기와 같이, 본 발명은, 전체의 스탠바이시에 노드를 고정 회로에 적용할 수 있다. 또한, 일부 동작 마진이 적은 곳에서는 nMOS, pMOS 양쪽에 V_T가 낮은 것을 사용해도 전체 리크 전류에는 영향을 주지 않기 때문에, 본 발명은 칩 전체를 전원 전압 V_{cc}가 낮은 동작에서는 유효하다.

제11도는 본 발명의 제2실시예에 관한 메모리의 일반 회로의 일부 논리 게이트를 나타내는 도면이다. 제11도는 4단의 인버터의 예를 나타낸다.

제2도에 도시한 바와 같이, 메모리는 액티브와 스탠바이 상태가 존재하고, 스탠바이시는 메모리 칩 중의 거의 모든 회로는 어떤 일정한 값을 갖는다. 즉, 각 노드가 H 레벨의 전원 전압 V_{cc} 또는 L 레벨의 전원 전압 V_{ss}로 되어 있다.

제11도의 예에서는, 노드 N_1, N_3, N_5가 L 레벨, 노드 N_2, N_4가 H 레벨로 되어 있다. 이때, 트랜지스터 Q_{n1}, Q_{n3}의 nMOS, Q_{p2}, Q_{p4}의 pMOS에는 소오스, 드레인 간에 종래 방식에서는 높은 전위차가 발생하고 있다.

제2실시예에서는, 트랜지스터 Q_{n1}, Q_{n3}의 전원 전압 V_{ss}를 칩 내부 제어의 전압 V_{ss1}을 하고, 트랜지스터 Q_{p2}, Q_{p4}의 전원 전압 V_{cc}를 칩 내부 제어의 전압 V_{cc1}으로 하며, 스탠바이시에는 전압 V_{cc1}을 전원 전압 V_{cc}보다 낮게 하여, 전압 V_{ss1}은 전원 전압 V_{ss} 보다 높게 하는 것을 특징으로 하고 있다. 이것에 의해 스탠바이시는, 예를들면, 트랜지스터 Q_{n1}의 게이트, 소오스간 전위는 $V_{ss}-V_{ss1}$($V_{ss1}V_{ss}$)이기때문에, $V_{ss}-V_{ss1}-V_T-V_T$로 되어 통상의 트랜지스터의 임계치 전압 V_T에서, 게이트, 소오스간이 0[V]의 트랜지스터 보다 차단 특성이 큰 폭으로 개선된다.

예를들면, 임계치 전압 V_T=0.3[V]에서도 전원 전압 $V_{ss}-V_{ss1}-V_T$=-0.3-0.3=-0.6[V]로 종래의 임계치 전압 V_T=0.6[V]의 트랜지스터 특성과 동일하게 된다. 이것에 의해, 회로 전체의 임계치 전압을 내릴 수 있기 때문에, 제12도에 도시한 바와 같이, 게이트 지연 시간은 큰 폭으로 단축되어, 종래의 V_T 보다도 낮은 전원 전압 V_{cc}에서 LSI가 동작가능하게 되고, 또한 스텐바이 전류를 종래와 동일하게 억제할 수 있다. 물론, 액티브시에는 V_{ss1}, V_{cc1}의 노드는 전원 전압 V_{ss}, 전원 전압 V_{cc}의 전위로 회복되어, 통상의 LSI와 동일한 동작 방법으로 된다.

제13A도는 제2실시예에 있어서의 V_{ss1}, V_{cc1}의 발생회로, 제13B도는 이 회로에 있어서의 신호 파형도를 나타낸다. 제13B도에 도시한 바와 같이, 클록 ϕ_1, ϕ_2를 RAS와 동기시켜 동작함으로써, 액티브시에는 $V_{cc1}=V_{cc}$, $V_{ss1}=V_{ss}$, 스탠바이시에는 $V_{cc1}V_{cc}$, $V_{ss1}V_{ss}$로 된다. 클록 ϕ_1, ϕ_2에 의해 스탠바이시에는 트랜지스터 Q_{p5}, Q_{n5}를 절단하는 것에 의해 자동적으로 전압 V_{cc1}, V_{ss1}은 전원 전압 V_{cc} 이하, 전원 전압 V_{ss} 이상으로된다.

제14도는 본 발명을 메모리에 적용한 모식적인 구성예를 도시하는 도면이다. 주변 회로의 스탠바이시에 차단하는 MOS 트랜지스터는 공통선 L_1 및 L_2에 접속되고, 각 코어 회로의 스탠바이시에 차단하게 되는 pMOS 트랜지스터의 일측의 단자는 트랜지스터 Q_{11}, Q_{21},… Q_{31}를 개재시켜 공통선 L_1에 접속되고, 각 코어회로의 스탠바이시에 차단하게 되는 nMOS 트랜지스터의 일방의 단자는 트랜지스터 Q_{12}, Q_{22}…, Q_{32}를 개재시켜 공통선 L_2에 접속되어 있다. 공통선 L_1은 트랜지스터 Q_1을 개재시켜 전원 전압 V_{cc}에 접속되고, 공통선 L_2는 트랜지스터 Q_2를 개재시켜 전원전압 V_{ss}에 접속되어 있다.

스탠바이시는 트랜지스터 Q_{0l}, Q_2가 오프(off)이고, 공통선 L_1은 V_{cc1}의 전위, 공통선 L_2은 V_{ss1}의 전위로 되고, 액티브시는 트랜지스터 Q_1, Q_2가 온(ON)이고, 공통선 L_1은 전원 전압 V_{cc}의 전위, 공통선 L_2는 전원 전압 V_{ss}의 전위로 된다. 또한, 액티브시에 있어서, 예를들면 코어 회로(1)는 트랜지스터 Q_{11}, Q_{12}가 온(ON) 상태에서 전원 전압 V_{cc}와 전원 전압 V_{ss}의 전위로 되고, 트랜지스터 Q_{11}, Q_{12}가 오프(off)에서는 V_{cc1}과 V_{ss1}의 전위로 된다. 이 도면에는 표시하지 않았으나, 주변 회로 및 각 코어 회로의 필요한 부분에는 전원 전압 V_{cc} 및 전원 전압 V_{ss}가 접속되어 있다.

상기와 같은 구조에서는, 공통선 L_1, L_2에 다수의 코어 회로가 연결되기 때문에, 스탠바이→액티브시나액티브→스탠바이시에 큰 구동 전류가 필요하게 된다. 따라서 각 코어 회로와 공통선 L_1, L_2와의 사이에 트랜지스터 Q_{11}~Q_{32}를 설치하여, 선택하는 코어회로만 트랜지스터를 온(ON), 오프(OFF) 하도록 하고 있다.

이상과 같은 구성이면, 스탠바이와 액티브와의 전환시에 전체 코어 회로에서 전원 전압 V_{cc}, 전원 전압 V_{ss}의 전위를 변경하는 것이 아니고, 일부의 코어 회로에서 전원 전압 V_{cc}, 전원 전압 V_{ss}의 전위를 변경하기 위해, 스탠바이→액티브시나 액티브→스탠바이시에 있어서의 소비 전류를 큰 폭으로 저감할 수 있다.

제15A도 내지 제15C도 및 제16A도 내지 제16C도는 본 발명의 제2실시예를 각각 NAND 회로 및 NOR 회로에 적용한 예를 도시한 도면이다.

제15A도 내지 제15C도는 NAND 게이트의 각 스탠바이시의 고정 노드에서의 V_{ss1}, V_{cc1}의 이용법을 나타낸다. 제16A도 내지 제16C도는 NOR 게이트의 예를 나타낸다. 그외, 다른 논리 게이트에서도 동일하지만, 스탠바이시 출력이 H일때는 전원 전압 V_{ss} 대신에 V_{ss1}를 이용하고, 스탠바이시 출력이 L일때는 전원전압 V_{cc} 대신에 $V_{cc}1$을 이용하면 좋다.

제17도는 본 발명의 제2실시예를 DRAM의 컬럼 디코더에 적용한 예를 나타내는 도면이다.

제15도 및 제16도의 기호를 사용하여 표시하였다. 이것도, 제15도 및 제16도에서 설명한 방법에 따라 동일하게 실현할 수 있다.

본 발명은 상기한 제1 및 제2실시예에 한정되지 않고, 그 요지를 이탈하지 않는 범위에서 여러가지로 변형하여 실시할 수가 있다.

(57) 청구의 범위

청구항 1

소정의 소비 전류로 동작하는 액티브 동작 모드와 상기 소정의 소비 전류 보다 극히 작은 소비 전류로 동작하는 스탠바이 동작 모드를 갖는 반도체 장치에 있어서, 각각 소오스 및 드레인을 갖는 복수의 p채널 MOS 트랜지스터 및 n 채널 MOS 트랜지스터와, 상기 p 채널 MOS 트랜지스터 및 상기 n 채널 MOS 트랜지스터의 상기 소오스 및 상기 드레인의 일방은 상기 스탠바이 동작 모드에서 H 레벨 및 L 레벨의 일방의 소정의 전위로 고정되어 있고, 상기 p 채널 MOS 트랜지스터 및 상기 n 채널 MOS 트랜지스터의 동일 채널의 MOS 트랜지스터에 대하여 상기 스탠바이 동작 모드에서 차단되는 제1의 MOS 트랜지스터의 임계치 전압을 스탠바이 동작 모드에서 온(on)하는 제2의 MOS 트랜지스터의 임계치 전압보다도 높은 값으로 설정하는 설정수단을 구비하는 것을 특징으로 하는 반도체 장치.

청구항 2

제1항에 있어서, 상기 제1의 MOS 트랜지스터의 채널 폭은 상기 제2의 MOS 트랜지스터의 채널 폭보다 작은 채널 폭을 갖는 것을 특징으로 하는 반도체 장치.

청구항 3

제1항에 있어서, 상기 p 채널 MOS 트랜지스터 및 상기 n 채널 MOS 트랜지스터의 적어도 일방이 직렬 접속되어 있고, 스탠바이 동작 모드에서 직렬 접속된 MOS 트랜지스터가 차단되는 경우에는 상기 설정 수단은 직렬 접속된 MOS 트랜지스터의 적어도 한개의 임계치 전압을 높게 하는 수단을 포함하는 것을 특징으로 하는 반도체 장치.

청구항 4

제3항에 있어서, 상기 p 채널 및 n 채널 MOS 트랜지스터를 직렬 접속하여 얻어진 회로는 NOR 및 NAND 회로의 적어도 일방의 회로를 구성하는 것을 특징으로 하는 반도체 장치.

청구항 5

소정의 소비 전류로 동작하는 액티브 동작 모드와 상기 소정이 소비 전류 보다 극히 작은 소비 전류로 동작하는 스탠바이 동작 모드를 갖는 반도체 장치에 있어서, 각각 소오스 및 드레인을 갖는 복수의 p채널 MOS 트랜지스터 및 n 채널 MOS 트랜지스터와, 상기 p 채널 MOS 트랜지스터 및 상기 n 채널 MOS 트랜지스터의 상기 소오스 및 상기 드레인의 일방은 상기 스탠바이 동작 모드에서 H 레벨 및 L레벨의 일방의 소정의 전위로 고정되어 있고, 스탠바이 동작 모드에서 차단되는 p 채널 MOS 트랜지스터가 접속된 제2전원의 전압을 스탠바이 동작 모드에서 온(ON) 상태인 p 채널 MOS 트랜지스터가 접속된 제1전원의 전압 보다도 내리는 수단과 ,스탠바이 동작 모드에서 차단되는 n 채널 MOS 트랜지스터가 접속된 제4전원전압을 스탠바이 동작 모드에서 온(on) 상태인 n 채널 MOS가 접속된 제3전원의 전압보다도 높게 올리는 수단을 구비하는 것을 특징으로 하는 반도체 장치.

청구항 6

제5항에 있어서 스탠바이 동작 모드에서 온(on)하는 p 채널 MOS 트랜지스터가 접속된 제1전원 전압과, 스탠바이 동작 모드에서 온(on)하는 n 채널 MOS 트랜지스터가 접속된 제3의 전원 전압을 변경하지 않는 수단을 더 구비하는 것을 특징으로 하는 반도체 장치.

청구항 7

제5항에 있어서, 상기 p 채널 MOS 트랜지스터의 그룹 및 n 채널 MOS 트랜지스터의 그룹의 적어도 일방이 직렬 접속되어 직렬 접속 트랜지스터 회로를 형성하고 상기 직렬 접속 트랜지스터 회로의 양단에 상기 제1전원 전압 및 상기 제2전원 전압이 인가되고 스탠바이 동작 모드에서 상기 직렬 접속 트랜지스터 회로가 차단되는 경우에는 상기 설정 수단은 상기 제1전원 전압을 내려 상기 제3전원 전압을 올리는 수단을 포함하는 것을 특징으로 하는 반도체 장치.

청구항 8

제7항에 있어서 상기 직렬 접속 트랜지스터 회로는 NOR 및 NAND 회로의 적어도 일방의 회로를 구성하는 것을 특징으로 하는 반도체 장치.

청구항 9

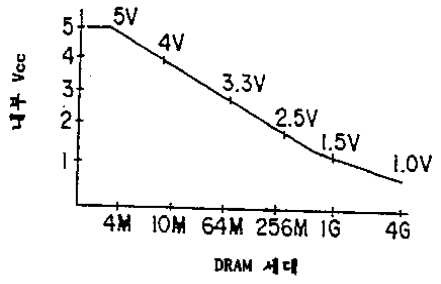
제5항에 있어서, 각각 p 채널 및 n 채널의 MOS 트랜지스터로 구성된 복수의 메모리 셀이 배치된 복수의 코어 회로를 더 구비하고, 상기 설정 수단은 액티브 동작 모드로 되어도 선택되기 않는 상기 코어 회로에 대하여 스탠바이 동작 모드에서 차단되는 p 채널 MOS 트랜지스터가 접속된 제2전원 전압과, 스탠바이 동작 모드에서 차단되는 n 채널 MOS 트랜지스터가 접속된 제4전원 전압을 스탠바이 동작 모드에서 각각 제1전원 전압 및 제3전원 전압과 동일한 전위로 유지하는 수단을 포함하는 것을 특징으로 하는 반도체 장치.

청구항 10

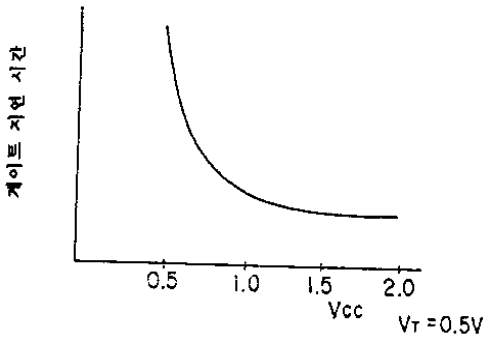
제9항에 있어서, 외부로부터의 소정의 신호를 입력하는 입력 수단을 더 구비하고 액티브 동작 모드에서 제2전원 전압 및 제4전원 전압을 각각 상기 제1전원 전압 및 상기 제3전원 전압과 동전위로 하는 코어 회로가 상기 입력 수단에 의해 입력된 신호를 표시하는 어드레스 값에 의해 선택되는 것을 특징으로 하는 반도체 장치.

도면

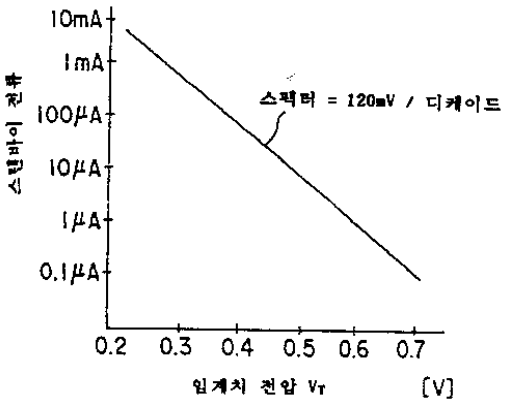
도면1a



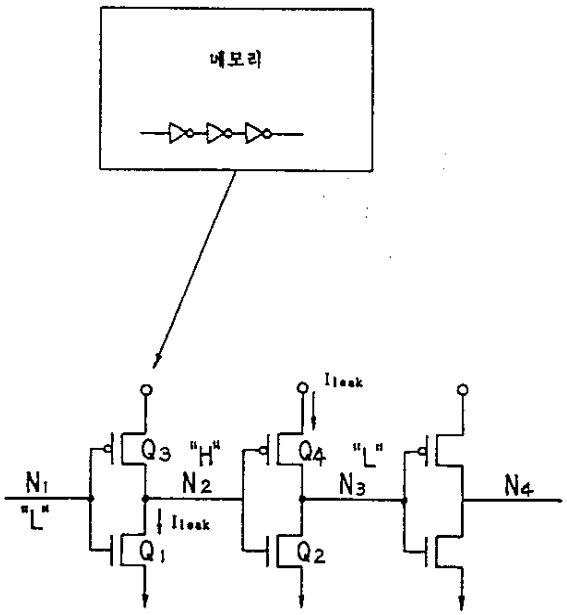
도면1b



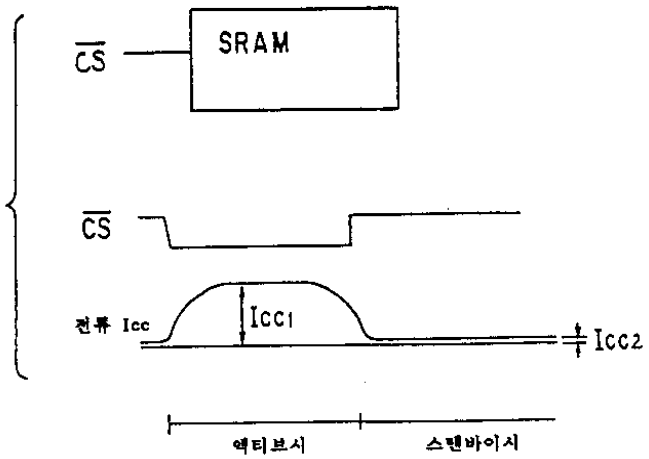
도면1c



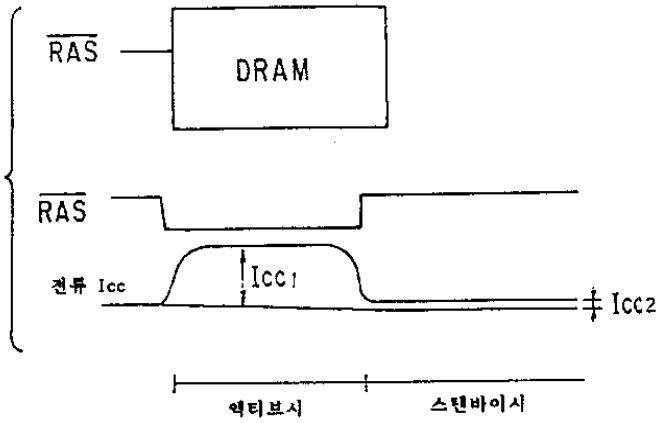
도면2



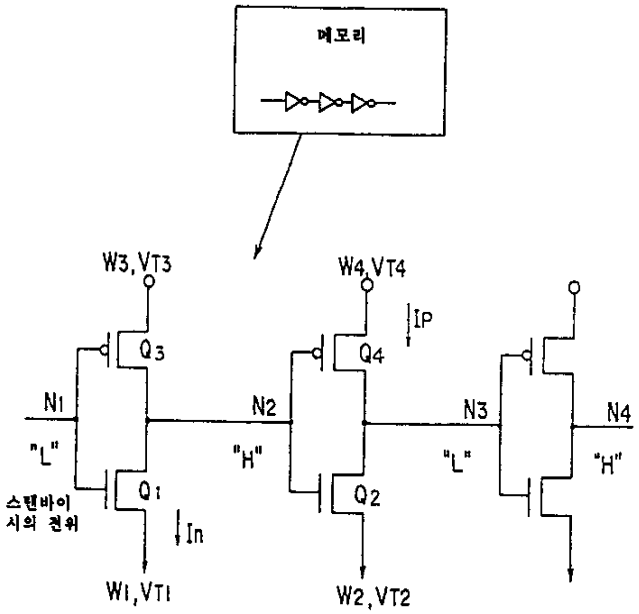
도면3a


CS
SRAM
CS
전류 Icc
ICC1
ICC2
액티브시
스탠바이시

도면3b


RAS
DRAM
RAS
전류 Icc
ICC1
ICC2
액티브시
스탠바이시

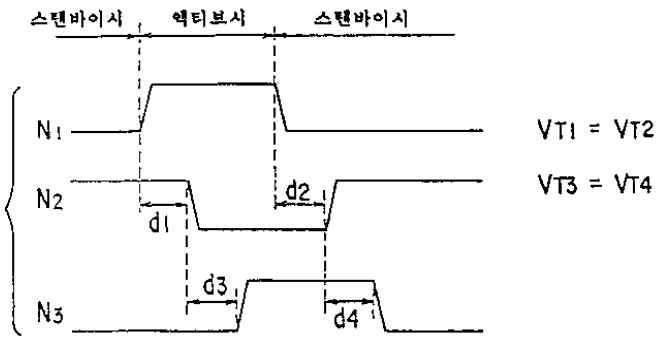
도면4



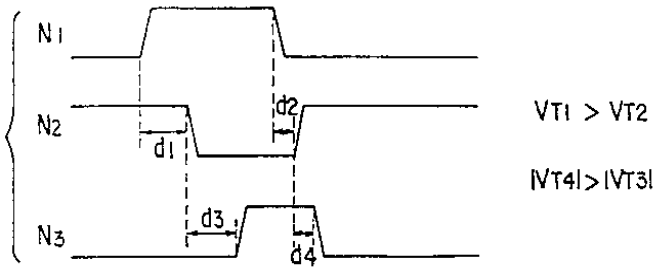
임계치 전압 { VT1 > VT2, |VT4| > |VT3|

채널폭 { W1 > W2, W4 > W3

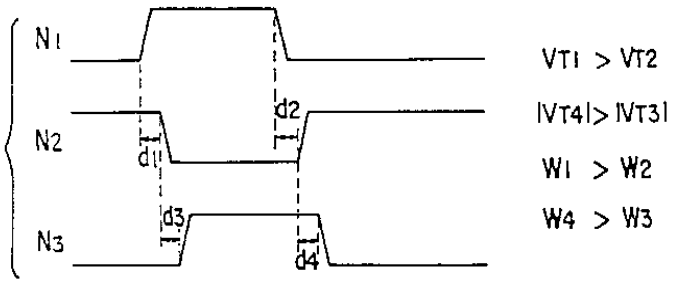
도면5a



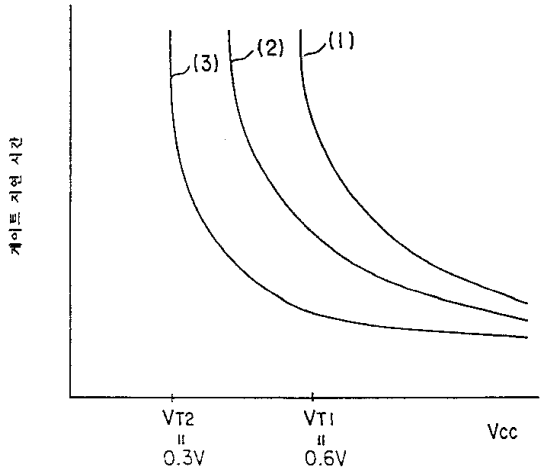
도면5b



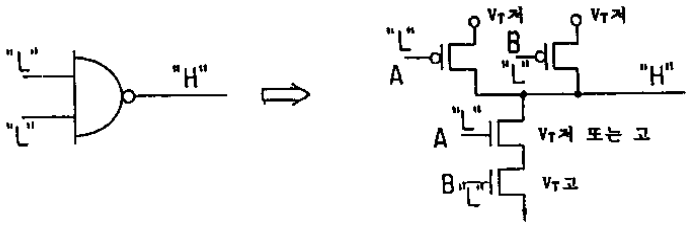
도면5c



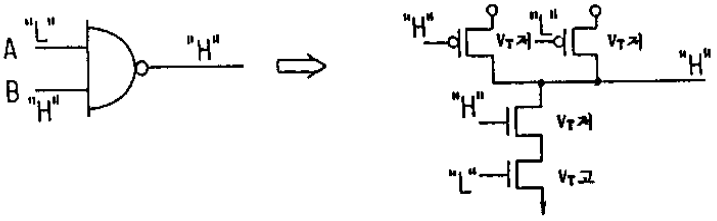
도면6



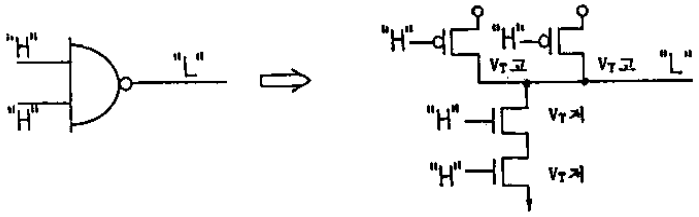
도면7a



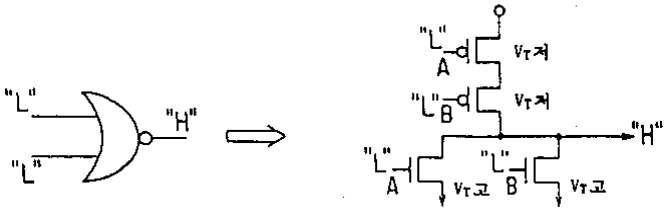
도면7b



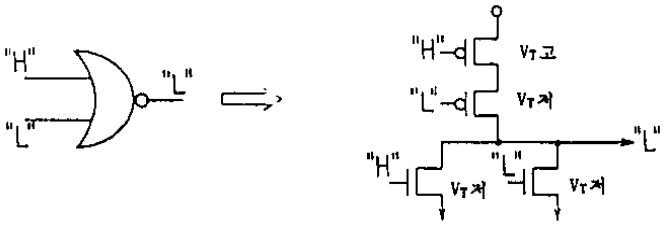
도면7c



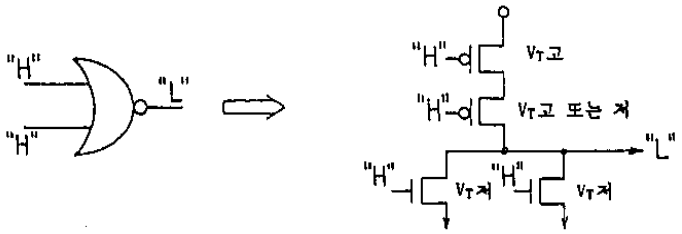
도면8a



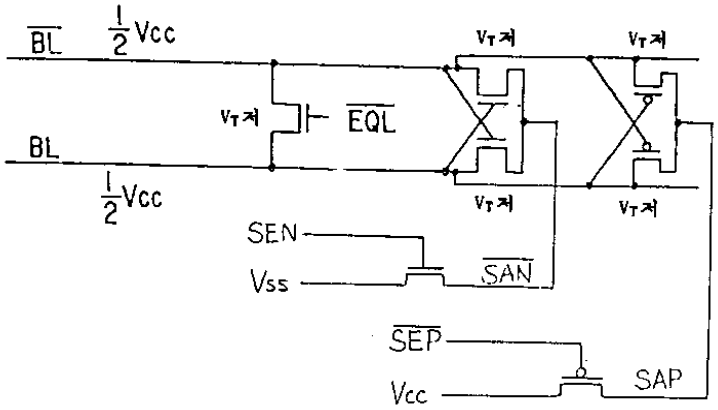
도면8b



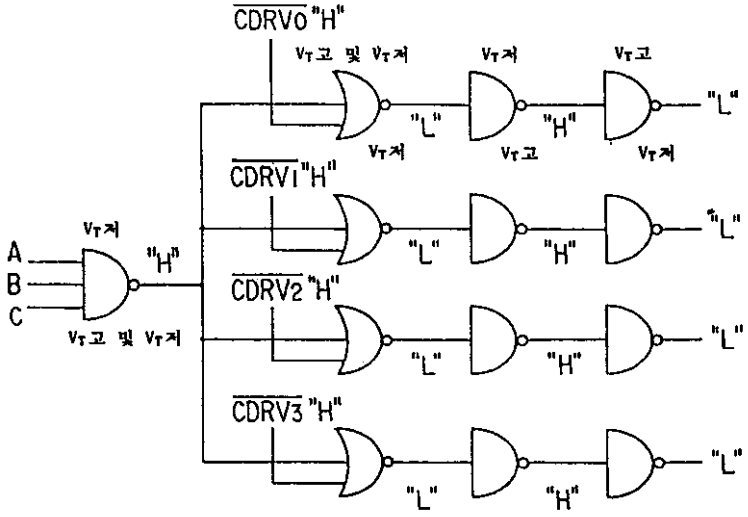
도면8c



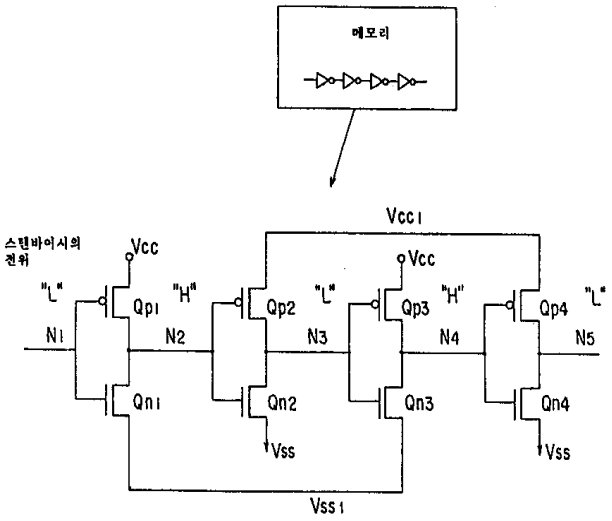
도면9



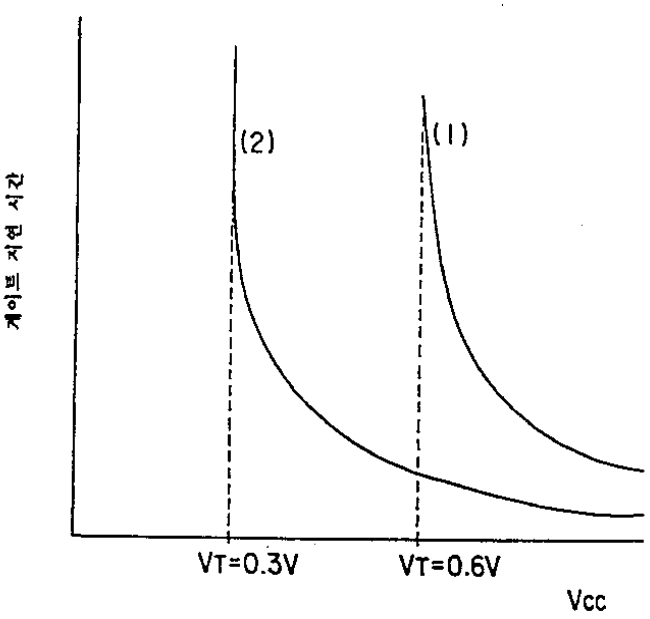
도면10


CDRV0 "H"
VT고 및 VT저
VT저
VT저
VT고
"L"
"H"
"L"
VT저
VT고
VT저
CDRV1 "H"
"L"
"H"
"L"
A
B
C
VT저
"H"
VT고 및 VT저
CDRV2 "H"
"L"
"H"
"L"
CDRV3 "H"
"L"
"H"
"L"

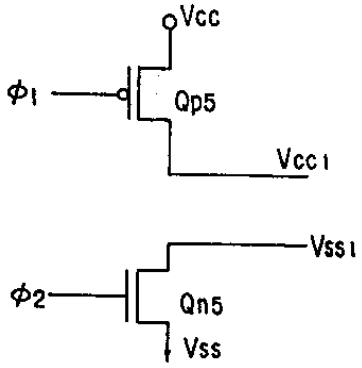
도면11


메모리
Vcc1
스탠바이시의 전위
Vcc
Vcc
"L"
"H"
"L"
"L"
Qp1
Qp2
Qp3
Qp4
N1
N2
N3
N4
N5
Qn1
Qn2
Qn3
Qn4
Vss
Vss
Vss1

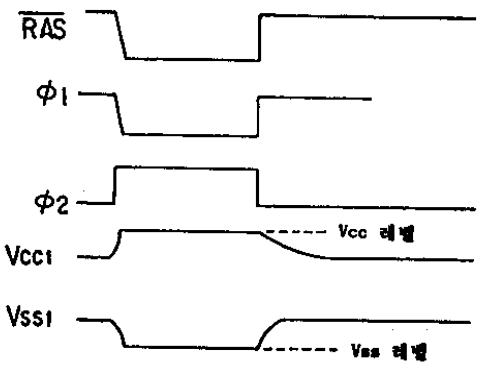
도면12



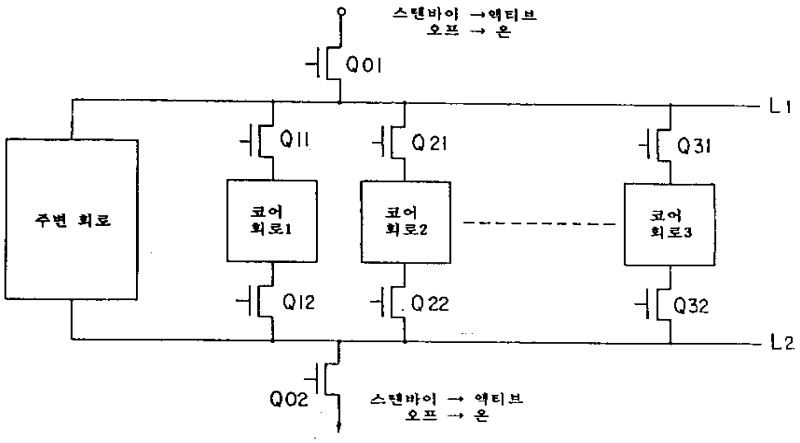
도면13a



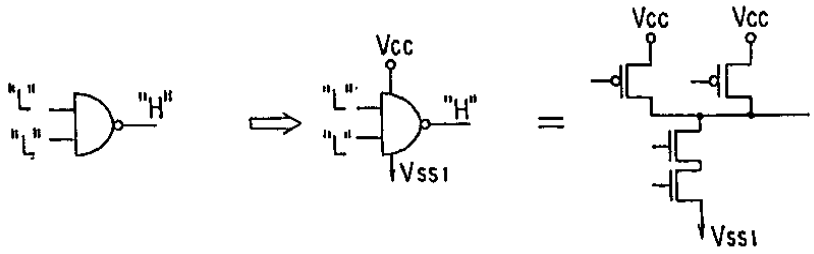
도면13b



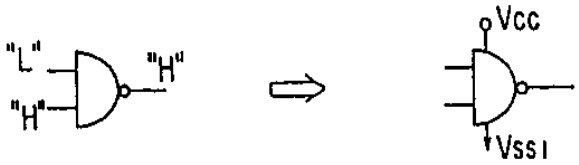
도면14



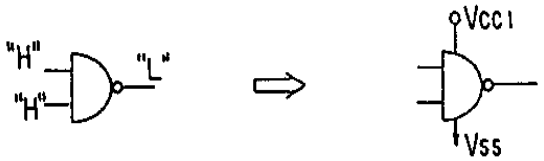
도면15a



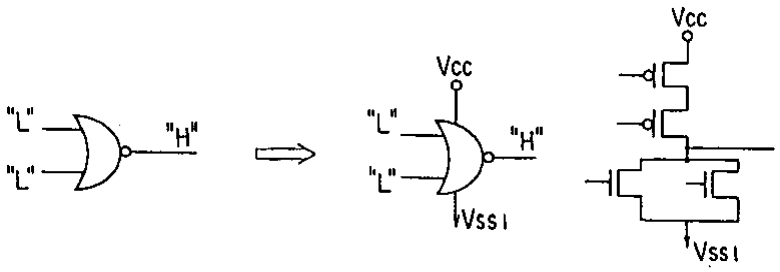
도면15b



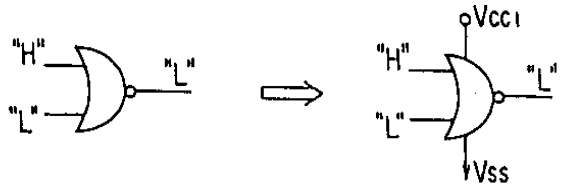
도면15c



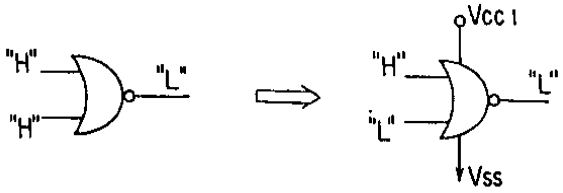
도면16a



도면16b



도면16c



도면17

