

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-88108

(P2010-88108A)

(43) 公開日 平成22年4月15日(2010.4.15)

(51) Int.Cl.	F I	テーマコード (参考)
H03K 5/135 (2006.01)	H03K 5/135	5J001
H03K 5/15 (2006.01)	H03K 5/15 P	5J039
H03K 5/19 (2006.01)	H03K 5/19 T	5J106
H03L 7/081 (2006.01)	H03L 7/08 J	5M024
G11C 11/4076 (2006.01)	G11C 11/34 354C	

審査請求 未請求 請求項の数 30 O L (全 38 頁) 最終頁に続く

(21) 出願番号 特願2009-190428 (P2009-190428)
 (22) 出願日 平成21年8月19日 (2009. 8. 19)
 (31) 優先権主張番号 特願2008-229962 (P2008-229962)
 (32) 優先日 平成20年9月8日 (2008. 9. 8)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 500174247
 エルピーダメモリ株式会社
 東京都中央区八重洲2-2-1
 (74) 代理人 100080816
 弁理士 加藤 朝道
 (72) 発明者 阿部 恒夫
 東京都中央区八重洲2-2-1 エルピー
 ダメモリ株式会社内
 (72) 発明者 北川 勝浩
 東京都中央区八重洲2-2-1 エルピー
 ダメモリ株式会社内
 Fターム(参考) 5J001 AA11 BB02 BB10 BB11 BB12
 BB15 CC03 DD09
 5J039 HH06 KK04 KK10 KK18 MM06
 NN06

最終頁に続く

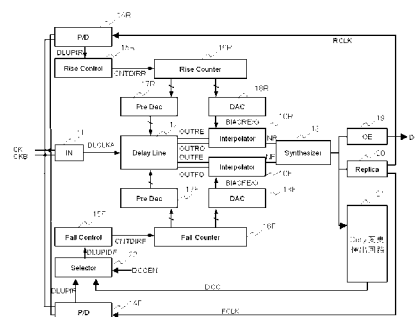
(54) 【発明の名称】 D L L回路及びその制御方法

(57) 【要約】

【課題】冗長な回路、配線を不要とし、回路規模の増大を回避し、デューティを変更可能とするD L Lを提供する。

【解決手段】外部信号の第1遷移(R i s e)を可変に遅延させる第1可変遅延回路(10R)と、外部信号の第2遷移(F a l l)を可変に遅延する第2可変遅延回路(10F)と、第1可変遅延回路(10R)の出力信号と第2可変遅延回路(10F)の出力信号とを合成する合成回路(13)と、合成回路(13)の出力信号のデューティの変更と検出を行うデューティ変更検出回路(21)と、デューティ変更検出回路(21)のデューティ検出結果(D C C)に従って第1可変遅延回路(10R)又は第2可変遅延回路(10F)の遅延を可変させる遅延制御回路(15R、15F)と、を備える。

【選択図】図2



【特許請求の範囲】**【請求項 1】**

外部信号の第 1 遷移を可変に遅延させて出力する第 1 の可変遅延回路と、
前記外部信号の第 2 の遷移を可変に遅延させて出力する第 2 の可変遅延回路と、
前記第 1 の可変遅延回路の出力信号と前記第 2 の可変遅延回路の出力信号とを合成する
合成回路と、

前記合成回路の出力信号のデューティを検出するデューティ検出回路と、前記合成回路
の出力信号のデューティを予め定められた所定のデューティ値とは異なる値に変更するデ
ューティ変更回路と、を含むデューティ変更検出回路と、

前記デューティ変更検出回路のデューティ検出結果に従って、前記第 1 の可変遅延回路
と前記第 2 の可変遅延回路のうち少なくとも一つの遅延を可変させる遅延制御回路と、
を備える D L L 回路。

10

【請求項 2】

前記デューティ変更検出回路は、デューティを可変に制御するデューティ制御信号を入
力し、前記デューティ制御信号にしたがって前記合成回路の出力信号のデューティを可変
させる、請求項 1 記載の D L L 回路。

【請求項 3】

前記デューティ変更検出回路において、

前記デューティ変更回路は、前記合成回路の出力信号を入力として受け、

前記デューティ検出回路は、前記デューティ変更回路の出力信号を入力として受ける、
請求項 1 又は 2 記載の D L L 回路。

20

【請求項 4】

前記デューティ変更回路は、前記合成回路の出力の立ち上がり波形と立ち下がり波形を
制御する制御部を備える、請求項 1 乃至 3 のいずれか 1 項に記載の D L L 回路。

【請求項 5】

前記外部信号と前記合成回路の出力信号との位相差を検出する位相検出回路と、

前記デューティ変更検出回路の出力信号と前記位相検出回路の出力信号を受け、いずれ
か一方を選択出力する選択回路と、

を備え、前記選択回路の出力が前記遅延制御回路に入力される、請求項 1 乃至 4 のい
ずれか 1 項に記載の D L L 回路。

30

【請求項 6】

外部信号を入力し、前記外部信号の遅延を制御する選択制御信号に基づき所定の遅延単
位で前記遅延時間を可変に設定し、前記外部信号の第 1 の遷移に対応して異なる遅延時間
の第 1 組の第 1 及び第 2 の遅延信号を出力し、前記外部信号の第 2 の遷移に対応してなる
遅延時間の第 1 組の第 1 及び第 2 の遅延信号を出力するディレイラインと、

前記外部信号の前記第 1 の遷移に対応する前記第 1 及び第 2 の遅延信号の組と、前記第
2 の遷移に対応する前記第 1 及び第 2 の遅延信号の組とにそれぞれ対応して配設され、対
応する組の前記第 1 及び第 2 の遅延信号を受け、前記所定の遅延単位よりも細かく遅延時
間を設定した遅延信号を出力する、第 1、第 2 のインターポレータと、

前記第 1、第 2 のインターポレータからそれぞれ出力される遅延信号に基づき、出力信
号を合成する合成回路と、

40

前記合成回路の出力信号を受け、与えられたデューティ制御信号に基づき前記合成回路
の出力信号のデューティを可変させた信号を出力するデューティ変更回路と、前記デュー
ティ変更回路でデューティを可変制御させた信号のデューティを検出し、該検出したデ
ューティが予め定められた所定のデューティ値よりも大であるか小であるかを示す値の信号
を、デューティ検出結果信号として出力するデューティ検出回路と、を含むデューティ変
更検出回路と、

前記デューティ変更検出回路からのデューティ検出結果信号と、前記合成回路の出力信
号と前記外部信号との位相を比較する位相検出器からの位相比較結果信号とを入力し、一
方を選択する選択回路と、

50

前記選択回路の出力に基づき、前記外部信号の前記第 1 の遷移と第 2 の遷移の少なくとも一方に対応する、前記ディレイライン及び / 又は前記インターポレータの遅延を可変に制御する遅延制御回路と、
を備えている、D L L 回路。

【請求項 7】

前記デューティ変更回路は、
第 1 の電源と第 2 の電源間に直列に接続された、第 1 のトランジスタと第 2 のトランジスタとを備え、
前記合成回路の出力信号に対応して前記第 1 のトランジスタのゲートを充放電する第 1 充放電回路と、
前記合成回路の出力信号に対応して前記第 2 のトランジスタのゲートを充放電する第 2 充放電回路と、
前記デューティ制御信号に基づいて前記第 1 充放電回路の充放電電流と前記第 1 充放電回路の充放電電流の少なくとも一方を可変制御する、
請求項 1 乃至 6 のいずれか 1 項に記載の D L L 回路。

10

【請求項 8】

前記第 1 充放電回路は、
前記第 1 の電源と前記第 1 のトランジスタのゲートとの間に第 3 のトランジスタを備え、
前記第 1 のトランジスタのゲートと前記第 2 の電源間に直列に、第 4 のトランジスタと第 5 のトランジスタを備え、
前記第 4 のトランジスタと前記第 5 のトランジスタの接続点と前記第 2 の電源間に、それぞれデューティ制御信号に基づきオン・オフ制御される、第 6 のトランジスタを 1 つ又は、並列に複数個備え、
前記第 3 乃至第 5 のトランジスタの制御端子には、前記合成回路の出力が直接又は間接に共通に与えられ、
前記第 2 充放電回路は、
前記第 2 の電源と前記第 2 のトランジスタのゲートとの間に第 7 のトランジスタを備え、
前記第 2 のトランジスタのゲートと前記第 1 の電源間に直列に、第 8 のトランジスタと第 9 のトランジスタを備え、
前記第 8 のトランジスタと前記第 9 のトランジスタの接続点と前記第 1 の電源間に、それぞれデューティ制御信号に基づき、オン・オフ制御される第 10 のトランジスタを 1 つ又は並列に複数個備え、
前記第 7 乃至第 9 のトランジスタの制御端子には、前記合成回路の出力信号が直接又は間接に共通に与えられる、請求項 7 に記載の D L L 回路。

20

30

【請求項 9】

前記デューティ変更回路は、
前記第 1 のトランジスタと前記第 2 のトランジスタの接続点の信号から、第 1 の信号を出力し、前記第 1 の信号とは逆相の第 2 の信号を出力する回路を備えている、請求項 7 又は 8 に記載の D L L 回路。

40

【請求項 10】

第 1 の電源と第 2 の電源との間に、直列に接続された互いに逆導電型のトランジスタ対を、並列に 2 組備え、
直列接続された一方のトランジスタ対の制御端子には、前記デューティ変更回路からの前記第 1 の信号が入力され、
直列接続された他方のトランジスタ対の制御端子には、前記デューティ変更回路からの前記第 2 の信号が入力され、
直列接続された一方のトランジスタ対の接続点ノードと、直列接続された他方トランジスタ対の接続点ノードとの電圧を差動増幅する差動回路を備え、

50

前記差動回路の出力がデューティ検出結果として出力される、請求項 9 に記載の D L L 回路。

【請求項 1 1】

前記デューティ変更回路は、

動作・停止を制御する信号が動作を示す時に、前記第 1 のトランジスタと前記第 2 のトランジスタの接続点から同相の第 1、第 2 の信号を出力し、前記動作・停止を制御する信号が停止を示す時に、前記第 1、第 2 の信号を予め定められた相補の値に設定する回路と

、
前記動作・停止を制御する信号が動作を示す時に、前記第 1 のトランジスタと前記第 2 のトランジスタの接続点から前記第 1、第 2 の信号と逆相の第 3、第 4 の信号を出力し、前記動作・停止を制御する信号が停止を示す時に、前記第 3、第 4 の信号を予め定められた、相補の値に設定する回路と、

を備えている、請求項 7 又は 8 に記載の D L L 回路。

【請求項 1 2】

前記デューティ検出回路は、

第 1 の電源と第 2 の電源との間に、直列に接続された互いに逆導電型のトランジスタ対を、並列に 2 組備え、

直列接続された一方のトランジスタ対の制御端子には、前記デューティ変更回路からの前記第 1、第 2 の信号が入力され、

直列接続された他方のトランジスタ対の制御端子には、前記デューティ変更回路からの前記第 3、第 4 の信号が入力され、

直列接続された一方のトランジスタ対の接続点ノードと、直列接続された他方トランジスタ対の接続点ノードとの電圧を差動増幅する差動回路を備え、

前記差動回路の出力がデューティ検出結果として出力される、請求項 1 1 に記載の D L L 回路。

【請求項 1 3】

前記デューティ検出回路は、

前記第 1 の電源及び / 又は前記第 2 の電源と、前記逆導電型のトランジスタ対との間に接続され、バイアス電圧によって制御される電流源を備える、請求項 1 0 又は 1 2 に記載の D L L 回路。

【請求項 1 4】

前記デューティ検出回路は、

前記差動回路の出力をラッチ制御信号に基づきラッチするラッチ回路を備え、

前記ラッチ回路の出力が前記デューティ検出結果として出力される、請求項 1 0 又は 1 2 に記載の D L L 回路。

【請求項 1 5】

前記デューティ検出回路は、

プリセットを制御する信号に応答して、前記直列接続された一方のトランジスタ対の接続点ノードと、前記直列接続された他方のトランジスタ対の接続点ノードを、所定の電圧にリセットするプリセット回路を備えている、請求項 1 0 又は 1 2 に記載の D L L 回路。

【請求項 1 6】

前記デューティ検出回路において、直列接続された一方のトランジスタ対と、直列接続された他方のトランジスタ対とは、動作・停止を制御する信号が停止を示す時に、それぞれ、前記デューティ変更回路からの前記第 1、第 2 の信号と、前記デューティ変更回路からの前記第 3、第 4 の信号により、いずれもオフ状態とされ、前記直列接続された一方のトランジスタ対の接続点ノードと、前記直列接続された他方のトランジスタ対の接続点ノードとは、ともにフローティング状態とされる、請求項 1 2 乃至 1 5 のいずれか 1 項に記載の D L L 回路。

【請求項 1 7】

前記デューティ検出回路において、前記差動回路は、
入力と出力が相互に接続された第 1、第 2 のインバータを備え、
前記第 1、第 2 のインバータとそれらの電源間にそれぞれ接続されたトランジスタと、
それぞれの前記トランジスタのゲートに前記直列接続された一方のトランジスタ対の接
続点ノードと、前記直列接続された他方のトランジスタ対の接続点ノードが接続され、
前記第 1、第 2 のインバータのうちの一のインバータの出力が、直接又は間接に前記ラ
ッチ回路に接続される、請求項 10、12 又は 14 記載の D L L 回路。

【請求項 18】

動作・停止を制御する信号が停止を示す時に前記第 1、第 2 のインバータの出力ノード
を所定電圧にリセットする回路を備えている、請求項 17 に記載の D L L 回路。

10

【請求項 19】

メモリセルアレイと、
メモリセルアレイへのアクセス回路を有するメモリ制御回路と、
前記メモリ制御回路によるメモリセルデータの入力及び/又は出力のタイミングクロッ
クを生成する D L L 回路と、
を備え、
前記 D L L 回路は、請求項 1 乃至 18 のいずれか 1 項に記載の D L L 回路よりなる、半
導体装置。

【請求項 20】

D L L (D e l a y L o c k e d L o o p) のデューティ値の出力信号を受け、前
記 D L L の出力信号のデューティ値を可変させた信号を生成し、
前記デューティ値を可変させた信号を基準デューティ値に従って比較し、前記比較結果
に従って、前記 D L L の遅延量を制御する遅延制御回路の遅延量を制御する、D L L の制
御方法。

20

【請求項 21】

請求項 20 記載の D L L の制御方法は、
外部信号の第 1 遷移を基準として前記 D L L の出力信号の位相を制御し、
前記外部信号の第 2 遷移を基準として前記 D L L の出力信号のデューティ値を制御する
、D L L の制御方法。

【請求項 22】

前記 D L L の出力信号のデューティ値は、前記基準デューティ値に前記可変させた量を
示すデューティのオフセット値(絶対値)を加算又は減算したデューティ値である、請求
項 20 又は 21 に記載の D L L の制御方法。

30

【請求項 23】

外部信号の第 1 遷移を可変に遅延させて出力する第 1 の可変遅延回路と、
前記外部信号の第 2 の遷移を可変に遅延させて出力する第 2 の可変遅延回路と、
前記第 1 の可変遅延回路の出力信号と前記第 2 の可変遅延回路の出力信号とを合成する
合成回路と、

前記合成回路の出力信号に基づき放電又は充電される容量を用いて前記合成回路の出力
信号のデューティを検出するデューティ検出回路と、前記デューティ検出回路がデュー
ティ検出に用いる前記容量の容量値を変更することで、前記合成回路の出力信号のデュー
ティを変更するデューティ変更回路と、を含むデューティ変更検出回路と、

40

前記デューティ変更検出回路のデューティ検出結果に従って、前記第 1 の可変遅延回路
と前記第 2 の可変遅延回路のうち少なくとも一つの遅延を可変させる遅延制御回路と、
を備える D L L 回路。

【請求項 24】

前記デューティ検出回路は、デューティ検出用の前記容量として、
前記合成回路の出力信号と同相の同相信号の活性化時に、放電又は充電が行われ、端子
電圧が前記同相信号の活性化期間の時間幅に対応した端子電圧に設定される第 1 の容量と

50

前記合成回路の出力信号と逆相の逆相信号の活性化時に、放電又は充電が行われ、端子電圧が前記逆相信号の活性化期間の時間幅に対応した端子電圧に設定される第2の容量と

を備え、

前記第1の容量の端子電圧と前記第2の容量の端子電圧を比較することで、前記合成回路の出力信号のデューティの検出が行われ、

前記第1の容量の容量値及び/又は前記第2の容量の容量値を可変させることで、前記合成回路の出力信号のデューティの変更が行われる、請求項23記載のDLL回路。

【請求項25】

前記デューティ検出回路は、

前記第1の容量が接続され、予め所定電位にリセットされる第1のノードを、前記同相信号の活性期間に対応して、放電する第1の放電素子と、

前記第2の容量が接続され、予め前記所定電位にリセットされる第2のノードを、前記逆相信号の活性期間に対応して、放電する第2の放電素子と、

前記第1のノードの電位と前記第2のノードの電位を比較する電位比較回路と、

を備え、

前記電位比較回路での比較結果に基づき前記デューティ検出結果が出力される、請求項24記載のDLL回路。

【請求項26】

前記第1の容量と前記第2の容量がそれぞれ複数のMOSキャパシタを含む、請求項24又は25記載のDLL回路。

【請求項27】

前記複数のMOSキャパシタのサイズが互いに異なる、請求項26記載のDLL回路。

【請求項28】

前記デューティ検出回路は、

前記合成回路の出力信号と同相の同相信号の非活性期間に対応して、前記第1のノードを充電する第1の充電素子と、

前記合成回路の出力信号と逆相の逆相信号の非活性期間に対応して、前記第2のノードを充電する第2の充電素子と、

を備えた請求項25記載のDLL回路。

【請求項29】

入力される制御信号に応答して、前記第1及び第2のノードを同一の所定電位にリセットするプリリセット回路を備えている、請求項25又は28記載のDLL回路。

【請求項30】

メモリセルアレイと、

メモリセルアレイへのアクセス回路を有するメモリ制御回路と、

前記メモリ制御回路によるメモリセルデータの入力及び/又は出力のタイミングクロックを生成するDLL回路と、

を備え、

前記DLL回路は、請求項23乃至29のいずれか1項に記載のDLL回路よりなる、半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、DLL(Delay Locked Loop)回路及びこれを備える半導体装置に関し、特に、高速クロック動作可能なDLL回路及びこれを備える半導体装置と制御方法に関する。

【背景技術】

【0002】

DRAM(ダイナミックランダムアクセスメモリ)等において、クロック生成回路とし

10

20

30

40

50

て用いられているDLL (Delay Locked Loop)回路は、入力されたクロックの遅延量を可変制御することで所望の位相を持つクロックを発生する。DCC (Duty Correction Circuit: デューティ補正回路)を備えたDLL回路では、外部クロックのデューティ (Duty: 1周期に対するハイレベル期間の割合をいい、デューティ比ともいう)によらず、例えばデューティ50%の内部信号の波形を作り出している。

【0003】

動作周波数が高くなると、デューティに崩れが生じる。例えば、DLLの出力は擬似出力回路(レプリカ)に入力され、擬似出力回路からの出力信号を帰還させ、クロックCKと位相比較する制御を行うことで、ある程度、デューティの崩れの影響を相殺することは

10

【0004】

なお、DLLにおいて、入力クロックのデューティと出力クロックのデューティとを一致させる構成として、例えば特許文献1には、可変遅延回路(VDL)の後段に、クロックのデューティ調整回路(CDC)を設ける構成が開示される。それは、クロックの立ち上がりエッジで可変遅延回路(VDL)の遅延量を制御し、可変遅延回路のパス(レプリカ、分周回路、PD(位相比較器)、CP1(チャージポンプ)、バイアス)で、立ち上がりエッジの位相が基準となる入力クロックと一致させる。その一致した段階で、立ち下がりエッジによってデューティ調整回路(CDC)のパス(レプリカ、PFD(位相周波数比較器)、CP2(チャージポンプ))により、信号のパルス幅を調整し、出力クロックのデューティを基準となるクロックのデューティと一致させるようにした構成が開示される。DLL回路の動作開始から立ち上がりエッジが位相ロックされるまでは、出力クロックのデューティが50%に向かうように制御し、立ち上がりエッジが位相ロックしたタイミング以降は、出力クロックのデューティを、外部クロックと一致させるように制御するため、出力データのデューティは50%から入力クロックのデューティに変化する。

20

【0005】

その他に、特許文献2も開示される。

【先行技術文献】

【特許文献】

30

【0006】

【特許文献1】特開2002-42469号公報(図1、図14)

【特許文献2】特開2003-91331号公報(図1)

【発明の概要】

【発明が解決しようとする課題】

【0007】

以下に本発明による関連技術の分析を与える。

【0008】

特許文献1の構成は、可変遅延回路(VDL)で立ち上がりエッジの位相をロックし、その後段のデューティ調整回路で出力クロックのデューティを調整するという直列方式であるため、入力クロックのデューティに変化するまでの時間が遅い(特許文献1の図14参照)。また、デューティ調整回路(CDC)の感度も問題となる。

40

【0009】

さらに、可変遅延回路(VDL)とデューティ調整回路(CDC)での2つのルートでの位相ロックが行われるため、可変遅延回路(VDL)のルート上のPD(位相比較器)とCP1(チャージポンプ)等の付加回路に加え、デューティ調整回路(CDC)用のPFD(位相周波数比較器)及びCP2(チャージポンプ)等の付加回路が必要とされ、回路規模が冗長である。

【0010】

また製造ばらつき等によりデューティのずれが生じた場合、本来のデューティ値に調整

50

することが望まれる。

【課題を解決するための手段】

【0011】

本願で開示される発明は概略以下の構成とされる。

【0012】

本発明によれば、可変遅延回路から、外部信号の第1の遷移、第2の遷移に対応して出力される遅延信号を合成する合成回路の出力信号のデューティを検出するデューティ検出回路と、前記合成回路の出力信号のデューティを予め定められた所定のデューティ値とは異なる値に変更するデューティ変更回路と、を含むデューティ変更検出回路を備えているDLL回路が提供される。前記デューティ変更検出回路のデューティ検出結果と、前記合成回路の出力信号と外部信号の位相を比較する位相検出器(P/D)での位相比較結果との一方を選択する選択回路の出力が、前記第1の可変遅延回路と前記第2の可変遅延回路のうち少なくとも一つの遅延を可変させる遅延制御回路に供給される。

10

【0013】

本発明によれば、DLL(Delay Locked Loop)のデューティ値の出力信号を受け、前記DLLの出力信号のデューティ値を可変させた信号を生成し、前記デューティ値を可変させた信号を基準デューティ値に従って比較し、前記比較結果に従って、前記DLLの遅延を制御する遅延制御回路の遅延量を制御する、DLLの制御方法が提供される。

【0014】

20

本発明の別の側面によれば、外部信号の第1遷移を可変に遅延させて出力する第1の可変遅延回路と、前記外部信号の第2の遷移を可変に遅延させて出力する第2の可変遅延回路と、前記第1の可変遅延回路の出力信号と前記第2の可変遅延回路の出力信号とを合成する合成回路と、前記合成回路の出力信号に基づき放電又は充電される容量を用いて前記合成回路の出力信号のデューティを検出するデューティ検出回路と、前記デューティ検出回路がデューティ検出に用いる前記容量の容量値を変更することで、前記合成回路の出力信号のデューティを変更するデューティ変更回路と、を含むデューティ変更検出回路と、前記デューティ変更検出回路のデューティ検出結果に従って、前記第1の可変遅延回路と前記第2の可変遅延回路のうち少なくとも一つの遅延を可変させる遅延制御回路と、を備えたDLL回路が提供される。

30

【0015】

本発明において、前記デューティ検出回路は、デューティ検出用の前記容量として、前記合成回路の出力信号と同相の同相信号の活性化時に、放電又は充電が行われ、端子電圧が前記同相信号の活性化期間の時間幅に対応した端子電圧に設定される第1の容量と、前記合成回路の出力信号と逆相の逆相信号の活性化時に、放電又は充電が行われ、端子電圧が前記逆相信号の活性化期間の時間幅に対応した端子電圧に設定される第2の容量と、を備えている。前記第1の容量の端子電圧と前記第2の容量の端子電圧を比較することで、前記合成回路の出力信号のデューティの検出が行われ、前記第1の容量の容量値及び/又は前記第2の容量の容量値を可変させることで、前記合成回路の出力信号のデューティの変更が行われる。

40

【発明の効果】

【0016】

本発明は、冗長なパス、回路を不要とし、回路規模の増大を回避しながらデューティの変更を可能としている。

【0017】

本発明によれば、製造ばらつき等によりデューティのずれが生じた場合にもとの値に調整することができる。

【図面の簡単な説明】

【0018】

【図1】本発明の一実施例のメモリの全体構成を示す図である。

50

【図 2】本発明の一実施例の D L L の構成を示す図である。
 【図 3】本発明の一実施例のデューティ変更検出回路の構成を示す図である。
 【図 4】本発明の一実施例のデューティ変更回路の構成を示す図である。
 【図 5】本発明の一実施例のデューティ検出回路（前段）の構成を示す図である。
 【図 6】本発明の一実施例のデューティ検出回路（後段）の構成を示す図である。
 【図 7】本発明の一実施例のデューティ検出回路の動作を説明するタイミング波形図である。

【図 8】本発明の一実施例の選択回路の構成を示す図である。
 【図 9】本発明の別の実施例のデューティ変更検出回路の構成を示す図である。
 【図 10】本発明の別の実施例のデューティ変更検出回路の構成を示す図である。
 【図 11】入力信号、内部同相信号、内部逆相信号の関係を示す図（未調整状態）である。

【図 12】電荷ディスチャージ回路と電位比較回路の構成を示す図である。
 【図 13】内部信号エッジの調整によるデューティ補正例（調整完了状態）を示す図である。

【図 14】D C C を搭載する D L L の構成をブロック図にて示す図である。
 【図 15】M O S 容量（ C_r 、 C_f 、 C_{r1} 、 C_{f1} ）の適用と電圧の関係を示す図である。

【図 16】D C C によりデューティ補正を実施したもののデューティ $< > 50\%$ となった場合を示す図である。

【図 17】 C_{r1} による比較電位の補正を説明する図である。
 【図 18】M O S 容量を用いた例を示す図である。
 【図 19】8 種類の面積の M O S 容量を上から見た図である。

【発明を実施するための形態】

【0019】
 本発明においては、所定のデューティ値の D L L 回路の出力信号をデューティ変更回路に入力して D L L 回路の出力信号のデューティ値を可変させた信号を生成し、これをデューティ検出回路へ入力し、デューティ検出回路では、前記デューティ値を可変させた信号を基準デューティ値と比較し、デューティ検出回路での比較検出結果に従って、D L L 回路の遅延を制御する遅延制御回路の遅延量を制御する。本発明において、D L L の出力信号のデューティ値は、基準デューティ値に前記可変させた量を示すデューティのオフセット値（絶対値）を加算又は減算したデューティ値に制御される。尚、デューティとは、信号の 1 周期における所定の基準電圧を境にしたハイレベル（High の期間）とロウレベル（Low 期間）の割合（ratio）を示し、デューティ比ともいう。どちらか一方（High または Low）の期間が、1 周期に占める割合を示す。

【0020】
 より詳細には、本発明の 1 つの態様（mode）において、外部信号の第 1 の遷移（Rise）を可変に遅延させる第 1 の可変遅延回路（10R）と、外部信号の第 2 の遷移（Fall）を可変に遅延させる第 2 の可変遅延回路（10F）と、第 1 の可変遅延回路（10R）の出力信号と第 2 の可変遅延回路（10F）の出力信号とを合成する合成回路（13）と、合成回路の出力信号のデューティの変更と検出を行うデューティ変更検出回路（21）と、デューティ変更検出回路（21）でのデューティ検出結果（DCC）に基づき、第 1 及び第 2 の可変遅延回路（10R、10F）の少なくとも一方の遅延を可変させる遅延制御回路（例えば 15F）と、を備える。

【0021】
 本発明によれば、合成回路（13）の出力のデューティを、デューティ変更検出回路（21）で変更及び検出し、デューティ検出結果に従って、遅延制御回路（15F）を制御し、所望のデューティが生成される。

【0022】
 本発明の 1 つの態様においては、デューティ変更検出回路（21）は、デューティを可

10

20

30

40

50

変に制御するデューティ制御信号を入力し、デューティ制御信号に従って所定のデューティ値（例えば50%）から変更された信号を生成し、前記デューティ値を可変させた信号を基準デューティ値と比較し、比較結果を、遅延制御回路に出力する。テスト時等に、デューティ制御信号を可変させることで、内部信号のデューティを可変させることができる。

【0023】

本発明の1つの態様においては、デューティ変更検出回路（21）において、合成回路（13）の出力は、デューティ変更回路（101）に入力され、デューティ変更回路（101）の出力がデューティ検出回路（102）に入力される。合成回路（13）が出力するデューティ値（例えば50%）を、デューティ変更回路（101）で擬似的に異なるデューティ値（例えば45%）として、デューティ検出回路（102）に入力し、デューティ値50%に調整するデューティ検出回路（102）からの出力信号（DCC）に従って、遅延制御回路（15F）を動作させる。かかる構成により、センシティブなデューティ検出回路（102）に、デューティを変更のための回路素子を付加することを不要としており、このため、デューティ検出回路の検出精度の向上を可能としている。

10

【0024】

本発明の1つの態様においては、デューティ変更回路（101）は、合成回路の出力の立ち上がり、立ち下がり波形を制御する制御部（103）を備えている。デューティ変更回路（101）では、デューティ検出回路（102）に入力される信号の立ち上がり/立ち下がり波形を変更し、所定のデューティ値（50%）を擬似的に異なるデューティ値へ変更する。かかる本発明によれば、簡素な回路構成で、所定のデューティ値（例えば50%）とは異なるデューティ（例えば40%）を生成することができる。

20

【0025】

本発明の1つの態様においては、外部信号（CK、CKB）とレプリカ（20）の出力信号（RCLK、FCLK）との位相差を検出する位相検出器（位相比較器）（14R、14F）と、デューティ変更検出回路（21）の出力信号と位相検出器（14R、14F）の出力信号を選択的に切り替える選択回路（22）を備え、選択回路（22）の出力が遅延制御回路（15F）に入力される、本発明によれば、第1の遷移（Rise）で位相の調整（ロック）を行ない、第2の遷移（Fall）の信号側でデューティの調整を行う。回路規模を縮減し、位相ロック制御とデューティ制御とを両立できる。

30

【0026】

本発明においては、メモリセルアレイ（1-1）と、メモリセルアレイへのアクセス回路を有するメモリ制御回路（1-13）と、前記メモリ制御回路によるメモリセルデータの出力のタイミングクロックを生成するDLL回路（1-12）と、を備えている。DLL回路（1-12）は、外部信号の第1の遷移（Rise）を可変に遅延させる第1の可変遅延回路（10R）と、外部信号の第2の遷移を可変に遅延する第2の可変遅延回路（10F）と、

前記第1の可変遅延回路の出力信号と前記第2の可変遅延回路の出力信号とを合成する合成回路（13）と、合成回路（13）の出力信号のデューティを検出するデューティ検出回路（102）と、合成回路（13）の出力信号のデューティを、前記所定のデューティ値とは異なる値に変更するデューティ変更回路（101）と、を含むデューティ変更検出回路（21）と、前記デューティ変更検出回路（21）のデューティ検出結果に従って、前記第1の可変遅延回路（10R）又は前記第2の可変遅延回路（10F）の遅延を可変させる遅延制御回路（15F）と、を備える。

40

【0027】

本発明においては、DLLから出力される所定のデューティ値の信号のデューティを検出し、デューティの検出結果に従って、DLLの遅延を制御する回路に入力する信号のデューティを制御する、DLLの動作の方法が提供される。以下実施例に即して説明する。

【実施例】**【0028】**

50

図1は、本発明の一実施例のDLLを搭載したDRAMデバイスの全体構成を示す図である。特に制限されないが、図1のDRAMデバイスは、8バンク構成のDDR(Double Data Rate:クロックの立ち上がり立ち下りの両エッジに同期してデータをやり取りする)SDRAM(Synchronous DRAM)である。図1において、ロウデコーダ1-4は、ロウアドレスをデコードし選択されたワード線(不図示)を駆動する。センスアンプ1-2は、メモリセルアレイ1-1のビット線(不図示)に読み出されたデータを増幅し、リフレッシュ動作時にはリフレッシュアドレスで選択されたワード線のセルに接続するビット線に読み出されたセルデータを増幅して該セルへ書き戻す。カラムデコーダ1-3は、カラムアドレスをデコードし、選択されたYスイッチ(不図示)をオン(導通)としてビット線を選択し、IO線(不図示)に接続する。コマンドデコーダ1-9は、所定のアドレス信号と、制御信号として、チップセレクト信号/CS、ロウアドレスストロブ信号/RAS、カラムアドレスストロブ信号/CAS、ライトイネーブル信号/WEを入力し、コマンドをデコードする(なお、信号名の/はLowでアクティブであることを示す)。カラムアドレスバッファ及びバーストカウンタ1-7は、コマンドデコーダ1-9からの制御信号を受けるコントロールロジック1-10の制御のもと、入力されたカラムアドレスから、バースト長分のアドレスを生成し、カラムデコーダ1-3に供給する。モードレジスタ1-5は、アドレス信号とバンク選択用(8バンクの中の1つを選択)の信号BA0、BA1、BA2を入力し、コントロールロジック1-10に制御信号を出力する。

10

20

【0029】

ロウアドレスバッファ及びリフレッシュカウンタ1-6のロウアドレスバッファは、入力されたロウアドレスを受けて、ロウデコーダ1-4に出力し、リフレッシュカウンタは、リフレッシュコマンドを入力してカウントアップ動作し、カウント出力を、リフレッシュアドレスとして出力する。ロウアドレスバッファからのロウアドレスとリフレッシュカウンタからのリフレッシュアドレスはマルチプレクサ(不図示)に入力され、リフレッシュ時には、リフレッシュアドレスが選択され、それ以外は、ロウアドレスバッファからのロウアドレスを選択し、ロウデコーダ1-4に供給される。

【0030】

クロックジェネレータ1-14は、DRAMデバイスに供給される相補の外部クロックCK、/CKを受け、クロックイネーブル信号CKEがHighのとき、内部クロックを出力し、クロックイネーブル信号CKEがLowとなると、以降、クロックの供給を停止する。

30

【0031】

データコントロール回路1-8は、書き込みデータと読み出しデータの入出力を行う。ラッチ回路1-11は書き込みデータと読出しデータをラッチする。入力出力バッファ1-13は、データ端子DQからのデータの入出力を行う。DLL1-12は、外部クロックCK、/CKに遅延同期した信号を生成し、入力出力バッファ1-13に供給する。メモリセルアレイ1-1からの読み出しデータはラッチ回路1-11から入力出力バッファ1-13に供給され、入力出力バッファ1-13は、DLL1-12で外部クロックCKに同期したクロック信号の立ち上がり立ち下りのエッジを用いて、データ端子DQから読み出したデータをダブルデータレートで出力する。

40

【0032】

DMはライトデータのデータマスク信号であり、ライト時、Highのときデータは書き込まれる。DQS、/DQSは、データのライト、リードのタイミングを規定する差動のデータストロブ信号であり、ライト動作時に入力信号、リード動作時に出力信号のIO信号である。TDQS、/TDQSは、データのX8構成をX4構成とコンパチブルとする差動の切替信号である。ODT(On Die Termination)はDQ、DQS、/DQS、TDQS、/TDQSの終端抵抗をオン・オフさせる制御信号である。なお、図1は、DRAMデバイスの一典型例を模式的に示したものであり、本発明はかかる構成に限定されるものでないことは勿論である。

50

【0033】

図2は、図1のDLLの構成を示す図である。なお、図2のCK、CKBは、図1のCK、/CKに対応する。入力回路(IN)11、可変遅延回路(Delay Line)12、可変遅延回路(Interpolator)10R/10F、合成回路13、位相検出器(P/D)14R/14F、Rise/Fall遅延制御回路(Rise/Fall Control)15R/15F、Rise/Fallカウンタ(Rise/Fall Counter)16R/16F、プリデコーダ(Pre Dec)17R/17F、デジタルアナログ変換器(DAC)18R/18F、出力回路(OE)19、レプリカ(Replica)20、デューティ変更検出回路21、選択回路(Selector)22を備えている。尚、可変遅延回路(Delay Line)12と可変遅延回路(Interpolator)10R/10Fは、共に時間を調整する機能を備えた回路である。可変遅延回路(Interpolator)10R/10Fは精度が高い時間の遅延(Fine delay)を調整する回路であり、可変遅延回路(Delay Line)12は合成回路よりも精度が荒い時間の遅延(Coarse delay)を調整する回路である。尚、可変遅延回路(Delay Line)12と可変遅延回路(Interpolator)10R/10Fは、共に時間を調整する機能を備えた回路である。可変遅延回路(Interpolator)10R/10Fは精度が高い時間の遅延(Fine delay)を調整する回路であり、可変遅延回路(Delay Line)12は合成回路よりも精度が荒い時間の遅延(Coarse delay)を調整する回路である。

10

20

【0034】

位相検出器(P/D)14Rは、外部クロック(CK)とレプリカ20の出力RCLKの立ち上がりエッジの位相を比較する。

【0035】

Rise遅延制御回路15Rは、位相検出器14Rの位相比較結果出力DLUP1Rを受けて、Riseカウンタ16Rにアップ又はダウン信号(CNTDIRR)を出力する。すなわち、Rise遅延制御回路15Rは、位相検出器14Rでの位相比較結果を受け、RCLKの立ち上がりエッジの位相がCKよりも遅れている場合、RCLKの立ち上がりエッジの位相を進めるように制御し、RCLKの立ち上がりエッジの位相がCKよりも進んでいる場合、RCLKの立ち上がりエッジの位相を遅らせるように制御する信号CNTDIRRを生成し、Riseカウンタ16Rに供給し、カウント動作を制御する。特に制限されないが遅延制御回路15Rは、バッファ回路(正転又は反転型バッファ)から構成される。

30

【0036】

Riseカウンタ16Rの上位ビットは、プリデコーダ17Rでプリデコードされ、プリデコーダ17Rでのデコード結果は、可変遅延回路12に入力される。Riseカウンタ16Rの下位ビットは、デジタルアナログ変換器18Rに入力され、Even(偶数番目)、Odd(奇数番目)用のバイアス電圧BIASRE/BIASROを生成する。デジタルアナログ変換器18Rで2つのバイアス電圧BIASRE/BIASROを生成する場合、電流モードのデジタルアナログ変換器18Rにおいて、カウンタ16Rの下位ビットに対応する電流を差動で作成し、差動の電流をそれぞれ電圧に変換することで、BIASRE/BIASROを生成すようにしてもよい(例えば特許文献2の図1等参照)。あるいは、電圧モードのデジタルアナログ変換器18Rにおいて、Even用のバイアス電圧BIASREを共通電圧 $V_{CM} + V/2$ とし、Odd用のバイアス電圧BIASROを $V_{CM} - V/2$ とし($BIASRE - BIASRO = V$)、デジタルアナログ変換器18Rにおいてカウンタ16Rの下位ビットに対応する電圧 V を生成し、 V_{CM} と $(1/2)V$ とを加減算するようにしてもよい(実質的には電流で加算減算され電圧に変換される)。

40

【0037】

位相検出器(P/D)14Fは、外部クロック(CK)とレプリカ20の出力FCLK

50

の立ち下がリエッジの位相を比較し、位相比較結果DLUP1Fを選択回路22に出力する。

【0038】

Fall遅延制御回路15Fは、選択回路22の出力DLUP1DFを受けて、Fallカウンタ16Fにアップ又はダウン信号(CNTDIRF)を出力する。例えば選択回路22で位相比較結果DLUP1Fが選択される場合、Fall遅延制御回路15Fは、位相検出器14Fでの位相比較結果を受け、CLKの立ち下がリエッジの位相がCKよりも遅れている場合、位相を進めるように制御し、CLKの立ち下がリエッジの位相がCKよりも進んでいる場合、CLKの立ち下がリエッジの位相を遅らせるように制御する信号CNTDIRFを生成し、Fallカウンタ16Fに供給し、カウント動作を制御する。特に制限されないが遅延制御回路15Fは、バッファ回路(正転又は反転型バッファ)から構成される。

10

【0039】

Fallカウンタ16Fの上位ビットは、プリデコーダ17Fでプリデコードされ、プリデコーダ17Fでのデコード結果は可変遅延回路12に入力される。Fallカウンタ16Fの下位ビットは、デジタルアナログ変換器18Fに入力され、デジタルアナログ変換器18Fは、2つのバイアス電圧BIASFE/BIASFOを生成する。

【0040】

入力回路(IN)11は、相補の外部クロックCK、CKBを入力し、CKに同相のクロック信号DLCLKAをシングルエンド出力する。

20

【0041】

可変遅延回路12は、プリデコーダ17R、17Fのそれぞれのデコード結果を受け、連続して連なる遅延素子(Delay Line)のうち遅延量を決定する。クロック信号DLCLKAの立ち上がり(Rise)に対応して、偶数番目(Even)と奇数番目(Odd)信号OUTRE、OUTROを生成し、クロックDLCLKAの立ち下がり(Fall)に対応して、偶数番目(Even)と奇数番目(Odd)の信号OUTFE、OUTFOを出力する。可変遅延回路12は、Even/Oddの時間差を最小遅延単位として遅延調節を行う。Even/Oddの時間差は、例えばNAND回路2段分(単位遅延)に対応する。

【0042】

30

可変遅延回路10Rは、外部クロックCKの立ち上がり遷移から生成された、EvenとOddの遅延信号OUTRE、OUTROを入力し、バイアス電圧BIASRE、BIASROにしたがってOUTRE、OUTROを合成して出力する。すなわち、可変遅延回路10Rは、EvenとOddの遅延信号OUTRE、OUTROの立ち上がりエッジの遅延(位相差)を、バイアス電圧BIASRE、BIASROで制御される比率で内挿(インターポレート)した遅延で立ち上がる信号を出力する。例えばEven側が100%、Odd側が0%の場合、OUTRE=100%、OUTRO=0%として波形を合成し、出力NRを生成する。すなわち、OUTREの遷移タイミング=NRの遷移タイミングとして出力される(回路内を通過する際の固有の遅延は除く)。Even側が50%、Odd側が50%の場合、入力信号のOUTRE=50%、OUTRO=50%として波形を合成するため、OUTREの遷移とOUTROの遷移の中間のタイミング(OUTREとOUTROの遷移タイミングの中間値+回路内通過時の固有の遅延)で出力される。

40

【0043】

可変遅延回路10Fは、外部クロックCKの立ち下がり遷移から生成された、EvenとOddの遅延信号OUTFE、OUTFOを入力し、バイアス電圧BIASFE、BIASFOにしたがってOUTFE、OUTFOを合成して出力する。すなわち、可変遅延回路10Fは、EvenとOddの遅延信号OUTFE、OUTFOの立ち下がりエッジの遅延(位相差)をバイアス電圧BIASFE、BIASFOで制御される比率で内挿(インターポレート)した遅延で立ち下がる信号を出力する。可変遅延回路10Fからの出力信号NFは、OUTFE、OUTFOのLowへの立ち下がりに応答して出力信号NF

50

が High に立ち上がる構成としてもよい。この場合、可変遅延回路 10F に OUTF E、OUTFO の反転信号を入力する構成とすることで、可変遅延回路 10F は可変遅延回路 10R と同一の構成となる。

【0044】

可変遅延回路 10R / 10F によって、可変遅延回路 12 の持つ最小遅延単位（例えば NAND 2 段分の絶対遅延時間値）よりも細かい時間分解能で遅延を調整することを可能としており、必要な時間分解能・精度を確保しつつ、高速動作周波数に対応可能としている。

【0045】

合成回路 13 は、外部クロック CK の立ち上がり遷移に対応した可変遅延回路 10R からの出力信号 NR と、外部クロック CK の立ち下がり遷移に対応した可変遅延回路 10F からの出力信号 NF を受け、出力信号 NR の立ち上がり遷移に対応して立ち上がり、出力信号 NF の立ち下がり遷移に対応して立ち下がる出力信号を合成する。合成回路 13 は、入力と出力を相互に接続したインバータ 2 段の一般的なフリップフロップと等価な回路構成よりなる（但し、高精度に設計されている）。

10

【0046】

レプリカ 20 は、出力 DQ を模擬する回路であり、DLL 出力（合成回路 10 の出力）から出力 DQ 端子までの実際の信号ルートの遅延と等価の回路である。レプリカ 20 は、出力遅延のみを複製（模擬）すればよいため、実際の信号ルート以外に、本質的に必要ない素子は削除され、簡素化が図られる。レプリカ 20 は、外部クロック CK に同相の Ri 20

20

【0047】

出力回路（OE）19 は、図 1 の入力出力バッファ回路 1 - 13 内に設けられ、第 1 の合成回路（シンセサイザ）30 からの DLL 出力（クロック）の立ち上がり立ち下がり同期して、読み出しデータを端子 DQ からシリアルに出力する。OE 19 は例えば二つの読み出しデータをパラレルに入力し、DLL 出力の値に応じて入力を選択出力するマルチプレクサから構成される。

【0048】

デューティ変更検出回路 21 は、合成回路 13 の出力（DLL 出力）を受け、デューティの変更を行う。デューティの変更情報 DCC は、選択回路 22 に入力される。

30

【0049】

選択回路 22 は、入力される選択制御信号 DCCEN に基づき、位相検出器 14F の出力 DLUP1F、又はデューティ変更検出回路 21 の出力 DCC を選択し、Fall 遅延制御回路 15F に供給する。なお、選択制御信号 DCCEN は、図 1 のコントロールロジック 1 - 10 から供給される。

【0050】

図 3 は、図 2 のデューティ変更検出回路 21 の構成の一例を示す図である。図 3 を参照すると、デューティ変更検出回路 21 は、デューティ変更回路 101 と、デューティ検出回路 102 と、制御回路 103 を備えている。

40

【0051】

デューティ変更回路 101 は、合成回路 13 の出力（DLL 出力信号）を入力として受け、DLL 出力信号から、信号 DCC__CLKR__P/N、DCC__CLKF__P/N を生成し、デューティ検出回路 102 に供給する。デューティ変更回路 101 は、DLL 出力信号のデューティを変更し、生成した 4 つの信号 DCC__CLKR__P/N、DCC__CLKF__P/N でデューティ検出回路 102 を動作させる。このように、本実施例では、デューティの検出前に、デューティ検出回路 102 に入力される信号のデューティを変更している。

【0052】

制御回路 103 は、制御信号、周波数信号を入力し、プリチャージ信号（DCC__PR

50

EB)、それに対応する停止信号(DCC__ACTB)、及びラッチ信号(DCC__LAT)を生成する。制御回路103は、デューティ検出回路102にバイアス電圧DCC__BIAS__P/Nを供給する。制御信号、周波数信号は、図1のコントロールロジック1-10から制御回路103に供給される。デューティ変更回路101は、制御回路103から出力される停止信号DCC__ACTBをインバータで反転した信号DCC__ACTを入力し、信号DCC__CLKR__P/N、DCC__CLKF__P/Nの出力動作が制御される。

【0053】

デューティ検出回路102は、デューティ変更回路101から、DCC__CLKF__P/N、DCC__CLKR__P/Nを入力する。またデューティ検出回路102は、制御回路103から、バイアス電圧DCC__BIAS__P/N、プリチャージ信号DCC__PREB、活性化信号DDC__ACTB、ラッチ信号DCC__LATを入力し、デューティを検出する。

10

【0054】

本実施例において、デューティ検出回路102は、例えば外部信号(CK)の複数サイクル(例えば8サイクル)に1回の割合でデューティ検出結果を出力する。このため、デューティ検出回路102内のノードをプリチャージしておく期間が必要である。デューティ検出回路102におけるノードのプリチャージ期間には、デューティ検出回路102の入力(デューティ変更回路101の出力)DCC__CLKF__P/N、DCC__CLKR__P/Nを停止する必要がある。制御回路103から出力される活性化信号DCC__ACTB(Lowでアクティブ)は、デューティ検出回路102に入力され、DCC__ACTBを反転させたDCC__ACTは、デューティ変更回路101に入力される。

20

【0055】

選択回路22は、選択制御信号DCCENに基づき、デューティ変更検出回路21の出力信号DCCと位相検出器(P/D)14Fの出力信号DLUP1Fの一方を選択する。選択回路22において、デューティ変更検出回路21の出力信号DCCが選択された場合、デューティ変更検出回路21の出力信号DCCは、Fall遅延制御回路15Fを介して、Fallカウンタ16Fに供給される。

【0056】

図4は、図3のデューティ変更回路101の構成の一例を示す図である。図4を参照すると、デューティ変更回路101は、

30

電源VDDとVSS間に接続されたPMOSTランジスタPM11、NMOSTランジスタNM11、NM10と、

ソースが電源VSSに接続され、ドレインがNMOSTランジスタNM10のドレインに接続され、ゲートにデューティ制御信号(A)を受けるNMOSTランジスタNM10__1~10__nと、

電源VDDとVSS間に接続されたPMOSTランジスタPM20、PM21、NMOSTランジスタNM21と、

ソースが電源VDDに接続され、ドレインがPMOSTランジスタPM20のドレインに接続され、ゲートにデューティ制御信号(B)を受けるPMOSTランジスタPM20__1~20__nと、

40

ソースが電源VDDに接続され、PMOSTランジスタPM11のドレインとNMOSTランジスタNM11のドレインの接続点ノードNAにゲートが接続されたPMOSTランジスタPM12と、

ソースが電源VSSに接続され、NMOSTランジスタNM21のドレインとPMOSTランジスタPM21のドレインの接続ノードNBにゲートが接続されたNMOSTランジスタNM22と、

を備えている。

【0057】

複数のデューティ制御信号(A)と複数のデューティ制御信号(B)は、デューティ補

50

正值（オフセット値）に対応して、それぞれのNMOSトランジスタNM10__1～10__nとPMOSトランジスタPM20__1～20__nに対応付ける。

【0058】

PMOSトランジスタPM12のドレインとNMOSトランジスタNM22のドレインの接続ノードNC（ノードNC）に入力が接続されたインバータINV1と、インバータINV1の出力に入力が接続されたインバータINV2と、インバータINV2の出力とDCC__ACTを入力するNANDゲートNAND1と、NAND1の出力に入力が接続されたインバータINV3と、インバータINV2の出力とDCC__ACTを入力するNORゲートNOR1と、NOR1の出力に入力が接続されたインバータINV4と、インバータINV1の出力とDCC__ACTを入力するNANDゲートNAND2と、NAND2の出力に入力が接続されたインバータINV5と、インバータINV1の出力とDCC__ACTを入力するNORゲートNOR2と、NOR2の出力に入力が接続されたインバータINV6と、を備え、インバータINV3、INV4、INV5、INV6から、DCC__CLKF__N、DCC__CLKF__P、DCC__CLKR__N、DCC__CLKR__Pがそれぞれ出力される。

10

【0059】

NMOSトランジスタNM10__1～10__nのゲートにそれぞれ入力されるデューティ制御信号（A）の値を変えることで、PMOSトランジスタPM12のゲートノードNAの立ち下がり時間が可変される。DLL出力信号がHighからLowへの遷移時、インバータINV0がLowからHighへ遷移し、NMOSトランジスタNM10、NM11をオン（導通）させ、PMOSトランジスタPM12のゲートノードNAを放電してLow電位とし、PMOSトランジスタPM21をオンしノードNCをHighとするが、NMOSトランジスタNM10__1～10__nのゲートに入力されるデューティ制御信号AをすべてHighとした場合、NMOSトランジスタNM10__1～10__nがオンし、NMOSトランジスタNM11のソースをNMOSトランジスタNM10のターンオンを待たずして、NMOSトランジスタNM10__1～NM1-nにより放電し、ノードNAのLow電位への立ち下がり的高速化する。これに対して、NMOSトランジスタNM10__1～10__nをすべてオフ（非導通）とした場合、NMOSトランジスタNM11のソースは、ターンオンしたトランジスタNM10で放電され、ノードNAのLow電位への立ち下がり遅れる。

20

30

【0060】

なお、DLL出力信号を受けてデューティ値の補正と検出を行なうデューティ変更検出回路21の各ノードは、デューティの精度を確保する上で非常にセンシティブであり、寄生抵抗、寄生容量等に注意が必要である。この視点で、ノードNAには、NMOSトランジスタNM10__1～10__nのドレインを接続せず、NMOSトランジスタNM11のソース抵抗を可変にして放電電流を制御する。後述するノードNBとPMOSトランジスタPM20__1～20__nの関係も同様である。

【0061】

さらに、後段回路（INV1～6、NAND1～2、NOR1～2）も同様であり、デューティ変更回路101の後段回路は、補正されたデューティを反映したノードNCの波形を忠実に維持した状態でデューティ検出回路102へ伝達する。

40

【0062】

PMOSトランジスタPM20__1～20__nのゲートにそれぞれ入力されるデューティ制御信号（B）の値を変えることで、NMOSトランジスタNM22のゲートノードNBの立ち上がり時間が可変される。DLL出力信号がLowからHighへの遷移時、インバータINV0がHighからLowへ遷移し、PMOSトランジスタPM20、PM21をオンさせ、NMOSトランジスタNM22のゲートノードNBを充電してHigh電位とし、NMOSトランジスタNM22をオンしノードNCをLowとするが、PMO

50

SトランジスタPM20__1~20__nのゲートに入力されるデューティ制御信号(B)をすべてLowとした場合、PMOSTランジスタPM20__1~20__nがオンし、PMOSTランジスタPM21のソースを、PMOSTランジスタPM20のターンオンを待たずしてPMOSTランジスタPM20__1~PM20__nで充電しノードNBのHigh電位への立ち上がりを高速化する。PMOSTランジスタPM20__1~20__nをすべてオフとした場合、PMOSTランジスタPM21のソースは、ターンオンしたトランジスタPM20で充電され、ノードNBのHigh電位への立ち上がりは遅れる。

【0063】

したがって、デューティ制御信号(A)、(B)の設定により、PMOSTランジスタPM12とNMOSTランジスタNM22のドレインの接続点NCから出力される出力信号波形の立ち上がり、立ち下がり波形が可変されることになり、デューティが変更される。なお、DCC__ACTがLowのとき、DCC__CLKF__N、DCC__CLKR__NはLowに固定され、DCC__CLKF__P、DCC__CLKR__PはHighに固定される。DCC__ACTがHighのとき、

DCC__CLKR__PとDCC__CLKR__Nは、DLL出力の立ち上がりエッジに同期して立ち上がり、High期間(パルス幅)がDLLクロックのHigh期間に対応したパルス波形とされる。

またDCC__CLKF__PとDCC__CLKF__Nは、DLL出力の立ち下がりエッジに同期して立ち上がり、High期間(パルス幅)がDLLクロックのLow期間に対応したパルス波形とされる。

【0064】

なお、デューティ制御信号(A)、(B)は単独でデューティ補正值(オフセット値)を制御することができる。一方、ノードNCの波形精度をさらに高めるためにデューティ制御信号(A)、(B)を組み合わせてもよい。

【0065】

図5は、図3のデューティ検出回路102の一部(前段)の構成の一例を示す図である。デューティ検出回路102の後段の構成は図6を参照して後に説明される。

【0066】

図5を参照すると、デューティ検出回路102は、デューティ変更回路の出力信号DCC__CLKF__P/N、DCC__CLKR__P/Nの信号を受けて、ノードN1、ノードN2を充放電する。ノードN1、N2の電圧は、それぞれDCC__DBR、DCC__DBFとして出力される。

【0067】

図5に示すように、

電源VDDにソースが接続されゲートにバイアス電圧DCC__BIAS__Pを入力するPMOSTランジスタPM31と、

PMOSTランジスタPM31のドレインにソースが共通接続され、ゲートに信号DCC__CLKR__P、CDD__CLKF__Pをそれぞれ入力するPMOSTランジスタPM32、PM33と、

PMOSTランジスタPM32、PM33のドレインにドレインがそれぞれ接続され、ゲートに信号DCC__CLKR__N、DCC__CLKF__Nを入力し、ソースが共通接続されたNMOSTランジスタNM32、NM33と、

NMOSTランジスタNM32、NM33の共通ソースにドレインが接続され、バイアスDCC__BIAS__Nをゲートに入力し、ソースが電源VSSに接続されたNMOSTランジスタNM31と、

電源にソースが接続され、ドレインがNMOSTランジスタNM32、NM33のドレインであるノードN1、N2にそれぞれ接続され、ゲートがプリチャージ信号DCC__PREBに接続されたPMOSTランジスタPM34、PM35と、

ソースとドレインがノードN1、N2間に接続され、ゲートがDCC__PREBに接続されたPMOSTランジスタPM36と、を備えている。

【 0 0 6 8 】

デューティ変更回路 101 からの信号 DCC_CLKR_P が High、 DCC_CLKR_N が Low、 DCC_CLKF_P が High、 DCC_CLKF_N が Low のとき、PMOS トランジスタ PM32、PM33 がオフ、NMOS トランジスタ NM32、NM33 がオフとされ、ノード N1、N2 (PM34 - PM36 によってプリチャージ済み) はフローティング状態となる。即ち、PM34 と PM36 によって電源電圧へプリチャージされた後の状態において所定時間フローティング状態となる。デューティ変更回路 101 の出力 DCC_CLKR_P 、出力 DCC_CLKR_N がともに High となることで、Rise 側出力 DCC_DBR は、予めプリチャージされた所定電圧から放電される。その後、DLL 出力信号の遷移に対応したデューティ変更回路の Rise 側出力 DCC_CLKR_P 、 DCC_CLKR_N が Low になり、 DCC_DBR が充電される。以降、これを繰り返していく。

10

【 0 0 6 9 】

デューティ変更回路 101 からの Fall 側の出力信号 DCC_CLKF_P 、 DCC_CLKF_N も、Rise 側出力 DCC_CLKR_P 、 DCC_CLKR_N に対して逆相で、前述した放電・充電の繰り返し動作を行い、出力信号 DCC_DBF 、 DCC_DBR の到達電圧が、デューティ検出回路 102 の出力信号となる。出力信号 DCC_DBR 、 DCC_DBF は、図 6 を参照して後述される回路で差動増幅されラッチされる。

20

【 0 0 7 0 】

出力信号 DCC_DBR 、 DCC_DBF がラッチされ後、ノード N1、ノード N2 はプリチャージ回路 (PM34 - PM36) により電源電圧にプリチャージ・イコライズされ、次のデューティ検出 (外部信号 CK の 8 サイクルで 1 回のデューティ検出結果を出力する) のための放電に備える。

【 0 0 7 1 】

デューティ変更回路 101 からの Fall 側の信号 DCC_CLKF_P/N と Rise 側の信号 DCC_CLKR_P/N が逆相ということは、

$[DCC_CLKR_P/N \text{ によるノード } N1 \text{ の放電時間}] = [DCC_CLKF_P/N \text{ によるノード } N2 \text{ の充電時間}]$

といい換えることができる。

30

【 0 0 7 2 】

つまり、

$[DCC_CLKR_P/N \text{ によるノード } N1 \text{ の放電時間が長い}] = [DCC_CLKF_P/N \text{ によるノード } N2 \text{ の充電時間が長い}]$

となるので、 DCC_DBF 、 DCC_DBR に関して、

DCC_DBR はより多く放電され、 DCC_DBF はより多く充電されることになる。

【 0 0 7 3 】

その結果、 DCC_DBF と DCC_DBR の間に電位差 (= V) (図 7 (d) 参照) が発生することになる。

40

【 0 0 7 4 】

DCC_DBF と DCC_DBR の間の電位差 V が 0 (DCC_DBF の電圧 = DCC_DBR の電圧) の状態が、DLL 出力信号のデューティ値が 50% であることを意味する。V = $DCC_DBF - DCC_DBR > 0$ の場合 (図 7 (d) 参照)、 DCC_DBR がより多く放電され、 DCC_DBF がより多く充電され、DLL 出力の High 期間が DLL の Low 期間よりも短くデューティ値が 50% 未満であることを意味する。逆に、V = $DCC_DBF - DCC_DBR < 0$ の場合、 DCC_DBF がより多く放電され、 DCC_DBR がより多く充電され、DLL 出力の High 期間が DLL の Low 期間よりも長くデューティ値が 50% を超えていることを意味する。

【 0 0 7 5 】

50

よって、デューティ検出回路102の入力信号(DCC__CLKF__P/N、DCC__CLKR__P/N)のデューティをデューティ変更回路101によって変更することで、デューティ検出回路102に手を加えず、デューティ検出回路102におけるノードN1、N2の高精度な放電特性、充電特性を維持した状態で、デューティを(意図的に)変動させることが可能となる。

【0076】

なお、デューティ検出回路102は、外部信号によらずデューティ値50%を基準デューティ値とする。本発明は、DLL回路の出力(合成回路13の出力)の波形のデューティをデューティ変更回路101によって変更するが、デューティ検出回路102は、その変更されたデューティ値を、前記基準デューティ値(50%)に従って比較検証を行なう。Fall遅延制御回路15Fが、その比較検証の検出結果(DCC)に対応して、可変遅延回路12、10Fを制御する。その結果、デューティ検出回路102の視点としては、前記基準デューティ値となる。よって、DLL回路の出力に対して-5%(デューティ値45%)のオフセットをデューティ検出回路に与えることによって、DLL回路の出力は+5%(デューティ値55%)の信号を出力する。逆に、+5%のオフセット値をデューティ検出回路に与えることによって、DLL回路の出力は-5%(デューティ値45%)の信号を出力する。つまり、DLLの出力信号のデューティ値は、前記基準デューティ値に前記可変させた量を示すデューティのオフセット値(絶対値)を加算または減算したデューティ値である。

10

【0077】

以上の通り、本実施例においては、精度、回路特性に影響するデューティ検出回路102に手を加えずに、デューティ検出回路102に入力される4つの信号を生成する部分にデューティ変更回路101を配置し、デューティ検出回路102の入力信号(DCC__CLKF__P/N、DCC__CLKR__P/N)のデューティを変更する構成としている。

20

【0078】

デューティ検出回路102において、バイアス電圧DCC__BIAS__P、DCC__BIAS__Nを受けるトランジスタPM31、NM31は、ノードN1、ノードN2が、デューティ変更回路101からの信号(DCC__CLKR__P/N、DCC__CLKF__P/N)にて充電/放電する時間を調整する。制御回路103は、コントロールロジック1-10からの周波数(動作周波数情報)や、DCC__CLKR__P/N、DCC__CLKF__P/Nをゲートに受けるトランジスタの充電/放電能力(電流駆動能力)との兼ね合いで、バイアス信号DCC__BIAS__P、DCC__BIAS__Nを生成する。DCC__CLKR__P/N、DCC__CLKF__P/Nをゲートに受けるトランジスタの充電/放電能力(電流駆動能力)は、デバイス製造時のテストにおいて求めておき、制御回路103内の書き込み可能なROM(Read Only Memory)等に記録するようにしてもよい。

30

【0079】

本実施例において、デューティの検出は複数クロックサイクル(例えば8サイクル)に1回の割合でデューティ検出結果(DCC__DBR、DCC__DBF)を出力する。このため、8サイクル毎に、ノードN1、N2のプリチャージを行う。このとき、DCC__ACTはLowとされ、DCC__CLKR__P/DCC__CLKR__NはHigh/Low、DCC__CLKF__P/DCC__CLKF__NはHigh/Lowとされ、ノードN1、N2はフローティング状態とされる。この状態で、信号DCC__PREBをLowとして、ノードN1、N2を電源電圧VDDにプリチャージ・イコライズする。プリチャージ期間(8サイクルのうち1サイクル)終了後、DCC__PREBをHighとし、DLL出力パルスの立ち上がり、立ち下がりのエッジに反応して、DCC__CLKR__P/N、DCC__CLKF__P/Nが出力される。

40

【0080】

DCC__CLKR__NがHighの期間、NMOSTランジスタNM32がオン(導通)し、ノードN1を放電し、DCC__CLKR__PのLowの期間、PMOSTランジスタ

50

タPM32がオンし、ノードN1を電源電圧VDD側に充電する。DCC__CLKF__NがHighの期間、NMOSTランジスタNM33がオンし、ノードN2を放電し、DCC__CLKF__PのLowの期間、PMOSTランジスタPM33がオンし、ノードN2を電源電圧側に充電する。この動作を、DLL出力クロックの複数サイクル分を行った結果、DCC__DBRとDCC__DBFの電圧が等しい場合、デューティが50%となる。DCC__DBFの方がDCC__DBRよりも低電位のときは、DCC__CLKR__NがHighの期間(DLL出力のHigh期間に対応する)がDCC__CLKF__NのHigh期間(DLL出力のLow期間に対応する)よりも長いことになり、DLL出力クロックパルスのHigh期間はLow期間よりも長い(デューティ50%より大)。

【0081】

図6は、図3のデューティ検出回路102の一部(後段)の構成の一例を示す図である。デューティ検出回路102の前段の構成は図5である。デューティ検出回路102の後段の構成は、デューティ検出回路102(前段)の2つの出力信号(DCC__DBFとDCC__DBR)のどちらが高いレベルであるか否かを判定する判定回路と判定結果をラッチするラッチ回路を備えている。

【0082】

図6を参照すると、判定回路は、DCC__DBF、DCC__DBRを差動入力する差動対と、差動対の出力をそれぞれ入力に受け、入力と出力を交差接続した二つのインバータ(フリップフロップ)を備え構成される。すなわち、DCC__ACTBでオン・オフさせる電流源トランジスタNM41に共通ソースが接続され、DCC__DBF、DCC__DBRを差動入力する差動対(NM42、NM43)と、差動対の差動出力と電源VDD間に接続され、入力が相手の出力に接続され、出力が相手の入力に接続された2つのインバータ(PM41、NM44)、(PM42、NM45)を備え、インバータ(PM42、NM45)、(PM41、NM44)の出力ノードN__1、N__2をプリチャージ・イコライズする回路(PM43、PM44、PM45)と、出力ノードN__1、N__2にそれぞれ接続されたインバータ(反転バッファ)INV__1とINV__2を備えている。

【0083】

より詳しくは、ソースがVSSに接続され、ゲートにDCC__ACTBを入力するNMOSTランジスタNM41と、

共通接続されたソースがNMOSTランジスタNM41のドレインに接続され、ゲートに、信号DCC__DBF、DCC__DBRを入力するNMOSTランジスタNM42、NM43と、

NMOSTランジスタNM42、NM43のドレインにソースがそれぞれ接続されたNMOSTランジスタNM44、NM45と、

ソースが電源VDDに接続されドレインがNMOSTランジスタNM44、NM45のドレインに接続され、ゲートがNMOSTランジスタNM44、NM45のゲートにそれぞれ接続されたPMOSTランジスタPM41、PM42と、

ソースが電源VDDに接続され、ドレインがPMOSTランジスタPM41、PM42のドレインノードN__2、N__1にそれぞれ接続され、共通接続されたゲートがDCC__ACTBに接続されたPMOSTランジスタPM43、PM44と、

PMOSTランジスタPM41、PM42のドレインノードN__1、N__2間に接続されゲートがDCC__ACTBに接続されたPMOSTランジスタPM45と、

ノードN__1、N__2に入力がそれぞれ接続されたインバータINV__1、INV__2と、

を備え、インバータINV__1の出力はラッチ(Latch)のデータ端子に入力されている。インバータINV__2の出力はオープンとされる。

【0084】

ラッチ(Latch)は、ラッチ信号DCC__LATがHighのとき、制御回路での判定結果(インバータINV__1の出力)をDCCとして出力する。

【0085】

10

20

30

40

50

DCC__ACTBがLowのとき、NMOSトランジスタNM41はオフし、PMOSトランジスタPM42、PM43、PM35がオンし、ノードN__1、N__2を電源電圧VDDにプリチャージ・イコライズする。

【0086】

DCC__ACTBがHighのとき、NMOSトランジスタNM41はオンし、PMOSトランジスタPM43、PM44、PM45はオフする。

【0087】

DCC__DBF、DCC__DBRを差動入力する差動対(NM42、NM43)において、DCC__DBFがDCC__DBRよりも高電位のとき($V = DCC_DBF - DCC_DBR > 0$)、NMOSトランジスタNM42のドレイン電流は、NMOSトランジスタNM43のドレイン電流よりも大となる。NMOSトランジスタNM44、NM45のゲートは電源電圧VDDにプリチャージされているため、NMOSトランジスタNM44、NM45はともにオン(導通)状態とされている。この状態で、ノードN__2がノードN__1よりも大きな電流で放電される結果、ノードN__2の電圧が、電源電圧VDD - PMOSトランジスタPM42の閾値電圧以下になると、PMOSトランジスタPM42がオンし、ノードN__2の電圧(=NMOSトランジスタNM45のゲート電位)がNMOSトランジスタNM45のソース電圧 + 閾値電圧以下になると、NMOSトランジスタNM45がオフし、ノードN__1の放電は停止し、オン状態のPMOSトランジスタPM42によってHigh状態に保持され、インバータINV__1の出力はLowとなる。また、ノードN__1のHighをゲートに受けるNMOSトランジスタNM44はオンし、PMOSトランジスタPM41はオフ(非導通)し、この結果、ノードN__2はLow状態とされる。

10

20

【0088】

一方、差動対(NM42、NM43)において、DCC__DBFがDCC__DBRよりも低電位のとき($V = DCC_DBF - DCC_DBR < 0$)、NMOSトランジスタNM43のドレイン電流はNMOSトランジスタNM42のドレイン電流よりも大となる。NMOSトランジスタNM44、NM45のゲートはHigh電位にプリチャージされているため、NMOSトランジスタNM44、NM45はともにオン状態とされる。ノードN__1がノードN__2よりも大きな電流で放電され、ノードN__1の電圧が電源電圧VDD - PMOSトランジスタPM41の閾値電圧以下になると、PMOSトランジスタPM41がオンし、ノードN__1の電圧(=NMOSトランジスタNM44のゲート電位)がNMOSトランジスタNM44のソース電圧 + 閾値電圧以下になると、NMOSトランジスタNM44がオフし、ノードN__2はHigh状態に保持され、ノードN__2のHighをゲートに受けるNMOSトランジスタNM45はオン、PMOSトランジスタPM42はオフであり、ノードN__1はLow状態とされ、インバータINV__1の出力はHighとなる。

30

40

【0089】

前述したように、 $V = DCC_DBF - DCC_DBR = 0$ がデューティ50%に対応し、デューティ検出回路102においては、図6の判定回路が、検出されたDLL出力信号のデューティが50%より大きいか小さいか($V = DCC_DBF - DCC_DBR > 0$ 、又は、 $V < 0$)の結果を、2値論理信号DCCとして、選択回路22に出力する。

【0090】

検出されたDLL出力信号のデューティが50%より大の場合($DCC_DBF < DCC_DBR$)、判定回路の出力はHigh、検出されたDLL出力信号のデューティが50%より小の場合、判定回路の出力はLowとなる。

【0091】

ラッチ回路(Latch)は、ラッチ信号DCC__LATがHighのとき、判定回路の出力信号を選択回路22へスルーで出力し、ラッチ信号DCC__LATがLowのときは、ラッチ信号DCC__LATがHighからLowへ遷移する時の判定回路の出力信号

50

を保持出力し、次の外部信号（CK）の8サイクルに対して、1回のデューティ検出結果DCCを出力するまで、前サイクルの判定回路の出力信号DCCで、遅延制御回路15Fを制御する。

【0092】

特に制限されないが、本実施例において、デューティ検出回路102の出力信号DCCは、DLL出力信号のデューティが50%より大の場合、High、検出されたDLL出力信号のデューティが50%より小の場合、判定回路の出力はLowとなる。

【0093】

図7は、図5を参照して説明したデューティ検出回路102の前段の動作を説明するタイミング波形図である。(a)はDLL出力、(b)はDCC_CLKF_P/N、(c)はDCC_CLKR_P/N、(d)はDCC_DBR/DCC_DBF、(e)はDCC_LAT、DCC_PREBの電圧波形である。

10

【0094】

図7(a)のDLL出力パルスの立ち下がりエッジに応答して、DCC_CLKF_P、DCC_CLKF_Nを生成、DLL出力パルスの立ち上がりエッジに応答して、DCC_CLKR_P、DCC_CLKR_Nを生成する。

【0095】

前述したように8クロックサイクルあたり1回デューティの検出が行われ、DCC_ACTをLowとして、DCC_CLKF_N、DCC_CLKR_NをLow、DCC_CLKF_P、DCC_CLKR_PをHighとし、ノードN_1、N_2をフローティング状態とし、DCC_PREBをLowとして、DCC_DBR、DCC_DBFを所定電圧（電源電圧VDD）にプリチャージする（プリチャージ期間）。

20

【0096】

つづいて、DCC_ACTをHighとしてデューティ検出動作が行われる。DCC_CLKR_N、DCC_CLKF_NのHigh期間中でDCC_DBR、DCC_DBFが放電され、DCC_CLKR_P、DCC_CLKF_PのLow期間中でDCC_DBR、DCC_DBFが充電される。特に制限されないが、この動作を、4サイクル繰り返したのち、6サイクル目で、DCC_ACTをLowとして、DCC_CLKR_N、DCC_CLKR_PをLow、Highとし、半サイクル後、DCC_CLKF_P、DCC_CLKR_PをHigh、Lowとし、ノードN_1、N_2をフローティング状態とする。DCC_DBRとDCC_DBFの差電圧を判定回路で判定し、8サイクル目に判定回路での判定出力をDCC_LATに従って出力する。

30

【0097】

図8は、図2及び図3の選択回路22の構成を模式的に示す図である。選択回路22は、デューティ変更検出回路21の出力DCCと、位相検出器（Phase Detector；P/D）14Fの出力DLUP1Fとを入力し、選択制御信号DCCENにより一方を選択する。選択回路22の出力は、Rise制御用の遅延制御回路15R又はFall制御用の遅延制御回路15Fのいずれか一方へ送られる。

【0098】

本実施例において、デューティ変更検出回路21にて、DLL出力信号のデューティ値が50%より大きい場合、High、小さい場合をLow信号としているため、デューティ変更検出回路21の出力（DCC）は、位相検出器（P/D）からの信号（DLUP1F；位相が進んでいるか遅れているかを示す信号）と同じ意味を持っている。すなわち、選択回路22の出力DLUP1DFは、デューティ変更検出回路21の出力DCCを用いるときも、位相検出器14Fの出力DLUP1Fを用いるときも、同じ意味（=可変遅延回路の遅延時間を調整する）の信号として扱うことができる。より具体的には、デューティ変更検出回路21の出力DCCがHighのとき、DLL出力信号のデューティが50%より大であることを意味している。また、位相検出器14Fの出力DLUP1FがHighのとき、DLL出力信号の立ち上がりの位相が外部クロックCKの立ち上がりよりも遅れていることを表しているものとする。選択回路22の出力DLUP1DFは、出力D

40

50

CC、DLUP1Fのいずれが選択されてもHighとなり、Fall遅延制御回路15Fを介してカウンタを制御し、可変遅延回路12、可変遅延回路10Fにおいて立ち下りのタイミングを早める制御が行われ、結果として、デューティ値を小さくすることになる。

【0099】

なお、図2の構成において、選択回路22は、デューティ変更検出回路21と共に外部クロックのFall側に配置されており、外部クロックに対する位相の調整(ロック)は、Rise側で行い、デューティの変更はFall側で行う構成とされる。選択回路、デューティ変更検出回路をRise側に備え、外部クロックに対する位相の調整(ロック)は、Fall側で行い、デューティの変更はRise側で行う構成としてもよいし、デューティ変更検出回路は、Rise/Fallの両側に配置するようにしてもよい。

10

【0100】

本発明の一つの応用例を以下に示す。本実施例において、外部信号(CK)(デューティ値=55%)が入力され、メモリの外部インタフェース(I/F)の信号のデューティを55%とする場合、従来のデューティ検出回路では、デューティ値50%に補正する(DLL出力もデューティ値50%になる)ことになる。

【0101】

これに対して、本発明においては、デューティ制御信号のデューティ値が、50%(外部信号CKのデューティ値50%)に設定される。即ち、45%に設定される。デューティ変更回路101は、デューティ値=45%のDCC_CLKF_N/P、DCC_CLKR_N/Pを生成し、デューティ検出回路102に出力する。

20

【0102】

デューティ値=50%を目標に検出するデューティ検出回路102では、DCC_DBRとDCC_DBFを比較し、-5%の比較結果をラッチ出力する。Fall遅延制御回路(Fall Control)15Fは、-5%を補正すべく、可変遅延回路12、10Fを制御する。この結果、DLL回路の出力である合成回路13は、デューティ値55%の出力を行なう。これらの構成回路の作用により、デューティ検出回路102は、合成回路13のDLL出力信号(デューティ値=55%)をデューティ変更回路101に入力されるデューティ制御信号のオフセット値(-5%)により、デューティ値50%と認識し、DLL出力信号はデューティ値55%で出力されることになる。これは、メモリの外部インタフェース(I/F)の信号のデューティを、外部信号(CK)のデューティ値と合致させるDLL出力信号である。

30

【0103】

なお、前述のように本発明のデューティ値の制御は、外部信号によらずデューティ値50%を基準デューティ値とする事に注意が必要である。

【0104】

顧客がモードレジスタ(図1の1-5)等に、デューティ制御信号のデューティ補正值(オフセット値)を予め設定しておくことで、顧客のシステム上でメモリデバイスのI/OインタフェースはDLL出力(デューティ値=55%)で動作する。

【0105】

また、メモリベンダのテスト時に、デューティ制御信号(図4参照)を可変にすることで、デューティ検出回路の外部信号に対する製造上の特性バラツキを補正することができる。この場合、補正值は、メモリデバイス内のROM等に記憶される。

40

【0106】

本実施例において、外部信号(CK)のデューティにかかわらず、メモリの外部インタフェース(I/F)の信号をデューティ値55%とする場合、デューティ制御信号のデューティ補正值を45%に設定すると、DLL出力はデューティ値55%になり、メモリデバイスのI/Oインタフェースはデューティ値55%で動作する。

【0107】

本発明の更なる応用例を以下に示す。

50

【0108】

本発明は、メモリシステムまたはメモリモジュール等のメモリコントローラとメモリデバイス間の信号伝送路の問題も解決することができる。例えば、顧客が外部信号（デューティ値 = 60%）を出力するのにもかかわらず、顧客のシステム上でメモリデバイスの入力ポイント（メモリ外部端子）で外部信号（デューティ値 = 55%）となってしまう場合、言い換えれば、メモリデバイスが備える外部端子である外部信号（CK）がデューティ値 = 55%で入力され、メモリの外部インタフェース（I/F）の信号のデューティ値を60%とする場合である。この場合、メモリデバイスは、デューティ検出回路102において、外部信号のデューティ値（55%）をそのままDLLのデューティとして出力するという条件の場合に相当する。

10

【0109】

これを解決するには、デューティ変更回路101のデューティ制御信号を55%に設定することにより、メモリデバイス内のDLL出力は、デューティ値 = 60%となる。即ち、メモリデバイスのI/Oインタフェースの信号は、デューティ値 = 60%で動作し、メモリシステムのメモリコントローラが期待するデューティ値（60%）の期待値にマッチングさせることができる。

【0110】

前記デューティ補正值（オフセット値）は、メモリデバイス内に備えるモードレジスタ等に格納し、そのレジスタ値をメモリコントローラ等が指示することで、前記信号伝送路の問題をクリアできるメモリシステム、メモリモジュール等が実現できる。なお、それらが複数のメモリデバイスを備える場合、信号伝送路にそれぞれ位置付けられるメモリデバイス毎に、前記モードレジスタ値を変更することによって、前記デューティ補正值（オフセット値）を個別に設定できることは言うまでもない。

20

【0111】

上記した本実施例によれば、特許文献1のような、可変遅延回路（VDL）の帰還ループとデューティ調整回路（CDC）の帰還ループの2つのルートを具備することは不要とされ、冗長回路を不要とし、回路規模の増大を回避している。

【0112】

以上本発明の各種実施例を説明したが、本発明は上記実施例の構成に限定されるものではなく、請求の範囲を含む全開示、技術的思想にしたがって当業者であればなし得るであろう各種変形、修正を含むことは勿論である。

30

【0113】

例えば、デューティ変更回路101（図4）が出力する4つの信号（DCC__CLKF__N、DCC__CLKF__P、DCC__CLKR__N、DCC__CLKR__P）は、簡素に2つの信号（DCC__CLKF__NP、DCC__CLKR__NP）に置き換えることができる。

【0114】

例えば、バイアス電圧DCC__BIASをプリチャージ信号DCC__PREBにも同期する論理とすることによって、前記2つの信号に簡略化できる。この場合、デューティ変更回路101（図4）におけるNAND1、NAND2、NOR1、NOR2、INV3~6は不要である。

40

【0115】

さらに、例えば、デューティ検出回路102の前段（図5）において、PMOSトランジスタPM31とNMOSトランジスタNM31のいずれか一方のみを備えた構成とすることも可能である。

【0116】

なお、上記の特許文献の各開示を、本書に引用をもって繰り込むものとする。本発明の全開示（請求の範囲を含む）の枠内において、さらにその基本的技術思想に基づいて、実施形態ないし実施例の変更・調整が可能である。また、本発明の請求の範囲の枠内において種々の開示要素の多様な組み合わせないし選択が可能である。すなわち、本発明は、請

50

求の範囲を含む全開示、技術的思想にしたがって当業者であればなし得るであろう各種変形、修正を含むことは勿論である。

【0117】

上記実施形態では、本発明をメモリ装置に適用した場合を例に説明したが、本願はCPU、MCU、DSP等の半導体装置に含まれるDLL回路を含む装置全般に適用できることは言うまでもない。また、本発明は、SOC（システムオンチップ）、MCP（マルチチップパッケージ）やPOP（パッケージオンパッケージ）等に含まれるDLL回路を搭載した半導体装置に適用できる。更に、この装置を適用したシステムにも効果をもたらす。

【0118】

また、トランジスタは、MOSトランジスタに限定されず、他の種類の電界効果トランジスタ（Field Effect Transistor；FET）、例えば、MIS（Metal-Insulator Semiconductor）トランジスタ、TFET（Thin Film Transistor）等の様々なFETに適用できる。バイポーラ型トランジスタであっても良い。更に、PMOSトランジスタ（P型チャネルMOSトランジスタ）は、第1導電型のトランジスタの代表例、NMOSトランジスタ（N型チャネルMOSトランジスタ）は、第2導電型のトランジスタの代表例である。

【0119】

<別の実施例>

次に本発明の別の実施例を説明する。図9は、本発明の別の実施例のデューティ変更検出回路（DCC）のデューティ変更回路（図3の101）の構成を示す。

【0120】

図9に示すように、本実施例のデューティ変更回路は、図4のデューティ変更回路の左半分相当が削除され、右半分相当の回路からなる。図9に示すように、DLL出力信号はインバータINV2に入力され、NAND回路NAND1、インバータINV3からDCC_CLKF_N、NOR回路NOR1、インバータINV4からDCC_CLKF_Pが生成され、DLL出力信号を入力するNAND回路NAND2、インバータINV5を介してDCC_CLKR_Nが生成され、DLL出力信号を入力するNOR回路NOR2、インバータINV6を介してDCC_CLKR_Pが生成される。DCC_ACTがLowのとき、DCC_CLKF_N、DCC_CLKR_NはLowに固定され、DCC_CLKF_P、DCC_CLKR_PはHighに固定される。

【0121】

DCC_ACTがHighのとき、DCC_CLKR_PとDCC_CLKR_Nは、DLL出力信号の立ち上がりエッジに同期してHighに立ち上がり、DLL出力信号の立ち下がりエッジに同期してLowに立ち下がり、DCC_CLKR_PとDCC_CLKR_NのHigh期間（パルス幅）は、DLL出力信号（出力クロック）のHigh期間に対応したパルス波形とされる（図7の（c）参照）。またDCC_ACTがHighのとき、DCC_CLKF_PとDCC_CLKF_Nは、DLL出力信号の立ち下がりエッジに同期してHighに立ち上がり、DLL出力信号の立ち上がりエッジに同期してLowに立ち上がり、DCC_CLKF_PとDCC_CLKF_NのHigh期間（パルス幅）は、DLL出力信号（出力クロック）のLow期間に対応したパルス波形とされる（図7の（b）参照）。

【0122】

図10は、本実施例のデューティ検出回路（図3の102）の構成を示す図である。本実施例においては、デューティ検出回路において、DLL出力信号のデューティ検出に用いる容量の容量値（サイズ）を変更することで、DLL出力信号のデューティの変更を可能としている。

【0123】

図10を参照すると、本実施例のデューティ検出回路は、DLL出力信号と同相の信号のDCC_CLKR_NのHigh期間に導通し、予め電源電位VDDにリセットされて

いるノードDCC_DBRをGND側に放電するNMOSトランジスタNM32（第1の放電素子）と、DLL出力信号と逆相の信号DCC_CLKF_NのHigh期間に導通し、予め電源電位VDDにリセットされているノードDCC_DBFをGND側に放電するNMOSトランジスタNM33（第2の放電素子）と、ノードDCC_DBRに接続される容量素子（Cr、Cr1、ただし、容量値は $Cr > Cr1$ ）と、ノードDCC_DBFに接続される容量素子（Cf、Cf1、ただし、容量値は $Cf > Cf1$ ）を備えている。

【0124】

本実施例においては、ノードDCC_DBRに接続される容量の容量値、ノードDCC_DBFに接続される容量の容量値を可変させることで、DLL出力信号のデューティの変更を可能としている。

10

【0125】

本実施例のデューティ検出回路は、さらに、DLL出力信号と同相の信号DCC_CLKR_PのLow期間に導通し、ノードDCC_DBRを電源側から充電するPMOSトランジスタPM32（第1の充電素子）と、DLL出力信号と逆相の信号DCC_CLKF_PのLow期間に導通し、ノードDCC_DBFを充電するPMOSトランジスタPM33（第2の充電素子）とを備えている。

【0126】

例えばDLL出力信号と同相の信号DCC_CLKR_Nのデューティが50%より少ない場合、DLL出力信号と同相の信号DCC_CLKR_NのHighパルスの立ち下がりエッジを遅らせるため、ノードDCC_DBRに容量素子Cr、Cr1を接続し、ノードDCC_DBFには容量素子Cfのみを接続する。

20

【0127】

本実施例において、容量Cr、Cr1、Cf、Cf1はいずれもMOS容量（MOSキャパシタ）で構成される。

【0128】

なお、図10において、制御回路103（図3参照）からのバイアス電圧DCC_BIAS_N、DCC_BIAS_Pをそれぞれゲートに受けるMOSトランジスタNM31、PM31、制御回路103（図3参照）からの制御信号DCC_PREBをゲートに受け、制御信号DCC_PREBがLowのとき導通し、ノードDCC_DBR、ノードDCC_DBFを電源電位にリセットし、イコライズするPMOSトランジスタPM34、PM35、PM36は、いずれも、図5の回路と同一であるため、説明は省略する。

30

【0129】

図4、図5に示した前記実施例では、デューティ検出回路102へ入力する信号をデューティ変更回路101で調整している。これに対して、図9、図10に示す本実施例のデューティ変更検出回路（DCC）では、DLL出力信号のデューティの検出（認識）に用いられる容量の容量値を変更することで、デューティの変更・調整を行っていることが前記実施例と相違している。

【0130】

以下に、容量の変更によるデューティ変更検出回路（DCC）について説明する。前述したように、DCCは、DLL出力信号のデューティを調整する。一般に調整済みデューティを50%とした場合、各種のパラツキ等により50%以外の値を取る場合ある。図11乃至図14は、DLL等で多用されるMOS容量（MOSCAP）を利用したDCCの動作を説明するための図である。

40

【0131】

図11において、入力信号のデューティは50%ではない（30%）。DCCおよびDCC前段に用意されたサーボ回路にて、入力信号に同相の内部同相信号（RCLK）と、逆相の内部逆相信号（FLK）を生成する。図14に、DCCおよびDLL全体の構成の模式図にて示す。内部同相信号（RCLK）のデューティは30%であり、内部逆相信号（FLK）のデューティは70%であり、内部同相信号（RCLK）のデューティと

50

逆転している (70% = 100% - 30%)。

【0132】

図12において、RCLK、FCLKのそれぞれに同電位にチャージされた同一の容量値の容量(キャパシタ)Cr、Cfを用意する。なお、集積回路内で容量成分を利用する場合、一般に、MOS容量(MOSCAP)が用いられる。RCLK(内部同相信号)、FCLK(内部逆相信号)に対してそれぞれ用意されたMOS容量Cr、Cfは、予め所定の同電位にプリセットされており、RCLK、FCLKがHighのとき、NMOSトランジスタMN1、MN2がそれぞれ導通して、電荷をGND側に引き抜き、RCLK、FCLKがHigh期間の時間幅(=デューティ)に応じて、それぞれ電位が降下する。そして、電位比較回路210において電位降下後の容量Cr、Cfの端子電圧を比較す

10

【0133】

そして、電位比較回路210において低電位側と検出された内部信号(RCLK又はFCLK)のデューティが長くなるように、図14の出力信号RISEエッジ生成部200のカウンタ回路201(図2のRise Counter 16Rに対応)又は出力信号FALLエッジ生成部208のカウンタ回路202(図2のFall Counter 16Fに対応)を調整することで、デューティは常に50%付近に調整され続ける。デューティが短い側の内部信号の立ち下がりエッジ(Fallエッジ)を遅延させることで、DLL出力信号のデューティは50%付近に近づく。

20

【0134】

図13において、図12の電位比較回路210での比較結果に基づき、RCLK(内部同相信号)の立ち下がりエッジ(Fallエッジ)の遅延を増加させ、FCLK(内部逆相信号)の立ち上がりエッジ(Riseエッジ)の遅延を増加させる。なお、RCLK(内部同相信号)はほぼ出力信号に等しい。デューティ調整の結果、DLL出力信号のデューティは50%となる。デューティが50%となった後も、内部同相信号のデューティが50%を超えた場合、RCLK(内部同相信号)の立ち下がりエッジ(Fallエッジ)の遅延を減少させる。その結果、RCLK(内部同相信号)のデューティは50%に調整され続ける。

30

【0135】

図14に示した構成のDLL(DCCを備えたDLL)では、RISEエッジ側カウンタ回路201、FALLエッジ側カウンタ回路202は独立しており、DCC207では、ディレイライン205の出力信号(内部同相信号)の同相信号と逆相信号をモニタしている。出力信号の逆相信号はサーボ回路206で生成される。特に制限されないが、出力信号FALLエッジ生成部208のカウンタ回路202を、DCC207の出力信号で制御し、出力信号(遅延増加済み信号)の1サイクルの中央に(デューティ=50%)、FALLエッジが得られるように調整される。MOS容量によるDCCの信号補正の精度は、以下により左右される。

【0136】

(a) 電位比較回路210が比較対象電位Vf、Vrを公平に比較できること、

40

【0137】

(b) RCLK、FCLK間での充電済みキャパシタ特性の一致度合い(同等であること)。

【0138】

(c) DCCへの入力信号のデューティが、DLL出力信号のデューティと同一であること。

【0139】

上記(a)~(c)の各条件を満たさない場合に、出力信号のデューティは50%から外れる。なお、(a)~(c)を妨げる不具合として、例えば以下の例がある。

【0140】

50

(a) 電位比較回路210のアナログ特性が、比較される2信号のいずれかを高めに検出する。これは、電位比較回路210がアナログ回路で構成されることに由来する(オフセット)。アナログ回路は、半導体製造時のプロセスばらつきの影響を受けやすい。そのため、異なるサンプルの間では、一定のばらつきが示される。

【0141】

(b) DCC内のMOS容量~電位比較回路210間の時定数が、RCLK、FCLK間で差を持つ。RCLK、FCLK向けのキャパシタのサイズが異なる場合、製造時に発生する位置的な膜圧ばらつき等が原因となり、RCLK、FCLK間の容量が異なる場合が該当する。

【0142】

(c) DCCへの入力信号が、補正前のDLL信号出力デューティと異なっている。例えばDCC補正前の段階で、DCCへの入力信号デューティが43%であり、DLL出力信号デューティが45%であったと仮定する。DCCにて、50%への調整(+7ポイント:1ポイントは遅延単位)を実施することにより、DLL出力信号デューティも52%(+7ポイント)となる。

【0143】

例えば図16に示すように、DCCによるデューティ調整を実施したものの、出力信号のデューティが50%と異なった値、例えば48%(FALLエッジがやや前進気味)となってしまうとする。この場合、本実施例においては、RCLK(内部同相信号)のFallエッジ出力タイミングを意図的に遅延ですること、デューティの調整が可能となる。

【0144】

本実施例によれば、図17に模式的に示すように、RCLK側の容量 C_r の値を増加させる。RCLK側の全体の容量を $C_r + C_{r1}$ とする。FCLK側の容量は C_f のままとする。この結果、電位比較回路210において、 $V_f = V_r$ と判断するRCLK、FCLKの比率(High期間の時間幅の比)が変わる。すなわち、RCLKのHigh期間の幅をやや長めにした場合、 $V_f = V_r$ となる。

【0145】

図10、図17に示すように、本実施例においては、未使用のMOS容量 C_{r1} を用意しておき、デューティの状況によって、未使用のMOS容量 C_{r1} の適用の有無を決定する。 C_f についても、同様に、 C_{f1} を用意しておく。出力信号のデューティが50%でなく例えば52%(例えば同相信号のRISEエッジが前進気味)となってしまうとする。この場合、FCLK側全体の容量を $C_f + C_{f1}$ とする。RCLK側は C_r のままとする。この結果、電位比較回路210において、 $V_f = V_r$ と判断するRCLK、FCLKの比率(High期間の時間幅の比)が変わる。すなわち、FCLKのHigh期間の幅をやや長めにした場合(したがってRCLKのHigh期間を短くする)、 $V_f = V_r$ となる。

【0146】

図18は、図5に示したデューティ検出回路に、本実施例を適用した回路構成を示す図である。図18を参照すると、図5のノードDCC_DBRに、容量 C_r (PチャンネルMOS容量とNチャンネルMOS容量)と、 C_{r1} (PチャンネルMOS容量とNチャンネルMOS容量)とを接続し、ノードDCC_DBFに、容量 C_f (PチャンネルMOS容量とNチャンネルMOS容量)と、 C_{f1} (PチャンネルMOS容量とNチャンネルMOS容量)を接続している。各MOS容量は、ゲートがノードDCC_DBR又はノードDCC_DBFに接続され、ドレイン端子(Drain)とソース端子(Source)とサブストレート端子(バックゲート端子)(Sub)とが共通接続されている。 C_{r1} (補助容量)のPチャンネルMOS容量とNチャンネルMOS容量は、 C_r のPチャンネルMOS容量とNチャンネルMOS容量よりもサイズは小さい。 C_{f1} (補助容量)のPチャンネルMOS容量とNチャンネルMOS容量は、 C_f のPチャンネルMOS容量とNチャンネルMOS容量よりもサイズは小さい。

10

20

30

40

50

【0147】

MOS容量 C_{r1} の未適用時、各部の電圧は、図15の「適用無」の段に示す通りである。PチャンネルMOS容量 C_r のサブストレート端子(Sub)、ソース端子、ドレイン端子はともにHigh、PチャンネルMOS容量 C_{r1} のサブストレート端子(Sub)、ソース端子、ドレイン端子はともにLow、PチャンネルMOS容量 C_f のサブストレート端子(Sub)、ソース端子、ドレイン端子はともにHigh、PチャンネルMOS容量 C_{f1} のサブストレート端子(Sub)、ソース端子、ドレイン端子はともにLowである。NチャンネルMOS容量 C_r のサブストレート端子(Sub)、ソース端子、ドレイン端子はともにLow、NチャンネルMOS容量 C_{r1} のサブストレート端子(Sub)、ソース端子、ドレイン端子はともにHigh、NチャンネルMOS容量 C_f のサブストレート端子(Sub)、ソース端子、ドレイン端子はともにLow、NチャンネルMOS容量 C_{f1} のサブストレート端子(Sub)、ソース端子、ドレイン端子はともにHighである。MOS容量の各部の電圧は、例えば図3の制御回路103から供給される。

10

【0148】

MOS容量 C_{r1} では、Pチャンネル/Nチャンネルの各部の電位はLow/Highに設定されており、通常利用時のMOS容量のPチャンネル/Nチャンネルの各部電位であるHigh/Lowとは異なる。このため、 C_{r1} は、MOS容量として容量値が減少する。なお、MOS容量 C_{f1} も、Pチャンネル/Nチャンネルの各部の電位は、MOS容量 C_{r1} のPチャンネル/Nチャンネルの各部の電位と同様とされ、 C_{f1} は、MOS容量として容量値が減少する。

20

【0149】

MOS容量 C_{r1} のノードDCC__DBRへの接続時は、各部電圧が、図15の下段の「適用有」に変わる。PチャンネルMOS容量 C_{r1} のサブストレート端子(Sub)、ソース端子、ドレイン端子はLowからHighに設定され、NチャンネルMOS容量 C_{r1} のサブストレート端子(Sub)、ソース端子、ドレイン端子はHighからLowに設定される。

【0150】

図18に示すように、MOS容量 C_r とMOS容量 C_{r1} は並列に接続されているため、RCLK側の容量成分、すなわちノードDCC__DBRに付加される容量値は、 C_{r1} 適用分だけ増加する。MOS容量 C_{r1} の適用の結果、Riseエッジ生成信号であるRCLKの蓄積電荷は増大する。一方、ノードDCC__DBFに付加される容量値は C_f である(C_{f1} のDCC__DBFの接続は適用無)。

30

【0151】

RCLKの電位(V_r)がFCLKの電位(V_f)と同等になるためには、RCLKのHigh期間がより長く継続されなくてはならない(RCLKのFALLエッジの遅延増大)。すなわち、DCCは、RCLKのHigh期間の長時間化を実現できるまで、RCLK側のカウンタ回路(図14の201)のカウント操作を継続する。

【0152】

RCLKのHigh期間の時間幅の拡大は、その逆相信号であるFCLKのHigh期間の時間幅の縮小を意味する。この操作の実行に当たり、RCLKのRISE(立ち上がり)エッジ位置が変わらなければ、FCLKのFALL(立ち下がり)エッジは後退する。そして、FCLKの立ち上がりエッジは、DLL出力信号の立ち下がり(FALL)エッジに相当することから、その立ち下がりエッジのタイミングが遅れることとなり、デューティが補正されるのである。

40

【0153】

なお、図18のノードDCC__DBR、DCC__DBFは、図6の差動回路(判定回路)に入力され、図6のラッチ回路(Latch)でラッチされる。図6の差動回路(判定回路)は、図12、図17の電位比較回路210に対応する。

【0154】

次に、本発明の実施例の変形例を説明する。図10、図18に示した実施例では、主た

50

る電荷蓄積容量MOS容量(C_r/C_f)と、補正用のMOS容量(C_{r1}/C_{f1})($C_{r1} < C_r$ 、 $C_{f1} < C_f$)を備えた構成としたが、別の例として、大小MOS容量の組合せを拡張し、互いに面積の異なる8種類のMOS容量からなる構成とする。

【0155】

図19は、MOS容量のゲート部分を上からみた図である。8種類のMOS容量は、1段階の変化するごとに、2倍ずつ面積(サイズ)が異なっている。よって、MOS容量の組合せの違いより、トータル256段階(2の8乗)に蓄積電荷量の変更が可能である。また、各MOS容量のソース・ドレイン電位をサブ電位との間で分離できる仕様としておくことで、更に、細かい調整も可能である。仮に、127~128番目の容量値を標準値に設定しておけば、電荷量の最大値は、標準状態の2倍まで拡張でき、小容量化への対応余力も大きい。なお、実際の製品(DDR2/DDR3-SDRAM)では、DCC用MOS容量のサイズは4 μ m \times 4 μ m程度である。すなわち、現在の最小プロセスルール($W_{min}=1\mu$ m/ $L_{min}=60$ nm内外、 W はゲート幅、 L はゲート長)であれば、最小MOS容量のサイズは基準となる4 μ m \times 4 μ mの0.5%以下程度のサイズに抑えることができる。この結果、微調整時の変化量をきめ細かく調整できる。

10

【0156】

なお、更なる微調整を実現する場合には、ベースとなるMOS容量のサイズの拡大が有効である。ベースとなるMOS容量が拡大すれば、調整用MOS容量の容量は相対的に減ることとなり、変化量のステップを微小化できる。

【0157】

20

容量成分全体の拡大への対処として、他の要素に変更無ければ、容量成分の拡大に伴い電荷引き抜き時間(放電時間)が増加するため、ベースとなるMOS容量の容量成分の拡大に合わせディスチャージNMOSトランジスタ(図17のMN1、MN2)のゲート幅(W)サイズを拡大する。 W の拡大に伴い、ディスチャージ電流が増加し、電位降下が高速化される。

【0158】

本発明の適用例として、半導体製品の検査への展開例を説明する。半導体製品の検査プログラムでは、製造された半導体製品(DCC付きDLLを搭載した製品(DDR3-DRAM等を想定する)の検査をテスト(メモリテスト等)を用いて行う。検査工程にて、デューティ調査を行う。

30

【0159】

デューティ調整の結果、図14に示すように、出力信号のデューティが48%の場合、図17に示したMOS容量の容量増加(C_{r1} の付加)を行うことで、デューティを50%に近づけることが可能である。特に、製品の品質が安定しない状況で量産が実施された場合、DCCにより調整されたDLL出力信号のデューティが所望の値から乖離しやすい。すなわち、DCC回路部が正しく機能し、DLL出力信号のデューティ調整が実施されるも、本明細書の段落番号0136~0138等(a)、(b)、(c)を原因として、調整後のDLL出力信号のデューティが50%以外の値を取る現象が起こりやすい。大量生産時に上記の問題が発生すると、生産されたチップごと(チップ別に)に調整後のデューティが異なる事態となる。そして、調整済みのデューティの固有値は生産されたチップ数に応じて増加する(チップ間差)から、生産数の増加に従い、製品品質の均質化が困難となる。そこで、本発明を適用し、生産後のチップに対して外部からDCC回路の補正を実施する。結果としてチップ間差は削減され、製品全体の品質の均質化が促進されるのである。

40

【0160】

本実施例においては、図19に示したように、複数サイズのMOS容量を統合して容量成分を形成する。設計上の調整幅を大きく取ることで、製品量産時に出現が予測されるデューティ調整値のばらつきへの対応が可能となる。デューティの調整は容量のサイズの変更により行う。

【0161】

50

前述したように、DCCは、本来、出力信号のデューティを50%とするものであるが、半導体製造ばらつきなどを原因として、デューティ50%となる場合があるが、本実施例によれば、デューティ調整に際し出力信号のデューティ認識に用いるMOS容量のサイズを意図的に変えることで、出力信号のデューティの変更を可能としている。

【0162】

なお、図17に示した上記実施例では、DCCの電位比較回路210において、VfとVrの電位が等しくなるように、デューティ検出に用いる容量の値(Cf、Cr+Cr1)を設定することで、出力信号のデューティ=50%を実現しているが、本発明は、デューティ=50%に限定されるものではない。電位比較回路210においてVfとVrの比が1:1以外の所定比となるように、デューティ検出に用いる容量の値を設定することで、DLLの帰還制御により、DLLの出力信号のデューティを50%以外の所定値となるように調整することもできる。

10

【0163】

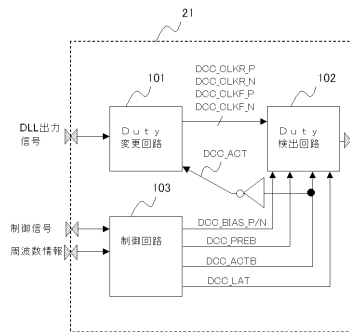
なお、上記の特許文献の各開示を、本書に引用をもって繰り込むものとする。本発明の全開示(請求の範囲を含む)の枠内において、さらにその基本的技術思想に基づいて、実施例ないし実施例の変更・調整が可能である。また、本発明の請求の範囲の枠内において種々の開示要素の多様な組み合わせないし選択が可能である。

【符号の説明】

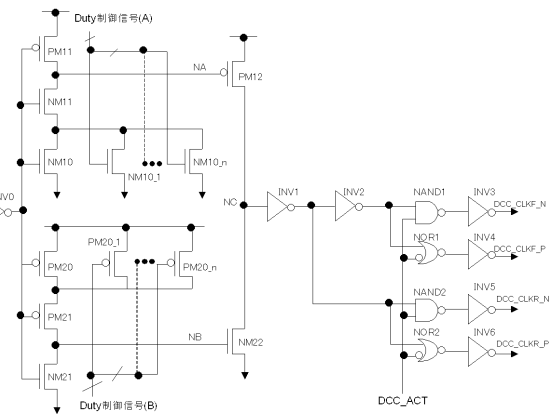
【0164】

- | | | |
|---------|---|----|
| 1-1 | メモリセルアレイ (Memory cell array) | 20 |
| 1-2 | センスアンプ (Sense amp.) | |
| 1-3 | カラムデコーダ (Column decoder) | |
| 1-4 | ロウデコーダ (Row decoder) | |
| 1-5 | モードレジスタ (Mode register) | |
| 1-6 | ロウアドレスバッファ及びリフレッシュカウンタ (Row address buffer and refresh counter) | |
| 1-7 | カラムアドレスバッファ及びバーストカウンタ (Column address buffer and burst counter) | |
| 1-8 | データコントロール回路 (Data control circuit) | |
| 1-9 | コマンドデコーダ (Command decoder) | 30 |
| 1-10 | コントロールロジック (Control logic) | |
| 1-11 | ラッチ回路 (Latch circuit) | |
| 1-12 | DLL | |
| 1-13 | 入力出力バッファ (Input and Output buffer) | |
| 1-14 | クロックジェネレータ (Clock generator) | |
| 10R、10F | 可変遅延回路 (Interpolator) | |
| 11 | 入力回路 (IN) | |
| 12 | 可変遅延回路 (Delay Line) | |
| 13 | 合成回路 (Synthesizer) | |
| 14F、14R | 位相検出器 (P/D) | 40 |
| 15R | 遅延制御回路 (Rise Control) | |
| 15F | 遅延制御回路 (Fall Control) | |
| 16R | カウンタ (Rise Counter) | |
| 16F | カウンタ (Fall Counter) | |
| 17R、17F | プリデコーダ (Pre Dec) | |
| 18R、18F | DAC | |
| 19 | OE | |
| 20 | レプリカ | |
| 21 | デューティ変更検出回路 | |
| 22 | 選択回路 (Selector) | 50 |

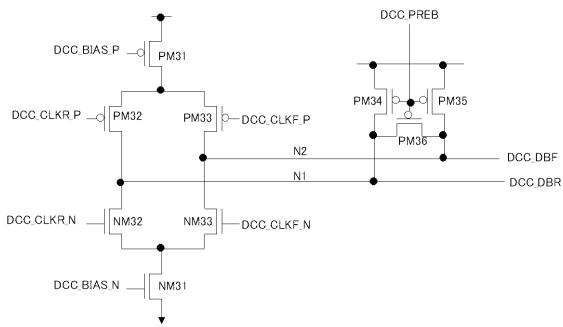
【 図 3 】



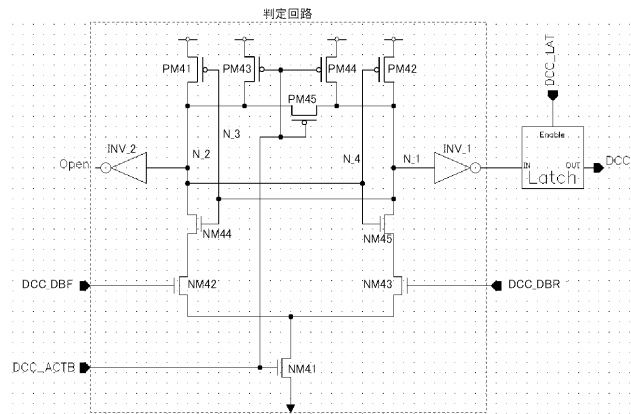
【 図 4 】



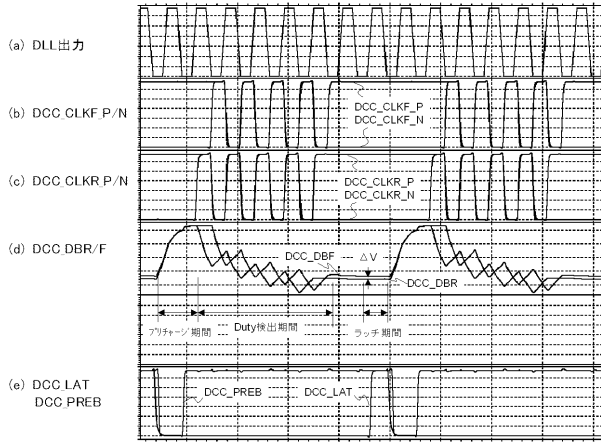
【 図 5 】



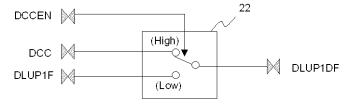
【 図 6 】



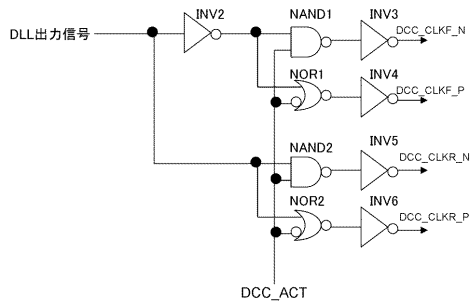
【 図 7 】



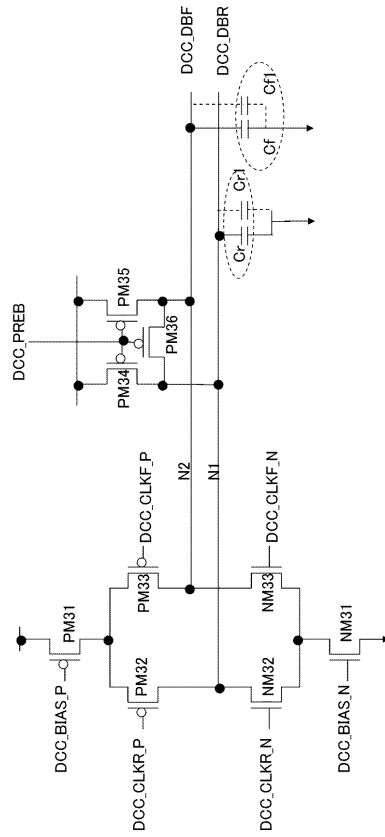
【 図 8 】



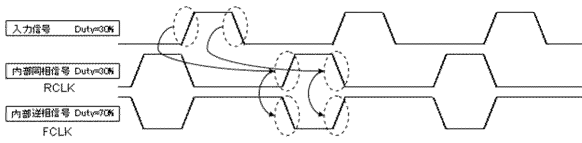
【 図 9 】



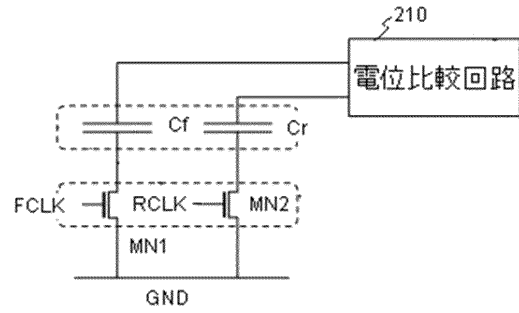
【 図 10 】



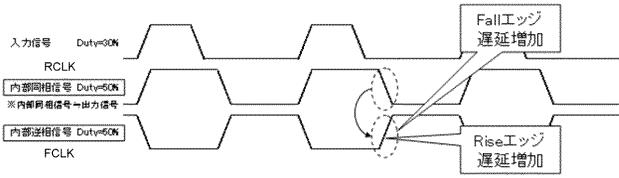
【図 1 1】



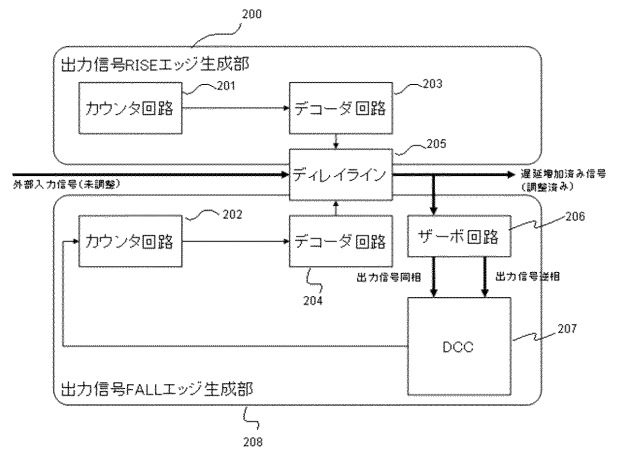
【図 1 2】



【図 1 3】



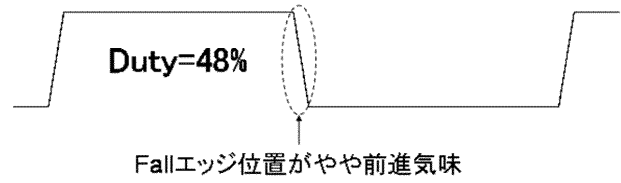
【図 1 4】



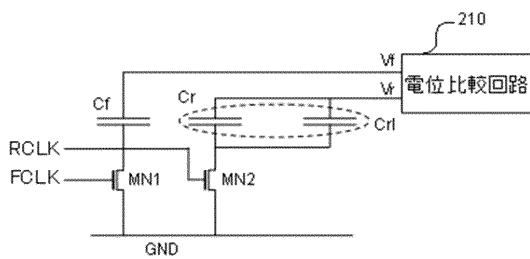
【 図 1 5 】

適用	MOSCAP	Pch			Nch		
		Sub	Drain	Source	Sub	Drain	Source
無	Cr	H	H	H	L	L	L
	Cr1	L	L	L	H	H	H
	Cf	H	H	H	L	L	L
	Cf1	L	L	L	H	H	H
有	Cr	H	H	H	L	L	L
	Cr1	H	H	H	L	L	L
	Cf	H	H	H	L	L	L
	Cf1	L	L	L	H	H	H

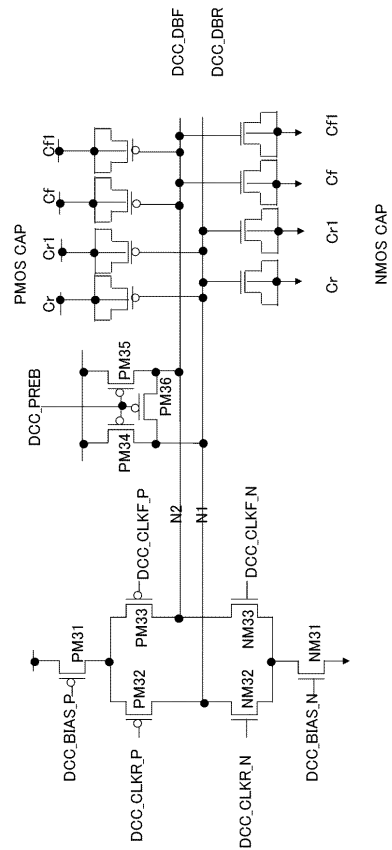
【 図 1 6 】



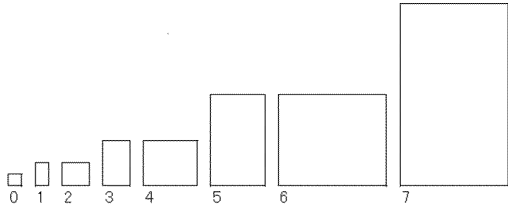
【 図 1 7 】



【 図 1 8 】



【 図 19 】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
G 1 1 C 11/407 (2006.01) G 1 1 C 11/34 3 6 2 T

Fターム(参考) 5J106 BB03 CC21 CC30 CC48 CC59 DD09 DD11 DD19 DD35 DD37
DD46 EE01 FF07 FF09 GG10 HH02 KK05
5M024 AA50 AA55 AA93 BB27 JJ03 JJ38 JJ40 PP01 PP02 PP03
PP07 PP10