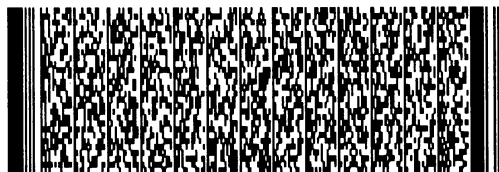


申請日期：92.8.27	IPC分類
申請案號：92123664	G06F13/16

(以上各欄由本局填註)

發明專利說明書 200426594

一、發明名稱	中文	動態調整微處理器操作速度的相關方法
	英文	METHOD FOR DYNAMICALLY ARRANGING AN OPERATING SPEED OF A MICROPROCESSOR
二、發明人 (共3人)	姓名 (中文)	1. 杜立群 2. 郭弘政
	姓名 (英文)	1. Tu, Li-Chun 2. Kuo, Hung-Cheng
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中文)	1. 台北市南港區福德街三0九巷四十號一樓 2. 新竹市南大路五五0巷五十號三樓
	住居所 (英文)	1. 1F, No. 40, Lane 309, Fu-Te St. Na-Kang District, Taipei City, Taiwan, R.O.C. 2. 3F, No. 50, Lane 550, Nan-Ta Rd. Hsin-Chu City, Taiwan, R.O.C.
三、申請人 (共1人)	名稱或姓名 (中文)	1. 聯發科技股份有限公司
	名稱或姓名 (英文)	1. MediaTek Inc.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹市新竹科學工業園區創新一路13號1F (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. 1F, No. 13, Innovation Road 1, Science-Based Industrial Park, Hsin-Chu City, Taiwan, R.O.C.
	代表人 (中文)	1. 蔡明介
	代表人 (英文)	1. Tsai, Ming-Kai



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共3人)	姓 名 (中 文)	3. 陳炳盛
	姓 名 (英 文)	3. Chen, Ping-Sheng
	國 籍 (中 英 文)	3. 中華民國 TW
	住居所 (中 文)	3. 嘉義縣中埔鄉隆興村六鄰十三號
	住居所 (英 文)	3. No. 13, Community 6, Lung-Hsing Tsun, Chung-Pu Hsiang, Chia-Yi Hsien, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	
	名稱或 姓 名 (英 文)	
	國 籍 (中 英 文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中 文)	
	代表人 (英 文)	



一、本案已向

國家(地區)申請專利	申請日期	案號	主張專利法第二十四條第一項優先權
------------	------	----	------------------

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

無

寄存日期：

寄存號碼：

☐熟習該項技術者易於獲得, 不須寄存。



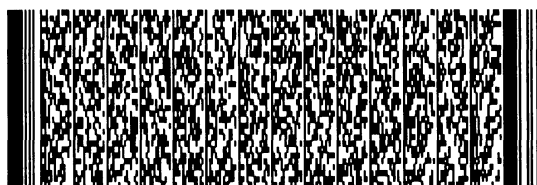
五、發明說明 (1)

發明所屬之技術領域

本發明提供一種藉動態調整一微處理器 (Microprocessor) 或微處理器模擬裝置 (Microprocessor Emulator) 之操作速度 (Operating Speed)，以存取至少一程式記憶體的方法。

先前技術

隨著數位時代的演進，為因應使用者的需求激增，數位資料的提取、傳輸、儲存、運用、與顯示的速度及正確性必須不斷隨之增強，而其中與資訊系統的效能關係最劇烈的，即是處理器與相關記憶體的存取運作。在習知技術中，當一微處理器 (Micro-processor) 向一程式記憶體要求提出資料 (程式碼) 時，也就是微處理器要存取程式記憶體時，必須發出對應於所需資料 (程式碼) 之存取位置及其他控制訊號，而程式記憶體 (如唯讀記憶體 ROM、快閃記憶體 Flash 等等) 必須在收到微處理器所發出之存取位置及相關控制訊號後的一定時間內，讓所需之程式碼由微處理器讀走。請參閱圖一，圖一為習知一微處理器 10 存取一程式記憶體 12 的架構示意圖。於圖一中，微處理器 10 對程式記憶體 12 發出一存取位址 (Access Address) 以及一控制訊號，而程式記憶體 12 在收到此存取位址及控制訊號後，傳回對應之一數位資料 (程式碼)。

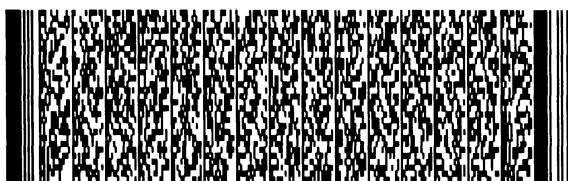


五、發明說明 (2)

至微處理器 10。

在評估一個記憶體의效能時，最重要的便是其存取的時間與速度。從微處理器發布存取位址及相關指令，記憶體取得存取位址資料，至記憶體傳回對應之數位資料給微處理器，最後到微處理器確實接收到所欲之數位資料並完成資料分析為止，整個程序所花的時間可稱為該記憶體之完整的一讀取週期，假設記憶體的讀取週期是 60ns(毫微秒)，這便意味著完成上述的程序所需的時間是 60ns。請繼續參閱圖一習知實施例，若微處理器 10與程式記憶體 12之間一個完整的讀取動作包含有四個操作步驟：a.微處理器 10發出存取位址、b.等待程式碼由程式記憶體 12回傳、c.程式碼分析、d.由微處理器 10發出新的存取位址，以現行一個具有時脈頻率 33MHz的 8051系列之晶片(IC)為例，若設計四個時脈週期 ($30\text{ns} \times 4 = 120\text{ns}$)為一個讀取週期，意即，程式記憶體 12必須在 120ns的時間內完成一個完整的讀取動作，包括上述 a.至 d.四個操作步驟，若程式記憶體 12無法在一個讀取週期內完成上述所有步驟，則可能發生資料流失、阻塞、程式碼無法正常執行等不良效應。

因此，程式記憶體 12的速度必須要達到一定要求，才能讓微處理器 10順利存取並執行程式記憶體 12中的程式碼。如此一來，存取速度不快但可因此省卻接腳數(Pin



五、發明說明 (3)

Count)的使用及佔有較少系統資源的記憶體，如串列式快閃記憶體 (Serial Flash)等，則在上述習知技術的架構下，無法應用於現今高速的微處理器系統中。再者，以一動態隨機存取記憶體 (DRAM)而言，在多工的模式下於時序的控制上亦必須要精準，才能確保存取時的資料的完整和正確性。若能將此些成本低廉、架構簡易的記憶體與現今愈加高速的微處理器系統加以配合運用，對於系統資源的節省與產品的價格競爭力必有顯著的提昇。

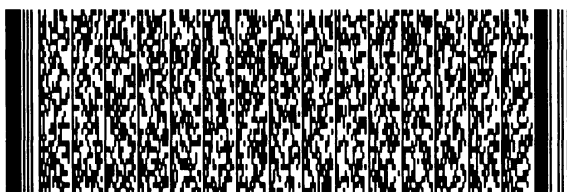
另外，微處理器系統的運作與模擬其實是同一回事，一個典型的模擬程序應該要能真實反映原本的系統設計，藉由模擬找出實際操作時可能會遇到的問題並加以除錯。因此，在一個完整的微處理器系統的發展成型之過程中，一內嵌式處理器模擬器 (In-Circuit Emulator)的加入是極為重要的一環。簡單來說，內嵌式處理器模擬器 ICE 是一個用來模擬微處理器電路的硬體設備，外接於原有的微處理器系統，可作為一些未設置有除錯線路的微處理器之擴充，以便讓系統開發商或是程式設計師可以對微處理器系統之軟/硬體做模擬除錯的動作。請參閱圖二，圖二為習知技術利用一內嵌式處理器模擬器 24 模擬一微處理器系統 20 的示意圖。圖二中包含了晶片 20 (微處理器系統)、內嵌式處理器模擬器 24、一程式記憶體 22、以及一外接式 (External)時脈產生器 26。請回頭



五、發明說明 (4)

對照圖一，此時內嵌式處理器模擬器 24 即取代原本晶片 20 中微處理器之功能，模擬晶片 20 (其中包含有圖一中之微處理器 10) 於實際操作時的情形。在實際實施時，目前一般的內嵌式處理器模擬器 24 的接腳設計會與其要模擬的微處理器一樣，方便把內嵌式處理器模擬器 24 直接插在原來的微處理器插槽上，再利用軟體的配合以控制整個內嵌式處理器模擬器 24 的運作。在本習知實施例中，內嵌式處理器模擬器 24 的操作時脈 (Operating Clock) 是由外接式時脈產生器 26 提供，與被測試的晶片 (微處理器系統 20) 無關。程式記憶體 22 提供內嵌式處理器模擬器 24 運作所需之指令 (Instruction)，內嵌式處理器模擬器 24 對被測的晶片提供存取位址 (Access Address) 以及相關之控制訊號等，而被測試之晶片則依據存取位址以及相關控制訊號，傳回對應之數位資料至內嵌式處理器模擬器 24。藉由上述概略的運作，即可例用內嵌式處理器模擬器 24 控制被測晶片的運作。

然而，無論是使用內嵌式處理器模擬器 24，或者是透過現行的一些模擬軟體，有時仍無法模擬出微處理器系統 20 真實的狀態。例如在動態即時 (Real-Time) 反應的工作情形下，時脈的變動、中斷 (Interruption)、或暫停 (Suspension) 是時常可能發生的情況，而若要如上面所述，將成本低廉、架構簡易的慢速記憶體 (例如串列式快閃記憶體) 與高速的微處理器系統 20 配合運用，時脈變



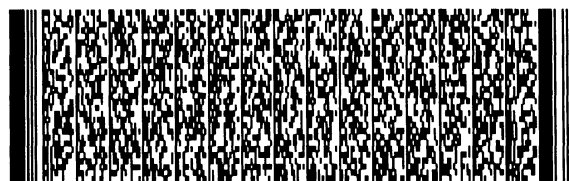
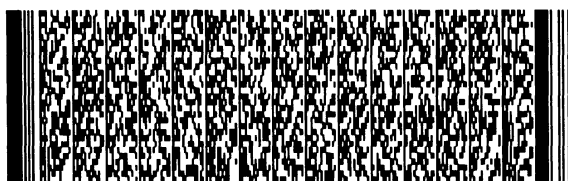
五、發明說明 (5)

動、中斷或暫停運作等的程序更是需要納入考量。習知技術的困窘之處在於，一般的(外接式)時脈產生器 26 很難模擬這些動態的運作情形，在無從模擬許多真實情況的處境下，更是遑論將慢速記憶體與高速的微處理器系統 20 配合運用的可能性。

發明內容

本發明的主要目的在於提供一種藉動態調整一微處理器 (Microprocessor) 或微處理器模擬裝置 (Microprocessor Emulator) 之操作速度 (Operating Speed)，以存取至少一記憶體的方法。

以下為本發明之一實施例。在此，藉調整操作時脈以調整微處理器之執行速度。我們在一微處理器系統中設置一緩衝控制裝置，輸出一操作時脈至微處理器，並由記憶體中連續不間斷的讀取一定數量的資料(程式碼)。當微處理器需要資料時，檢查緩衝控制裝置中是否存有微處理器所需的程式碼，若有，微處理器則直接從緩衝控制裝置中存取，若沒有，緩衝控制裝置會將操作時脈掩蓋 (mark) 掉，而微處理器會因為操作時脈的消失，而暫時停止運作，並保留其現有之狀態。在程式記憶體搜尋到並回傳微處理器所需的程式碼後，緩衝控制裝置再恢復操作時脈的輸出。如此一來，即可達成動態控制操作

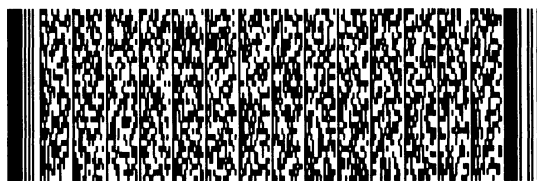
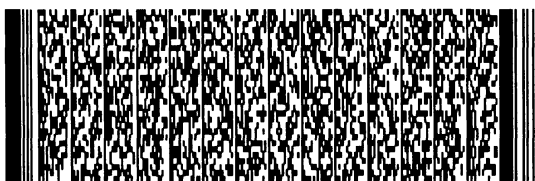


五、發明說明 (6)

時脈，以大幅降低程式記憶體所須之存取速度。

在本發明中，我們另提出一種可動態調整一微處理器模擬裝置 (Microprocessor Emulator) 之操作時脈的技術特徵，其係利用將此微處理器模擬裝置電連於一緩衝控制裝置，而緩衝控制裝置輸出操作時脈至微處理器模擬裝置，以操作此微處理器模擬裝置。如此一來，該緩衝控制裝置可經由判斷微處理器模擬裝置所發送之存取位址是否位於緩衝控制裝置中，來動態調整操作時脈，以模擬本發明利用緩衝控制裝置使一微處理器存取一慢速之記憶體的情形。如此一來，即使於不同的跳躍狀態 (Jump Condition)，或於可變動之操作時脈下，微處理器模擬裝置都可正確地模擬出微處理器的效能。

本發明之目的為提供一種利用一緩衝控制裝置使一微處理器 (Micro-processor) 存取至少一記憶體的方法，該記憶體儲存有複數筆數位資料，該方法包含有 (a) 使用該緩衝控制裝置輸出一操作時脈 (Operating Clock) 至該微處理器，以操作該微處理器；(b) 使用該緩衝控制裝置讀取儲存於該記憶體中之預定數目筆數位資料；(c) 使用該微處理器由該緩衝控制裝置中讀取所需之至少一數位資料；(d) 於步驟 (c) 中，當該微處理器所需之該數位資料位於該緩衝控制裝置中時，使用該微處理器讀取位於該緩衝控制裝置中之該數位資料，並繼續使用該緩衝控制



五、發明說明 (7)

裝置輸出該操作時脈至該微處理器；(e)於步驟(c)中，當該微處理器所需之該數位資料係非位於該緩衝控制裝置中時，使用該緩衝控制裝置停止輸出該操作時脈，以暫停該微處理器之操作；以及 (f)於進行步驟(e)後，將該微處理器所需之該數位資料由該記憶體傳送至該緩衝控制裝置以及該微處理器，並使用該緩衝控制裝置恢復輸出該操作時脈，以使該微處理器讀取該數位資料。

本發明之另一目的為提供一種用來動態調整一微處理器模擬裝置(Microprocessor Emulator)之操作時脈(Operating Clock)的方法，該微處理器模擬裝置係電連於一微處理器系統(Microprocessor System)，該微處理器系統包含一緩衝控制裝置，該方法包含有(a)使用該微處理器模擬裝置發送一存取位址(Access Address)至該緩衝控制裝置；(b)於步驟(a)中，當該存取位址位於該緩衝控制裝置中時，使用該緩衝控制裝置輸出該操作時脈至該微處理器模擬裝置，以操作該微處理器模擬裝置；以及(c)於步驟(a)中，當該存取位址係非位於該緩衝控制裝置中時，使用該緩衝控制裝置停止輸出該操作時脈至該微處理器模擬裝置，以暫停操作該微處理器模擬裝置。

實施方式

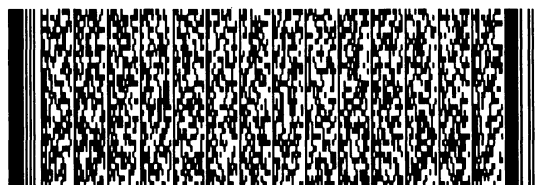


五、發明說明 (8)

在此介紹本發明一較佳實施例，此方法係應用一緩衝控制裝置以提升存取資料速度。此緩衝控制裝置可利用一微處理器執行速度控制裝置 (Microprocessor-operating-speed controller) 替換。下述使用緩衝裝置的實施例，僅為本發明一較佳實施方式。

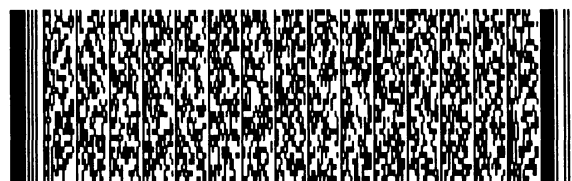
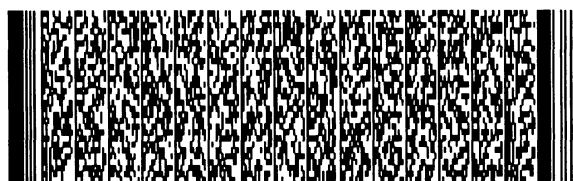
請參閱圖三，圖三為本發明之一實施例的示意圖。圖三之架構包含一緩衝控制裝置 38、一微處理器 (Micro-processor) 30，一記憶體 32，記憶體 32 中儲存有複數筆數位資料。與圖一習知實施例對照可知，本發明的基本架構仍是利用微處理器 30 存取記憶體 32，但在存取的過程中，由於本發明之記憶體 32 係期以一慢速記憶體 (例如串列式快閃記憶體) 完成，而於微處理器 30 仍為高速運作的情形下，為避免資料在傳輸時逸失或阻塞，我們於本實施例中讓微處理器 30 透過緩衝控制裝置 38 來間接存取記憶體 32，並配合上本發明所揭露之方法技術特徵，以確保微處理器 30 正確無誤地存取較慢速的記憶體 32。在實際實施時，記憶體可為一串列式快閃記憶體 (Serial Flash)、快閃記憶體 (Flash)、一動態隨機存取記憶體 (DRAM)、一靜態隨機存取記憶體 (SRAM)、或一唯讀記憶體 (ROM) 等。

於本實施例中，微處理器 30 不直接由記憶體 32 索取所需



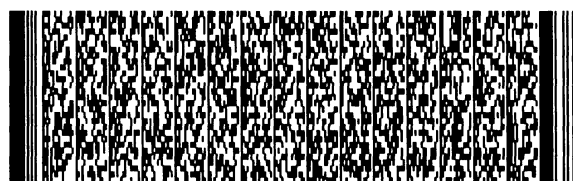
五、發明說明 (9)

的數位資料，而是預先由緩衝控制裝置 38 連續讀取位於記憶體 32 中複數筆數位資料，將此複數筆數位資料存放入緩衝控制裝置 38 中，當微處理器 30 需要數位資料時，發送一要求訊息至緩衝控制裝置 38，直接從緩衝控制裝置 38 中存取。由於本實施例中，緩衝控制裝置 38 與微處理器 30 之間所具有之資料存取速率大於記憶體 32 與緩衝控制裝置 38 之間的資料存取速率，因此，只要緩衝控制裝置 38 的存取速度能符合微處理器 30 對資料存取速度之要求，記憶體 32 則可以用較慢速的記憶體 32 完成。以承襲前述 8051 系列的微處理器 30 為例，若其讀取週期設計為四個時脈週期 ($120\text{ns} = 30\text{ns} * 4$)，亦即微處理器 30 以四個時脈週期完成一個完整的讀取動作，若完整的讀取動作仍包含四個操作步驟，其中一個步驟為記憶體 32 的存取，其餘三個步驟係關於數位資料的處理（如程式碼分析等），也就是說，其中一個時脈為相關於存取記憶體 32 的操作，另外三個時脈用來處理數位資料。所以在一個讀取週期內，當微處理器 30 在處理所接收到之數位資料時，記憶體 32 其實會有部分時間空置。因此，藉由緩衝控制裝置 38 的設置與運作，可使用存取速度為原來的四分之一的記憶體 32 來存放數位資料。若記憶體 32 的存取速度大於原來的四分之一，甚至可以緩慢地填滿緩衝控制裝置 38，而無需擔心資料壅塞的情況。因此，本發明加入緩衝控制裝置 38 的技術特徵，可使所需要的記憶體 32 之存取速度大幅下降。



五、發明說明 (10)

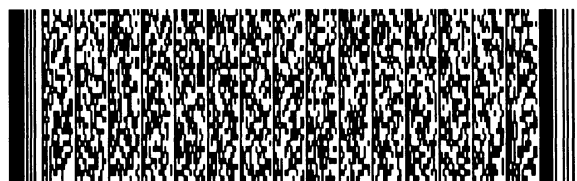
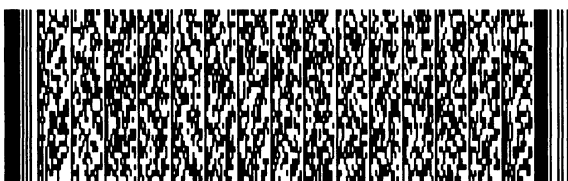
請繼續參閱圖三，緩衝控制裝置 38 輸出一操作時脈 (Operating Clock) 至微處理器 30，以控制微處理器 30 的運作，意即，當操作時脈停止時，微處理器 30 的運作也會隨之暫停。在實際運作時，由於微處理器 30 之程式中常有跳躍 (jump) 的動作，造成緩衝控制裝置 38 中不一定存有所需的數位資料，此時就需要利用緩衝控制裝置 38 動態調整此操作時脈，以動態控制微處理器 30 的運作。請參閱圖四，圖四為圖三之一詳細實施例之示意圖。對應於圖三實施例，本實施例中之記憶體 32 係為一慢速之程式記憶體 32，而儲存於該記憶體 32 中之複數筆數位資料為複數筆程式碼 (Programming Code)。緩衝控制裝置 38 為一先進先出式 (FIFO) 儲存架構，而緩衝控制裝置 38 係於一起始位址 (Starting Address) 處，由記憶體 32 中連續不間斷地讀取預定數目筆程式碼。當微處理器 30 需要程式碼而直接從緩衝控制裝置 38 中存取時，微處理器 30 會先發送對應於該程式碼之一存取位址 (Access Address) 至緩衝控制裝置 38，以使緩衝控制裝置 38 判斷微處理器 30 所送出之存取位址是否位於其中。若緩衝控制裝置 38 已存有微處理器 30 要求的程式碼，則微處理器 30 直接由緩衝控制裝置 38 發送該所需之程式碼；若緩衝控制裝置 38 中沒有微處理器 30 要求的程式碼 (如微處理器 30 正執行含有跳躍狀態 (Jump Condition) 之運作)，則緩衝控制裝置 38 會停止輸出操作時脈，同時微處理器



五、發明說明 (11)

30會因為操作時脈的消失，而暫時停止運作並保留現有狀態。在同一時刻，微處理器30將對應程式碼的存取位址傳送到程式記憶體32，在程式記憶體32接收到存取位址後，會搜尋並回傳搜尋到的程式碼，將該程式碼填入緩衝控制裝置38及傳予微處理器30，此時緩衝控制裝置38再將微處理器30的操作時脈釋放，讓微處理器30讀取程式碼。藉由本實施例中之架構及方法，微處理器30可在與慢速之程式記憶體32配合運用時，執行含有跳躍狀態的程式，再者，經由此可動態控制的操作時脈，程式記憶體32甚至可以使用速度更慢的傳統記憶體32完成，如串列式記憶體(Serial Memory)。

於本發明之技術特徵中，讓緩衝控制裝置38停止輸出操作時脈的方法是採用將操作時脈掩蓋(Mark)的方式，並於緩衝控制裝置38中設置一掩蓋標記訊號來達成。請參閱圖五，圖五為掩蓋標記訊號、併同圖四中之操作時脈、存取位址、及程式碼之時序圖。請見圖五，當微處理器30所需之存取位址A2(對應於程式碼C2)不位於緩衝控制裝置38中時，將掩蓋標記訊號提昇至一預設之電位，以掩蓋掉此操作時脈，此時微處理器30保留其現有狀態(存取位址A2)。當微處理器30所需之程式碼C2由程式記憶體32回傳至緩衝控制裝置38及微處理器30時，掩蓋標記訊號會回復至一原先預設之電位，以恢復操作時脈之輸出，使微處理器30繼續運作。由前述可知，掩蓋



五、發明說明 (12)

標記訊號之電位躍起前緣代表了微處理器 30 所欲之存取位址 (與對應之程式碼) 並未位於緩衝控制裝置 38 中，而掩蓋標記訊號之電位落下後緣之時點，則代表了微處理器 30 所需之存取位址 (與對應之程式碼) 已於程式記憶體 32 中找到並回傳的時刻。因此，再次強調，藉由本發明「緩衝控制裝置 38 合併動態調整操作時脈之方法」的技術特徵，可以順利的存取較慢速的程式記憶體 32，例如串列式快閃記憶體 (Serial Flash)，而對於頻寬並不保證隨時足夠的動態隨機存取記憶體 (DRAM) 或唯讀記憶體 (ROM)，也可以用同樣的機制加以存取，確保微處理器 30 所得到資料的正確性。

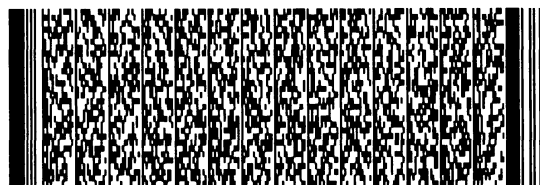
綜上所述，本發明利用一緩衝控制裝置，動態調整一微處理器之操作時脈，以使微處理器存取一記憶體的方法可參閱圖六，圖六為本發明一方法實施例之流程圖，包含有下列步驟：

步驟 100：開始；

步驟 102：使用緩衝控制裝置輸出操作時脈至微處理器，以控制微處理器之操作；

步驟 104：使用緩衝控制裝置讀取儲存於記憶體中之預定數目筆數位資料，於圖五實施例中，緩衝控制裝置會於一起始位址處，由記憶體中連續讀取該預定數目筆程式碼資料；

步驟 106：使用微處理器由緩衝控制裝置中讀取所需之至



五、發明說明 (13)

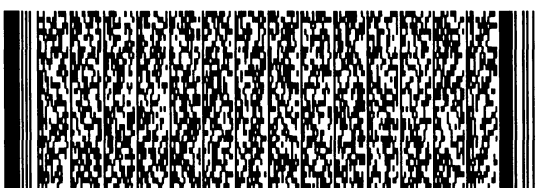
少一數位資料，並由緩衝控制裝置判斷微處理器所需之數位資料(對應之存取位址)是否位於緩衝控制裝置中，若是，則進行至步驟112；若微處理器正執行含有跳躍狀態(Jump Condition)之運作，使得緩衝控制裝置中沒有微處理器所需的數位資料(對應之存取位址)，則進行步驟108。

步驟108：使用緩衝控制裝置停止輸出操作時脈，以暫停該處理器之操作(將一掩蓋標記訊號提昇至一預設之高電位)並保留現有狀態。同時，微處理器將對應於所需之數位資料的相關訊息(對應程式碼資料的存取位址)傳送到記憶體；

步驟110：在記憶體接收到數位資料的相關訊息(對應程式碼資料的存取位址)後，會搜尋並回傳搜尋到的數位資料(程式碼)，將該數位資料(程式碼)填入緩衝控制裝置及微處理器，此時緩衝控制裝置再將微處理器的操作時脈釋放(將掩蓋標記訊號回復至原先預設之低電位)，讓微處理器繼續運作；

步驟112：繼續進行正常的資料讀取，也就是使用微處理器繼續由緩衝控制裝置中讀取所需之數位資料(程式碼)，並遞迴至步驟106作其餘每筆資料之判斷。

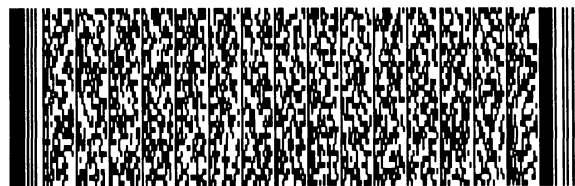
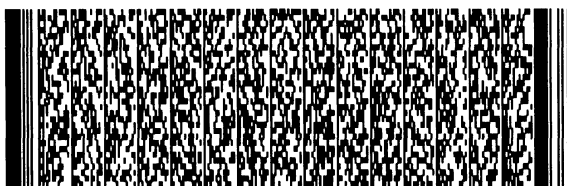
接下來，我們必須考量的是，在本發明上述所揭露之方法及架構下，如何完成包含本發明技術特徵之微處理器之模擬運作。由於微處理器的運作與模擬是一體的兩



五、發明說明 (14)

面，在微處理器系統發展成型的階段，如何利用外加之一微處理器模擬裝置 (Microprocessor Emulator) 真實模擬出原本的系統設計於實際操作時可能會遇到的問題，亦包含於本發明主要之技術特徵。請回頭參照圖二習知實施例及圖三、圖四之本發明實施例，本發明之架構為了能存取慢速的程式記憶體，於微處理器 30 及程式記憶體 32 之間額外設置一緩衝控制裝置 38，且利用此緩衝控制裝置 38 輸出之操作時脈動態控制微處理器 30，當緩衝控制裝置 38 內沒有微處理器 30 所需要的程式碼資料時，將微處理器 30 暫停，並等待程式記憶體 32 提供所需之程式碼資料。如此一來，由於微處理器 30 所接收的操作時脈是 (動態的) 時有時無，如圖二習知技術中之微處理器 20 模擬裝置無法模擬出這種動態情形，也無法模擬出本發明中緩衝控制裝置 38 (以一先進先出式儲存架構 FIFO 完成) 配合一慢速記憶體 32 (如一串列式快閃記憶體) 運作時之情況。

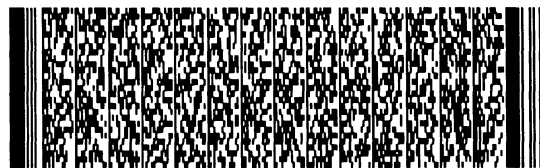
請參閱圖七，圖七為本發明另一實施例之示意圖。圖七中包含了一緩衝控制裝置 58 以及一微處理器模擬裝置 54，緩衝控制裝置 58 係設置於一微處理器系統 50 中，而緩衝控制裝置 58 與微處理器模擬裝置 54 相互電連。實際上，若與本發明前述圖三及圖四實施例相對照，微處理器模擬裝置 54 即對應於圖三、圖四中之微處理器 30，具備相近之功能。為使微處理器模擬裝置 54 能模擬測試出



五、發明說明 (15)

具有本發明技術特徵之微處理器系統 50，緩衝控制裝置 58係提供一操作時脈至該微處理器模擬裝置 54，以控制該微處理器模擬裝置 54之運作。無論於緩衝控制裝置 58中是否原先即儲存有一定數量之位址 (Address)資料，在執行模擬之運作時，微處理器模擬裝置 54會發送一存取位址至此緩衝控制裝置 58，若此存取位址位於緩衝控制裝置 58中時，緩衝控制裝置 58會繼續輸出操作時脈至微處理器模擬裝置 54，以維持微處理器模擬裝置 54之運作，而當此存取位址並非位於緩衝控制裝置 58中時，緩衝控制裝置 58就會停止輸出操作時脈至微處理器模擬裝置 54，以暫停操作微處理器模擬裝置 54。如此一來，利用緩衝控制裝置 58提供可動態調整之操作時脈予微處理器模擬裝置 54，即可動態控制微處理器模擬裝置 54之運作，正確模擬出具有本發明技術特徵之微處理器系統 50。

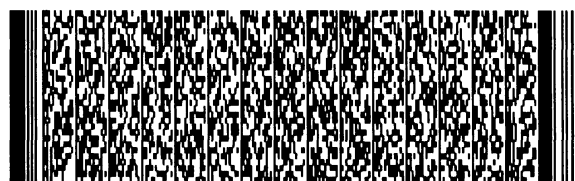
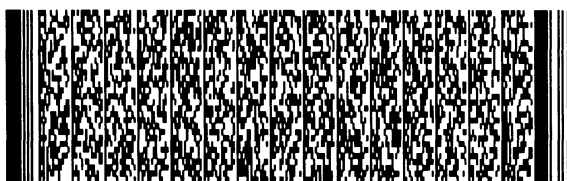
於模擬的過程中，可將本實施例設計為當緩衝控制裝置 58停止輸出操作時脈以暫停微處理器模擬裝置 54之後，經過一預定數目之操作時脈週期後，緩衝控制裝置 58就會自動恢復輸出操作時脈至微處理器模擬裝置 54，恢復微處理器模擬裝置 54之操作。此時，由於是純粹模擬測試的過程，緩衝控制裝置 58是否連接有一記憶體並不重要，倘若緩衝控制裝置 58電連至一儲存有複數筆數位資料的慢速記憶體，則其架構就幾乎等同於本發明圖三及



五、發明說明 (16)

圖四之實施例。請參閱圖八，圖八為圖七之一詳細實施例的示意圖。緩衝控制裝置 58 係為一先進先出式儲存架構，並電連至一較慢速之記憶體 52，此記憶體 52 可為一串列式快閃記憶體 (Serial Flash)、一動態隨機存取記憶體 52、或者一唯讀記憶體 52 等等，而微處理器模擬裝置 54 係為一內嵌式處理器模擬器 24 (In-Circuit Emulator)。緩衝控制裝置 58 會由一起始位址處，從記憶體 52 中連續讀取預定數目筆數位資料及其對應之存取位址，預先存於緩衝控制裝置 58 中，當微處理器模擬裝置 54 所傳送之該存取位址位於緩衝控制裝置 58 中時，即使用該緩衝控制裝置 58 傳送對應於此存取位址之數位資料至微處理器模擬裝置 54，若該存取位址並非位於緩衝控制裝置 58 中時 (可模擬微處理器 30 執行含有跳躍狀態 (Jump Condition) 之運作狀況)，記憶體 52 會搜尋並回傳對應於該存取位址之數位資料至緩衝控制裝置 58，緩衝控制裝置 58 再傳送搜尋到之數位資料至微處理器模擬裝置 54，同時恢復輸出操作時脈。當然，若微處理器模擬裝置 54 亦電連於記憶體 52，記憶體 52 在搜尋到對應於此存取位址之數位資料後，可直接回傳數位資料至微處理器模擬裝置 54，而無需透過緩衝控制裝置 58。

請注意，於本實施例中，緩衝控制裝置 58 仍可採用將操作時脈掩蓋 (Mark) 的方式以停止輸出操作時脈，此時，於緩衝控制裝置 58 中必須設置一掩蓋標記訊號來達成。



五、發明說明 (17)

如同圖四及圖五中所描述之技術特徵，當微處理器模擬裝置 54 所需之存取位址不位於緩衝控制裝置 58 中時，緩衝控制裝置 58 內部會將掩蓋標記訊號提昇至一預設之電位，以掩蓋掉操作時脈。當經過預定數目之時脈週期後，或者數位資料開始由記憶體 52 回傳至緩衝控制裝置 58 及微處理器模擬裝置 54 後，掩蓋標記訊號才會回復至一原先預設之(低)電位，以恢復操作時脈之輸出，使微處理器模擬裝置 54 繼續運作。

此外，在本發明之實施例中，緩衝控制裝置 58 與微處理器模擬裝置 54 之間所具有之資料存取速率仍大於記憶體 52 與緩衝控制裝置 58 之間的資料存取速率，用來模擬在慢速的記憶體 52 設置下，高速之微處理器 30 與緩衝控制裝置 58 的配合運用。請繼續參閱圖八，微處理器模擬裝置 54 電連至另一第二記憶體 53，其係為一程式記憶體，可使用一靜態隨機存取記憶體 (static random access memory, SRAM) 或是 ROM 完成，於第二記憶體 53 中儲存有微處理器模擬裝置 54 運作所需之多個指令

(Instruction)。當緩衝控制裝置 58 輸出操作時脈至微處理器模擬裝置 54 器時，此第二記憶體 53 會傳送相關之指令至微處理器模擬裝置 54 器，而當緩衝控制裝置 58 暫停輸出操作時脈至該微處理器模擬裝置 54 器時，由於此時微處理器模擬裝置 54 停止運作，無法接收由第二記憶體 53 傳送來的任何指令。上述的程序及方法即非常近似於

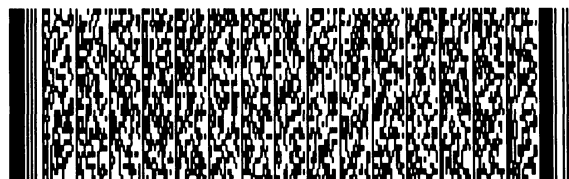
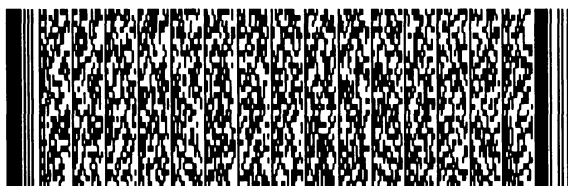


五、發明說明 (18)

前述本發明圖四之實施例。此外，該緩衝控制裝置 58 所提供之操作時脈之頻率是可是實際情況調整變動的，或者利用電連至一外接式時脈產生器 56 加以調整。綜合以上所述可知，具有本發明技術特徵之微處理器模擬裝置 54 可以正確模擬出，具有本發明技術特徵之微處理器系統 50 在應用慢速記憶體 52 並於不同的跳躍狀態 (Jump Condition) 下，動態調整之操作時脈對微處理器系統 50 效能的影響。

於本發明中，我們首先提出一種新型之方法即架構，利用設置一緩衝控制裝置於一微處理器與一記憶體之間，依據檢查於緩衝控制裝置中是否存有微處理器所需的資料，輸出一可動態調整之操作時脈至微處理器以控制該微處理器之存取運作，使得此較高速之微處理器 30 能與具有較低存取速度之記憶體 (如一串列式快閃記憶體 (Serial Flash)) 配合運用，節省接腳的使用、節省系統資源、並提昇相關產品的價格競爭力。同時，我們另提出了包含有此緩衝控制裝置以動態調整一微處理器模擬裝置之操作時脈的方法，以準確模擬出本發明中當微處理器、緩衝控制裝置、與慢速記憶體共同運作時的各種情況。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵



五、發明說明 (19)

蓋 範 圍 。



圖式簡單說明

圖式之簡單說明

圖一為習知一微處理器存取一程式記憶體之架構的示意圖。

圖二為習知一內嵌式處理器模擬器模擬一微處理器系統的示意圖。

圖三為本發明之一微處理器透過一緩衝控制裝置存取一記憶體之架構的示意圖。

圖四為圖三之一詳細實施例之示意圖。

圖五為一掩蓋標記訊號、一操作時脈、存取位址、及程式碼之時序圖。

圖六為本發明一方法實施例之流程圖。

圖七為本發明一微處理器模擬裝置利用一緩衝控制裝置模擬一微處理器系統的示意圖。

圖八為圖七之一詳細實施例的示意圖。

圖式之符號說明

- 10、30 微處理器
- 12、22、32、52 (程式)記憶體
- 20、50 微處理器系統
- 24 內嵌式處理器模擬器
- 26 外接式時脈產生器
- 38、58 緩衝控制裝置



圖式簡單說明

53 第二記憶體

54 微處理器模擬裝置



四、中文發明摘要 (發明名稱：動態調整微處理器操作速度的相關方法)

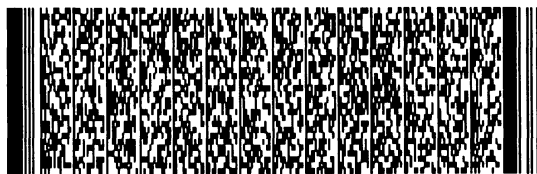
本發明提供一種藉動態調整一微處理器 (Microprocessor) 或微處理器模擬裝置 (Microprocessor Emulator) 之操作速度 (Operating Speed)，以存取程式記憶體的方法。微處理器係可包含或外接一微處理器執行速度控制裝置。該方法包含有 (a) 使用該微處理器或微處理器模擬裝置發送一存取位址 (Access Address) 至該微處理器執行速度控制裝置；(b) 於步驟 (a) 中，當該存取位址對應之記憶體資料備妥時，以正常執行速度操作該微處理器或微處理器模擬裝置；以及 (c) 於步驟 (a) 中，當該存取位址對應之記憶體資料尚未備妥時，以微處理器執行速度控制裝置暫停或降速操作該微處理器或微處理器模擬裝置。

五、(一)、本案代表圖為：第 七 圖

(二)、本案代表圖之元件代表符號簡單說明：

六、英文發明摘要 (發明名稱：METHOD FOR DYNAMICALLY ARRANGING AN OPERATING SPEED OF A MICROPROCESSOR)

A method for dynamically arranging an operating speed of a microprocessor or a microprocessor emulator to access a program memory is disclosed. The microprocessor includes or is externally connected to a microprocessor-operating-speed controller. The method includes: (a) utilizing the microprocessor or the microprocessor emulator to emit an access address



四、中文發明摘要 (發明名稱：動態調整微處理器操作速度的相關方法)

50 微處理器系統

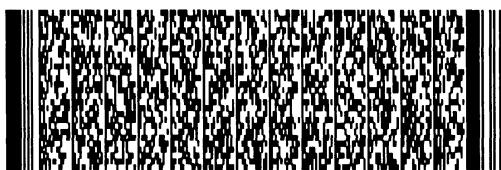
54 微處理器模擬裝置

58 緩衝控制裝置

代表化學式

六、英文發明摘要 (發明名稱：METHOD FOR DYNAMICALLY ARRANGING AN OPERATING SPEED OF A MICROPROCESSOR)

to the microprocessor-operating-speed controller;
 (b) in step(a), when related memory data
 corresponding to the access address is settled,
 operating the microprocessor or the
 microprocessor emulator at a normal speed; and
 (c) in step(a), when related memory data
 corresponding to the access address is not
 settled, utilizing the microprocessor-operating-



四、中文發明摘要 (發明名稱：動態調整微處理器操作速度的相關方法)

六、英文發明摘要 (發明名稱：METHOD FOR DYNAMICALLY ARRANGING AN OPERATING SPEED OF A MICROPROCESSOR)

speed controller to suspend the microprocessor or the microprocessor emulator or to operate the microprocessor or the microprocessor emulator at a low speed.



六、申請專利範圍

1. 一種利用動態調整一微處理器 (Micro-processor) 之操作速度使該微處理器存取至少一記憶體的方法，該方法包含有：

(a) 若記憶體之資料尚未備妥，降低該微處理器之一執行速度；以及

(b) 若記憶體之資料備妥，讓該微處理器以一常速 (Normal speed) 執行。

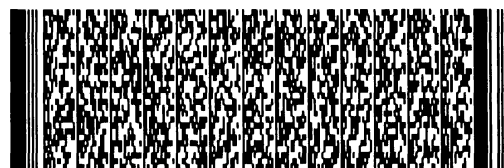
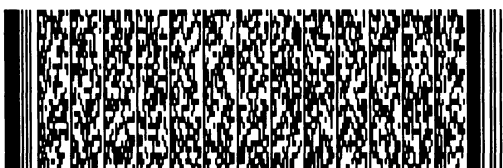
2. 如申請專利範圍第 1 項之方法，其中於步驟 (a) 中，降低該微處理器的執行速度係指使該微處理器的執行速度低於該常速，或完全暫停 (Suspend) 該微處理器。

3. 如申請專利範圍第 1 項之方法，其中步驟 (a) 可利用一外部電路調整一操作時脈完成，可利用一內含於該微處理器之電路調整一操作時脈完成，亦可利用於指令間塞入空轉指令 (NOP: No Operation) 或讓一程式計數器 (Program Counter) 不變以完成步驟 (a)。

4. 如申請專利範圍第 1 項之方法，其另包含一緩衝控制裝置，該方法包含有：

(a) 使用該緩衝控制裝置讀取儲存於該記憶體中之預定數目筆數位資料；

(b) 使用該微處理器由該緩衝控制裝置中讀取所需之數位資料；



六、申請專利範圍

(c)於步驟(b)中，當該微處理器所需之該數位資料位於該緩衝控制裝置中時，使用該微處理器讀取位於該緩衝控制裝置中之該數位資料，並繼續讓該微處理器維持常速；

(d)於步驟(b)中，當該微處理器所需之該數位資料係非位於該緩衝控制裝置中時，降低該微處理器之操作速度；以及

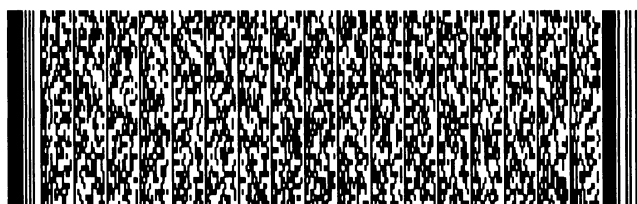
(e)於進行步驟(d)後，將該微處理器所需之該數位資料由該記憶體傳送至該緩衝控制裝置以及該微處理器，並恢復該微處理器之操作速度，使該微處理器讀取該數位資料。

5. 如申請專利範圍第4項之方法，其另包含有：

(f)於步驟(a)中，使用該緩衝控制裝置於一起始位址(Starting Address)處，由該記憶體中連續讀取該預定數目筆數位資料；以及

(g)於步驟(b)、(c)、及(d)中，使用該微處理器發送對應於該數位資料之一存取位址(Access Address)至該緩衝控制裝置，以使該緩衝控制裝置判斷該微處理器所需之該數位資料是否位於該緩衝控制裝置中。

6. 如申請專利範圍第1項之方法，其中該記憶體係為一程式記憶體，且儲存於該記憶體中之該數位資料係為程式碼(Programming Code)。



六、申請專利範圍

7. 如申請專利範圍第1項之方法，其中該記憶體係為一串列式快閃記憶體 (Serial Flash)、快閃記憶體 (Flash)、一動態隨機存取記憶體 (DRAM)、一靜態隨機存取記憶體 (SRAM)、或一唯讀記憶體 (ROM)等。

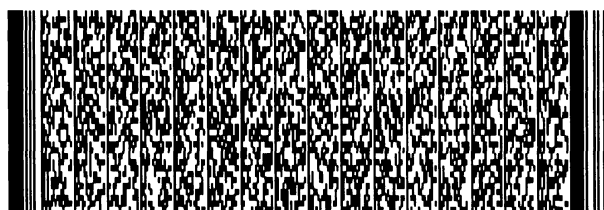
8. 如申請專利範圍第4項之方法，其中該緩衝控制裝置與該微處理器之間具有一第一資料存取速率，該記憶體與該緩衝控制裝置之間具有一第二資料存取速率，其中該第一資料存取速率係高於或等於該第二資料存取速率。

9. 如申請專利範圍第4項之方法，其中該緩衝控制裝置係為一先進先出式 (FIFO)儲存架構、一動態隨機存取記憶體 (DRAM)、一靜態隨機存取記憶體 (SRAM)等等。

10. 一種利用動態調整一微處理器模擬裝置 (Microprocessor Emulator)之操作速度使該微處理器模擬裝置存取至少一記憶體的方法，該方法包含有：

(a)若記憶體之資料尚未備妥，則降低該微處理器模擬裝置的一執行速度；以及

(b)若記憶體之資料備妥，則讓該微處理器模擬裝置以一常速執行。



六、申請專利範圍

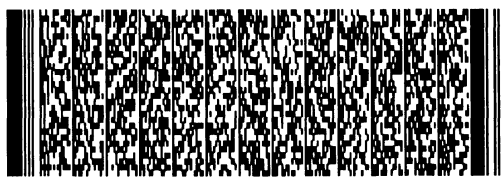
11. 如申請專利範圍第10項之方法，其中其中於步驟(a)中，降低該微處理器模擬裝置的執行速度係指使該微處理器模擬裝置的執行速度低於該常速，或完全暫停(Suspend)該微處理器模擬裝置。

12. 如申請專利範圍第10項之方法，其中步驟(a)可利用一外部電路調整一操作時脈完成，可利用一內含於該微處理器模擬裝置之電路調整一操作時脈完成，亦可利用於指令間塞入空轉指令(NOP: No Operation)或讓一程式計數器(Program Counter)不變以完成步驟(a)。

13. 如申請專利範圍第10項之方法，該微處理器模擬裝置係電連於一微處理器系統(Microprocessor System)，其另包含有一緩衝控制裝置，該方法包含有：

- (a)使用該微處理器模擬裝置發送一存取位址(Access Address)至該緩衝控制裝置；
- (b)於步驟(a)中，當該存取位址位於該緩衝控制裝置中時，讓該微處理器模擬裝置維持常速操作；以及
- (c)於步驟(a)中，當該存取位址係非位於該緩衝控制裝置中時，降低該微處理器模擬裝置之操作速度。

14. 如申請專利範圍第13項之方法，其另包含有：(d)於進行步驟(c)後，於一預定數目之時脈週期後，恢復該微處理器模擬裝置之操作速度。



六、申請專利範圍

15. 如申請專利範圍第10項之方法，其中該微處理器模擬裝置係電連至一第一記憶體，該第一記憶體傳送至少一指令 (Instruction) 至該微處理器模擬裝置。

16. 如申請專利範圍第15項之方法，其中該第一記憶體係為一靜態隨機存取記憶體 (static random access memory, SRAM)、快閃記憶體 (Flash)、一動態隨機存取記憶體 (DRAM) 或其他型式之記憶體。

17. 如申請專利範圍第13項之方法，其中該緩衝控制裝置係電連至一第二記憶體，該第二記憶體儲存有複數筆數位資料，該方法另包含有：

(e) 使用該緩衝控制裝置讀取儲存於該第二記憶體中之預定數目筆數位資料；

(f) 於步驟 (b) 中，當該存取位址位於該緩衝控制裝置中時，使用該緩衝控制裝置傳送對應於該存取位址之數位資料至該微處理器模擬裝置；以及

(g) 於進行步驟 (c) 後，將對應於該存取位址之該數位資料由該第二記憶體傳送至該緩衝控制裝置以及該微處理器模擬裝置，並恢復該微處理器模擬裝置之執行速度。

18. 如申請專利範圍第17項之方法，其中於步驟 (e) 中，該緩衝控制裝置係於一起始位址 (Starting Address)



六、申請專利範圍

處，由該第二記憶體中連續讀取該預定數目筆數位資料。

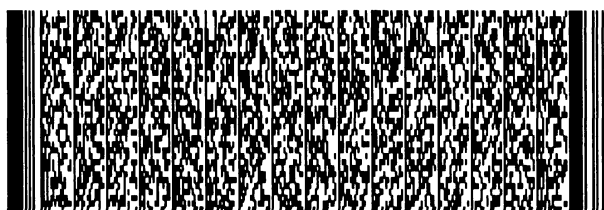
19. 如申請專利範圍第17項之方法，其中該第二記憶體係為一程式記憶體，且儲存於該第二記憶體中之該等數位資料係為程式碼 (Programming Code)。

20. 如申請專利範圍第19項之方法，其中該第二記憶體係為一串列式快閃記憶體 (Serial Flash)、快閃記憶體 (Flash)、一動態隨機存取記憶體 (DRAM)、一靜態隨機存取記憶體 (SRAM)、或一唯讀記憶體 (ROM)等。

21. 如申請專利範圍第19項之方法，其中該緩衝控制裝置與該微處理器模擬裝置之間具有一第一資料存取速率，該第二記憶體與該緩衝控制裝置之間具有一第二資料存取速率，其中該第一資料存取速率係高於或等於該第二資料存取速率。

22. 如申請專利範圍第10項之方法，其中該微處理器模擬裝置之操作時脈之頻率係可利用一外接式 (External) 時脈裝置加以調整。

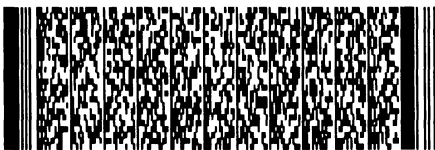
23. 如申請專利範圍第13項之方法，其中該緩衝控制裝置係為一先進先出式 (FIFO) 儲存架構、一動態隨機存取

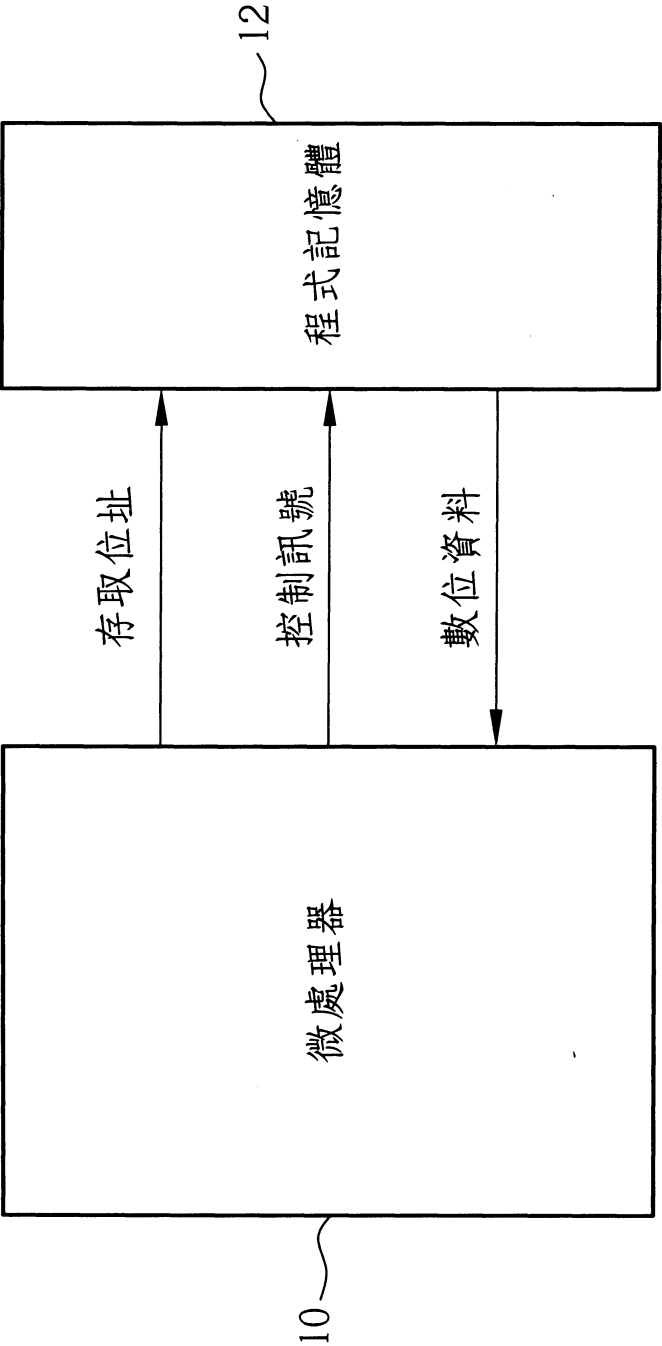


六、申請專利範圍

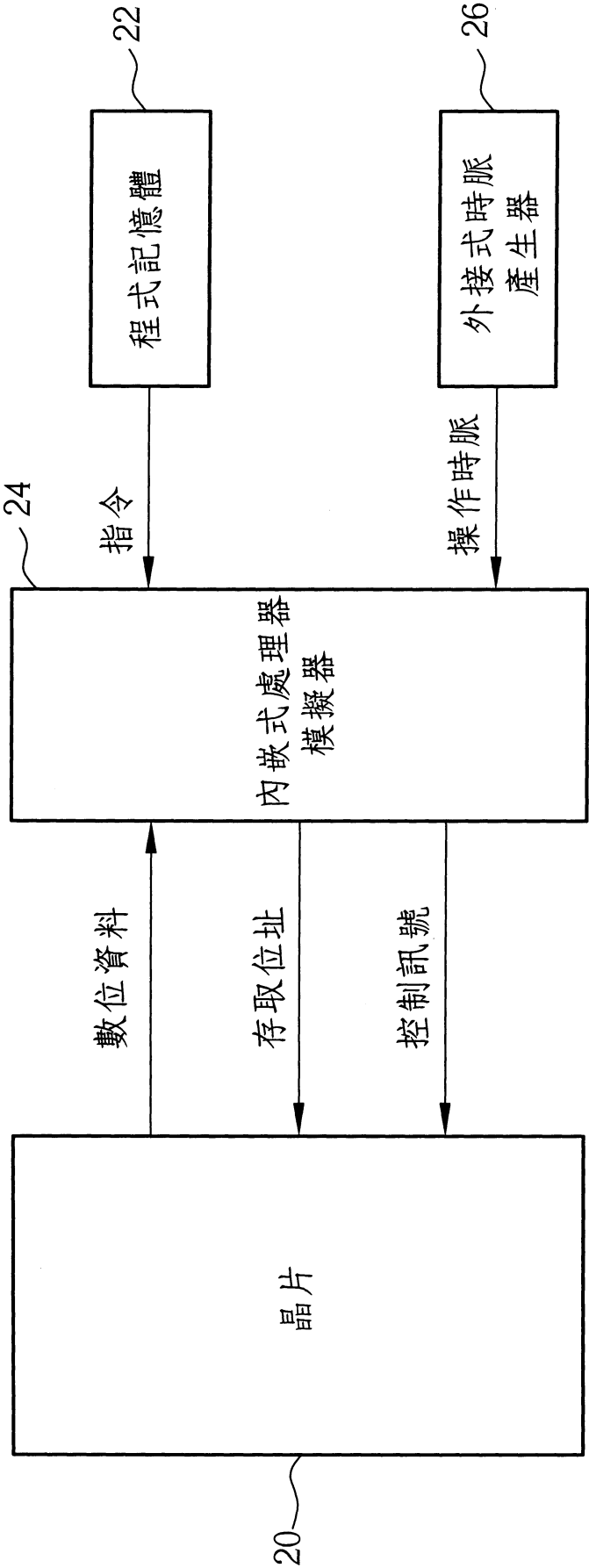
記憶體 (DRAM)、一靜態隨機存取記憶體 (SRAM)等等。

24. 如申請專利範圍第10項之方法，其中該微處理器模擬裝置係為一內嵌式處理器模擬器 (In Circuit Emulator)。

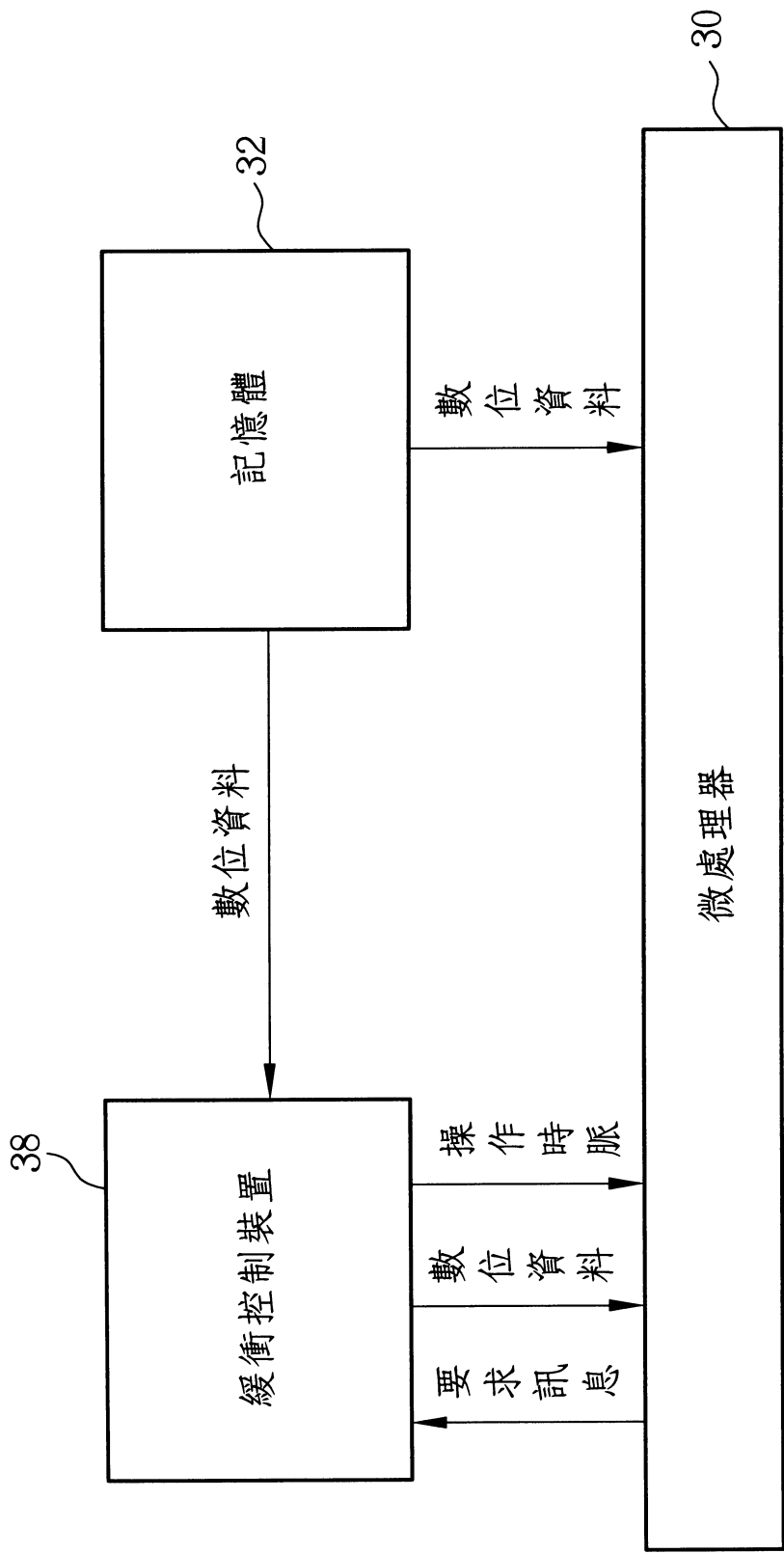




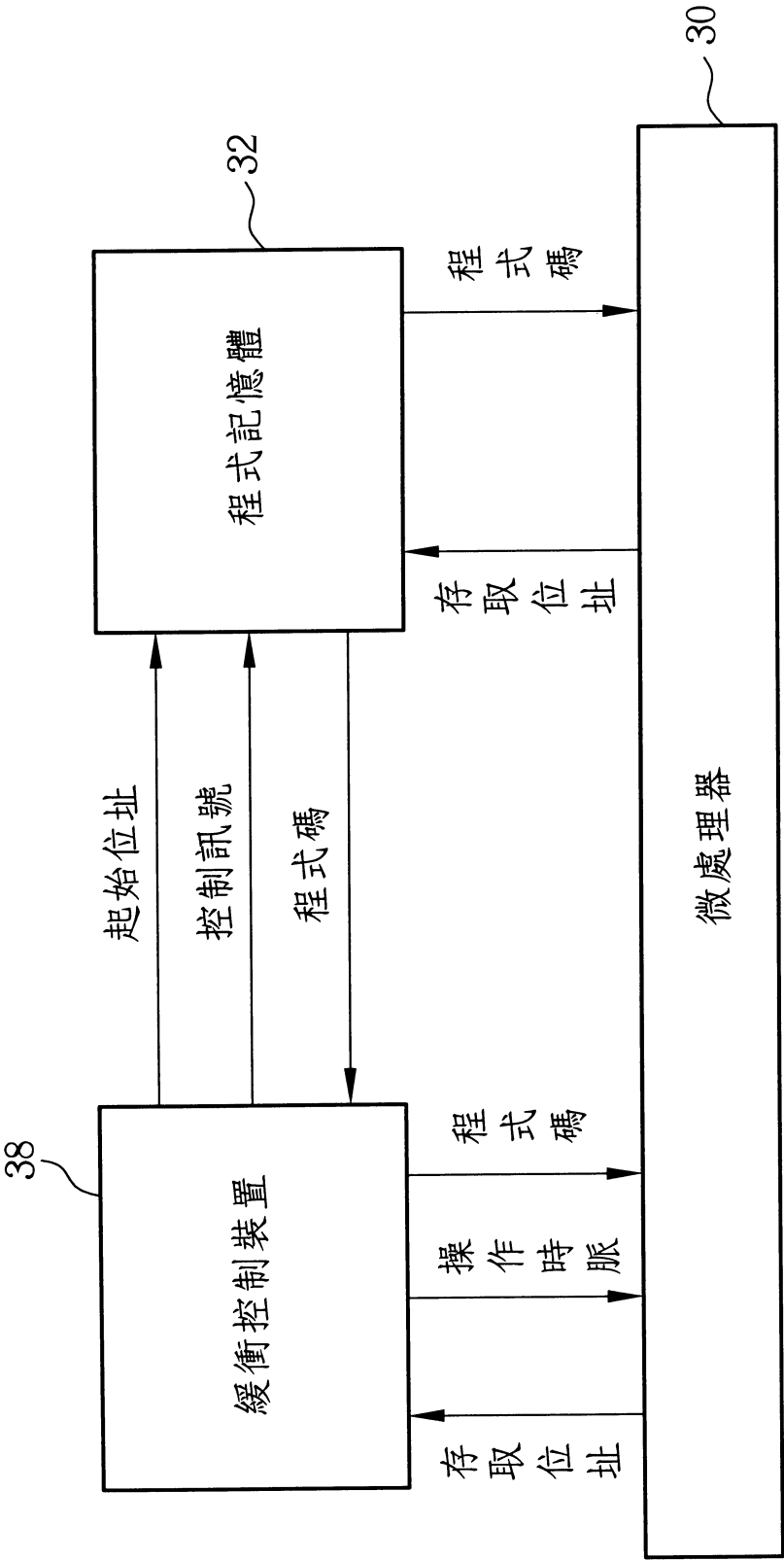
圖一



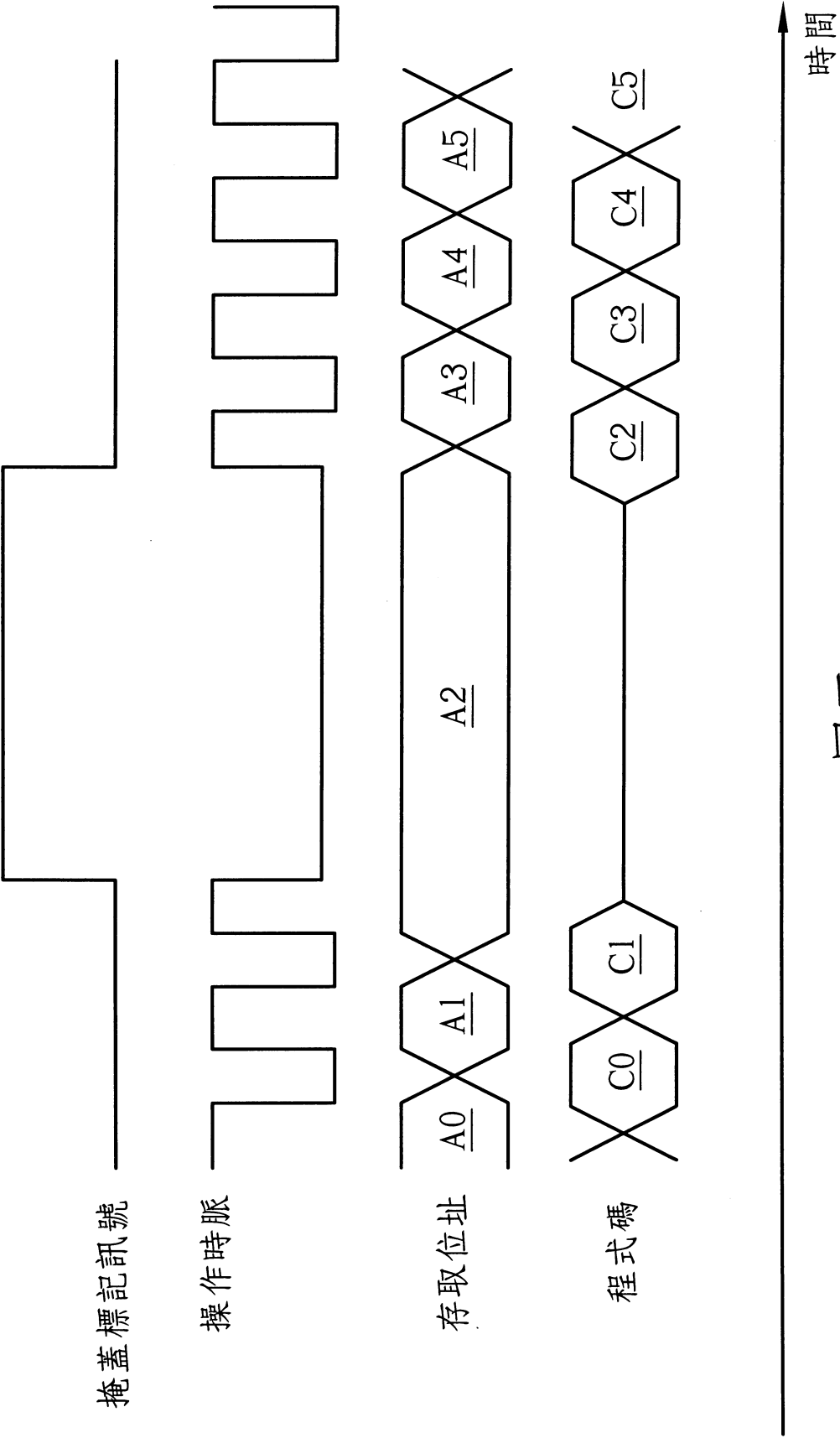
圖二



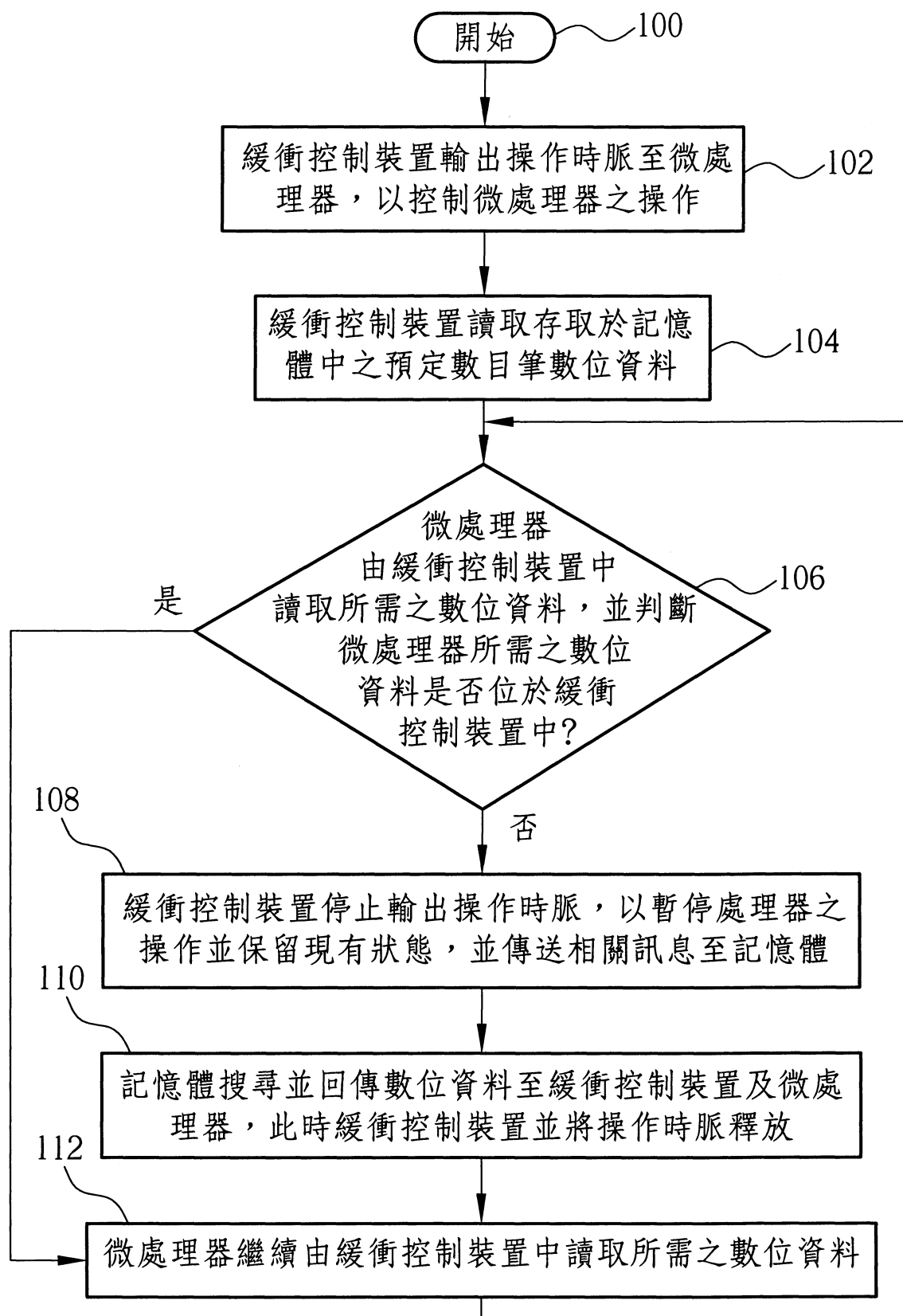
圖三



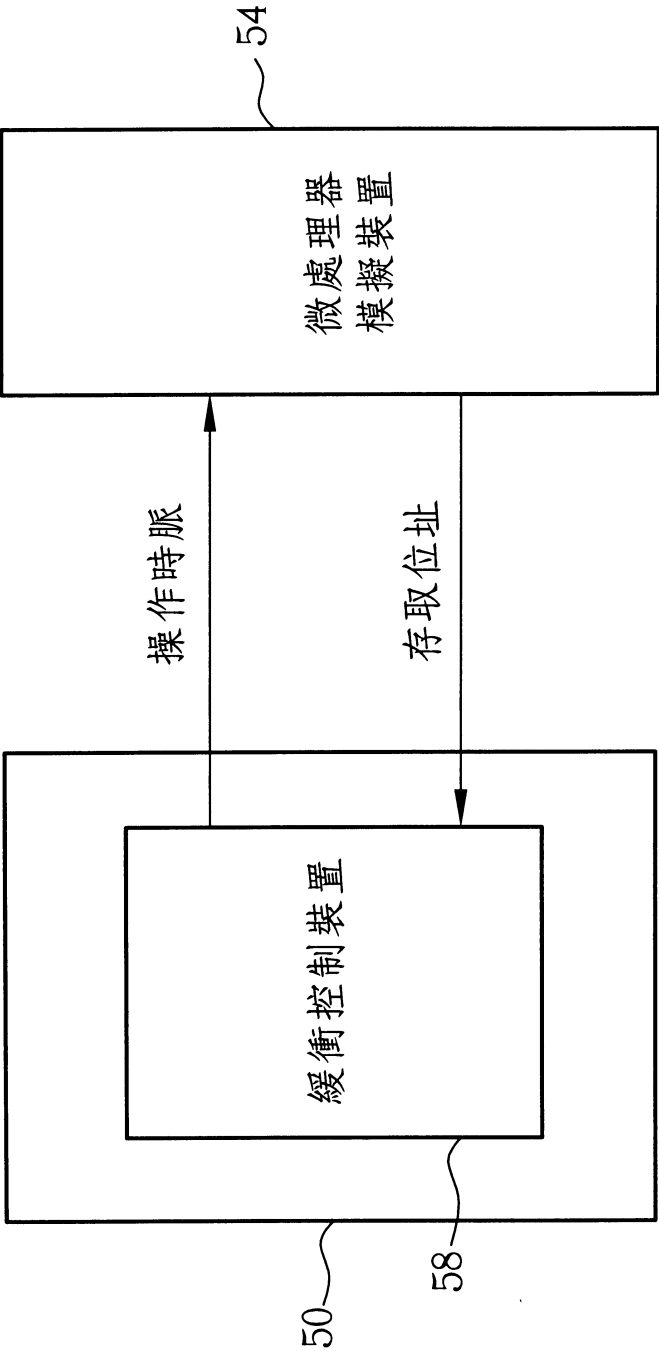
圖四



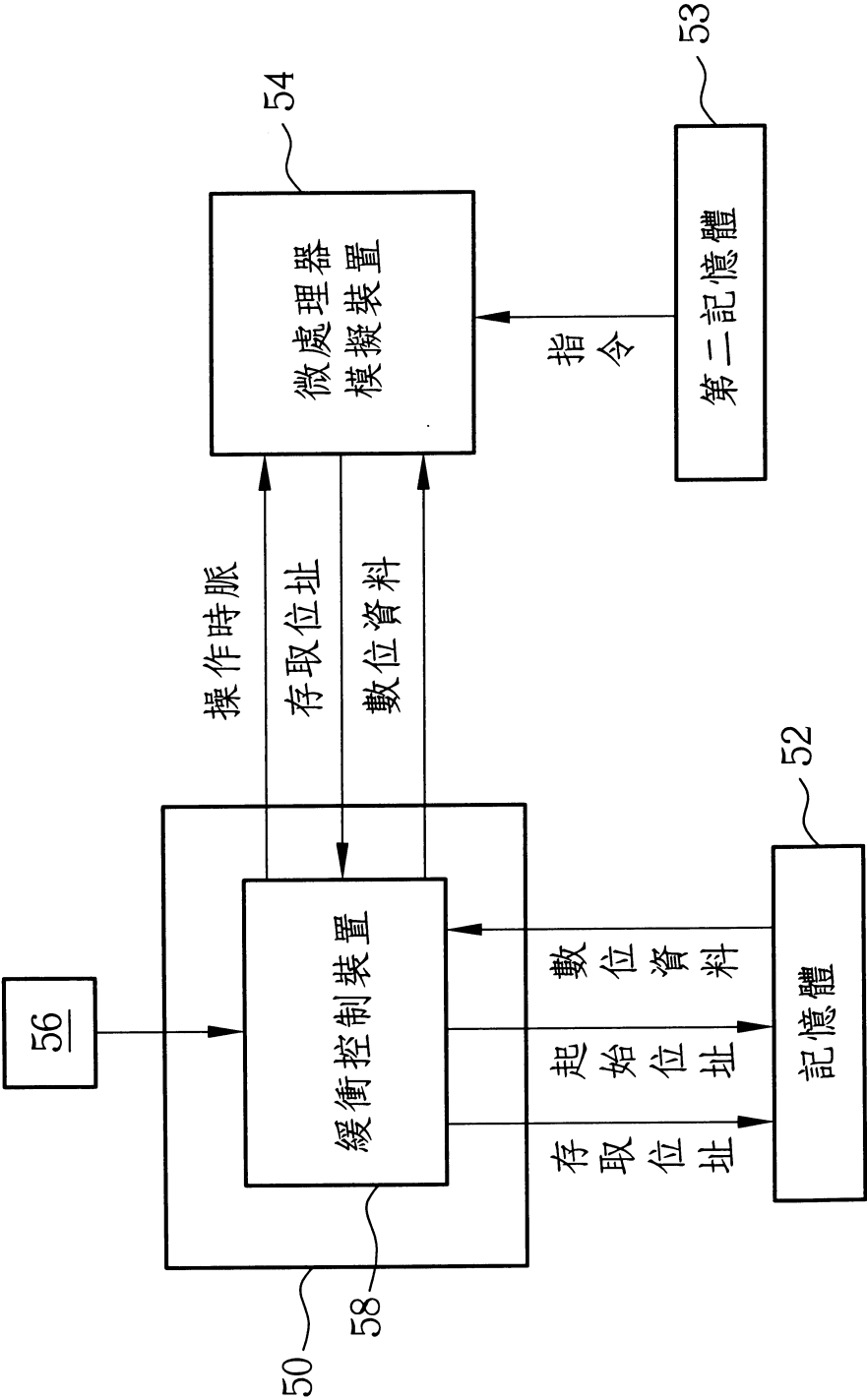
圖五



圖六



圖七



圖八

一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☒主張專利法第二十五條之一第一項優先權：

申請案號：1. 92114631

日期：1. 2003/05/29

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。