



(12) 发明专利申请

(10) 申请公布号 CN 116895629 A

(43) 申请公布日 2023. 10. 17

(21) 申请号 202310297556.0

(22) 申请日 2023.03.24

(30) 优先权数据

2022-053153 2022.03.29 JP

(71) 申请人 三菱电机株式会社

地址 日本东京

(72) 发明人 冲和史 柴田祥吾 横山脩平

(74) 专利代理机构 北京天昊联合知识产权代理

有限公司 11112

专利代理师 何立波 张天舒

(51) Int. Cl.

H01L 23/495 (2006.01)

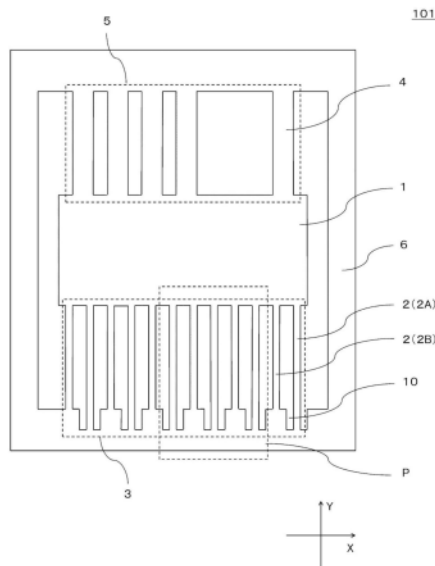
权利要求书2页 说明书8页 附图18页

(54) 发明名称

半导体装置的引线框、半导体装置的一体型引线框及半导体装置

(57) 摘要

提供具有无需改变框架部的宽度即可形成端子长度不同的引线端子这一效果的半导体装置的引线框。还涉及半导体装置的一体型引线框及半导体装置。具有：第1端子部(3)，并排地配置有多个第1端子(2)；第2端子部(5)，并排地配置有宽度比第1端子宽的多个第2端子(4)，配置为与第1端子部夹着配置半导体元件的芯片键合部(1)；以及框架部(6)，与第1端子及第2端子各自的前端部连接，在框架部设置有在从芯片键合部(1)朝向前端部的方向上沿第1端子(2)凹陷的第1凹陷部(10)，第1端子部(3)具有由相邻的第1凹陷部(10)夹着前端部的第1端子(2A)、和未由相邻的第1凹陷部(10)夹着前端部的第1端子(2B)。



1. 一种半导体装置的引线框,其具有:

第1端子部,其在第1端子的宽度方向即第1方向上排列地配置有多个所述第1端子;

第2端子部,其在所述第1方向上排列地配置有与所述第1端子相比所述第1方向上的宽度宽的多个第2端子,该第2端子部配置为与所述第1端子部夹着配置半导体元件的芯片键合部或空隙部;以及

框架部,其与所述第1端子及所述第2端子各自的远离所述芯片键合部或所述空隙部侧的端部即前端部连接,

在所述框架部,设置有在从所述芯片键合部或所述空隙部朝向所述前端部的方向上沿所述第1端子凹陷的第1凹陷部,

所述第1端子部具有由在所述第1方向上相邻的所述第1凹陷部夹着所述前端部的所述第1端子、和未由在所述第1方向上相邻的所述第1凹陷部夹着所述前端部的所述第1端子。

2. 根据权利要求1所述的半导体装置的引线框,其中,

所述第1端子部具有由在所述第1方向上相邻的所述第1凹陷部夹着所述前端部的所述第1端子、和未由在所述第1方向上相邻的所述第1凹陷部夹着所述前端部的所述第1端子交替地配置的区域。

3. 根据权利要求1或2所述的半导体装置的引线框,其中,

在所述框架部,设置有在从所述芯片键合部或所述空隙部朝向所述前端部的方向上沿所述第2端子凹陷的多个第2凹陷部,

所述第2端子部具有由在所述第1方向上相邻的所述第2凹陷部夹着所述前端部的所述第2端子、和未由在所述第1方向上相邻的所述第2凹陷部夹着所述前端部的所述第2端子。

4. 根据权利要求1或2所述的半导体装置的引线框,其中,

在所述框架部,设置有在从所述芯片键合部或所述空隙部朝向所述前端部的方向上沿所述第2端子凹陷的多个第2凹陷部,

全部所述第2端子的所述前端部都被在所述第1方向上相邻的所述第2凹陷部夹着。

5. 根据权利要求1至4中任一项所述的半导体装置的引线框,其中,

在所述框架部配置有贯穿孔即定位孔。

6. 根据权利要求5所述的半导体装置的引线框,其中,

所述定位孔设置于在所述第1端子从所述芯片键合部或所述空隙部朝向所述前端部的方向上,与所述第1凹陷部及由在所述第1方向上相邻的所述第1凹陷部夹着所述前端部的所述第1端子不重叠的位置处。

7. 根据权利要求6所述的半导体装置的引线框,其中,

所述定位孔设置于在所述第1端子从所述芯片键合部或所述空隙部朝向所述前端部的方向上,与未由在所述第1方向上相邻的所述第1凹陷部夹着所述前端部的所述第1端子重叠的位置处。

8. 根据权利要求3或4所述的半导体装置的引线框,其中,

在所述框架部配置有贯穿孔即定位孔,

所述定位孔设置于在所述第1端子从所述芯片键合部或所述空隙部朝向所述前端部的方向上,与所述第1凹陷部及由在所述第1方向上相邻的所述第1凹陷部夹着所述前端部的所述第1端子不重叠的位置处,或者在所述第2端子从所述芯片键合部或所述空隙部朝向所

述前端部的方向上,与所述第2凹陷部及由在所述第1方向上相邻的所述第2凹陷部夹着所述前端部的所述第2端子不重叠的位置处。

9. 根据权利要求8所述的半导体装置的引线框,其中,

所述定位孔设置于在所述第1端子从所述芯片键合部或所述空隙部朝向所述前端部的方向上,与未由在所述第1方向上相邻的所述第1凹陷部夹着所述前端部的所述第1端子重叠的位置处,或者在所述第2端子从所述芯片键合部或所述空隙部朝向所述前端部的方向上,与未由在所述第1方向上相邻的所述第2凹陷部夹着所述前端部的所述第2端子重叠的位置处。

10. 根据权利要求1至9中任一项所述的半导体装置的引线框,其中,

所述第1凹陷部的在从所述芯片键合部或所述空隙部朝向所述前端部的方向上沿所述第1端子凹陷的凹陷量落在大于或等于0.1mm且小于或等于10mm的范围内。

11. 一种半导体装置的一体型引线框,其中,

权利要求1至权利要求10中任一项所述的所述引线框至少在所述第1端子及所述第2端子的延伸方向即第2方向上排列地配置有多个,在所述第2方向上相邻的所述引线框之间具有在所述引线框的所述第1方向上延伸的中间部,在所述中间部,所述第1端子或所述第2端子中的任意端子的所述前端部连接于在所述第1方向上延伸的所述框架部的各个边。

12. 一种半导体装置,其具有:

引线框,其具有第1端子及第2端子,该第1端子在第1方向上排列地配置有多个,该第2端子在所述第1方向上排列地配置有多个;

芯片键合部或空隙部,其配置为在所述第1端子及所述第2端子的延伸方向即第2方向上被所述第1端子和所述第2端子夹着;

半导体元件,其配置于所述芯片键合部或所述空隙部,与所述第1端子或所述第2端子电连接;以及

绝缘性的封装树脂,其对所述芯片键合部或所述空隙部,以及所述半导体元件进行封装,

多个所述第1端子及多个所述第2端子中的至少一者的从与所述封装树脂的接合点至前端为止的端子长度为大于或等于2种。

13. 根据权利要求12所述的半导体装置,其中,

多个所述第1端子及多个所述第2端子中的至少一者具有所述端子长度长的长端子和所述端子长度短的短端子,

在从与所述第1方向和所述第2方向正交的第3方向观察的俯视观察时,所述长端子为在与所述短端子相比远离所述封装树脂的位置处向所述第3方向折弯的外侧端子,所述短端子为在与所述长端子相比接近所述封装树脂的位置处向与所述外侧端子相同的方向折弯的内侧端子。

14. 根据权利要求13所述的半导体装置,其中,

所述长端子的所述端子长度比所述短端子长大于或等于0.1mm且小于或等于10mm的范围。

半导体装置的引线框、半导体装置的一体型引线框及半导体装置

技术领域

[0001] 本发明涉及半导体装置的引线框、半导体装置的一体型引线框及半导体装置。

背景技术

[0002] 存在使用导电性的引线框而构成电路的半导体装置。引线框通过对铜等板状的材料进行冲压加工等而形成,设置有搭载用于进行通电的半导体元件的区域、及能够与外部进行通电的引线端子。对于这样的半导体装置,具有将搭载于引线框的半导体元件覆盖的绝缘性的封装树脂,与半导体元件电连接的导电性的引线端子从封装树脂的侧面凸出,引线端子被以直角或钝角折弯。在这样的半导体装置中,以提高引线端子间的绝缘性为目的,有时使用在与引线端子的延伸方向正交的方向上将端子长度长的引线端子和短的引线端子交替排列的称为交错配置的端子配置。

[0003] 在日本特开2000-138343中记载有如下引线框,即,在形成引线框时引线端子各自的前端部与引线框的外框即框架部连接,以夹着该前端部的方式在框架部设置有凹陷。在该结构中,在引线框配置半导体元件而通过绝缘性树脂进行了封装后,去除框架部而将各个引线端子分离。

[0004] 专利文献1:日本特开2000-138343号公报

[0005] 在专利文献1中没有记载如交错配置那样与端子长度不同的引线端子对应的引线框,而是以与全部端子相邻的方式设置有凹陷,因此存在不改变框架部的宽度则无法形成端子长度不同的引线端子这样的课题。

发明内容

[0006] 本发明就是为了解决上述那样的课题而实施的,其目的在于提供具有在不改变框架部的宽度的情况下,可以形成端子长度不同的引线端子这样的效果的半导体装置的引线框、半导体装置的一体型引线框及半导体装置。

[0007] 本发明涉及的引线框具有:第1端子部,其在第1端子的宽度方向即第1方向上排列地配置有多个第1端子;第2端子部,其在第1方向上排列地配置有与第1端子相比第1方向上的宽度宽的多个第2端子,该第2端子部配置为与第1端子部夹着配置半导体元件的芯片键合部或空隙部;以及框架部,其与第1端子及第2端子各自的远离芯片键合部或空隙部侧的端部即前端部连接,在框架部,设置有在从芯片键合部或空隙部朝向前端部的方向上沿第1端子凹陷的第1凹陷部,第1端子部具有由在第1方向上相邻的第1凹陷部夹着前端部的第1端子、和未由在第1方向上相邻的第1凹陷部夹着前端部的第1端子。

[0008] 就本发明涉及的半导体装置的一体型引线框而言,本发明涉及的引线框至少在第1端子及第2端子的延伸方向即第2方向上排列地配置有多个,在第2方向上相邻的引线框之间具有在引线框的第1方向上延伸的中间部,在中间部,第1端子或第2端子中的任意端子的前端部连接于在第1方向上延伸的框架部的各个边。

[0009] 本发明涉及的半导体装置具有：引线框，其具有第1端子及第2端子，该第1端子在第1方向上排列地配置有多个，该第2端子在第1方向上排列地配置有多个；芯片键合部或空隙部，其配置为在第1端子及第2端子的延伸方向即第2方向上被第1端子和第2端子夹着；半导体元件，其配置于芯片键合部或空隙部，与第1端子或第2端子电连接；以及绝缘性的封装树脂，其对芯片键合部或空隙部，以及半导体元件进行封装，多个第1端子及多个第2端子中的至少一者的从与封装树脂的接合点至前端为止的端子长度为大于或等于2种。

[0010] 发明的效果

[0011] 根据本发明，能够在不改变框架部的宽度的情况下形成端子长度不同的引线端子。

附图说明

[0012] 图1是实施方式1的引线框的俯视图。

[0013] 图2是实施方式1的引线框的变形例的俯视图。

[0014] 图3是将图1的引线框的一部分放大后的俯视图。

[0015] 图4是表示使用了实施方式1的引线框的半导体装置制造方法的一部分的流程图。

[0016] 图5是使用了实施方式1的引线框的安装模塑工序前的半导体装置的俯视图。

[0017] 图6是使用了实施方式1的引线框的安装模塑工序后的半导体装置的俯视图。

[0018] 图7是图6的半导体装置的侧视图。

[0019] 图8是使用了实施方式1的引线框的第2形成工序前的半导体装置的俯视图。

[0020] 图9是使用了实施方式1的引线框的第2形成工序后的半导体装置的俯视图。

[0021] 图10是图9的半导体装置的侧视图。

[0022] 图11是使用了实施方式1的引线框的引线成形工序后的半导体装置的俯视图。

[0023] 图12是图11的半导体装置的侧视图。

[0024] 图13是将使用了实施方式1的引线框的引线成形工序前的半导体装置的一部分放大后的俯视图。

[0025] 图14是实施方式1的引线框的变形例的俯视图。

[0026] 图15是将图14的引线框的一部分放大后的俯视图。

[0027] 图16是实施方式2的引线框的俯视图。

[0028] 图17是实施方式3的引线框的俯视图。

[0029] 图18是实施方式4的一体型引线框的俯视图。

具体实施方式

[0030] 实施方式1

[0031] 图1是表示实施方式1的引线框101的俯视图。该引线框101构成半导体装置的引线端子，其中，该半导体装置具有被交错配置的引线端子。后面会叙述引线框101对使用引线框101而制造出的半导体装置带来的作用和效果，首先对引线框101的结构进行说明。此外，在本发明中，有时将引线端子仅称为端子。

[0032] 如图1所示，引线框101具有：芯片键合部1，在该芯片键合部1配置半导体元件；第1端子部3，其在第1端子2的宽度方向即第1方向(X方向)上排列地配置有多个引线端子即第1

端子2;第2端子部5,其在第1方向上排列地配置有与第1端子2相比第1方向上的宽度宽的多个引线端子即第2端子4,该第2端子部5配置为在第1端子2及第2端子4的延伸方向即第2方向(Y方向)上与第1端子部3夹着芯片键合部1;以及框架部6,其与第1端子2及第2端子4各自的远离芯片键合部1侧的端部即前端部连接,环状地包围芯片键合部1。第1方向(X方向)及第2方向(Y方向)彼此正交。此外,在本发明中示出第1方向(X方向)及第2方向(Y方向)彼此正交的例子,但第1方向及第2方向也可以不正交。例如,能够考虑引线框的生产率而适当对第1方向和第2方向交叉的角度进行调整。

[0033] 引线框101例如由以作为导电性金属的铝、铜等为主材料的平板形成。在芯片键合部1配置半导体元件。第1端子2例如是控制信号用的控制端子,与第1端子2相比宽度宽的第2端子4例如是主电流用的功率端子。此外,芯片键合部1并不限于图1所示的矩形,也可以根据半导体装置的接线方式设置若干电气独立的芯片键合区域,也可以形成任意的电气配线的图案。另外,在图1中示出全部第1端子2及第2端子4与芯片键合部1成为一体而进行接合的方式,但实际的引线框的结构并不限于图1的结构。图1是为了简化说明而特别简化了芯片键合部1的周边的附图,在实际的引线框中,也具有若干端子与芯片键合部并非一体地形成,最终通过导线键合而电连接的情况,还具有不与芯片键合部电连接而保持绝缘的端子。

[0034] 并且,在图1中示出芯片键合部1与引线框101一体的结构,但芯片键合部并不限于此,例如也可以由绝缘基板等构成。在图2中示出这样的引线框101的变形例即引线框102。例如,如图2所示,也可以去除芯片键合区域的引线框部件,设为能够配置绝缘基板的空隙部18。

[0035] 图3是将图1的引线框101的P部放大而示出的俯视图。在框架部6,设置有在从芯片键合部1朝向第1端子2的前端部的方向上沿第1端子2凹陷的多个第1凹陷部10。第1端子2A的前端部在第1方向上被相邻的第1凹陷部10夹着,第1凹陷部10在第1端子2A的前端部侧具有以形成第1端子2A的形状的方式在第2方向上延伸的直线形状。这里,将第1凹陷部10的向第2方向的凹陷量设为 d_1 。而且,就第1端子部3而言,第1端子2A和第1端子2B交替地配置,该第1端子2A的前端部在第1方向上被相邻的第1凹陷部10夹着,该第1端子2B的前端部未被在第1方向上相邻的第1凹陷部10夹着。

[0036] 关于第1凹陷部10的第1方向上的宽度,只要空出能够使用将第1端子2A和框架部6切断分离时的冲压模具等的空间即可。优选第1凹陷部10的第1方向上的宽度为 $0.5\text{mm} \sim 3\text{mm}$ 。在小于 0.5mm 的情况下,有时难以保持冲压模具的强度。另外,优选第1凹陷部10的向第2方向的凹陷量即 d_1 为 $0.1\text{mm} \sim 10\text{mm}$ 。如果小于 0.1mm ,则端子长度的调整余地少,在超过 10mm 的情况下,不得不增大框架部6的宽度,引线框101的无效面积即最终未用于端子等而被去除的部位的面积变大,生产率变差。进一步优选第1凹陷部10的向第2方向的凹陷量即 d_1 落在大于或等于 0.2mm 且小于或等于 5mm 的范围内。由此,能够进一步确保端子长度的调整余地和生产率。另外,在第1凹陷部10的第1方向上的宽度为 $0.5\text{mm} \sim 1\text{mm}$ 的情况下,通过将向第2方向的凹陷量 d_1 设定为该宽度的2倍,容易确保冲压模具的强度。并且,在图3中第1凹陷部10的形状为矩形,但只要满足凹陷部的1个边配置于与第1端子2A的端子侧面的延长线平行地重叠的位置之上,则凹陷部的形状并不限于矩形,也可以变形为三角形等。

[0037] 引线框101是通过例如使用了模具的冲裁冲压加工对平板的金属材料进行冲裁而形成的。该引线框形成工序与由现有技术实现的引线框形成方法相同。在形成本发明的引

线框101时,可以通过将模具的形状设定为在框架部6形成第1凹陷部10来进行制造,第1凹陷部10夹着前述的第1端子2A的前端部。

[0038] 接着,对使用实施方式1的半导体的引线框101制造的半导体装置的第2方向上的端子的延长效果进行说明。在说明的时候,首先对使用引线框101形成半导体装置为止的工序进行叙述。图4是表示使用引线框101制造半导体装置的工序的一部分的流程图,按照该图进行说明。

[0039] 首先,在第1形成工序中,在金属的平板通过冲压加工形成引线框101,该引线框101具有芯片键合部1、由第1端子2A及2B构成的第1端子部3、由第2端子4构成的第2端子部5、框架部6。在图1中示出上述结构。在实施方式1中,在该工序中,在框架部6以夹着第1端子2A的前端部的方式形成第1凹陷部10。

[0040] 接着,实施在引线框101配置半导体元件,通过树脂进行封装的安装模塑工序。图5是表示安装模塑工序前的引线框101的俯视图。在安装模塑工序中,在引线框101的芯片键合部1配置半导体元件(未图示),进行电连接。然后,以覆盖半导体元件的方式通过绝缘性树脂即封装树脂对封装区域7的内侧进行封装(模塑)而形成半导体装置。图6是表示半导体装置的安装模塑工序后的俯视图的图,图7是从Q方向观察图6的半导体装置的侧视图。如图6及图7所示,安装模塑工序后的半导体装置成为通过封装树脂8从引线框101的正反面对封装区域7进行了封装的形态。

[0041] 接着,在第2形成工序中,去除引线框101的框架部6。图8是表示半导体装置的第2形成工序前的俯视图的图。在实施方式1中,如图8所示,在第1端子2和第2端子4的每一者,在接近框架部6的位置设定作为进行切断的位置的切割线11。这里,对于第1端子2A,在被相邻的第1凹陷部10夹着的部分设定切割线11。在第2形成工序中,例如将冲裁冲压加工的模具抵向该切割线11而将框架部6切断去除。此外,在图8中切割线11呈如下形态,即,相比于与框架部6的接合部位于封装树脂8的方向,在切断后第1端子2及第2端子4的前端部的一部分残留于框架部6侧,但这是为了在说明上容易理解而记载的。为了将端子长度形成得尽可能长,在考虑了模具的对位精度等的基础上,将该切割线11设定为尽可能接近框架部6,以使残留于框架部6的端子的一部分小的方式进行切断。

[0042] 图9是表示半导体装置的第2形成工序后的俯视图的图,图10是从R方向观察图9的半导体装置的侧视图。第2形成工序后的半导体装置如图9及图10所示,框架部6被分离去除,成为各端子独立地分离开的状态。而且,如图9所示,第2形成工序后的第1端子部3形成成为端子长度即从与封装树脂8的接合点至前端为止的长度长的长端子即第1端子2A和端子长度短的短端子即第1端子2B交替地排列。第1端子2A的端子长度和第1端子2B的端子长度之差为与第1凹陷部的第2方向上的凹陷量相等的 d_1 。因此,优选长端子即第1端子2A的端子长度比短端子即第1端子2B长 $0.1\text{mm}\sim 10\text{mm}$,进一步优选长大于或等于 0.2mm 且小于或等于 5mm 的范围。

[0043] 在接下来的引线成形工序中,将第1端子2及第2端子4向与第1方向及第2方向正交的第3方向折弯。图11是表示引线成形工序后的半导体装置201的俯视图的图,图12是从图11中的S方向观察的侧视图。该第3方向(Z方向)是在将半导体装置201安装于外部基板时与该基板相对的方向。在实施方式1中,如图11所示,第1端子2A和第1端子2B彼此在相对于封装树脂8相差了第1凹陷部10的凹陷量即 d_1 的距离的位置处被折弯。其结果,短端子即第1端

子2B成为在封装树脂8附近弯曲的内侧端子,长端子即第1端子2A成为与内侧端子相比在远离封装树脂8处弯曲的外侧端子,形成具有内侧端子和外侧端子交替地配置的区域的第一端子部3。内侧端子和外侧端子这样交替地配置的结构被称为交错配置。

[0044] 对在引线成形工序中将第1端子2A及第1端子2B折弯的位置更详细地进行说明。图13是引线成形工序前的半导体装置201的第一端子部3的一部分的放大俯视图。这里,分别用折弯线12A和12B示出第1端子2A和第1端子2B的折弯位置。如上所述,在引线成形工序前,长端子即第1端子2A和短端子即第1端子2B的长度成为第1端子2A长出第1凹陷部10的凹陷量 d_1 的量的状态。这里,在实施方式1中,以从第1端子2A的根部即与封装树脂8的接合点至折弯线12A为止的距离 d_A 比从第1端子2B的根部即与封装树脂8的接合点至折弯线12B为止的距离 d_B 长出 d_1 的方式,即以 $d_A - d_B = d_1$ 的方式对折弯线12A及12B进行设定。相伴于此,从第1端子2A的前端至折弯线12A为止的距离 d_C 与从第1端子2B的前端至折弯线12B为止的距离 d_D 相等。通过这样对折弯线12A及12B进行设定,如图11所示,第1端子2A和第1端子2B呈俯视观察时从与封装树脂8的接合点起在第2方向上延伸直至折弯为止的长度 d_1 不同的交错配置。并且,如图12所示,从第1端子2A和第1端子2B的被折弯的位置至前端为止的长度相等。

[0045] 对本实施方式1的效果进行说明。在说明的时候,首先对半导体装置的引线端子的交错配置进行叙述。对于制成的半导体装置,之后将各引线端子与外部基板例如控制基板连接而使用。此时,将各引线端子的被折弯的前端部插入至在控制基板设置的导通孔(通孔),赋予焊料等导电性材料而进行固定。

[0046] 这里,在半导体装置的引线端子不是交错配置,而是在俯视观察时配置有相同长度的引线端子的情况下,如果相邻的引线端子间的距离小,则为了确保绝缘性需要将设置于控制基板的导通孔的直径缩小等对策。但是,导通孔的直径的缩小存在控制基板的制造难度增加的问题。另外,在将半导体装置安装于控制基板时也要求更高的精度,因此加工性变差。

[0047] 相对于此,如果将引线端子设为交错配置,则将控制基板的导通孔也设为交错配置,能够增大相邻的导通孔的距离。因此,能够实现控制基板的制造难度的缓和、将半导体装置安装于控制基板时的加工性改善。由于这样的理由,特别是在希望使引线端子的间隔狭小化的情况下,有时应用交错配置。

[0048] 就具有这样的交错配置的引线端子的半导体装置而言,外侧端子与内侧端子相比在远离封装树脂的位置处弯曲,因此在折弯前需要比内侧端子长的端子长度。但是,如果为了将外侧端子设得长而扩大引线框整体,则会使引线框、使用了该引线框的半导体装置的制造加工性变差。另外,如果将框架部的宽度设得窄,则引线框整体的刚性变差。或者,如果仅针对外侧端子缩短被折弯的前端部的长度,则存在难以与控制基板接合的问题。

[0049] 在本实施方式1涉及的引线框101中,具有被在第1方向上相邻的第1凹陷部10夹着的第1端子2A和与第1凹陷部10相邻而未被夹着的第1端子2B交替地配置的区域。由此,成为外侧端子的第1端子2A能够以第1凹陷部10的量在第2方向上延长端子长度而从框架部6切断,能够将外侧端子的端子长度设得长而不扩大引线框101。另外,在成为内侧端子的第1端子2B没有设置第1凹陷部10,由此能够对框架部6的刚性变差进行抑制。

[0050] 此外,如图11所示,第1端子2A和第1端子2B呈俯视观察时从与封装树脂8的接合点起在第2方向上延伸直至折弯为止的长度相差 d_1 的交错配置,但优选该 d_1 为 $0.1\text{mm} \sim 10\text{mm}$ 。

其原因在于,为了得到由交错配置实现的引线框、使用了该引线框的半导体装置的制造加工性变差的抑制效果,优选大于或等于0.1mm,并且,如果超过10mm,则如上所述,不得不增大框架部6的宽度,生产性变差。

[0051] 另外,在实施方式1中,第1端子部3通过与第1凹陷部10相邻而被夹着的第1端子2A和与第1凹陷部10相邻而未被夹着的第1端子2B交替地配置的交错配置而构成,但不需要第1端子部3的全部端子都交替地设定。对于想要延长端子长度的第1端子2,以夹持其前端部的方式在框架部6形成第1凹陷部10即可。

[0052] 另外,在引线成形工序前,如图13所示,第1端子2A及第1端子2B各自的折弯线12A及12B设定为在折弯后成为根部侧的部分的长度相差出第1凹陷部10的凹陷量 d_1 的长度的量,但并不限于此。即,例如,也可以是根据安装半导体装置201的控制基板的规格等,折弯的位置不同,另外,伴随于此,被折弯的前端侧的长度也可以不同。通过第1凹陷部10决定弯曲位置,使得作为长端子形成的第1端子2A成为外侧端子,具有比第1端子2A短的端子长度的作为短端子形成的第1端子2B成为内侧端子即可。

[0053] 在实施方式1中,说明了第1端子部3通过设置第1凹陷部10而在第2形成工序后形成端子长度不同的第1端子2A和第1端子2B这2种端子的方式。但是并不限于此,第1端子部也可以形成具有大于或等于3种不同的端子长度的端子。图14是表示实施方式1的变形例即引线框103的俯视图。图15是将图14的引线框103的U部放大而示出的俯视图。如图15所示,在引线框103中,除了凹陷量为 d_1 的第1凹陷部10之外,以夹着第1端子2C的前端部的方式设置有凹陷量为比 d_1 大的 d_2 的第1凹陷部13。通过设为这样的结构,在第2形成工序中去除了框架部6时,能够形成端子长度比第1端子2B长出 d_1 的第1端子2A、端子长度比第1端子2B长出 d_2 的第1端子2C,能够形成具有总共3种不同的端子长度的第1端子2。

[0054] 实施方式2

[0055] 在实施方式1中,对在第1端子部3中第1端子2A及2B交替地进行交错配置,具有夹着第1端子2A的前端部的第1凹陷部10的引线框101进行了叙述。在实施方式2中,进一步对具有第2凹陷部14的引线框104进行说明,该第2凹陷部14夹着第2端子部5的第2端子4的前端部,该第2端子部5隔着芯片键合部1与第1端子部3相对地配置。此外,由于与实施方式1的区别仅为第2端子部5,因此仅对该区别进行说明。

[0056] 图16是表示实施方式2的引线框104的俯视图。关于该引线框104的第1端子部3,如前述那样,与实施方式1相同地第1端子2A及2B在第1方向(X方向)上交替地配置,在框架部6设置有夹着第1端子2A的前端部的第1凹陷部10。在实施方式2中,在框架部6,进一步设置有在从芯片键合部1朝向第2端子4的前端部的方向上沿第2端子4凹陷的多个第2凹陷部14。第2端子4A的前端部在第1方向上被相邻的第2凹陷部14夹着,第2凹陷部14在第2端子4A的前端部侧具有以形成第2端子4A的形状的方式在第2方向(Y方向)上延伸的直线形状。另外,对于第2端子4B,没有设置夹着前端部的第2凹陷部14。此外,优选第2凹陷部14的第1方向上的宽度与第1凹陷部10相同地为0.5mm~3mm。另外,优选第2凹陷部14的向第2方向的凹陷量与第1凹陷部10相同地为0.1mm~10mm,进一步优选落在大于或等于0.2mm且小于或等于5mm的范围内。

[0057] 在实施方式2中,通过与第2端子4A对应地设置第2凹陷部14,能够取得延长第2端子4A的端子长度的效果。例如,在将使用了引线框104的半导体装置向控制基板安装时存在

布局的限制,需要对端子长度进行变更而调整端子的前端部的位置的情况下,设置仅与希望延长端子长度的第2端子4对应的第2凹陷部14即可。另外,如果与全部第2端子4对应地设置第2凹陷部14,则能够延长第2端子4的端子长度,并且将进行接合的区域的框架部6的宽度设得窄,因此取得能够缩小引线框104的外形尺寸的效果。

[0058] 实施方式3

[0059] 在实施方式3中,对引线框105进行说明,该引线框105是针对实施方式1及2中说明过的在框架部6设置有第1凹陷部10、第2凹陷部14的结构,进一步在未设置这些凹陷部的部分设置有工序内的对位用的孔。

[0060] 图17是表示实施方式3的引线框105的俯视图。关于该引线框105,与实施方式2相同地,在第1端子部3中第1端子2A及2B在第1方向(X方向)上交替地交错配置,在框架部6具有夹着第1端子2A的前端部而在从芯片键合部1朝向第1端子2A的前端部的方向上沿第1端子2A凹陷的第1凹陷部10。另外,在第2端子部5中配置有第2端子4A和第2端子4B,在框架部6具有夹着第2端子4A的前端部而在从芯片键合部1朝向第2端子4A的前端部的方向上沿第2端子4A凹陷的第2凹陷部14。并且,在实施方式3中,如图17所示,在框架部6设置有贯穿孔即定位孔15。

[0061] 定位孔15配置于未设置第1凹陷部10及第2凹陷部14的区域。具体而言,首先在图17中,在设置有第1凹陷部10的纸面下侧的框架部6的区域中,也在与未设置第1凹陷部10的第1端子2B的前端部在第2方向上重叠的位置处配置定位孔15。并且,相同地,在设置有第2凹陷部14的纸面上侧的框架部6的区域中,也在与未设置第2凹陷部14的第2端子4B的前端部在第2方向上重叠的位置处配置定位孔15。此外,定位孔15的位置并不限于此,只要在第2方向上不与第1端子2A、第2端子4A的前端部或第1凹陷部10或第2凹陷部14重叠即可。该定位孔15例如在第1形成工序中与各端子相同地通过使用了模具的冲裁冲压加工来形成即可。

[0062] 定位孔15例如在前述的安装模塑工序、第2形成工序中,利用附带于制造装置的读取机构读取孔的位置,用于对引线框105的位置进行识别的对位。在图17所示的实施方式3中,框架部6的纸面左右的区域的框架部6的宽度窄,无法设置定位孔15。另外,如果在框架部6中也将定位孔15配置于与第1端子2A、第2端子4A的前端部或第1凹陷部10或第2凹陷部14在第2方向上重叠的位置,则框架部6的宽度局部地变窄,刚性降低,有时产生弯折、挠曲等。因此,通过将定位孔15配置于与第1端子2A、第2端子4A的前端部或第1凹陷部10或第2凹陷部14在第2方向上不重叠的位置,取得对框架部6的刚性降低进行抑制的效果。

[0063] 实施方式4

[0064] 在实施方式1~3中对与具有交错配置的引线端子的半导体装置对应的引线框进行了说明,在实施方式4中对配置多个实施方式1~3所示的引线框而成为一体的半导体装置的一体型引线框106进行说明。

[0065] 图18是表示实施方式4的半导体装置的一体型引线框106的俯视图。如图18所示,引线框106构成为,具有第1端子2、第2端子4、框架部6且与1个半导体装置对应的引线框(以下,称为单独引线框。)在第1方向(X方向)上配置有3个,在第2方向(Y方向)上配置有2个,合计配置6个。在图18中被虚线包围的T部与1个单独引线框相当。单独引线框与实施方式1~3所示的引线框101、102、103、104、105相同,例如图18所示的单独引线框以将第1端子2A及第

2端子4的前端部夹着的方式各自设置有第1凹陷部10及第2凹陷部14。此外,在图18中示出了配置有6个半导体装置的量的单独引线框的引线框106,但单独引线框的配置数量为多个即可,并不限于此。

[0066] 在引线框106中,单独引线框的框架部6由相邻的单独引线框彼此共享,成为一体。将该共享的框架部6的区域特别设为中间部。即,在第1方向上相邻的单独引线框之间具有在第2方向上延伸的中间部16,在第2方向上相邻的单独引线框之间具有在第1方向上延伸的中间部17。而且,对于中间部17,呈在中间部17的在第1方向上延伸的各个边处与第1端子2或第2端子4中的任意端子连接的形态。这样,通过在一个引线框106配置多个单独引线框,从而能够从1个半导体装置的引线框106制造多个半导体装置,能够提高半导体装置的制造效率、削减引线框部件的使用量。另外,使用在框架部6(中间部17)设置有第1凹陷部10及第2凹陷部14的引线框106而形成的半导体装置能够将框架部6的宽度设得窄,因此能够在延长端子长度的基础上,从引线框的单位面积制造更多的半导体装置。

[0067] 另外,在实施方式4中,对排列多个在第1端子2A和第2端子4各自具有第1凹陷部10和第2凹陷部14的引线框的方式进行了说明,但并不限于此,也可以排列多个实施方式1中说明过的仅在第1端子部3具有第1凹陷部10的引线框、实施方式3中说明过的在框架部6的不具有凹陷部的部分具有对位用的定位孔15的引线框而构成。

[0068] 对本发明的若干实施方式进行了说明,但这些实施方式仅是作为例子而提出的。在不脱离其主旨的范围内能够进行各种省略、替换、变更。另外,能够将各实施方式组合。另外,本发明的范围不是由上述说明而是由权利要求表示,旨在包含与权利要求的范围均等的意思和范围内的所有变更。

[0069] 标号的说明

[0070] 101、102、103、104、105引线框,106一体型引线框,1芯片键合部,2第1端子,3第1端子部,4第2端子,5第2端子部,6框架部,7封装区域,8封装树脂,10、13第1凹陷部,11切割线,12折弯线,14第2凹陷部,15定位孔,16、17中间部,18空隙部,201半导体装置

101

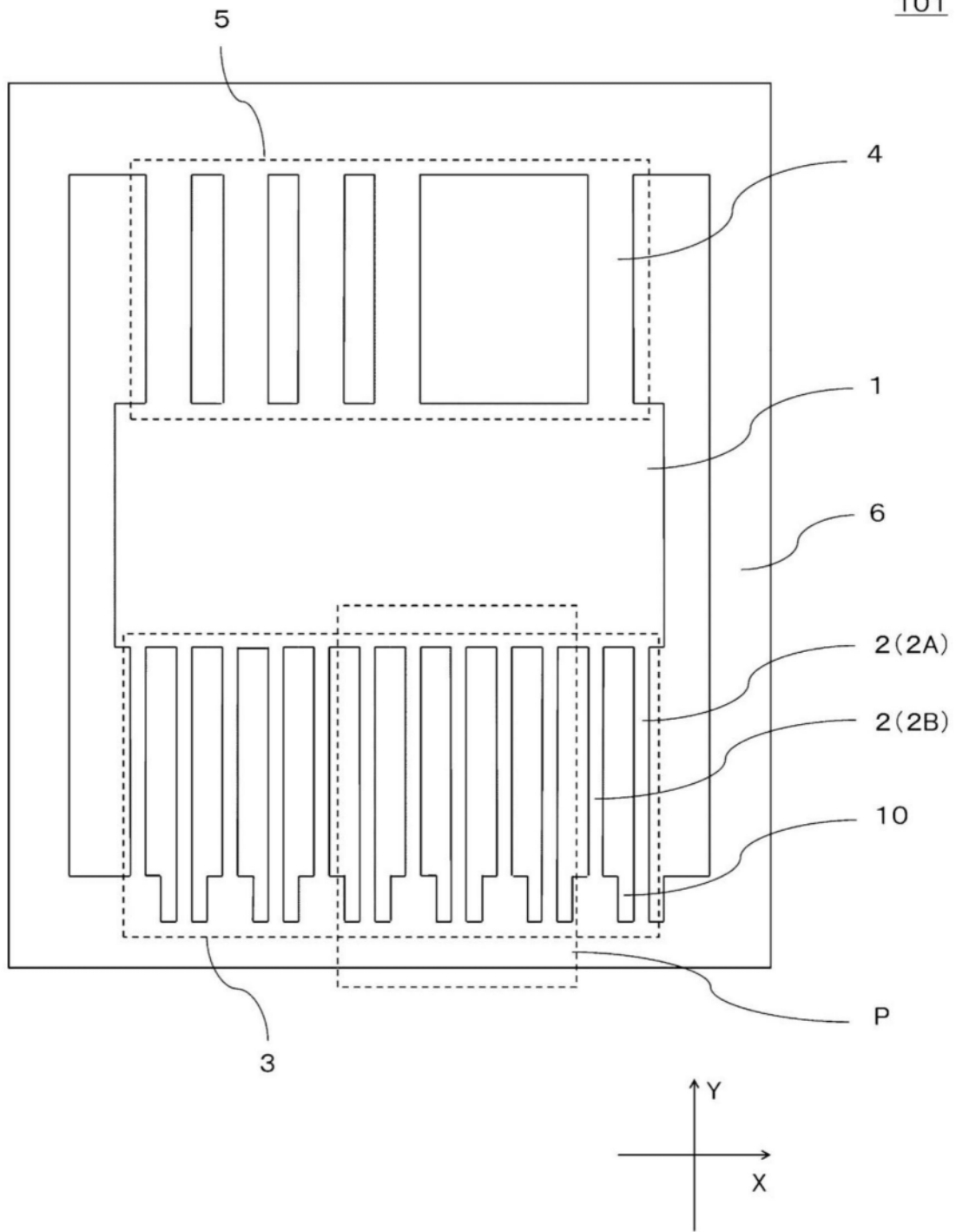


图1

102

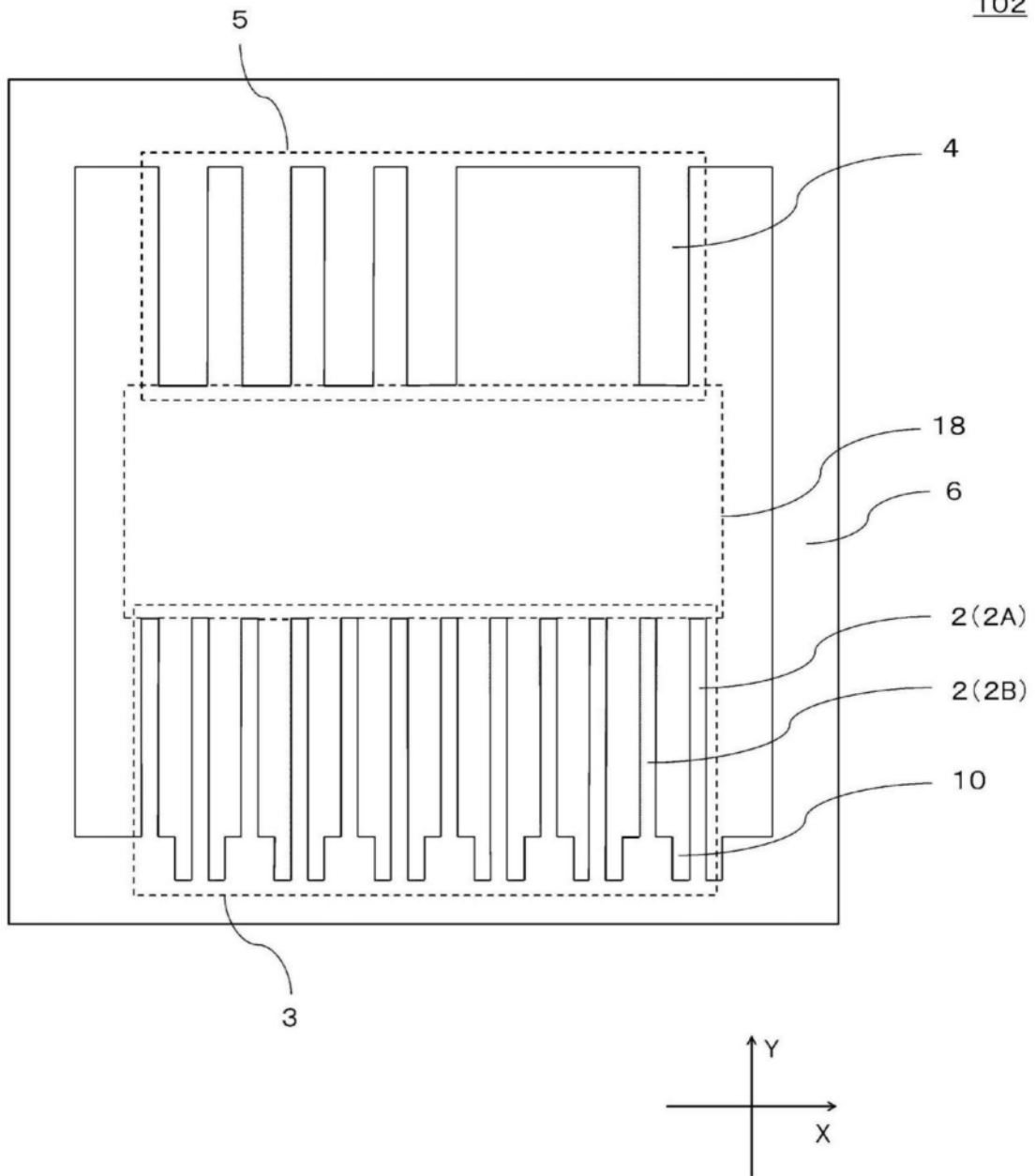


图2

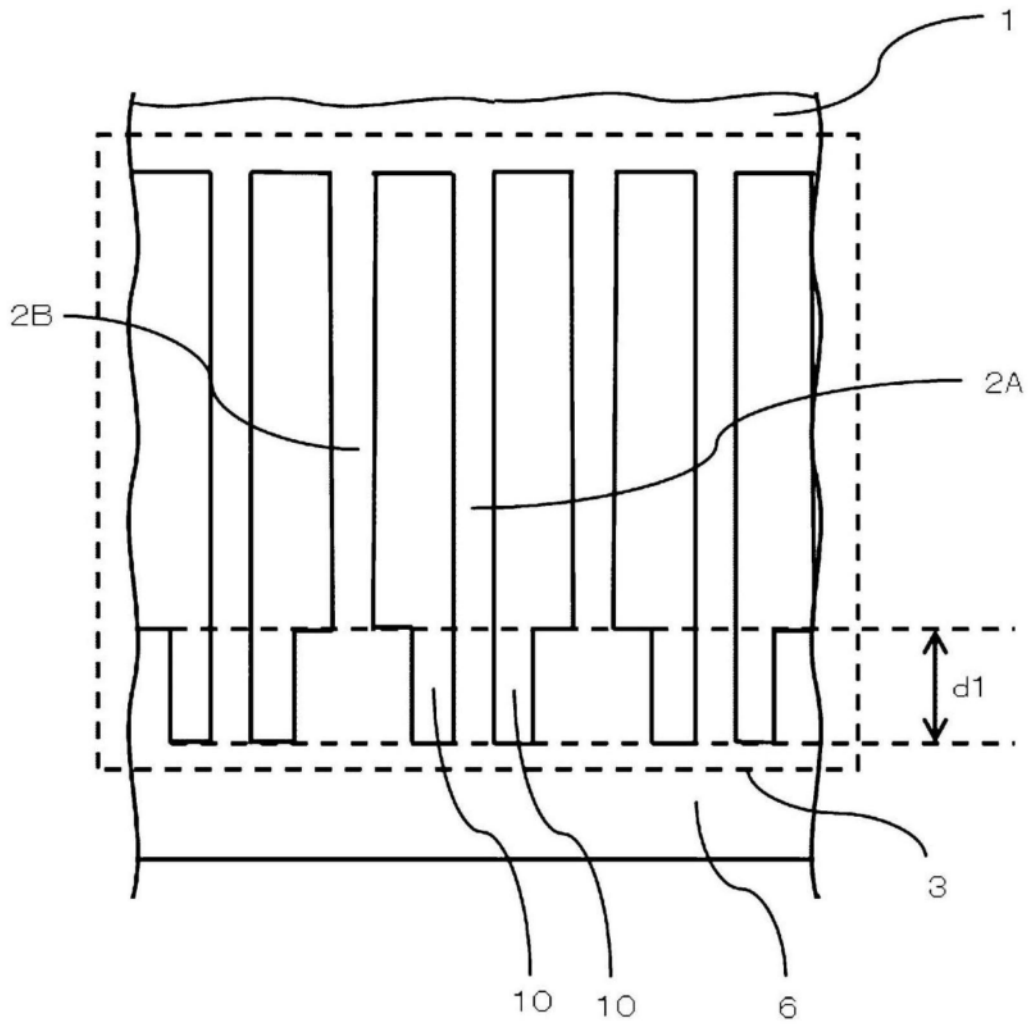


图3

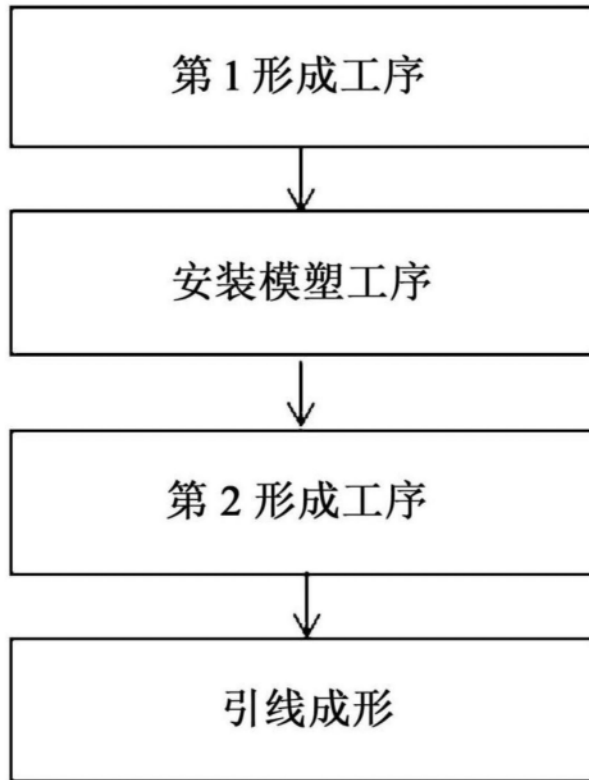


图4

101

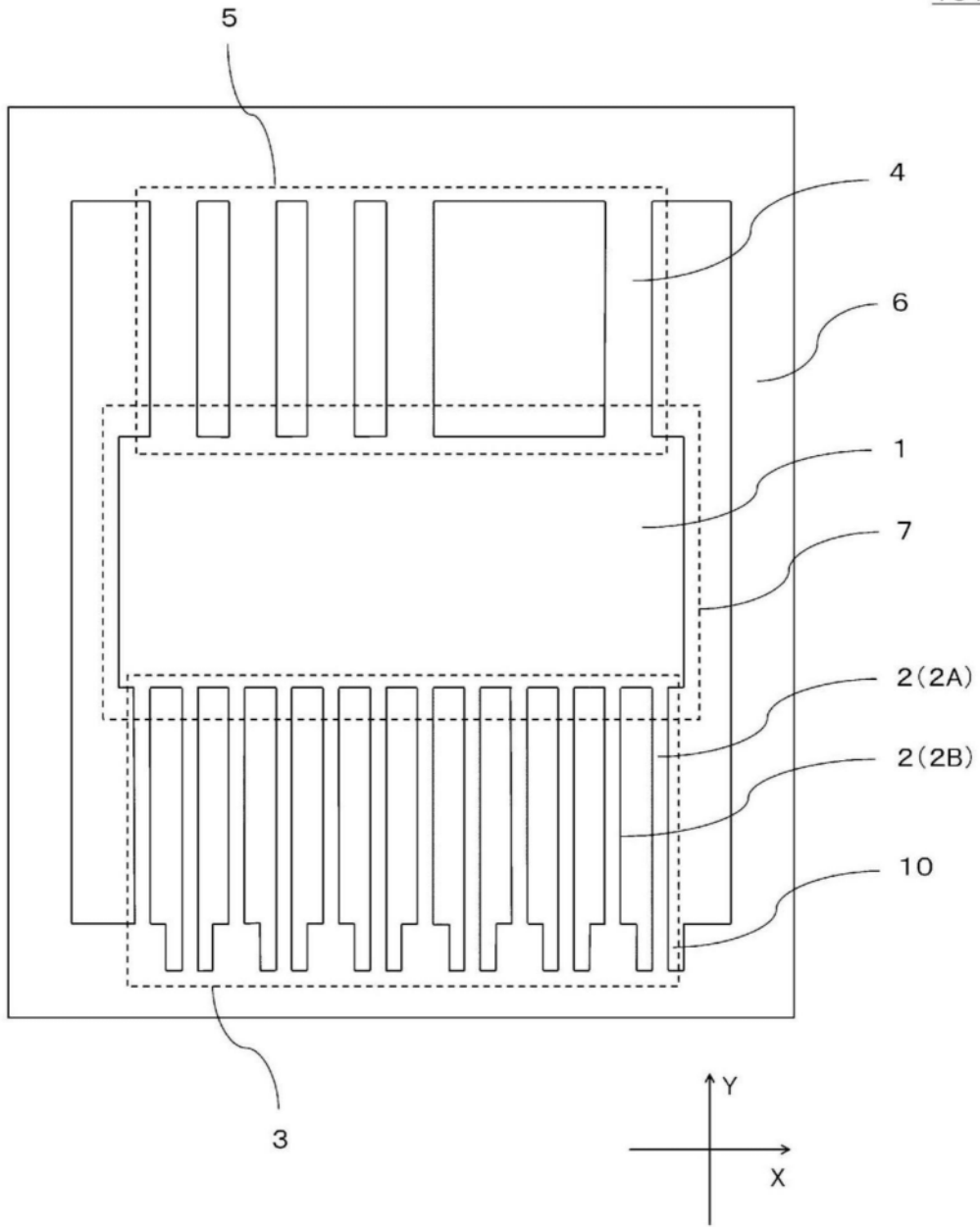


图5

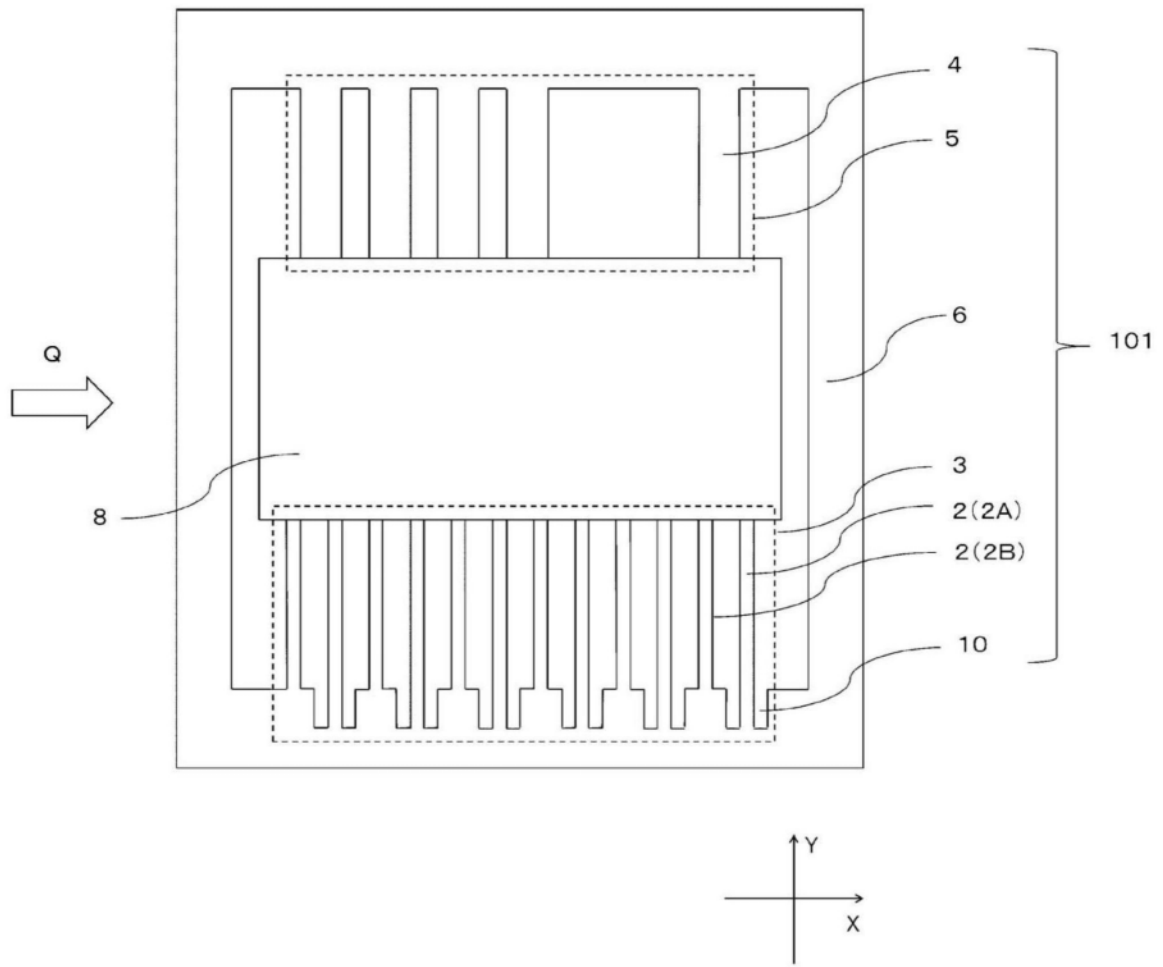


图6

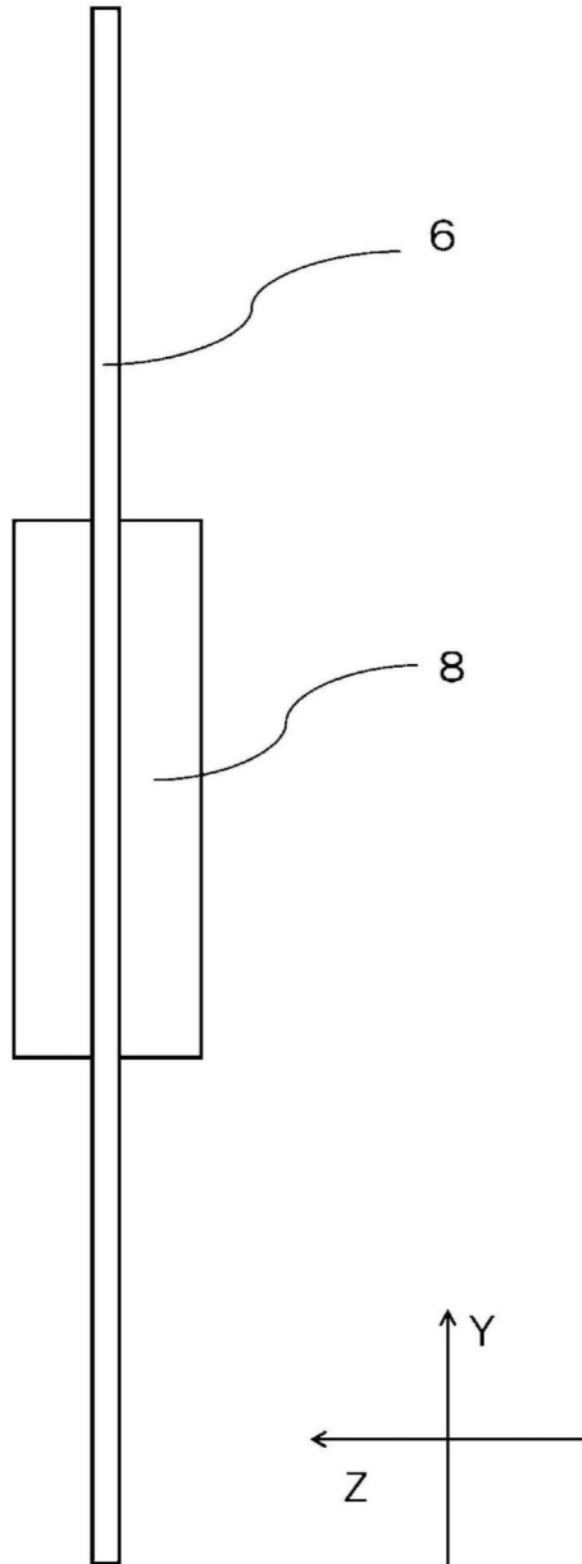


图7

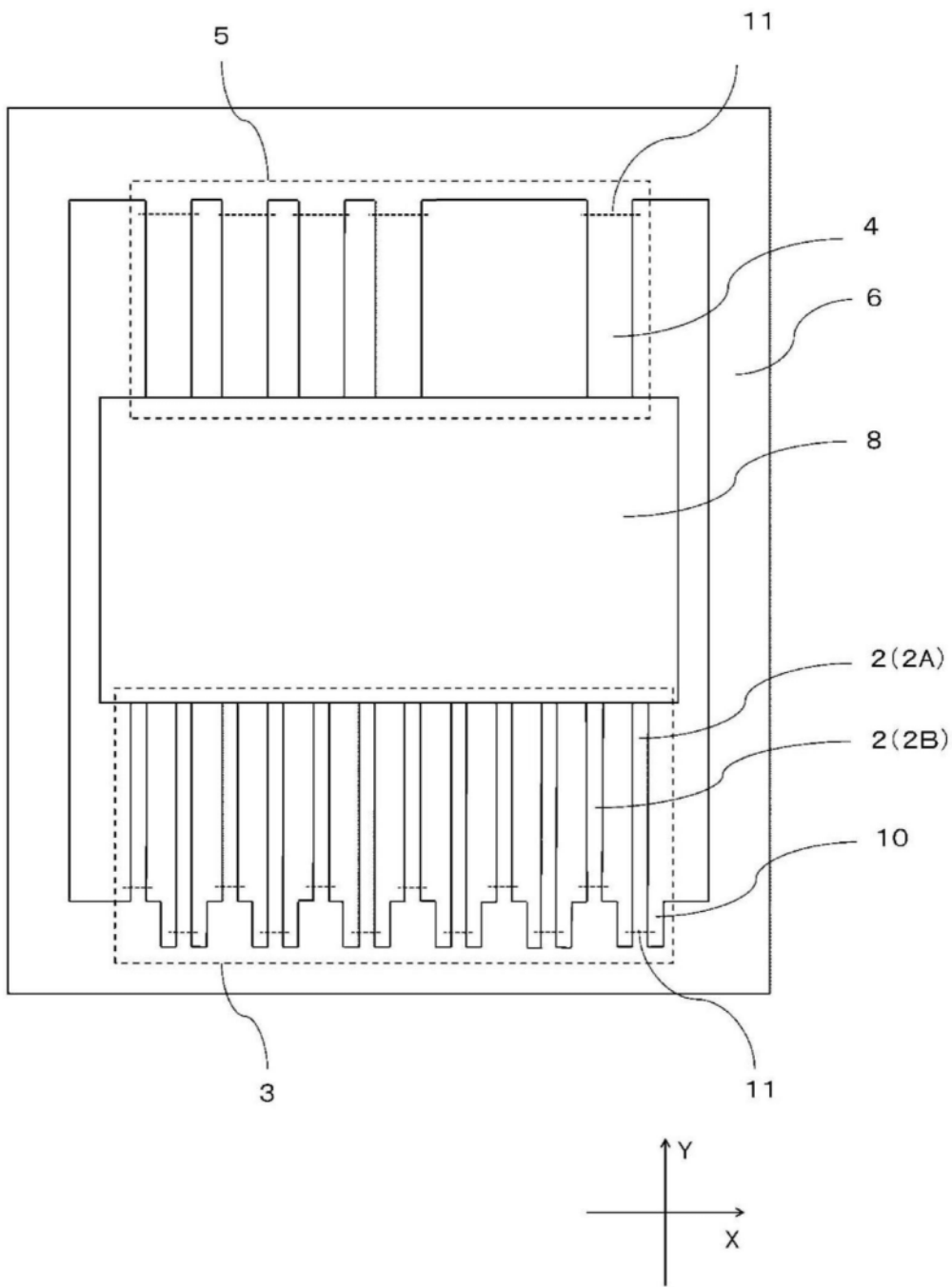


图8

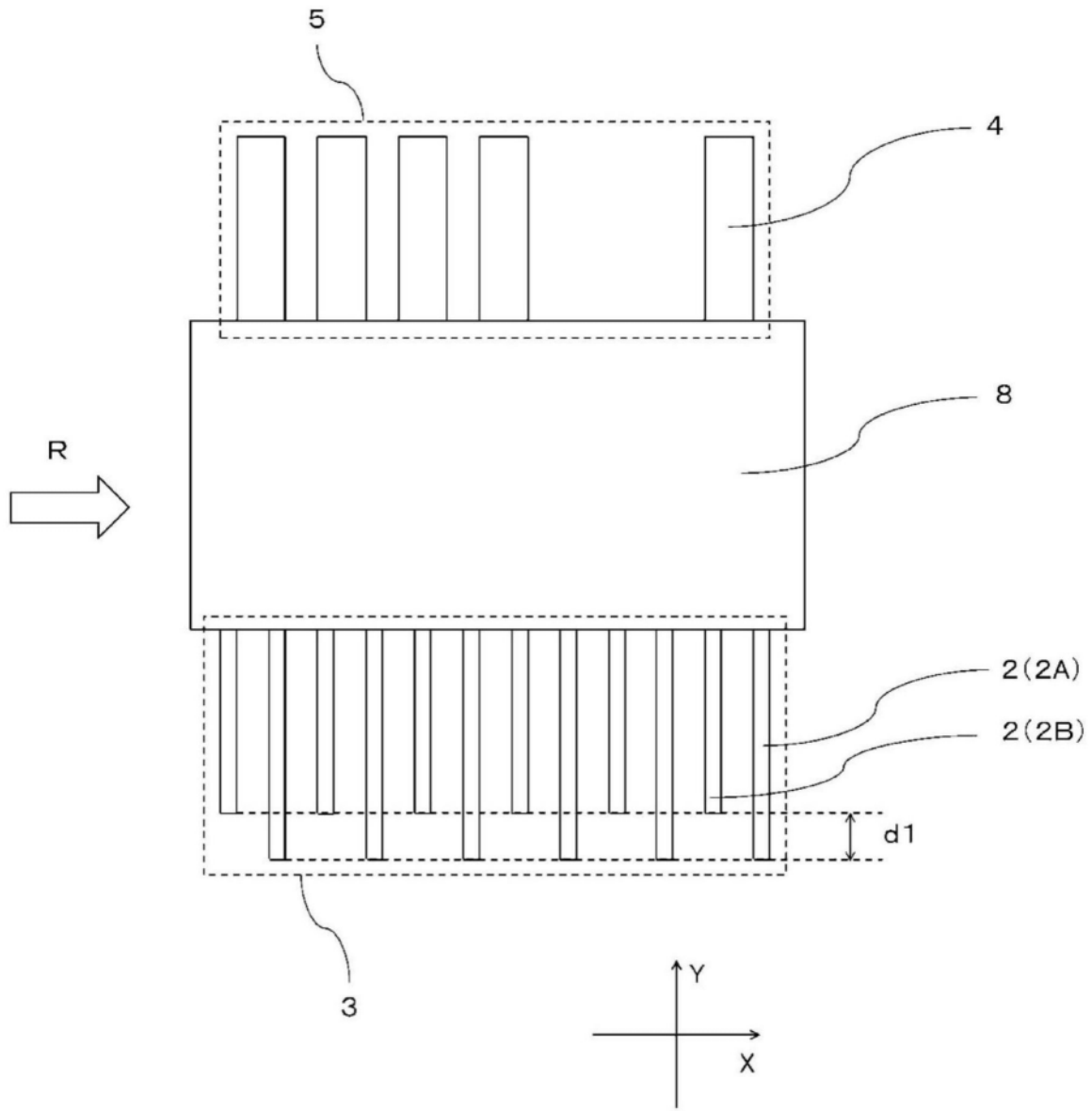


图9

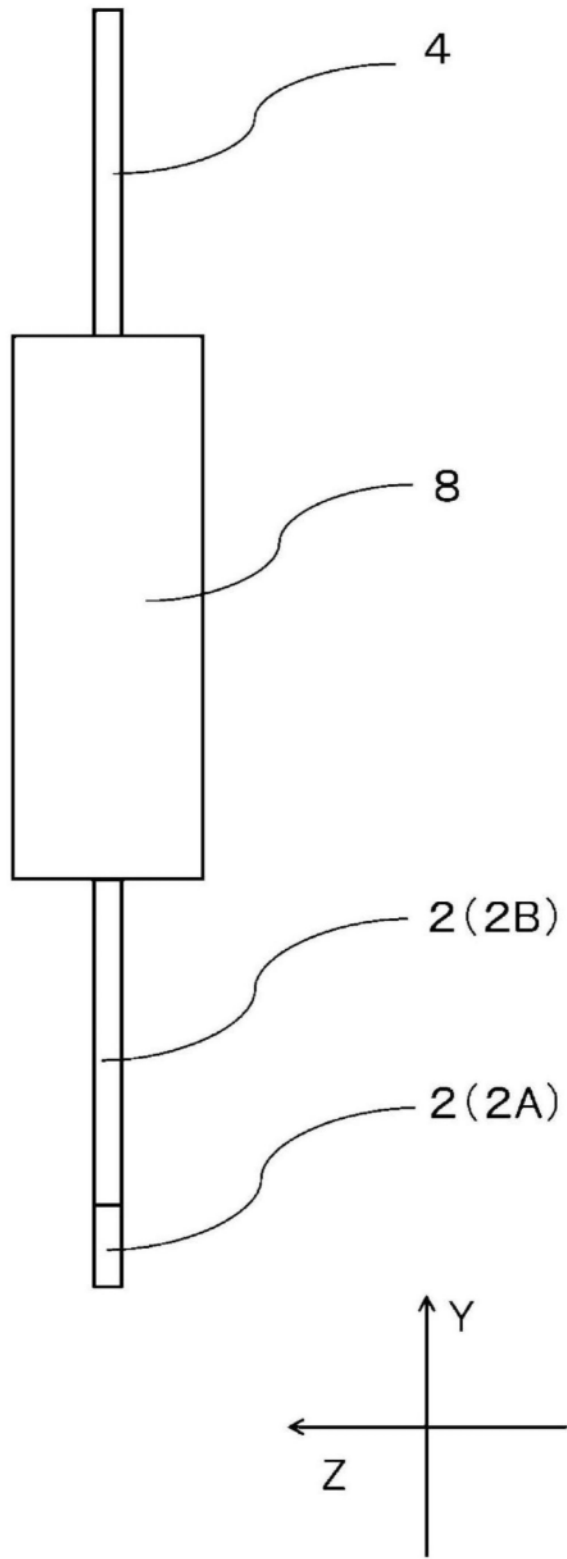


图10

201

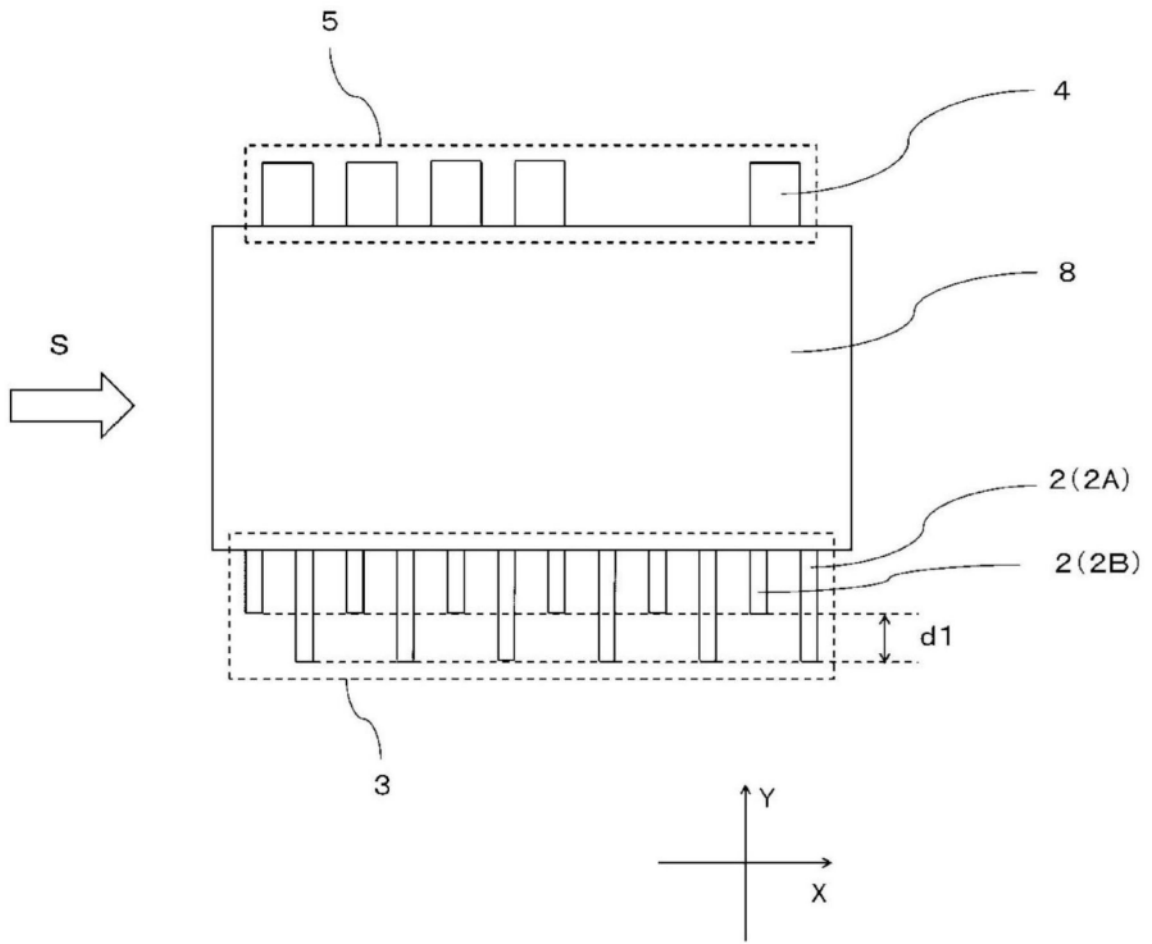


图11

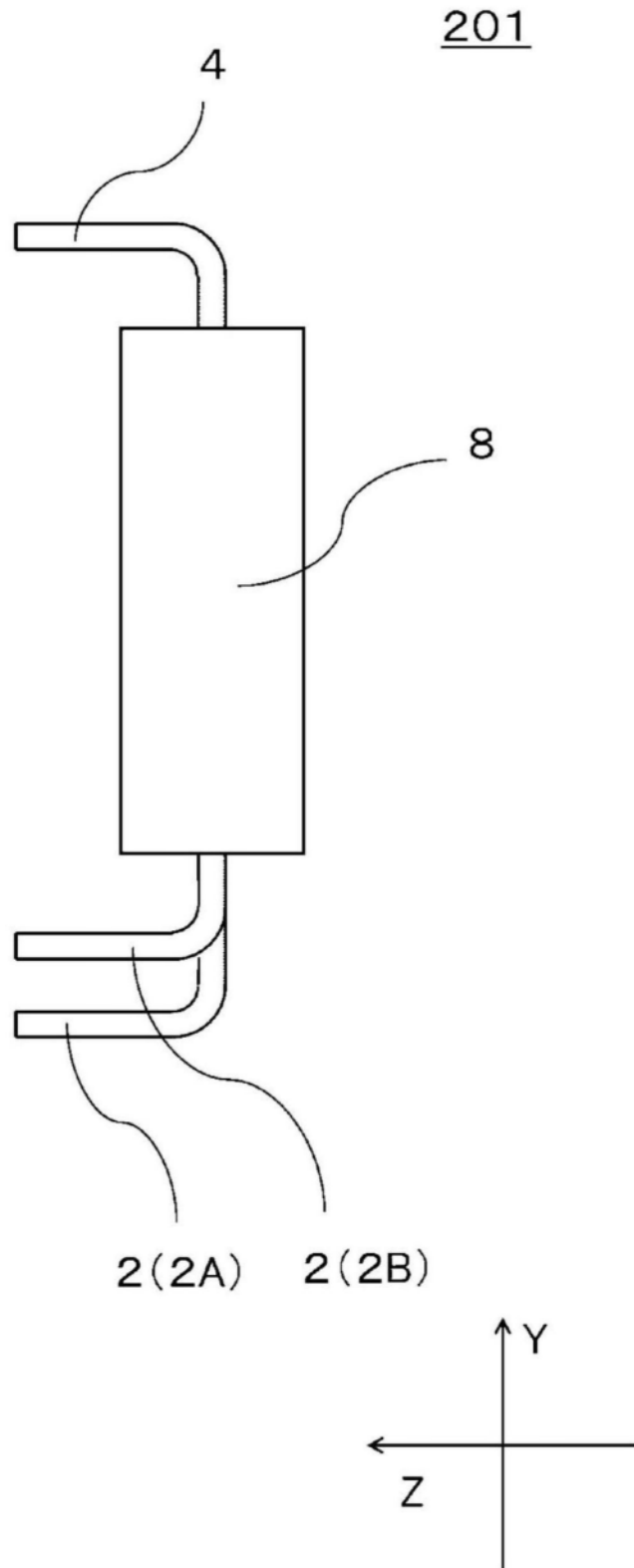


图12

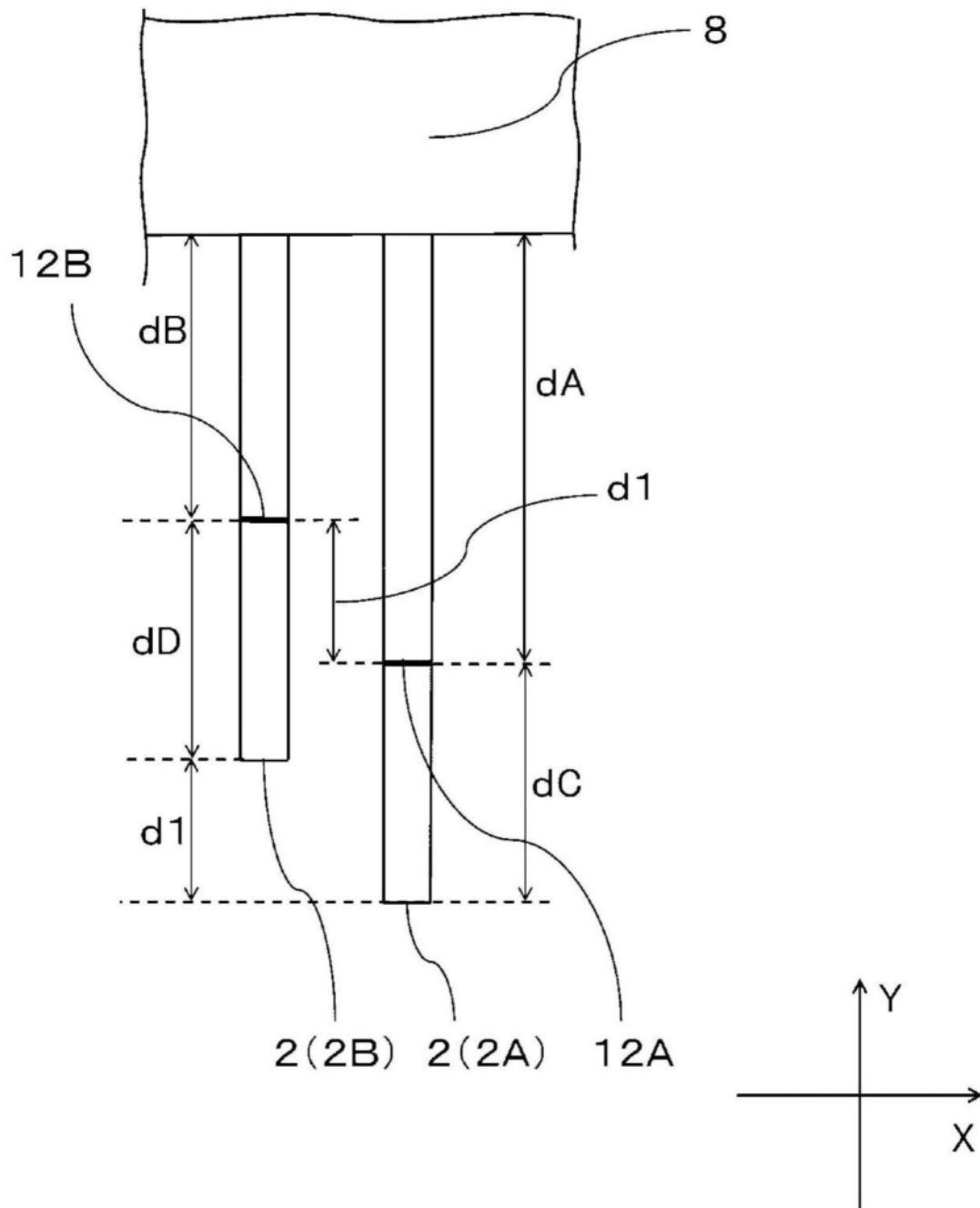


图13

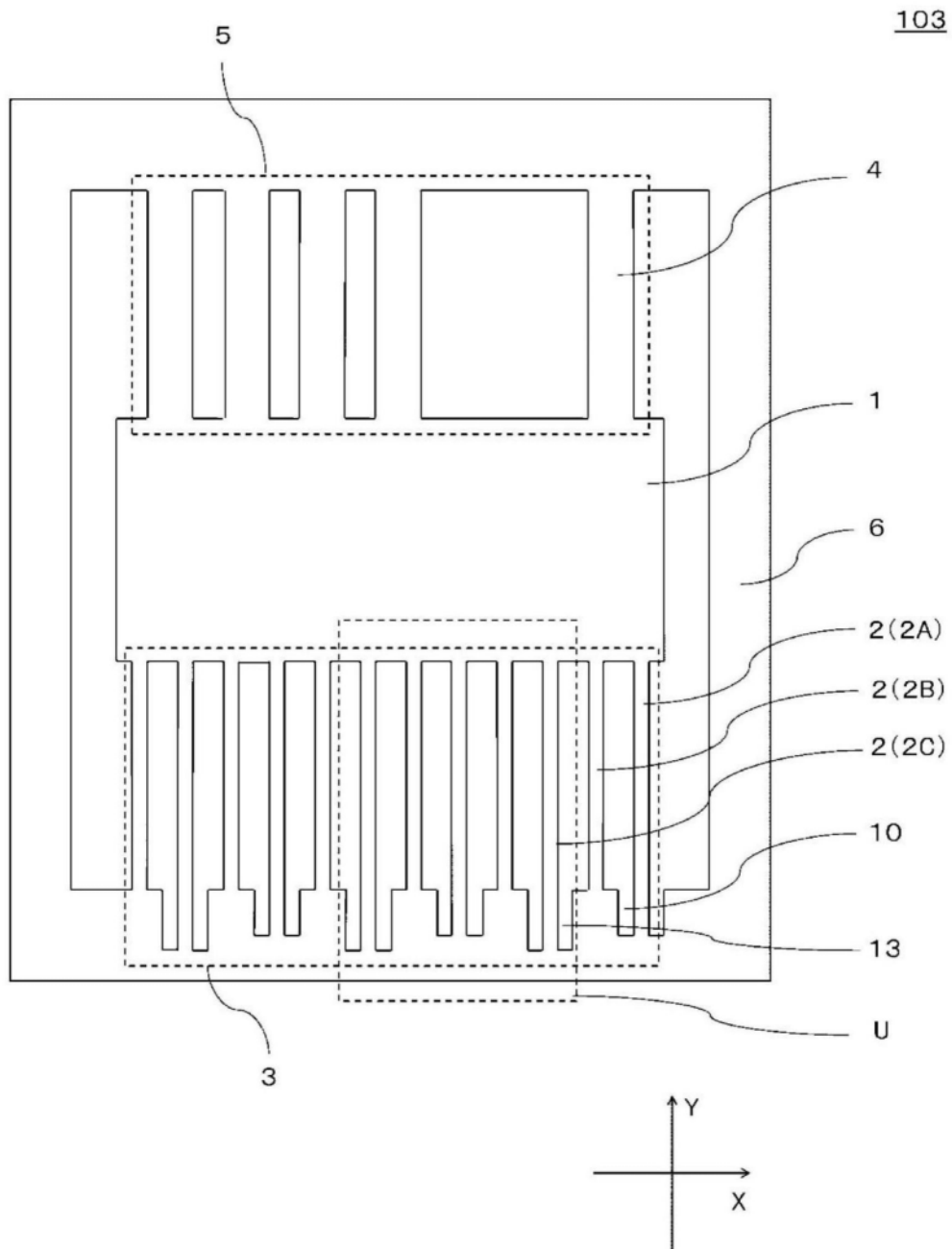


图14

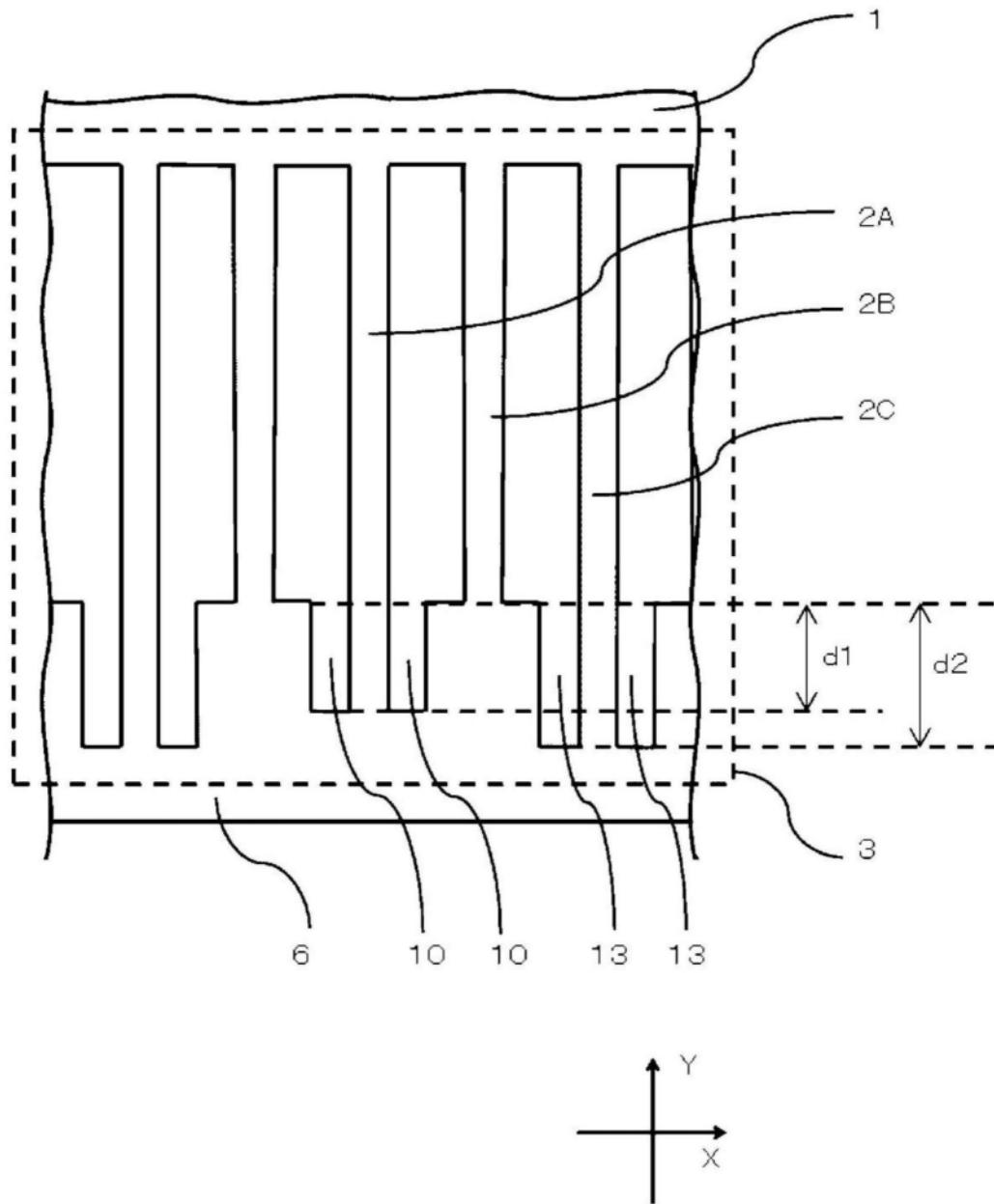


图15

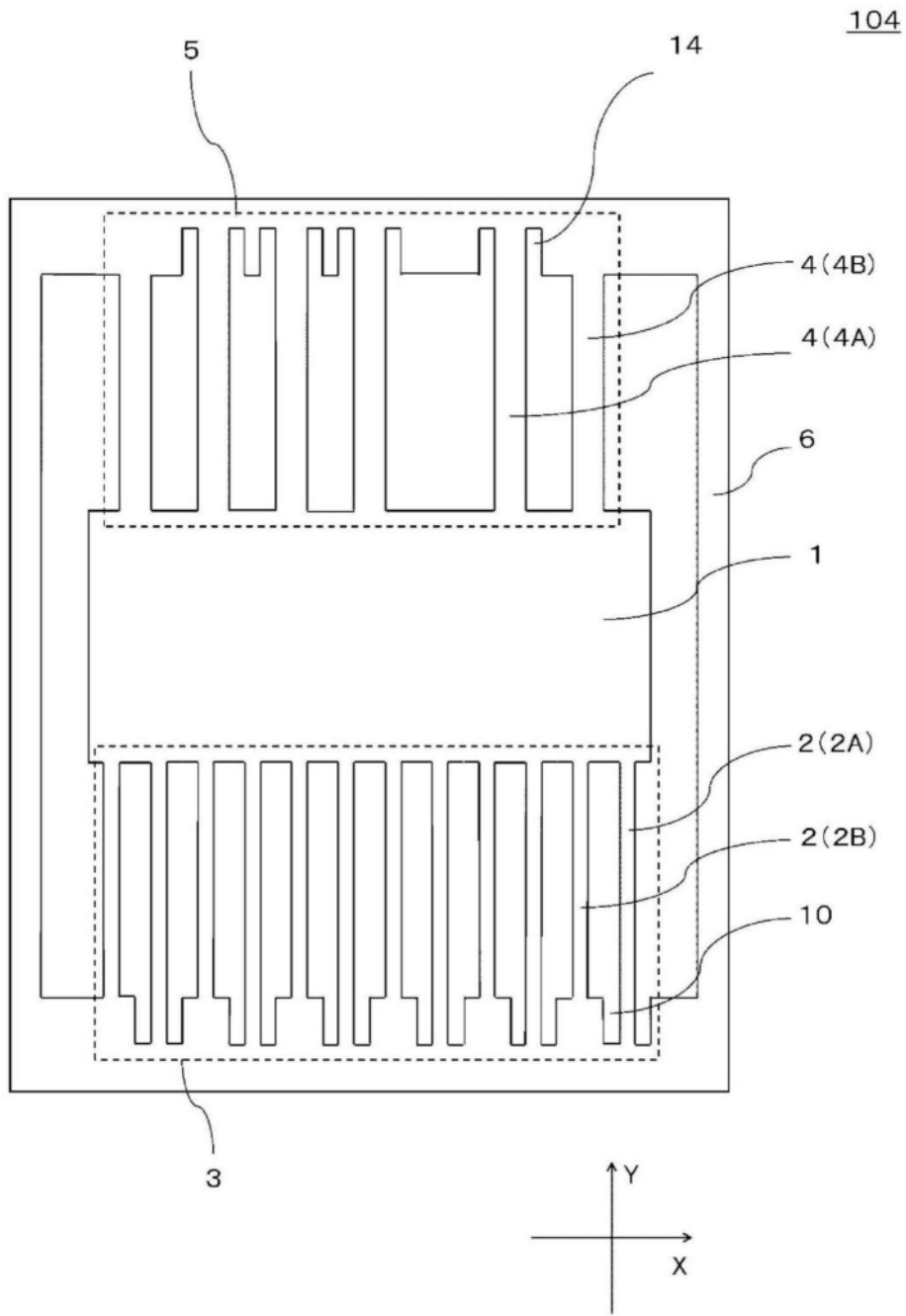


图16

105

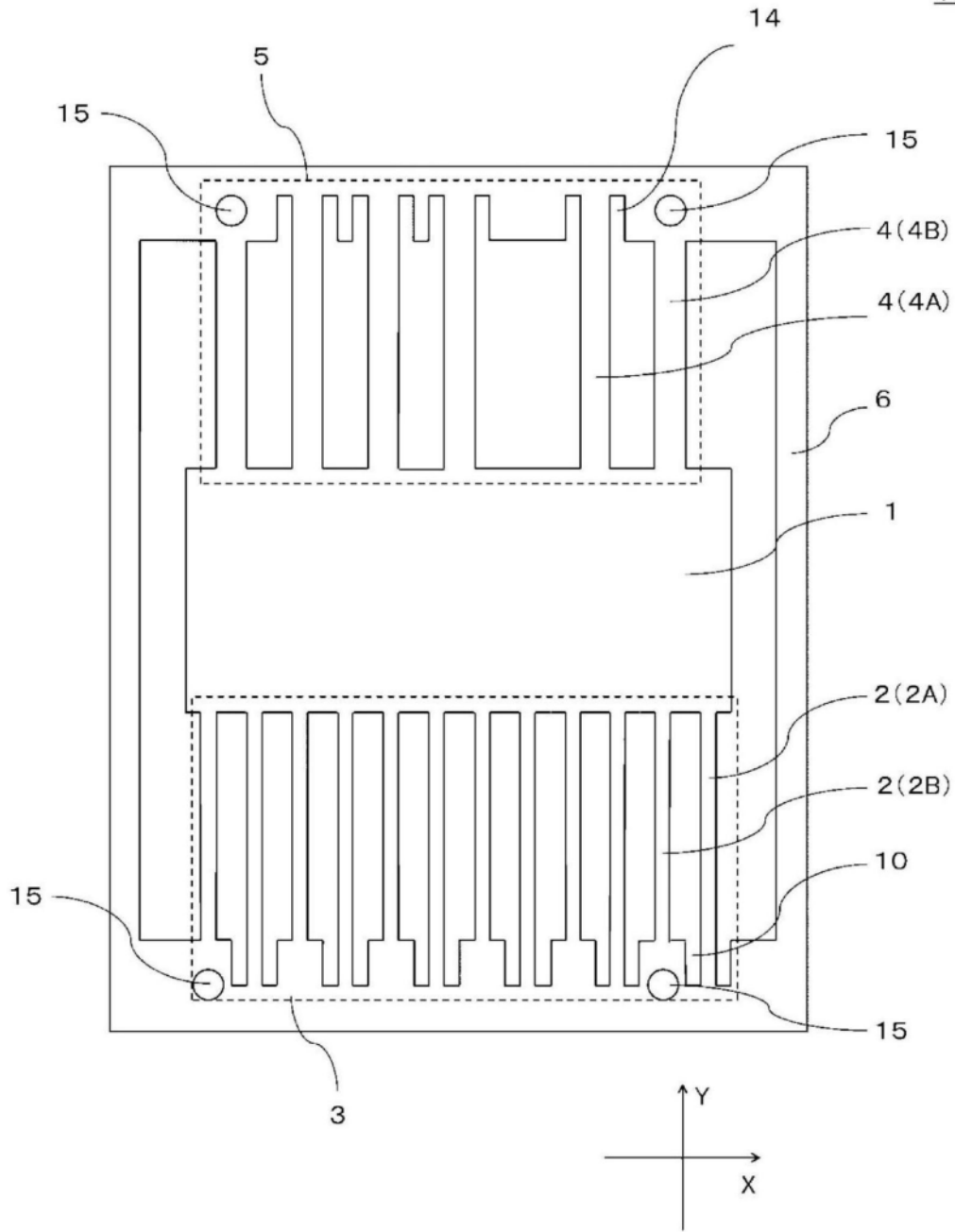


图17

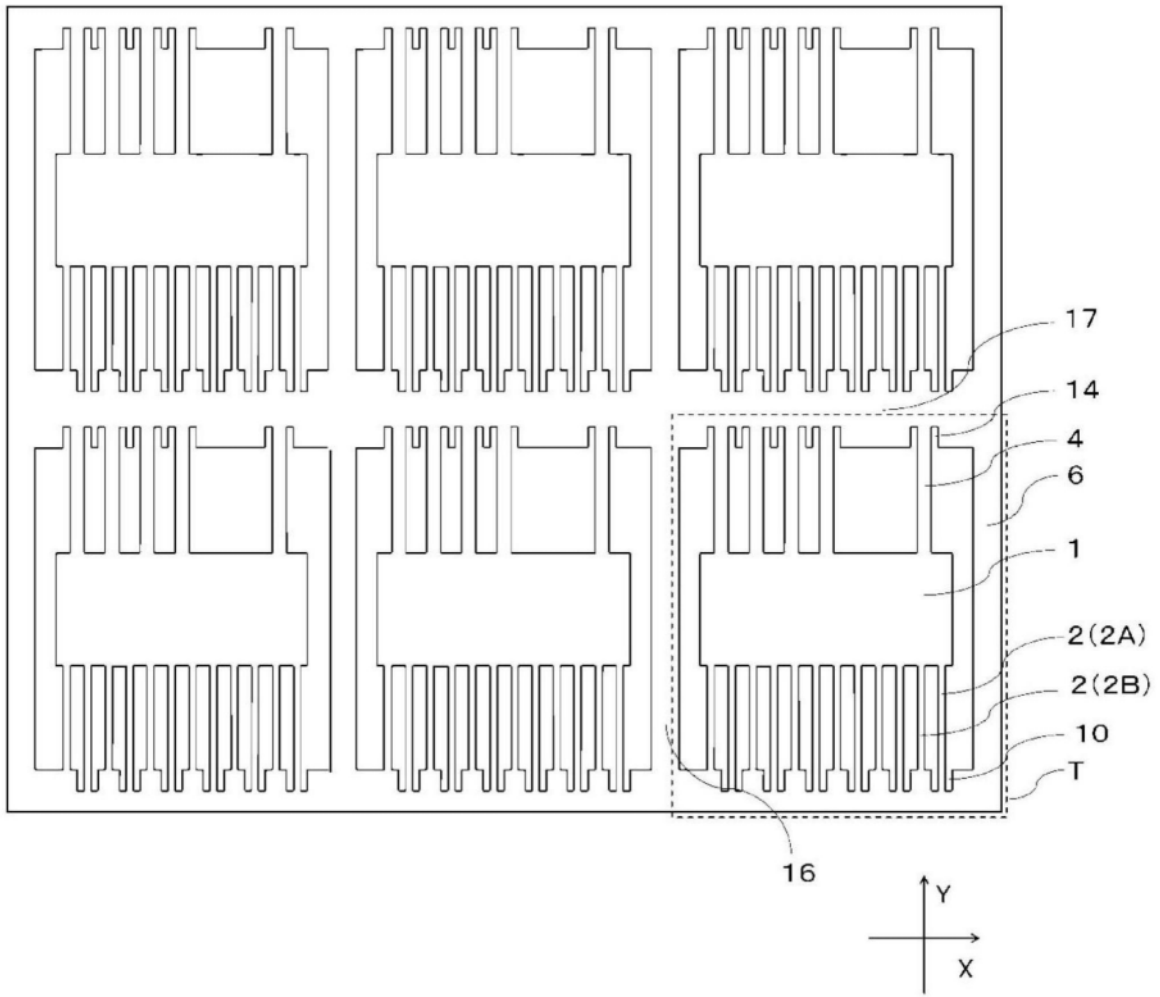


图18