

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011 年 9 月 15 日(15.09.2011)

PCT

(10) 国際公開番号
WO 2011/111404 A1

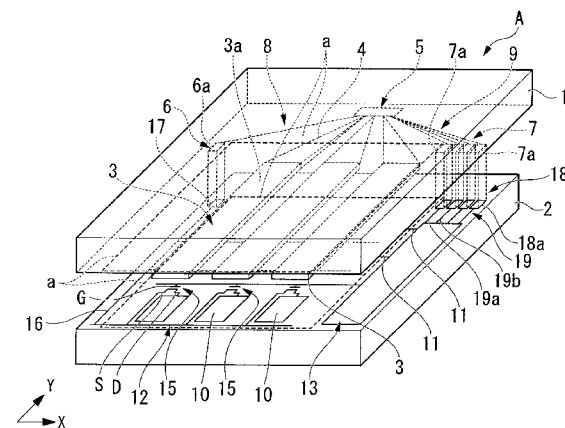
- (51) 国際特許分類:
G09F 9/30 (2006.01) G09F 9/00 (2006.01)
G02F 1/1345 (2006.01)
- (21) 国際出願番号: PCT/JP2011/050057
- (22) 国際出願日: 2011 年 1 月 5 日(05.01.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-053650 2010 年 3 月 10 日(10.03.2010) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社 (Sharp Kabushiki Kaisha)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2 番 2 号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 大橋 誠二
(OHHASHI Seiji) [JP/—]. 鎌田 豪 (KAMADA
Tsuyoshi) [JP/—]. 井出 哲也 (IDE Tetsuya) [JP/—].
勝田 昇平 (KATSUTA Shohei) [JP/—].
- (74) 代理人: 船山 武, 外 (FUNAYAMA Takeshi et al.);
〒1006620 東京都千代田区丸の内一丁目 9 番 2
号 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,
CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS,
JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW,
MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH,
PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST,
SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア
(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

[続葉有]

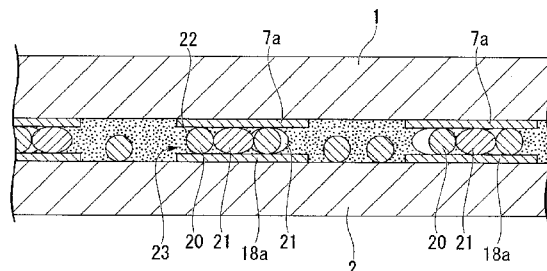
(54) Title: DISPLAY DEVICE

(54) 発明の名称: 表示装置

[図1A]



[図1B]



(57) Abstract: Disclosed is a system, wherein a switching element (15) is on/off controlled by means of a gate driver (13) of a second substrate (2), a current is carried to a pixel electrode (10) at a necessary position by means of a reference signal line (12), and data signals are applied to the data electrode (3) of a first substrate (1). An input terminal contact section (18) connected to the drive signal terminal of the gate driver is electrically connected to the signal line contact section (7) on the first substrate side, and the signal line contact section is connected to the first substrate-side terminal gathered section (5). Selection of a scanning line by means of the gate driver, and application of the signals to the data electrode are performed by inputting necessary signals from the outside to the first substrate-side terminal gathered section. Since the input terminal contact section is configured of several connecting lines, electrical connection between the first substrate and the second substrate is not required with respect to the whole scanning lines.

(57) 要約:

[続葉有]



(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG). 添付公開書類:

— 国際調査報告 (条約第 21 条(3))

本発明は、第 2 の基板 (2) のゲートドライバ (13) によりスイッチング素子 (15) をオン／オフ制御し、基準信号線 (12) により必要位置の画素電極 (10) に通電し、第 1 の基板 (1) のデータ電極 (3) にデータ信号を印加する方式である。前記ゲートドライバの駆動用信号端子に接続される入力端子コンタクト部 (18) を第 1 の基板側の信号ラインコンタクト部 (7) に電氣的に接続し、当該信号ラインコンタクト部を第 1 の基板側端子集合部 (5) に接続する。第 1 の基板側端子集合部に外部から必要な信号を入力することで、ゲートドライバによる走査線の選択と、データ電極への信号の印加とが行われる。前記入力端子コンタクト部は数本の接続線から構成されるため、全走査線について第 1 の基板と第 2 の基板間で導通を取る必要が無くなる。

明 細 書

発明の名称：表示装置

技術分野

[0001] 本発明は、表示装置に関する。

本願は、２０１０年３月１０日に、日本に出願された特願２０１０－０５３６５０号に基づき優先権を主張し、その内容をここに援用する。

背景技術

[0002] 表示装置、例えば表示媒体層として液晶材料か有機エレクトロルミネセンス材料を用いた表示装置では、表示容量の増大を目指して液晶層あるいは有機ＥＬ層によって形成される２次元面の複数の画素毎にスイッチング素子を設けたアクティブマトリクス型の表示装置が用いられている。

また、ＳＴＮ液晶表示装置型の改良タイプとして、画素毎にアクティブ素子を設けた構成の対向データ供給型の液晶表示装置も提案されている。

この対向データ供給型の液晶表示装置は、液晶層を挟持するように配置されている一対の基板のうち、対向基板側に設けられたストライプ状の複数のデータ電極にデータ（映像）信号が供給されるとともに、他方の基板側に設けられた複数のスイッチング素子を介してそれらのスイッチング素子に接続された画素電極に基準信号電圧（共通電圧）が供給されるタイプの液晶表示装置として知られている。

[0003] 図１０は、この種の対向データ供給型液晶表示装置の基本構造を示す図である。図１０に示す基本構造において、液晶層を挟持する一方の基板１００の表示領域に対応するように画素電極１０１がマトリクス状に配置されている。また、行方向（図１０のＸ方向）に並ぶ各画素電極１０１に接続されているスイッチング素子１０２のソース側には、コモンバスライン１０３が接続されている。また、行方向に並ぶスイッチング素子１０２のゲート側にゲートバスライン１０５が接続されている。また、液晶層を挟持する対向側の基板１０６の液晶層側に列方向（図１０のＹ方向）に延びたストライプ状の

データバスライン１０７が複数形成されている。そして、他方の基板１００に前記複数のゲートバスライン１０５に接続される集約端子部１０８が形成されている。また、他方の基板１０６に前記複数のデータバスライン１０７に接続される集約端子部１０９が形成されている。そして、駆動用ＩＣなどを搭載したフレキシブルプリントサーキット（ＦＰＣ）などの基板、あるいは、駆動用ＩＣを各端子部１０８、１０９に直接圧着し接続できるように構成されている。

[0004] 図１０に示す構造の対向データ供給型の液晶表示装置は、ゲートバスライン１０５からの入力によってオン状態にされたスイッチング素子１０２を介して、コモンバスライン１０３から画素電極１０１に基準信号電圧（共通電圧）が印加される。また、前記複数のデータバスライン１０７のそれぞれには、対応するデータ（映像）信号が入力され、データバスライン１０７と画素電極１０１との交差領域に存在する液晶が駆動されて表示がなされる。

しかし、図１０に示す基本構造の対向データ供給型液晶表示装置では、基板１００、１０６の両方にそれぞれＦＰＣ基板や駆動用ＩＣを装着して端子同士を圧着し接続する作業が必要になり、両方の基板に対する圧着作業の工程数の増加による液晶表示装置のコストアップが想定される問題がある。

[0005] そこで、一方の基板のみにＦＰＣ基板や駆動用ＩＣを装着することができるタイプの対向データ供給型の液晶表示装置が提案されている。（特許文献１参照）

このタイプの対向データ供給型液晶表示装置の一構造例を図１１～図１３に示す。

図１１は対向側の第１基板１１１を示し、図１２はスイッチング素子を設ける側の第２基板１１２を示し、図１３は両基板を貼り合わせた場合の配線構造の概要を示す。

図１１に示す如く第１基板１１１の液晶層側に列方向（Ｙ方向）に延びたストライプ状の複数のデータ電極１１３が設けられている。また、各データ電極１１３の長さ方向両端に第１端部１１３ａと第２端部１１３ｂが形成さ

れている。また、第1端部側には接続パッド115が、第2端部側には接続パッド116が形成されている。

次に、図13に示す如く第2基板112の液晶層側にはマトリクス状に複数の画素電極117が形成されるとともに、各画素電極117に電氣的に接続された図示略のスイッチング素子が形成されている。更に、第2基板112の液晶層側において各画素電極117に沿って行方向に延びたストライプ状の複数の走査線118と、該走査線118と平行に配置された基準信号線119とが形成されている。

[0006] 図12に示す如く第2基板112において、表示用の画素電極117がマトリクス状に配列された領域の外側には平面視矩形枠状のシール部120が形成されている。このシール部120を介して基板111、112が張り合わされ、両基板間に液晶層が挟持され、封入される。更に、第2基板112においてシール部120の外側に引き出すように走査線118の一端側に入力端子121が、基準信号線119の一端側に入力端子122が形成され、それらの端子が図13に示す如く第2基板112に実装された駆動用IC123に接続されている。

[0007] また、図12に示す第2基板112においてシール部120の上辺側と下辺側に沿って複数の接続パッド124が設けられ、図13に示す如く両基板を貼り合わせた状態においてこれらが第1基板111の各データ電極113に接続されるとともに、第2基板112の下辺側の接続パッド124にデータ電極用の入力端子125がシール部120の外側に引き出されるように形成され、それらの端子が第2基板112に実装された駆動用IC126に接続されている。なお、図12、図13に示す如く第2基板112には配線修正用の予備配線130が形成されている。

[0008] 前記構成の対向データ供給型の液晶表示装置において、複数のスイッチング素子のそれぞれは基準信号線119と画素電極117との間に形成されており、走査線118からの入力によってオン状態にされたスイッチング素子を介して、基準信号線119から画素電極117に基準信号電圧（共通電圧

）が印加される。また、前記複数のデータ電極 113 のそれぞれには、複数のデータ電極 113 のそれぞれに対応するデータ（映像）信号が入力されて表示がなされる。

先行技術文献

特許文献

[0009] 特許文献1：特開2003-216062号公報

発明の概要

発明が解決しようとする課題

[0010] ところで、液晶表示装置の適用分野である昨今のデジタルテレビの画素数は、 1920×1080 あるいは 1440×1080 など増加傾向にある。また、フルHD（High Definition）対応解像度の液晶パネルにおいて、データバスラインの総数は、画面表示分以外の配線も含めて画素毎のカラー表示用のRGB表示分を加味すると、 1980×3 もの数で形成されるようになってきている。

このようなフルHD対応の表示パネルに対し、前述の図11～図13に示す構造の対向データ供給型液晶表示装置を適用しようとする、対向基板側に形成する接続パッド116、124の総数も膨大な数となる。また、接続パッド116、124を導通するための箇所が両基板間に多数形成されることとなる。そのため、液晶パネル製造時の歩留まりの低下が懸念される。

例えば、液晶パネルの対になる基板間のパッド接続を行うためには、特許文献1にも記載の如く、プラスチックビーズ等のスペーサと異方性導電粒子を熱硬化型の樹脂中に混合し分散させてなる導通材を用い、液晶層を挟持するための基板を貼り合わせる際の圧力と温度条件を制御して対向させた基板の接続パッドどうしの間に配置した導通材を介し、接続パッドどうしの電気的接続を取っている。しかしながら、上述の如く接続パッド数が多くなると、接続不良を生じる確率が高くなり、歩留まりが低下するおそれがある。

[0011] 本発明は前記の問題に鑑みて創案されたものであり、その目的は、画素数

の多いパネル構造に対向データ供給型液晶表示装置を適用しようとした場合に、対になる基板間における接続パッドの総数を削減することにより、両基板間の導通を取る箇所を大幅に削減し、導通不良を生じにくく、高歩留まりの表示装置を提供できる技術の提供にある。

課題を解決するための手段

- [0012] (1) 本発明の表示装置は前記事情に鑑みなされたもので、第1の基板と、前記第1の基板に対向するように配置された第2の基板と、前記第1の基板と第2の基板との間に設けられた表示媒体層とを有する表示装置であって、前記第1の基板に、列方向に延びるストライプ形状の複数のデータ電極と、これらの各データ電極の一部から延出形成されて前記第1の基板に形成され、前記複数のデータ電極のそれぞれに対応するデータ信号が入力される第1の基板側端子集合部と、該第1の基板側端子集合部に接続するように前記第1の基板に形成された共通バスラインコンタクト部と、前記第1の基板側端子集合部に接続するように前記第1の基板に形成された信号ラインコンタクト部とが設けられるとともに、前記第2の基板に、行方向に延びる、複数の走査線および複数の基準信号線と、マトリクス状に配置された複数の画素電極と、前記複数の走査線によってオン／オフが制御され、かつ、前記複数の基準信号線と前記複数の画素電極との間に設けられた複数のスイッチング素子と、複数の出力端子を有するとともにこれらの出力端子を前記走査線に接続して前記第2の基板に形成されたゲートドライバと、このゲートドライバの駆動用信号入力端子に接続するように前記第2の基板に形成された入力端子コンタクト部と、前記複数の基準信号線に接続するように前記第2の基板に形成された基準信号線コンタクト部とが形成され、前記第1の基板と前記第2の基板が前記マトリクス状に配置された画素電極と前記ストライプ状に形成されたデータ電極とを対向させて配置された状態において、前記第1の基板の共通バスラインコンタクト部と前記第2の基板の基準信号線コンタクト部とが電氣的に接続されるとともに、前記第1の基板の信号ラインコンタクト部と前記第2の基板の入力端子コンタクト部が電氣的に接続されて

なることを特徴とする。

[0013] (2) 本発明において、前記走査線を前記ゲートドライバにより走査して対応する走査線に沿って設けられている前記スイッチング素子のオン／オフ制御がなされ、オン状態のスイッチング素子を介して前記基準信号線から前記画素電極に基準信号電圧が印加されるとともに、前記複数のデータ電極にはそれぞれに対応するデータ信号が入力され、電圧印加された画素電極とデータ電極との間に介在された表示媒体層の透過率を制御して表示することを特徴とする構成とすることができる。

(3) 本発明において、前記第1の基板側端子集合部に駆動用ICあるいは駆動用ICを搭載したフレキシブルプリント基板が接続されてなる構成とすることができる。

[0014] (4) 本発明において、前記ゲートドライバが、カスケード接続された複数のシフトレジスタを備えて構成され、各シフトレジスタにクロック入力端子及び信号入力端子と出力端子が形成され、前記シフトレジスタが、それらに位相の異なる複数のクロック信号が供給されて前記出力端子の電圧を高い値か、低い値かに切り替えるための出力回路であり、第1段のシフトレジスタに走査スタート信号が入力され、最終段のシフトレジスタに走査完了信号が入力されるように構成され、前記複数のクロック信号と前記走査スタート信号及び走査完了信号が前記第2の基板に形成された入力端子コンタクト部を介し入力される構成としても良い。

(5) 本発明において、前記第1の基板のコモンバスラインコンタクト部と前記第2の基板の基準信号線コンタクト部が、スペーサと異方性導電粒子とを樹脂中に分散させてなる導通材であって、前記第1の基板と前記第2の基板間に介装された導通材により電氣的に接続されてなる構成とすることができる。

発明の効果

[0015] 本発明によれば、対向データ型の表示装置において、表示媒体層を挟持する基板間における導通部分の個数および基板間接続部分の個数を大幅に削減

できる。

また、第 1 の基板側にのみ駆動用 IC などの駆動用素子の接続を行えば、表示装置の駆動ができるようになるので、両方の基板に個別に駆動用素子を設ける必要があった構造に対し、駆動用素子の取り付けも容易となる効果がある。

図面の簡単な説明

[0016] [図1A] 図 1 A は、本発明の一実施形態に係る表示装置を示す構成図である。

[図1B] 図 1 B は、基板間の導通部分の一例を示す断面図である。

[図2] 図 2 は、同実施形態の表示装置に備えられる対向側基板の回路構成の一例を示す構成図である。

[図3] 図 3 は、同実施形態の表示装置に備えられる素子側基板の回路構成の一例を示す構成図である。

[図4] 図 4 は、同実施形態の表示装置に備えられる素子側基板の回路構成において画素電極とスイッチング素子を含む部分の等価回路構成を示す図である。

[図5] 図 5 は、同実施形態の表示装置に備えられる両基板を一体化した場合の回路構成の一例を示す構成図である。

[図6] 図 6 は、同実施形態の表示装置を駆動する場合の多段式のシフトレジスタの一例を示すブロック回路図である。

[図7] 図 7 は、図 6 に示すシフトレジスタの各段におけるトランジスタ配置構造の一例を示す回路図である。

[図8] 図 8 は、図 7 に示すシフトレジスタの回路における入出力端子電圧の一例を示す波形図である。

[図9] 図 9 は、図 7 に示す回路から表示装置に印加される駆動波形と出力パルスの一例を示す波形図である。

[図10] 図 1 0 は、対向データ供給型液晶表示装置の基本構造の一例を示す構成図である。

[図11] 図 1 1 は、対向データ供給型液晶表示装置の従来の構造例において対

向基板側の構造を示す構成図である。

[図12] 図12は、対向データ供給型液晶表示装置の従来の構造例において素子基板側の構造を示す構成図である。

[図13] 図13は、対向データ供給型液晶表示装置の従来の構造例において両基板を一体化した場合の回路構成を示す構成図である。

発明を実施するための形態

[0017] 以下、図面を参照しながら本発明に係る表示装置の一実施形態について、特に、液晶表示装置に本発明を適用した場合について説明する。

本実施形態の表示装置は、対になる基板間に液晶層などの表示媒体層が挟持される形態の対向データ供給型表示装置に適用される。図1Aは、両方の基板を対向させた状態の両基板と両基板に形成されている配線の概要を示す図である。図1Bは、基板間導通部分の一例を示す断面略図である。図2は、対向側基板の配線を示す図である。図3は、素子側基板の配線を示す図である。図4は、画素電極まわりの配線構造を示す図である。図5は、両基板を組み合わせた場合の表示装置としての全体回路を示す略図である。なお、図6に本実施形態の表示装置に適用可能なゲートドライバ回路の一構成例を示し、図7にその内部トランジスタ回路の一例を示す。

[0018] 本実施形態の表示装置Aは、図1Aに示す如く矩形状の第1の基板1と第2の基板2が表示媒体層としての液晶層を挟み込むように対向配置されて構成されている。第1の基板1と第2の基板2との間に挟持する表示媒体層が液晶層である場合、第1の基板1と第2の基板2の周辺部分にはシール材aが配置されて両基板1、2とシール材aとに囲まれて液晶層が封止されている。図1Aは、基板1、2に形成されている配線要素や電極部分の要部を示している。また、第1の基板1は、通常、透明なガラス基板などから構成されるが、第2の基板2については表示方式が透過表示型であるか反射表示型であるかに応じて透明基板あるいは透明ではない基板のどちらかを選択して使用する。

図1A、図2に示すように第1の基板1の表示媒体層側の面に、列方向（

図 1 A の Y 方向) に延びたストライプ状の複数のデータ電極 (データ線) 3 が設けられ、これらデータ電極 3 の長さ方向一端部 3 a 側を第 1 の基板 1 の周辺部側に延長配線 4 を介し延出させて該周辺部中央側に第 1 の基板側端子集合部 5 が形成されている。この第 1 の基板側端子集合部 5 には後述する駆動用 IC 25 あるいは駆動用 IC と電子部品を搭載したフレキシブルプリント基板 (FPC 基板) 等が端子接合される領域として区画されたものである。駆動用 IC 25 は第 1 の基板 1 に固着され、第 1 の基板 1 側の複数のデータ電極 3 を駆動する。

[0019] 図 1 A に示す如く X 方向に間隔をあけて配列された複数のデータ電極 3 のうち、第 1 の基板 1 上の左端に位置するデータ電極 3 と第 1 の基板 1 の右端縁との間の領域にコモンバスラインコンタクト部 6 が形成されている。また、第 1 の基板 1 上の右端に位置するデータ電極 3 と第 1 の基板 1 の右端縁との間の領域に、信号ラインコンタクト部 7 が形成されている。

なお、図 2 に示す第 1 の基板 1 は、図 1 A に示す第 1 の基板 1 を透過表示して配線構造を主体として表示した図であるので、図 1 A に示す第 1 の基板 1 を底面側から見た図とは左右が逆に表示してある。図 1 A に示す第 1 の基板 1 を実際に底面から見た場合、配列された複数のデータ電極 3 に対し、コモンバスラインコンタクト部 6 は右側に配置され、信号ラインコンタクト部 7 は左側に配置される。

[0020] 前記コモンバスラインコンタクト部 6 は、第 1 の基板 1 の表示媒体層側に形成された端子パッド 6 a を具備し、この端子パッド 6 a が延長配線 8 を介して前記第 1 の基板側端子集合部 5 に接続され、駆動用 IC 25 に接続されている。

前記信号ラインコンタクト部 7 は、第 1 の基板 1 の表示媒体層側に形成された 4 つの端子パッド 7 a を具備している。そして、これらの各端子パッド 7 a が延長配線 9 を介して前記第 1 の基板側端子集合部 5 に接続され、駆動用 IC 25 に接続されている。

[0021] 第 2 の基板 2 側においては、図 1 A、図 3 に示す如く前記第 2 の基板 2 の

表示媒体層側の面（上面）にマトリクス状に矩形状の画素電極 10 が複数形成されている。

これらの画素電極 10 のうち、列方向（Y 方向）に所定の間隔をあけて配列された複数の画素電極 10 が第 1 の基板 1 側のデータ電極 3 と対応するように配置され、行方向（X 方向）に配列されている画素電極 10 の間隔は第 1 の基板 1 に形成されているデータ電極 3 の間隔と同等とされている。なお、図 1 A では画素電極 10 の配列状態を簡略記載したので 3 つの画素電極のみを表記しているが、実際には適用する表示装置の解像度に合わせて図 3 に示す如く列方向に任意数 m 個、行方向に任意数 n 個の画素電極をマトリクス状に配置して表示装置が構成されている。これが例えば、フル HD 規格の解像度の表示装置の場合、RGB 方式のカラーフィルタを用いたカラー表示構成として n 数が 1980×3 となる。なお、この実施形態における $m \times n$ 個の画素電極 10 の配列個数は表示装置に求められる解像度に応じて適宜調整できるので、本実施形態では一例を示したに過ぎない。要求される表示装置の解像度に合わせて適宜の数の配列を採用すれば良い。

次に、第 2 の基板 2 においてマトリクス状に配列されている画素電極 10 の近傍には、行方向（X 方向）に延びる複数の走査線 11 と、行方向に延びる複数の基準信号線 12 が、マトリクス状に配列された各画素電極 10 に沿うように形成されている。

[0022] 走査線 11 は、それぞれ画素電極 10 の近傍を通過し、第 2 の基板 2 の端部側まで延出形成され、図 1 A に示す第 2 の基板 2 の右端側において列方向（Y 方向）に延在するように配置されているゲートドライバ 13 の出力端子にそれぞれ接続されている。図 3 は、ゲートドライバ 13 の出力端子側に m 本の走査線 11 が接続された状態を示しているので、これらの走査線 11 を便宜的に $G_1 \sim G_m$ の符号を付して区別して表記した。

また、各走査線 11 とそれに近接する画素電極 10 との間に薄膜トランジスタ（TFT）素子などのスイッチング素子 15 が配置されている。また、図 4 に示す如く各スイッチング素子 15 のゲート G が走査線 11 に接続され

、各スイッチング素子 15 のドレイン D が画素電極 10 に接続されている。

[0023] 基準信号線 12 は、図 1 A、図 4 に示す如く走査線 11 と平行に各画素電極 10 の近傍を通過するように行方向に沿って形成されるとともに、各画素電極 10 の近傍のスイッチング素子 15 のソース S に接続され、更に各基準信号線 12 が第 2 の基板 2 の左端側に形成された延長配線 16 に接続されている。この延長配線 16 は第 2 の基板 2 の左端側に列方向に延在形成され、第 2 の基板 2 の左端側のコーナ部分まで延設されてその位置に端子パッド 17 a を有する基準信号線コンタクト部 17 が形成されている。なお、この端子パッド 17 a の形成位置は、第 1 の基板 1 と第 2 の基板 2 とを対向させて配置した状態において、第 1 の基板 1 側に形成されている端子パッド 6 a の位置と平面視で重なる位置とされている。

[0024] 次に、図 1 A、図 3 に示す如く第 2 の基板 2 の一端縁側であって走査線 11 の一端側に対応する位置に第 2 の基板 2 の列方向（Y 方向）に沿ってゲートドライバ 13 が配置され、このゲートドライバ 13 の一端に近接して入力端子コンタクト部 18 が形成されている。この入力端子コンタクト部 18 には 4 つの端子パッド 18 a が形成され、4 つの端子パッド 18 a は接続線 19 a ~ 19 d によって前記ゲートドライバ 13 の一端（入力端子側）に接続されている。これらの端子パッド 18 a の形成位置は、第 1 の基板 1 と第 2 の基板 2 とを対向させて配置した状態において、第 1 の基板 1 側に形成されている 4 つの端子パッド 7 a の位置と平面視した場合に重なる位置とされている。

[0025] 次に、第 1 の基板 1 と第 2 の基板 2 とを表示媒体層を介して対向させ、両者を接合一体化した場合における、第 1 の基板 1 の端子パッド 7 a と第 2 の基板 2 の端子パッド 18 a との導通構造は、図 1 B に示す構造とされている。

即ち、球状のスペーサ 20 と異方性導電粒子 21 とを樹脂材 22 の内部に所定量分散させた構造の導通材 23 により接続されている。なお、図 1 B では基板 2 に 3 つ形成されている端子パッド 18 a と端子パッド 7 a の部分の

断面構造を示したが、第1の基板1の端子パッド6aと第2の基板2の端子パッド17aの接続部分においても両基板に端子パッドが1つずつ形成された同等構造である。

[0026] この形態の導通材23において、異方性導電粒子21は所定粒径のプラスチック粒子の表面にAuなどの導電層を被覆形成した複合粒子からなり、第1の基板1と第2の基板2とを接合する際の加圧力により第1の基板1の端子パッド6aと第2の基板2の端子パッド17aとの間に介在され、それ自身が弾性変形されて両者に接触することで両者を電氣的に接続している。また、第1の基板1の端子パッド7aと第2の基板2の端子パッド18aとの導通も同様に導通材23を用いた接続構造とされている。導通材23に含まれる異方性導電粒子21の平均分散量をD個/mm²とすると、直径数 μ の異方性導電粒子21としてD=数個～数100個程度の範囲で分散配合することができるが、この配合量は一例であり、表示装置Aとしての低抵抗接続に必要な十分な個数を配合して導通材23を構成して良いのは勿論である。

[0027] 図1Bに示す導通構造を採用することにより、第1の基板1と第2の基板2とを表示媒体層を介して対向させ、両者をシール材などにおいて接合一体化した状態において、第2の基板2の基準信号線12が、延長配線16、端子パッド17a、導通材23、端子パッド6a、延長配線8を介して第1の基板側端子集合部5に電氣的に接続され、駆動用IC25に電氣的に接続されている。また、同様に、ゲートドライバ13の駆動用信号入力端子13a側が、接続線19、端子パッド18a、導通材23、端子パッド7a、延長配線9を介して第1の基板側端子集合部5に電氣的に接続され、駆動用IC25に電氣的に接続されている。

そして、第1の基板1における第1の基板側端子集合部5に、本願の表示装置Aを駆動するための駆動用IC25が端子接続されている。この駆動用IC25は、第1の基板1側の複数のデータ電極3にデータ信号を供給するとともに、ゲートドライバ13に対しいずれかの走査線11を選択するのか選択指令を出し、基準信号線12に対して基準信号電圧を印加する機能を有

する。

[0028] なお、第1の基板側端子集合部5に接続される駆動用IC25はIC単体構成であっても良い。また、駆動用IC25は、FPC基板等に駆動用ICと他の電子部品などを搭載した複合型駆動用モジュールであっても良い。その詳細構成について本実施形態では問わないが、いずれにおいても表示装置Aを駆動するために必要な機能を備えていれば良い。

図1Aに示す如く前記基板1、2間に配置されて液晶を封止するためのシール材aは、マトリクス状に配列された画素電極10の周囲を囲むように平面視矩形枠状に形成されている。このシール材aの各辺は、基板2においてゲートドライバ13と端子パッド18aが配置されている側においてはゲートドライバ13及び端子パッド18aよりも内側に配置されている。また、シール材aの各辺は、基板2において端子パッド17aが配置されている側においては端子パッド17aよりも内側に配置されている。また、シール材aの各辺は、基板1において駆動用IC25が配置されている側においては駆動用IC25の設置位置よりも内側に配置されている。

[0029] 本実施形態の表示装置Aにおいて、カラー表示構成とする場合にRGBの色を配置したカラーフィルタを第1の基板1とデータ電極3との間に通常配置するが、本実施形態ではカラーフィルタの記載を略した。また、近年では第2の基板2側にカラーフィルタを設けるタイプのカラーフィルタオンアレイ(Color-Filter-On-Array)技術を用いた液晶表示装置も提供されているので、カラーフィルタを第2の基板2側に設ける構造とすることもできる。

[0030] 次に、本実施形態のゲートドライバ13に適用して好適なシフトレジスタの一構造例について図6～図8を参照して以下に説明する。

図6はシフトレジスタSRを多段接続してなる基本構造からなるゲートドライバ13の一例を示すブロック回路図である。

この例のゲートドライバ13は、実質的に同一の複数のカスケード接続された第1～第m段のシフトレジスタSR1～SRmが配置されてなり、各シフトレジスタSRにそれぞれクロック入力端子CKAと出力端子Qと入力端

子S、Rが各々設けられている。

図6に示すように第1段、第3段、第5段の如く奇数段のシフトレジスタSRのクロック入力端子CKAに、接続線19aを介してクロック信号CK1が入力され、第2段、第4段、第6段の如く偶数段のシフトレジスタSRのクロック入力端子CKAに、接続線19bを介してクロック信号CK2が入力される。また、第1段のシフトレジスタSR1の入力端子Sに接続線19cを介して走査スタート信号GSP1が入力される。また、第1段以降の各段のシフトレジスタSRの入力端子Rに次段のシフトレジスタSRの出力端子Qからの分岐出力が入力される。また、第2段以降のシフトレジスタSRの入力端子Sに前段のシフトレジスタSRの出力端子Qからの分岐出力が入力される。また、最終段のシフトレジスタSRmの入力端子Rには接続線19dを介して走査完了信号GEP1が入力される。

そして、前記第1段～第m段のシフトレジスタSRの各出力端子Qは基板2に形成されている各走査線11に接続されている。

[0031] 本実施形態の表示装置Aにおいてゲートドライバ13の端子側に接続される4本の接続線19a、19b、19c、19dがシフトレジスタSR1～SRmに図6に示す如く接続された構成であるので、第1の基板側端子集合部5に接続される駆動用IC25には、データ信号の供給能力に加えて前記クロック信号と走査スタート信号並びに走査完了信号を発生する能力を備えた構成とされる。あるいは、駆動用IC25がデータ信号の供給能力のみを備え、駆動用IC25に加えて他の素子部品とパルス発生器などを備えたフレキシブルプリント基板を第1の基板側端子集合部5に接続した構成としても良い。

[0032] 図6に示す各シフトレジスタSRにおける内部のトランジスタ回路構造の一例を図7に示す。

図7に示すトランジスタ回路では、n型TFETからなるトランジスタM1～M11が基板2上に形成され相互に配線接続されている。トランジスタM1のソースにクロック信号が入力され、トランジスタM1のゲートにnet

Aを介してトランジスタM2のドレインが接続されている。また、トランジスタM2のソースにバイアス電圧VDDが印加され、トランジスタM2のゲートに前段の出力（S（Gm-1））が入力される。

トランジスタM1のドレインには出力端子Qを介してトランジスタM11のゲートが接続されている。また、出力端子Qとノードnet Aとの間にキャパシタC1が接続されている。

また、ノードnet AにはトランジスタM3のソースが接続され、トランジスタM3のゲートがノードnet Bを介してトランジスタM7のソース及びトランジスタM4、M8のゲートに接続されている。また、ノードnet Bは、キャパシタC2を介しノードnet Cに接続されている。このノードnet CにトランジスタM9のソースとトランジスタM11のソースとトランジスタM10のドレインとが接続され、トランジスタM10のソースにバイアス電圧VDDが印加されている。

[0033] 図7に示すトランジスタM8は、トランジスタM3またはM4とトランジスタ特性が類似するように設計されている。その方法として、例えば、トランジスタM3、M4、M8のW/L（チャネル幅／チャネル長）を揃えることや、前記に加えトランジスタM3、M4のうち少なくとも一方とトランジスタM8のレイアウト配置を近接にする、という構造を取ることが考えられる。

ここで、図7に示す回路においては簡略化のため、トランジスタM3、M4、M8の初期（回路を動作させる直前の）閾値電圧Vthが同じであり、ある期間回路を動作させ続けた後の閾値電圧シフト量（ $V_{th} + \alpha$ 、 $\alpha > 0$ ）も同様であるとする。

[0034] 図6のようにシフトレジスタSR1の入力端子Sには、走査スタート信号GSP1または、前段の出力信号が入力される。また、各段のシフトレジスタSRのクロック信号入力端子CKAには、異なる位相を持つ2つの駆動パルスCK1あるいはCK2が入力される。例えば、奇数段のシフトレジスタSRのクロック入力端子CKAには駆動パルスCK1が入力され、偶数段の

シフトレジスタSRのクロック入力端子CKAには駆動パルスCK2が入力される。

そして、各段のシフトレジスタSRの出力端子Qから出力された信号は、それぞれ該当する走査ラインG1～Gmへ印加され、また次段のシフトレジスタSRの入力端子Sに出力される。

[0035] 次に、図6と図7に示すシフトレジスタ回路の動作を図8、図9を参照して説明する。

まず、時刻 t_0 において走査スタート信号GSP1の電位がVGHとなる。この電位が第1段目のシフトレジスタSR1の入力端子Sに印加されると、トランジスタM2およびM7、M9が導通状態となる。このとき、ノードnetAの電位は電源線VDDの電位VGHに設定される。

従って、トランジスタM1は導通状態となるが、入力端子CKAの端子電圧がVGLのため、出力端子Qの端子電圧はVGLのままである。また、トランジスタM7が導通状態となり、トランジスタM8のゲート・ドレイン間が短絡されるため、トランジスタM8がダイオード接続状態となる。

従って、トランジスタM8のゲート・ドレイン端子（ノードnetB）からトランジスタM8のソース端子へ電流が流れ込み、ノードnetBは徐々に降下し、その電圧が $V_{GL} + V_{th_M8}$ となるまで降下し続ける。ここで、 V_{th_M8} はトランジスタM8の閾値電圧であり、 $V_{th_M8} > 0$ かつ $V_{th_M8} > V_{GL}$ である。

[0036] このとき、トランジスタM8のゲート・ソース間電圧 V_{gs} は、 $V_{gs} = V_{th_M8}$ となり、非導通状態となる。また、トランジスタM3とM4についてもトランジスタM8と閾値電圧が揃えられているため、トランジスタM8同様、非導通状態となる。

また、トランジスタM9が導通状態のためノードnetCはトランジスタM9のソース端子の電圧VGLに設定される。

[0037] 次に、時刻 t_1 では走査スタート信号GSPの電圧がVGLに、駆動パルスCK1の電圧がVGHに変化する。このとき、トランジスタM2、M7、

M9は非導通状態となる。

また、トランジスタM1のドレイン端子電圧がVGHに設定されるため、トランジスタM1のゲート・ドレイン間に寄生する容量によってノードnet Aの電位がVGHからプルアップされるため、ノードnet Aの電位はVGHより大きい電位に設定される（理想的にはVGHの2倍の電圧になるが、ノードnet A、入力端子CKA、出力端子Q、トランジスタM1それぞれに寄生する容量、抵抗などの要因により、その電圧まで上がらない）。

[0038] これによりトランジスタM1を通して入力端子CKAの電位VGHが出力端子Qに出力され、その電位が該当する走査ラインG1に印加され、時刻t2において駆動パルスCK1の電位がVGLに変化するまで走査ラインG1が選択状態となる。出力端子Qの電圧がトランジスタM11の閾値電圧以上となったとき、トランジスタM11が導通状態となり、ノードnet CがトランジスタM11のソース端子電圧VGLとなり、時刻t0の状態を維持できる。このとき、ノードnet Cが時刻t0の状態を維持できるので、キャパシタC2のもう一方の端子であるノードnet Bも時刻t0の状態を維持し、トランジスタM3、M4が非導通状態となる。

また、次段のシフトレジスタSR2の入力端子Sには、シフトレジスタSR1の出力端子電圧Qの電圧が印加され、入力端子CKAには駆動パルスCK2の電圧が印加されるため、シフトレジスタSR2は、シフトレジスタSR1の時刻t0における状態と同様になる。

[0039] 次に、時刻t2においてシフトレジスタSR1は、駆動パルスCK1の電位がVGLに変化するため、入力端子CKAの電圧がVGLに設定される。このとき、ノードnet Aの電位はVGHより高い電位に、トランジスタM1のドレイン端子はVGLに設定されているため、トランジスタM1のソース端子からドレイン端子の方向に電流が流れ、トランジスタM1のドレイン端子（出力端子Q）の電位がVGLまで降下する。したがって、走査ラインG1の電位もVGLまで降下し、走査ラインG1は非選択状態となる。また、これに伴い、トランジスタM11は非導通状態となる。

また、このとき次段のシフトレジスタSR2においては、入力端子CKAにVGHが印加され、1段目のシフトレジスタSR1の時刻t1と同様の状態となり、走査ラインG2にはVGHが印加されるため、走査ラインG2が選択状態となる。

これにより、シフトレジスタSR1は、入力端子RにVGLが印加され、トランジスタM10が導通状態となるため、ノードnetCが電源線VDDの電圧VGHに設定される。従って、キャパシタC2のもう一方の端子ノードnetBの電圧は、時刻t1の状態から、ノードnetCの電圧上昇分($VGH - VGL$ 分)だけ上昇する。このとき、 $VGH > VGL$ の関係にあるため、netBの電圧は、 $V_{th_M8} + VGH - VGL$ となり、トランジスタM3、M4が導通状態となる。よって、ノードnetAの電位がトランジスタM3のソース端子電圧VGLに設定され、トランジスタM1が非導通状態となる。

また、3段目のシフトレジスタSR3においては、2段目のシフトレジスタSR2の時刻t1と同様の状態となる。

[0040] 次に、時刻t3においては、駆動パルスCK1がVGHに変化し、駆動パルスCK2がVGLに変化する。このとき、1段目のシフトレジスタSR1における入力端子CKAの電圧がVGHに設定されるが、netBおよびnetCがそれぞれ $V_{th_M8} + VGH - VGL$ 、VGHに維持され、トランジスタM3、M4が導通状態を保つ。よって、トランジスタM1はそのゲート端子電圧(netA)がVGLに設定され、非導通状態となり出力端子QはトランジスタM4のソース端子電圧であるVGLに維持される。

2段目のシフトレジスタSR2は、1段目のシフトレジスタの時刻t2と同様の状態となり、走査ラインG2にVGLが印加され、走査ラインG2は非選択状態となる。

このとき3段目のシフトレジスタSR3においては、入力端子CKAにVGHが印加され、2段目のシフトレジスタSR2の時刻t1と同様の状態となる。よって、走査ラインG3にはVGHが印加されるため、走査ラインG

3が選択状態となる。

[0041] 時刻 t_4 以降の動作の説明は省略するが、これまで述べてきたように、時刻 t における m 段目のシフトレジスタ SR_m は、前段（1つ前の段）のシフトレジスタ SR_{m-1} の時刻 $t-1$ の状態となり（状態がシフトして）、シフトレジスタとしての機能を果たしている。

また、最終段のシフトレジスタ SR_m においては、次の段のシフトレジスタが存在しないため、例えば時刻 t_2 においてシフトレジスタ SR_1 の入力端子 R の電圧が V_{GH} に上昇し、トランジスタ M_{10} が導通状態となり、 $net\ C$ の電圧が V_{GH} にまで上昇する、ということが起こり得ない。

従って、シフトレジスタ SR_m の入力端子 R には、時刻 t_1 のシフトレジスタ SR_1 の状態と同様の状態となった後、走査完了信号 GEP_1 を入力することで、時刻 t_2 におけるシフトレジスタ SR_1 の状態となる。これによりシフトレジスタ SR_m による走査ライン G_m を非選択状態として走査ライン $G_1 \sim G_m$ を走査終了させることができる。そして、次のタイミングの走査に合わせて再度走査ライン $G_1 \sim G_m$ を選択走査することで、ゲートドライバ 13 としての動作を行うことができる。

[0042] ここで、図9のノード $net\ B$ の電圧波形を見てみると、本実施例において説明してきたように、ほぼ一定の電圧 V_{GH} が印加されている。この結果、トランジスタ M_3 および M_4 、 M_8 の閾値はプラス方向にシフトしてしまう。ここで、以下の（1）式が成立する。

$$I_{ds} = W/L \times \mu \times C_{ox} \times (V_{gs} - V_{th_M8} - V_{ds}/2) \times V_{ds} \cdots (1) \text{ 式}$$

ただし、（1）式において、 μ ：移動度、 C_{ox} ：ゲート酸化膜容量、 V_{gs} ：ゲート・ソース間電圧、 V_{th} ：閾値電圧、 V_{ds} ：ドレイン・ソース間電圧を示す。

[0043] また、トランジスタ M_3 、 M_4 はトランジスタ M_8 と類似したトランジスタ特性に設計されているため、トランジスタ M_8 と同様の閾値シフトをする。しかしながら、本実施例のシフトレジスタ回路の $net\ B$ （トランジスタ

M8のゲート端子電圧)は、 V_{th_M8} に設定されている期間を除いて、ほぼすべての期間で $V_{th_M8} + V_{GH} - V_{GL}$ に設定されているため、

(1)式は次のように書き換えられる。

$$I_{ds} = W/L \times \mu \times C_{ox} \times \{ (V_{th_M8} + V_{GH} - V_{GL}) + V_{GL} - V_{th_M8} - V_{ds}/2 \} \times V_{ds}$$

$$= W/L \times \mu \times C_{ox} \times (V_{GH} - V_{ds}/2) \times V_{ds} \dots (2)$$

)式

つまり、トランジスタM8の閾値電圧に依存しない。この(2)式はトランジスタM3、M4について書き換えた式に対しても同様であることから、閾値シフトに関して無関係(トランジスタ駆動能力の劣化は無い)と言える。

。

従って、図7に示すトランジスタ回路を有するシフトレジスタSRを用いることで個々のトランジスタが閾値シフトを引き起こした場合にでも、シフトレジスタSRとしての機能を保つことができる。

[0044] 以上説明の多段式のシフトレジスタSRを備えたゲートドライバ13の構成により本実施形態の表示装置Aにおいて走査線11を順次走査することができる。

従って、本実施形態の表示装置Aにおいて、第1の基板側端子集合部5に接続される駆動用IC25から第1の基板1の複数のデータ電極3にデータ信号を入力し、ゲートドライバ13を駆動して走査線11の選択を行ない、必要なスイッチング素子15をオン状態にすると同時に、スイッチング素子15に接続された画素電極10に対して基準信号線12から基準信号電圧(共通電圧)を印加することで、信号入力されたデータ線3と基準信号電圧が印加された画素電極10との交差部分に存在されている液晶層の液晶分子などの配向を制御し、光の透過率を制御して目的の映像などの表示を行うことができる。

[0045] 本実施形態の表示装置Aによれば、上述の駆動により映像等の表示ができるとともに、ゲートドライバ13の駆動用信号入力端子に接続する入力端子

コンタクト部 18 は数本、例えば 4 本の接続線 19a ~ 19d で構成することができる。したがって、全ての走査線 11 について第 1 の基板 1 と第 2 の基板 2 間で導通材による導通を取る必要が無くなり、基板間における導通部分を実質的に 4 本とすれば本実施形態の構造を実現できる。これにより、基板間の接続数を大幅に削減できる。

従って、フル HD 対応解像度の高精細表示装置において、走査線の数極めて多い表示装置の構造であっても、基板間接続部の数を大幅に削減できることにより、歩留まりの向上効果を期待できる。例えば、高解像度の表示装置の場合、RGB 方式のカラーフィルタを用いたカラー表示構成を考慮して数 100 本 ~ 数 1000 本もの走査線が必要な構造であっても、4 本の接続線 19a ~ 19d の導通で走査線用の基板 1、2 間の接続を完成できるので、大幅な省力化に寄与する。

また、第 1 の基板 1 側の第 1 の基板側端子集合部 5 にのみ駆動用 IC などの駆動用素子の接続を行えば、表示装置 A の駆動ができるため、両方の基板 1、2 に個別に駆動用素子を設ける必要があった従来構造に対し、駆動用素子の取り付けも容易となる効果がある。

産業上の利用可能性

[0046] 本発明に係る表示装置は、フル HD などの高解像度の表示装置に好適であり、基板間の導通部分の接続数を削減することで歩留まりの向上効果を図ることができる。

符号の説明

- [0047]
- | | |
|----|----------------|
| 1 | 第 1 の基板 |
| 2 | 第 2 の基板 |
| 3 | データ電極 |
| 4 | 延長配線 |
| 5 | 第 1 の基板側端子集合部 |
| 6 | コモンバスラインコンタクト部 |
| 6a | 端子パッド |

- 7 信号ラインコンタクト部
- 8、9 延長配線
- 10 画素電極
- 11 走査線
- 12 基準信号線
- 13 ゲートドライバ
- 13 a 駆動用信号入力端子
- 15 スイッチング素子
- G ゲート
- S ソース
- D ドレイン
- 17 基準信号線コンタクト部
- 17 a 端子パッド
- 18 入力端子コンタクト部
- 18 a 端子パッド
- 19 接続線
- 19 a、19 b、19 c、19 d 接続線
- 21 異方性導電粒子
- 25 駆動用 IC

請求の範囲

[請求項1]

第1の基板と、前記第1の基板に対向するように配置された第2の基板と、前記第1の基板と第2の基板との間に設けられた表示媒体層とを有する表示装置であって、

前記第1の基板に、列方向に延びるストライプ形状の複数のデータ電極と、これらの各データ電極の一部から延出形成されて前記第1の基板に形成され、前記複数のデータ電極のそれぞれに対応するデータ信号が入力される第1の基板側端子集合部と、該第1の基板側端子集合部に接続するように前記第1の基板に形成された共通バスラインコンタクト部と、前記第1の基板側端子集合部に接続するように前記第1の基板に形成された信号ラインコンタクト部とが設けられるとともに、

前記第2の基板に、行方向に延びる、複数の走査線および複数の基準信号線と、マトリクス状に配置された複数の画素電極と、前記複数の走査線によってオン／オフが制御され、かつ、前記複数の基準信号線と前記複数の画素電極との間に設けられた複数のスイッチング素子と、複数の出力端子を有するとともにこれらの出力端子を前記走査線に接続して前記第2の基板に形成されたゲートドライバと、このゲートドライバの駆動用信号入力端子に接続するように前記第2の基板に形成された入力端子コンタクト部と、前記複数の基準信号線に接続するように前記第2の基板に形成された基準信号線コンタクト部とが形成され、

前記第1の基板と前記第2の基板が前記マトリクス状に配置された画素電極と前記ストライプ状に形成されたデータ電極とを対向させて配置された状態において、前記第1の基板の共通バスラインコンタクト部と前記第2の基板の基準信号線コンタクト部とが電氣的に接続されるとともに、前記第1の基板の信号ラインコンタクト部と前記第2の基板の入力端子コンタクト部が電氣的に接続されてなることを特

徴とする表示装置。

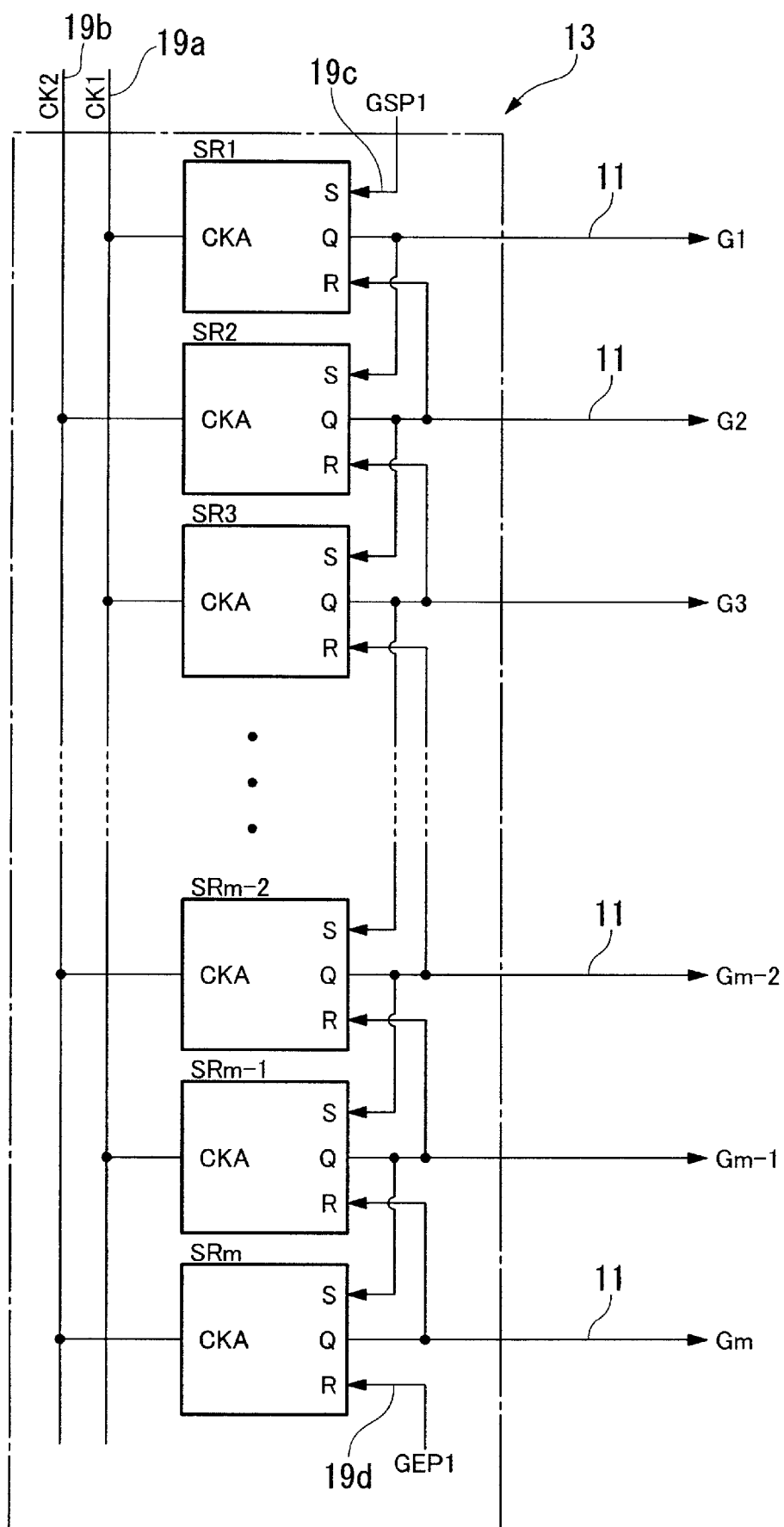
[請求項2] 前記走査線を前記ゲートドライバにより走査して対応する走査線に沿って設けられている前記スイッチング素子のオン／オフ制御がなされ、オン状態のスイッチング素子を介して前記基準信号線から前記画素電極に基準信号電圧が印加されるとともに、前記複数のデータ電極にはそれぞれに対応するデータ信号が入力され、電圧印加された画素電極とデータ電極との間に介在された表示媒体層の透過率を制御して表示することを特徴とする請求項1に記載の表示装置。

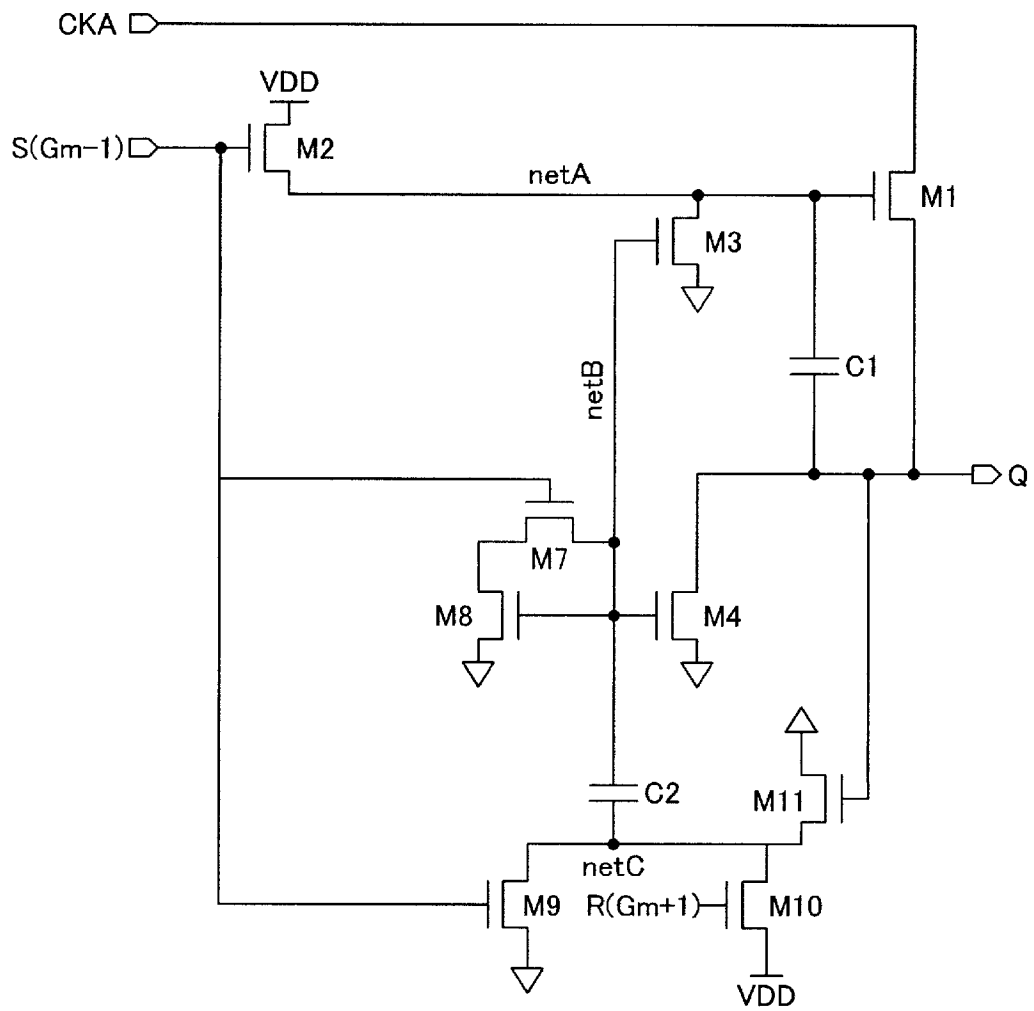
[請求項3] 前記第1の基板側端子集合部に駆動用ICあるいは駆動用ICを搭載したフレキシブルプリント基板が接続されてなることを特徴とする請求項1または2に記載の表示装置。

[請求項4] 前記ゲートドライバが、カスケード接続された複数段のシフトレジスタを備えて構成され、各シフトレジスタにクロック入力端子及び信号入力端子と出力端子が形成され、前記シフトレジスタが、それらに位相の異なる複数のクロック信号が供給されて前記出力端子の電圧を高い値か、低い値かに切り替えるための出力回路であり、第1段のシフトレジスタに走査スタート信号が入力され、最終段のシフトレジスタに走査完了信号が入力されるように構成され、前記複数のクロック信号と前記走査スタート信号及び走査完了信号が前記第2の基板に形成された入力端子コンタクト部を介し入力される構成であることを特徴とする請求項1～3のいずれかに記載の表示装置。

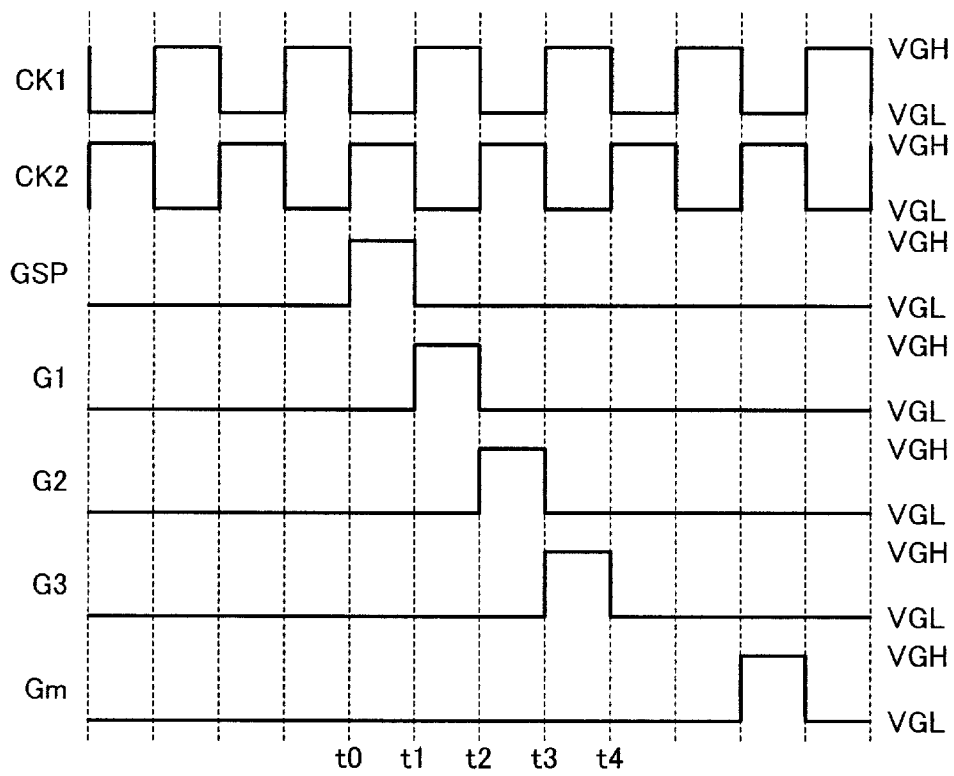
[請求項5] 前記第1の基板のコモンバスラインコンタクト部と前記第2の基板の基準信号線コンタクト部が、スペーサと異方性導電粒子とを樹脂中に分散させてなる導通材であって、前記第1の基板と前記第2の基板間に介装された導通材により電氣的に接続されてなることを特徴とする請求項1～4のいずれか1項に記載の表示装置。

This diagram illustrates a multi-channel optical system, likely a multi-channel optical switch or router. It features a rectangular frame (1) containing several vertical rectangular blocks (3). These blocks are labeled 'Data (n)', 'Data (n-1)', 'Data (2)', and 'Data (1)' from left to right, with dashed lines indicating intermediate blocks. On the left side, a single input port (6) is shown, with a label '3a' pointing to the first data block. On the right side, there are multiple output ports (7), with a label '7a' pointing to the first data block. A label '9' points to the output ports. A label '4' points to the data blocks, and a label '8' points to the input port. A label '3' points to the data blocks.

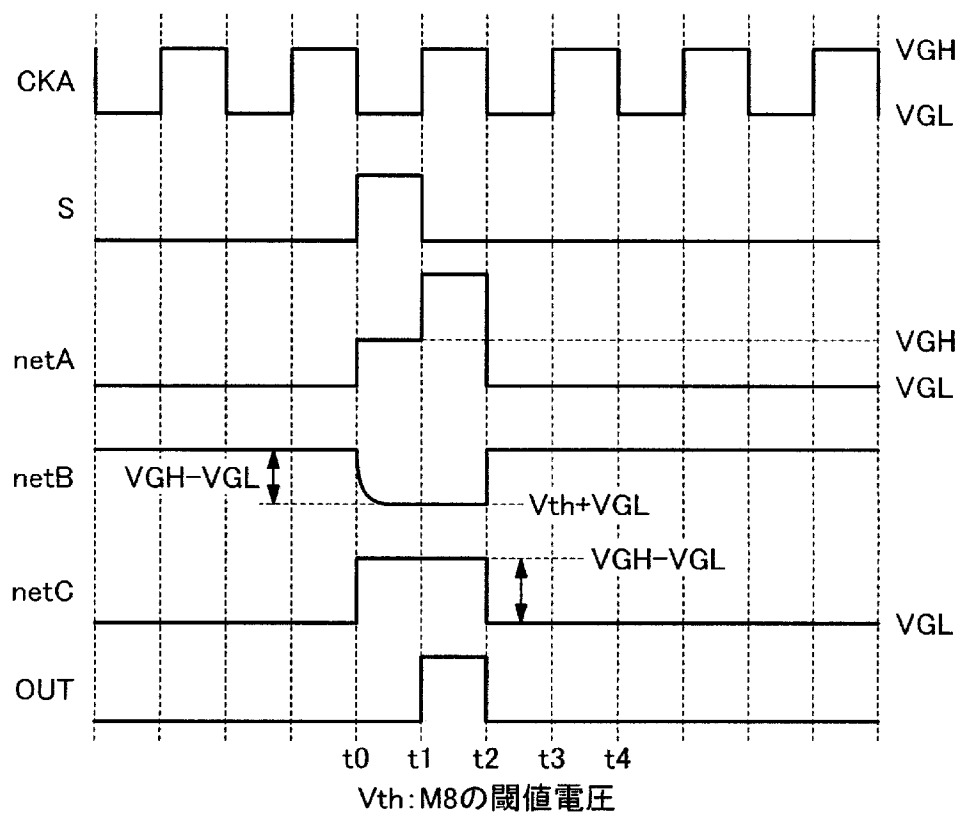




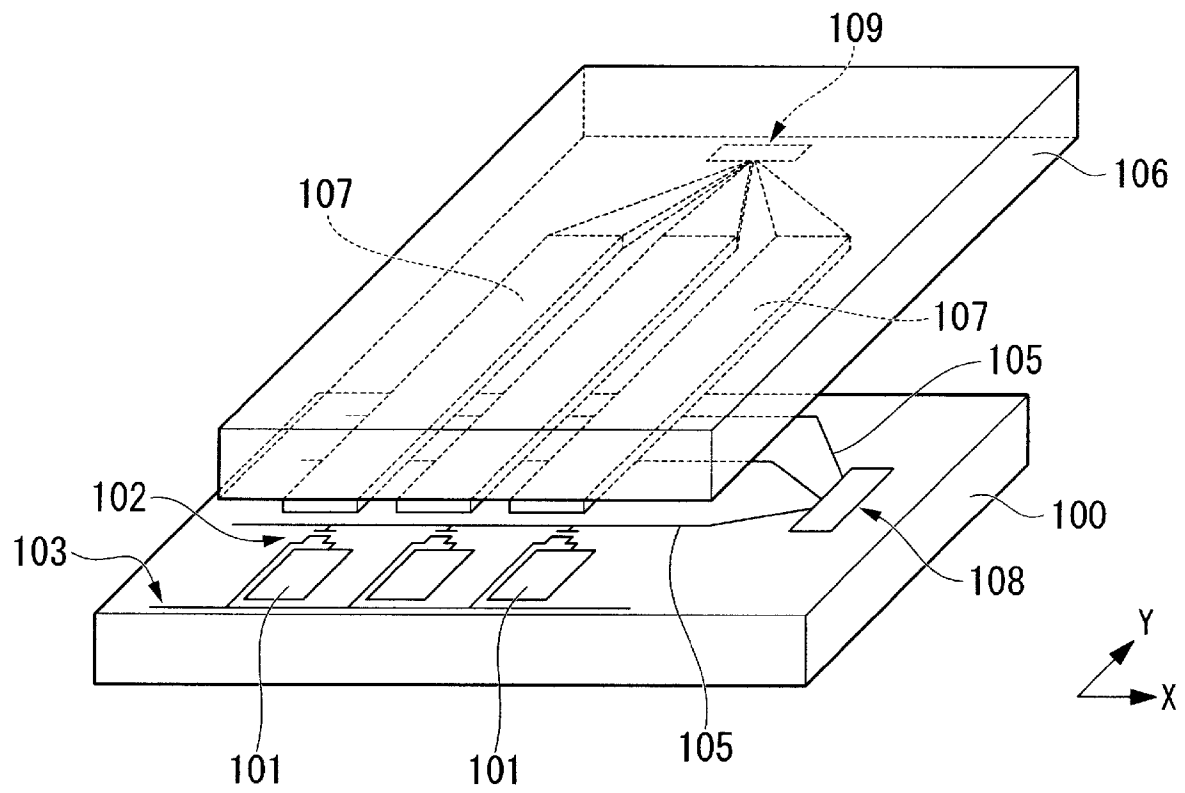
[図8]



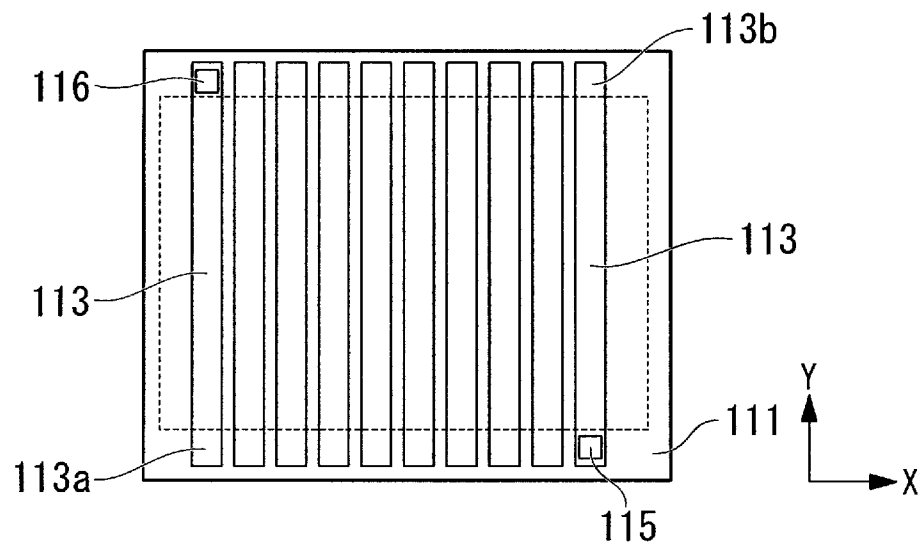
[図9]



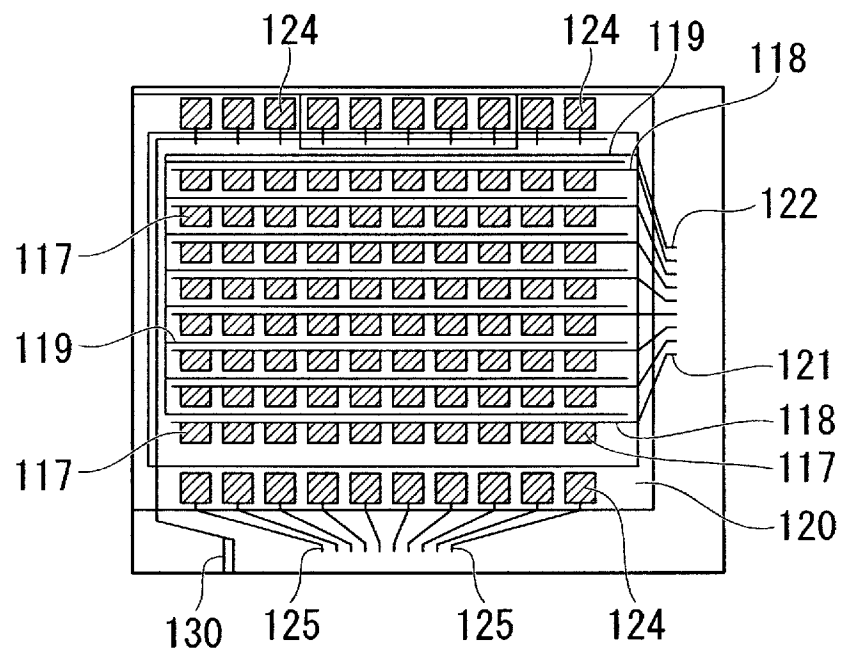
[図10]



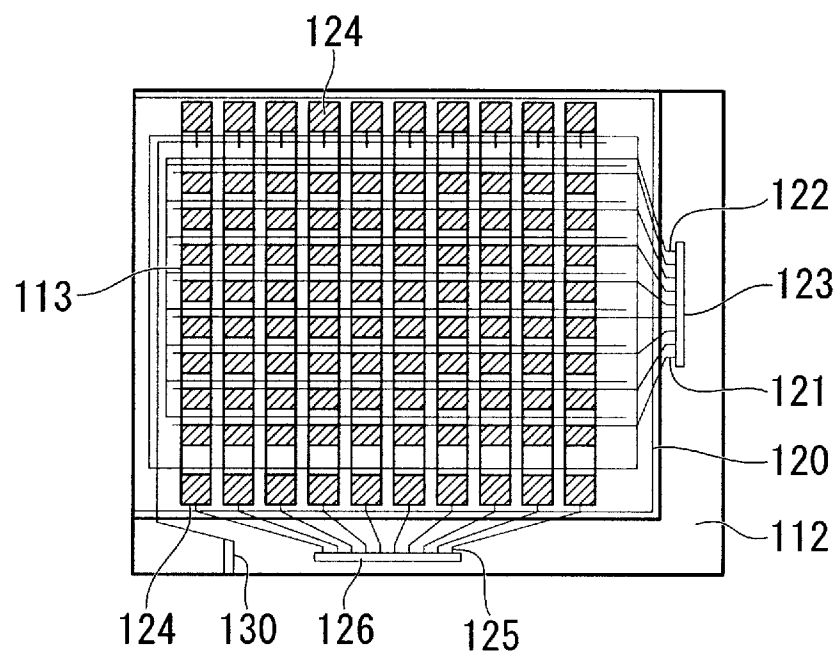
[図11]



[図12]



[図13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/050057

A. CLASSIFICATION OF SUBJECT MATTER

G09F9/30(2006.01)i, G02F1/1345(2006.01)i, G09F9/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09F9/00-9/46, G02F1/13-1/141

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2011

Kokai Jitsuyo Shinan Koho 1971-2011 Toroku Jitsuyo Shinan Koho 1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-216062 A (Sharp Corp.), 30 July 2003 (30.07.2003), entire text; all drawings & US 2003/0137629 A1	1-5
A	CD-ROM of the specification and drawings annexed to the request of Japanese Utility Model Application No. 60002/1992 (Laid-open No. 16945/1994) (Casio Computer Co., Ltd.), 04 March 1994 (04.03.1994), entire text; all drawings (Family: none)	1-5

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
25 March, 2011 (25.03.11)Date of mailing of the international search report
05 April, 2011 (05.04.11)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/050057

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-220702 A (Seiko Epson Corp.), 24 August 2006 (24.08.2006), paragraphs [0036] to [0049]; fig. 6 to 9 (Family: none)	1-5
A	WO 2002/039179 A1 (Citizen Watch Co., Ltd.), 16 May 2002 (16.05.2002), page 15, line 21 to page 22, line 3; fig. 1 to 3 & US 2004/0027508 A1 & EP 1333314 A1 & TW 503338 B & CN 1592866 A	1-5
A	WO 2009/093352 A1 (Sharp Corp.), 30 July 2009 (30.07.2009), paragraphs [0067] to [0081]; fig. 3 & US 2010/0238156 A1 & EP 2234098 A1 & CN 101884062 A	4

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G09F9/30(2006.01)i, G02F1/1345(2006.01)i, G09F9/00(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G09F9/00-9/46, G02F1/13-1/141

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2003-216062 A (シャープ株式会社) 2003.07.30, 全文, 全図 & US 2003/0137629 A1	1-5
A	日本国実用新案登録出願 4-60002 号 (日本国実用新案登録出願公開 6-16945 号) の願書に添付した明細書及び図面の内容を記録した CD-ROM (カシオ計算機株式会社) 1994.03.04, 全文, 全図 (ファミリーなし)	1-5

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 5 . 0 3 . 2 0 1 1

国際調査報告の発送日

0 5 . 0 4 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

佐竹 政彦

2 I

4 4 0 3

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 7 3

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2006-220702 A (セイコーエプソン株式会社) 2006. 08. 24, 段落【0036】 - 【0049】, 図 6-9 (ファミリーなし)	1-5
A	WO 2002/039179 A1 (シチズン時計株式会社) 2002. 05. 16, 第 15 頁第 21 行-第 22 頁第 3 行, 図 1-3 & US 2004/0027508 A1 & EP 1333314 A1 & TW 503338 B & CN 1592866 A	1-5
A	WO 2009/093352 A1 (シャープ株式会社) 2009. 07. 30, 段落[0067]-[0081], 図 3 & US 2010/0238156 A1 & EP 2234098 A1 & CN 101884062 A	4